



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월14일
(11) 등록번호 10-1001347
(24) 등록일자 2010년12월08일

- (51) Int. Cl.
H01L 21/02 (2006.01)
- (21) 출원번호 10-2005-7005289
- (22) 출원일자(국제출원일자) 2003년09월19일
심사청구일자 2008년09월19일
- (85) 번역문제출일자 2005년03월25일
- (65) 공개번호 10-2005-0054969
- (43) 공개일자 2005년06월10일
- (86) 국제출원번호 PCT/US2003/029340
- (87) 국제공개번호 WO 2004/032225
국제공개일자 2004년04월15일
- (30) 우선권주장
10/260,894 2002년09월30일 미국(US)
- (56) 선행기술조사문헌
W02001050522 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
글로벌파운드리즈 인크.
케이만 아일랜드 케이와이1-1104 그랜드 케이만
어그랜드 하우스 피.오.박스 309 메이플즈 코포레
이트 서비스즈 리미티드
- (72) 발명자
총 로버트 제이.
미국 텍사스 78749 오스틴 가비온 드라이브 6921
그린 에릭 오.
미국 텍사스 78704 오스틴 이. 리버사이드 드라이브 #145 500
- (74) 대리인
박장원

전체 청구항 수 : 총 9 항

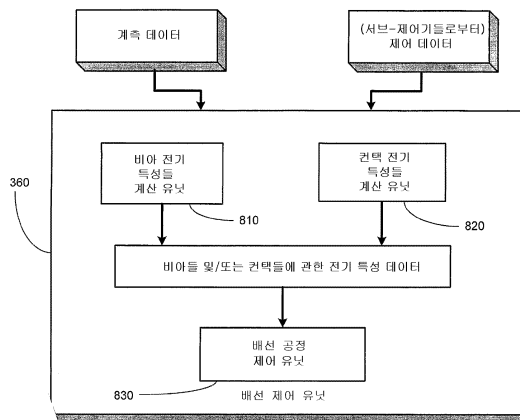
심사관 : 이귀남

(54) 배선 레벨에서의 공정 제어

(57) 요약

배선 레벨에서 공정 제어를 수행하기 위한 방법 및 장치. 워크피스에서 공정단계가 수행된다. 상기 워크피스의 배선 위치에 관한 제어 데이터가 얻어진다. 배선 특성 제어 공정은 제조 데이터에 기초하여 수행된다. 상기 배선 특성 제어 공정은 상기 배선 위치에 관한 특성을 제어하기 위한 워크피스의 배선 위치와 연관된 구조에 관한 공정을 제어하는 단계를 포함한다.

대표도



특허청구의 범위

청구항 1

워크피스에 대해 공정단계(process step)를 수행하는 단계와;

상기 워크피스의 배선 위치에 관한 제조 데이터를 획득하는 단계와; 그리고

상기 제조 데이터에 기초하여 배선 특성 제어를 행하는 단계를 포함하며,

상기 배선 특성 제어는, 상기 배선 위치에 관한 특성을 제어하기 위하여 상기 워크피스의 상기 배선 위치와 연관된 구조에 관한 장벽층 공정, 내부층 유전체(ILD:inner-layer dielectric)층 공정, 프리금속 유전체(PMD:pre-metal dielectric) 공정 및 금속 증착 공정 중 적어도 하나를 제어하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 2

제 1항에 있어서, 상기 워크피스에 대해 공정단계를 수행하는 단계는 반도체 웨이퍼(105)에 대해 상기 공정단계를 수행하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 3

제 2항에 있어서, 상기 워크피스에 대해 공정단계를 수행하는 단계는 상기 반도체 웨이퍼(105)에 배선 위치를 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 4

제 3항에 있어서, 상기 반도체 웨이퍼(105)에 배선 위치를 형성하는 단계는 상기 반도체 웨이퍼(105) 위에 비아(750)를 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 5

제 3항에 있어서, 상기 반도체 웨이퍼(105)에 배선 위치를 형성하는 단계는, 상기 반도체 웨이퍼(105)에 컨택 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 6

제 2항에 있어서, 상기 워크피스의 상기 배선 위치에 관한 제조 데이터를 획득하는 단계는, 상기 공정단계가 수행된 반도체 웨이퍼(105)에 관한 웨이퍼 전기 테스트 데이터를 획득하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 7

삭제

청구항 8

제 1항에 있어서, 상기 배선 특성 제어를 행하는 단계는 상기 배선 위치의 저항(resistivity)을 수정하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 9

배선 레벨 공정을 수행하기 위한 시스템으로서,

워크피스를 공정하기 위한 공정 툴(910)과; 그리고

상기 공정 툴과 동작할 수 있게 연결된 공정 제어기(310)를 포함하며,

상기 공정 제어기(310)는 상기 워크피스에 관한 제조 데이터에 기초하여 배선 특성 제어 공정을 수행하고, 상기 배선 특성 제어 공정은 상기 배선 위치에 관한 특성을 제어하기 위하여 상기 워크피스의 배선 위치와 연관된 구조에 관한 장벽층 공정, 내부층 유전체(ILD)층 공정, 프리금속 유전체(PMD) 공정 및 금속 증착 공정 중 적어도

하나를 제어하는 것을 포함하는 것을 특징으로 하는 시스템.

청구항 10

컴퓨터에 의해 실행될 때,

워크피스에서 공정단계를 수행하는 단계와;

상기 워크피스의 배선 위치에 관한 제조 데이터를 획득하는 단계와; 그리고

상기 제조 데이터에 기초하여 배선 특성 제어 공정-이 제어 공정은, 상기 배선 위치에 관한 특성을 제어하기 위하여 상기 워크피스의 상기 배선 위치와 연관된 구조에 관한 장벽층 공정, 내부층 유전체(ILD)층 공정, 프리금속 유전체(PMD) 공정 및 금속 증착 공정 중 적어도 하나를 제어하는 것을 포함한다-을 수행하는 단계를 포함하는 방법을 수행하는 명령들이 코드화된 컴퓨터 판독 가능 프로그램 저장 디바이스.

명세서

기술분야

[0001] 본 발명은 일반적으로 반도체 제조에 관한 것이며, 특히, 워크피스(workpiece)의 배선 레벨(interconnect level)에서 공정 제어를 수행하기 위한 방법 및 장치에 관한 것이다.

배경기술

[0002] 제조 산업에서 기술의 급속한 발전은 많은 새롭고 혁신적인 제조 공정들이 생겨나게 하였다. 오늘날의 제조 공정들, 특히 반도체 제조 공정들은 다수의 중요한 공정 단계들을 필요로한다. 이러한 공정 단계들은 일반적으로 필수적이며, 따라서, 적절한 제조 제어를 유지하기 위해 일반적으로 미세 조정된(fine-tuned) 다수의 입력들을 요구한다.

[0003] 반도체 디바이스들의 제조는 반도체 원재료로부터 패키징된 반도체 디바이스를 생성해내기 위해 다수의 개별적인 공정 단계들을 필요로한다. 반도체 물질의 초기 성장으로부터, 개별 웨이퍼들로 반도체 결정 슬라이싱, 제조 단계들(식각, 도핑, 이온 주입 등), 완성된 디바이스의 패키징 및 최종 테스트까지의 다양한 공정들은 서로 매우 상이하고 전문화되어 있어서, 공정들은 서로 다른 제어 기법들을 포함하는 서로 다른 제조 위치들에서 수행될 수 있다.

[0004] 일반적으로, 일련의 공정 단계들은, 때때로 로트(lot)라고 불리는 반도체 웨이퍼들의 그룹에 대해 수행된다. 예를 들어, 다양한 서로 다른 물질들로 구성될 수 있는 공정층이 반도체 웨이퍼 전역에 걸쳐 형성된다. 그 후, 포토레지스트(photoresist)의 패터닝 층은 알려진 포토리소그래피 기술들을 사용하여 공정 층 전역에 형성될 수 있다. 일반적으로, 그 후 상기 포토레지스트의 패터닝 층을 마스크로서 사용하여 식각 공정이 수행된다. 이러한 식각 공정은 결과적으로 공정 층 내에 다양한 피쳐들 또는 오브젝트들이 형성되게 한다. 이러한 피쳐들은, 예를 들어, 트랜지스터들의 게이트 전극 구조로서 사용될 수 있다. 종종, 트렌치 고립 구조들이 또한 반도체 웨이퍼 기판 전역에 형성되어 반도체 웨이퍼 전역에서 전기적 영역들을 고립시킨다. 사용될 수 있는 고립 구조의 일례는 셀로우 트렌치 고립(STI) 구조이다.

[0005] 반도체 제조 설비 내의 제조 툴들은 일반적으로 제조 프레임워크(framework) 또는 공정 모듈들의 네트워크와 통신한다. 각 제조 툴은 일반적으로 장비 인터페이스와 연결된다. 상기 장비 인터페이스는 제조 네트워크가 연결되는 기계 인터페이스와 연결되고, 그에 따라 제조 툴과 제조 프레임워크(framework) 사이의 통신을 이용한다. 상기 기계 인터페이스는 일반적으로 진보된 공정 제어(APC) 시스템의 부분일 수 있다. 상기 APC 시스템은 제조 공정을 수행하기 위해 요구되는 데이터를 자동적으로 검색하는 소프트웨어 프로그램일 수 있는 제어 스크립트를 기동시킨다.

[0006] 도 1은 일반적인 반도체 웨이퍼(105)를 도시한다. 상기 반도체 웨이퍼(105)는 일반적으로 격자(150)로 정렬된 다수의 개별적인 반도체 다이(103)를 포함한다. 알려진 포토리소그래피 공정들 및 장비를 사용하여, 포토레지스트의 패터닝 층은 패터닝 하나 이상의 공정 층들 전역에 형성될 수 있다. 포토리소그래피 공정의 일부분으로서, 사용된 특정 포토마스크에 따라, 노출 공정(exposure process)이 스테퍼에 의해 한번에 대략 1 내지 4 다이(103) 위치들에서 수행된다. 상기 패터닝 포토레지스트 층은, 필요한 패턴을 저변층에 전사(transfer)하기 위하여, 예컨대, 폴리실리콘, 금속 또는 절연 물질층과 같은 물질로 된 저변층 또는 층들에 식각 공정을 행하는 동안 마스크로서 사용될 수 있다. 포토레지스트의 패터닝 층은 저변 공정층에서 복제될 개구-타입 피쳐들 또는 라

인-타입 피쳐들과 같은 다수의 피쳐들로 구성된다.

[0007] 도 2에 있어서, 종래 기술 공정 흐름의 플로우차트 설명이 도시된다. 제조 시스템은 배치(batch)/로트와 연관된 다수의 반도체 웨이퍼(105)를 공정할 수 있다(블록210). 반도체 웨이퍼(105)에서 다양한 공정들을 수행한 후, 상기 제조 시스템은 공정된 반도체 웨이퍼(105)의 최종 전기적 테스트를 수행할 수 있다(블록 220). 최종 전기적 테스트는, 반도체 웨이퍼(105)에서의 하나 이상의 위치와 연관된 저항 측정과 같은 다수의 전기 파라미터들을 포함할 수 있다. 전기적 테스트로부터의 데이터는, 반도체 웨이퍼(105) 위에 형성된 비아(via)들 및/또는 다양한 컨택들의 배선 특성들을 결정하기 위하여 제조 시스템에 의해 사용될 수 있다(블록 230).

[0008] 배선 저항(interconnect resistance) 등과 같은 다양한 배선 특성들이 결정됨에 따라, 상기 제조 시스템은, 다른 공정들에 대한 조정(adjustments)을 수행함으로써 후속적으로 공정되는 반도체 웨이퍼들(105)에 대한 배선 특성들을 수정하기 위한 조정치를 계산할 수 있다(블록 240). 상기 계산된 조정치에 기초하여, 상기 시스템은 후속적인 반도체 웨이퍼(105)에서 수행되는 공정 단계들을 조정할 수 있다(블록 250).

[0009] 현재의 방법과 관련된 문제들 중 하나는 일반적으로 반도체 웨이퍼(105)에 수많은 공정들이 수행된 후에 배선 파라미터들의 특성이 결정된다는 것이다. 일반적으로, 배선 특성들은 반도체 웨이퍼(105)에 대한 실질적인 공정 이후에 정확히 실현된다. 따라서, 배선 공정이 실질적으로 남은 단계가 전혀 없거나 거의 없는 상태에서 완성되기 때문에, 현재의 방법에 기반을 둔 피드백 교정 능력에는 본질적인 결함이 있다. 현재의 공정 기법들을 사용하면, 배선 특성들이 반도체 웨이퍼(105)에 대한 실질적인 공정 이후에 결정된다는 사실로 인하여, 배선 특성들을 제어하는 것이 어렵고 비효과적일 수 있다. 부가적으로, 배선이 형성되는 시간 주기와 상기 최종 웨이퍼 전기 테스트가 행해지는 시간 주기 사이에 지연이 존재할 수 있으며, 그러므로 배선 오류를 정정할 수 있는 가능성이 감소된다.

[0010] 본 발명은 앞서 언급된 문제들 중 하나 이상의 영향을 해결할 수 있거나, 적어도 감소시키고자 한다.

발명의 상세한 설명

[0011] 본 발명의 일 양상에서는, 배선 레벨에서 공정 제어를 수행하기 위한 방법이 제공된다. 워크피스에 대해 공정 단계가 수행된다. 워크피스에서의 배선 위치에 관한 제조 데이터가 획득된다. 배선 특성 제어 공정은 상기 제조 데이터에 기초하여 수행된다. 상기 배선 특성 제어 공정은, 상기 배선 위치에 관한 특성을 제어하기 위하여 상기 워크피스의 배선 위치와 연관된 구조에 관한 공정을 제어하는 것을 포함한다.

[0012] 본 발명의 또 다른 양상에 있어서, 배선 레벨에서 공정 제어를 수행하기 위한 시스템이 제공된다. 상기 시스템은 워크피스를 공정하기 위해 공정 툴을 포함한다. 상기 시스템은 또한 상기 공정 툴에 동작가능하게 연결된 공정 제어기를 포함한다. 상기 공정 제어기는 상기 워크피스에 관한 제조 데이터에 기초하여 배선 특성 제어 공정을 수행할 수 있다. 상기 배선 특성 제어 공정은, 상기 배선 위치에 관한 특성을 제어하기 위해 워크피스의 배선 위치와 연관된 구조에 관한 공정을 제어하는 것을 포함한다.

[0013] 본 발명의 또 다른 양상에 있어서, 배선 레벨에서 공정 제어를 수행하기 위한 장치가 제공된다. 상기 장치는 워크피스에 관한 데이터 제조에 기초하여 배선 특성 제어 공정을 수행하도록 된 공정 제어기를 포함한다. 상기 배선 특성 제어 공정은, 상기 배선 위치에 관한 특성을 제어하기 위하여 상기 워크피스의 배선 위치와 연관된 구조에 관한 공정을 제어하는 것을 포함한다.

[0014] 역시 본 발명의 또 다른 양상에 있어서, 배선 레벨에서 공정 제어를 수행하기 위한, 명령어들이 엔코딩된 컴퓨터판독가능 프로그램 저장 디바이스가 제공된다. 상기 컴퓨터 판독가능 프로그램 저장 디바이스는 명령어로 코드화되며, 컴퓨터에 의해 실행될 때: 워크피스에서 공정 단계를 수행하는 단계와; 상기 워크피스에서 배선 위치에 관한 제조 데이터를 획득하는 단계와; 그리고 상기 제조 데이터에 기초하여 배선 특성 제어 공정을 수행하는 단계를 포함하는 방법을 수행한다. 상기 배선 특성 제어 공정은, 상기 배선 위치에 관한 특성을 제어하기 위하여 상기 워크피스의 배선 위치와 연관된 구조에 관한 공정을 제어하는 것을 포함한다.

실시예

[0028] 본 발명의 구체적인 실시예는 이하에서 설명된다. 명확히 하기 위하여, 실제 구현되는 모든 피쳐들이 상세한 설명에서 기술되는 것은 아니다. 물론 임의의 실제적인 구체화 단계에 있어서, 수많은 구체적인 실행 결정들은 시스템 관련, 사업 관련 제약에 따라 개발자들의 구체적 목적을 성취하기 위해 정해져야 하며, 어떤 실행에서 다른 실행으로 변경될 것이다. 게다가, 그러한 개발 노력은 복잡하고 시간 소비가 따르나, 개시된 내용을 습득한

당업자에게는 일상적인 작업이라는 사실에 유의한다.

- [0029] 반도체 제조와 연관된 많은 개별적인 공정들이 있다. 대개, 워크피스들(예컨대, 반도체 웨이퍼들(105), 반도체 디바이스들 등)은 다중 제조 공정 툴들을 통해 단계적으로 처리된다. 본 발명의 실시예들은 반도체 웨이퍼(105)의 컨택들 및/또는 비아들과 같은 다수 위치들의 배선 특성들에 영향을 미치는 공정 제어를 수행하기 위해 제공된다. 본 발명의 실시예들은, 장벽 라이너(liner)들의 개발을 제어하는 것, ILD 층 두께를 제어하는 것, 배선 위치의 기하를 제어하는 것, 프리금속(pre-metal) 유전층들을 제어하는 것, 장벽층들을 제어하는 것 및 이와 같은 반도체 웨이퍼들(105)의 다양한 공정 단계들을 제어하는 여러 파라미터들을 조정하기 위해 제공된다. 본 발명의 실시예들은 반도체 웨이퍼들(105)의 배선 위치의 저항을 결정하도록 웨이퍼 전기 테스트를 수행하기 위하여, 그리고 상기 배선 위치의 전기적 특성들을 수정하도록 제어 조정을 수행하기 위하여 제공된다.
- [0030] 도 3을 참조하면, 본 발명의 실시예에 따른 시스템(300)의 블록도가 도시된다. 상기 시스템(300)에서의 공정 제어기(310)는 공정 툴(910)에 관한 다양한 동작을 제어할 수 있다. 상기 시스템(300)은, 공정된 반도체 웨이퍼(105)에 관한 계측 데이터, 툴 상태 데이터 및 이와 같은 제조 관련 데이터를 획득할 수 있다. 상기 시스템(300)은 또한 공정된 반도체 웨이퍼들(105)에 관한 계측 데이터를 획득하기 위한 계측 툴(950)을 포함한다.
- [0031] 상기 시스템(300)은 또한 데이터베이스 유닛(340)을 포함할 수 있다. 상기 데이터베이스 유닛(340)은, 제조-관련 데이터, 상기 시스템(300)의 동작에 관한 데이터(예컨대, 공정 툴(910)의 상태, 반도체 웨이퍼들(105)의 상태 등)와 같은 다수의 데이터 타입들을 저장하도록 구성된다. 상기 데이터베이스 유닛(340)은, 상기 공정 툴(910)에 의해 수행되는 다수의 공정 실행에 관한 툴 상태 데이터를 저장할 수 있다. 상기 데이터베이스 유닛(340)은, 툴 상태 데이터 및/또는 반도체 웨이퍼(105)를 공정하는 것에 관한 제조 데이터를 데이터베이스 저장 유닛(345)에 저장하기 위하여 데이터베이스 서버(342)를 포함할 수 있다.
- [0032] 상기 시스템(300)은 또한, 반도체 웨이퍼(105)의 다양한 배선 위치들(예컨대, 컨택들 및/또는 비아들)의 전기적 특성들에 관한 데이터를 제공하는 다수의 전기적 테스트들을 수행할 수 있는 웨이퍼 전기 테스트(WET) 유닛(330)을 포함한다. 상기 시스템(300)은 반도체 웨이퍼들(105)에서 수행되는 다양한 공정 단계들을 제어할 수 있는 다수의 서브-제어기들(350)을 포함할 수 있다. 예를 들어, 공정 제어기(310)는, 특정 배선 위치에 대한 소정 저항값과 같은 소정 전기적 특성값을 제공할 수 있으며, 반도체 웨이퍼(105)에서 수행되는 다양한 제어 공정 단계들에 대한 제어 조정을 계산하기 위하여 서브-제어기(350)에 의해 사용될 수 있다. 상기 서브-제어기(350)의 더 상세한 예시 및 설명은 도 4 및 후술한 설명에서 제시된다.
- [0033] 부가적으로, 상기 시스템(300)은, 반도체 웨이퍼들(105)에서 비아들 또는 컨택들과 같은 배선 위치들의 특성들을 제어할 수 있는 배선 제어 유닛(360)을 포함할 수 있다. 상기 배선 제어 유닛(360)의 더 상세한 예시 및 설명은 도 8 및 이하의 설명에서 제시된다. 상기 시스템(300)은 반도체 웨이퍼(105)에서 다양한 배선 위치의 특성들에 영향을 미치도록 다양한 제어 조정을 수행할 수 있으며, 예컨대, 비아 및/또는 컨택의 저항(resistivity)을 제어하는 것이 있다.
- [0034] 상기 공정 제어기(310), 서브-제어기(350) 및/또는 배선 제어 유닛(360)은, 스탠드얼론(standalone) 유닛인 소프트웨어, 하드웨어 또는 펌웨어 유닛(들)이거나, 상기 시스템(300)에 관련된 컴퓨터 시스템으로 통합될 수 있다. 더욱이, 도 3에 예시된 상기 블록들에 의해 표현된 다양한 구성요소들은 시스템 커뮤니케이션 라인(315)를 경유하여 서로 통신할 수 있다. 상기 시스템 커뮤니케이션 라인(315)은 컴퓨터 버스 링크, 전용 하드웨어 커뮤니케이션 링크, 전화 시스템 커뮤니케이션 링크, 무선 커뮤니케이션 링크, 또는 본 발명 공개의 이득을 얻는 본 기술 분야의 통상의 지식을 가진 자에 의해 구현될 수 있는 다른 커뮤니케이션 링크들일 수 있다.
- [0035] 도 4에 있어서, 본 발명의 실시예에 따라 서브-제어기(350)의 더 상세한 블록도가 도시된다. 상기 서브-제어기(350)는, 장벽 라이너 제어 유닛(410), 배선 기하 제어 유닛(420), 금속 라인들 간의 내부층 유전체(ILD) 층 제어 유닛(430), 프리-금속 유전체(PMD) 층 제어 유닛(440), 및/또는 반도체 웨이퍼들(105)에서 수행되는 공정 단계들을 제어하기 위한 다양한 다른 제어 유닛들과 같은 다양한 제어 유닛들을 포함할 수 있다. 공정 제어기(310)에 의해 선결정되는 WET 유닛(330) 및 배선 특성들로부터의 데이터는, 장벽 라이너들, ILD 층, 기하 층 및 PMD 층과 같은 반도체 웨이퍼들(105)의 다양한 부분들을 제어하기 위해 서브-제어기들(350)에 의해 사용될 수 있다.
- [0036] 도 5-7에 있어서, 트렌치 및/또는 비아들을 가지는 반도체 웨이퍼의 단면도가 도시된다. 도 5는 기판층(530)에 증착된 ILD 층(520)을 도시한다. ILD 층(520) 내에서, 트렌치(540)가 형성될 수 있다. 상기 트렌치(540)는 다양한 구조들을 형성하는데 사용될 수 있다. 일 실시예에서, 상기 트렌치(540)는 컨택을 형성하는데 사용될 수 있다.

다. 일 실시예에서, 상기 트렌치(540)는, 금속 라인들, 컨택들, 및/또는 비아들을 생성하기 위해 사용될 수 있는 다마신(damascene) 공정들을 수행하기 위해 사용될 수 있다. 그러나, 본 발명의 공개 이득을 얻는 본 기술 분야의 통상의 지식을 가진 자에게 알려진 다른 공정들 또한 금속 라인들, 컨택들 및/또는 비아들을 생성하는데 사용될 수 있다. 상기 ILD층(520)으로부터 상기 트렌치(540)를 고립시키기 위하여, 상기 트렌치(540)에는 장벽층(510)이 덧대어질 수 있다. 일반적으로, 상기 트렌치(540)는 텅스텐 또는 구리와 같은 금속으로 채워져 배선 위치를 형성할 수 있다. 상기 트렌치(540)에 형성된 배선의 어떠한 특성들(예컨대, 저항)은, 장벽층(510)의 형성에 영향을 미치는 제어 파라미터들을 조정할 수 있는 장벽 라이너 제어 유닛(410)에 영향을 미칠 수 있다. 상기 장벽층(510)은 도 6에서 더 상세히 도시된다. 상기 장벽층(510)은 탄탈륨 층(610), 탄탈륨 나이트라이드 층(620), 및 PMD층(630)을 포함할 수 있다. 탄탈륨 나이트라이드 층(620)은 탄탈륨 층(610)과 PMD 층(630) 사이에 위치될 수 있다. 상기 PMD 층(630)에 대한 조정은 장벽 층(510)에 영향을 미칠 수 있고, 상기 장벽층(510)은 상기 트렌치(540)로부터 형성된 컨택의 특성에 영향을 미칠 수 있다. 상기 ILD 층 제어 유닛(430)은 장벽층(510)에 영향을 미치는 PMD 층(630)의 공정을 제어할 수 있고, 그에 따라 트렌치(540)의 특성(들)에 영향을 미칠 수 있다. 장벽층(410)의 구성요소(예컨대, 탄탈륨/탄탈륨-나이트라이드/탄탈륨 결합)를 제어하는 것은 배선의 특성(예컨대, 저항)에 영향을 미칠 수 있다. 부가적으로, 장벽층(510)(도 6에 도시)을 형성하는 층들의 필름 두께의 상대적 비율을 조정하는 것은 배선의 특성(예컨대, 저항)에 영향을 미칠 수 있다. 다른 금속 증착 공정들은, 배선의 특성(예컨대, 저항)에 영향을 미치도록 본 발명의 실시예에 의해 사용될 수 있다.

[0037] 도 6에 있어서, 상기 트렌치(540)를 둘러싸는 다른 형성들은, 상기 트렌치(540)로부터 형성된 비아의 특성들에 영향을 미치도록 제어될 수 있다. 예를 들어, 상기 ILD 층(520)은 상기 트렌치(540)로부터 형성된 비아의 특성(들)에 영향을 미치도록 제어될 수 있다. 상기 ILD 층 제어 유닛(430)은 상기 ILD 층(520)의 특성들을 제어함으로써 상기 트렌치(540)의 특성들에 영향을 미칠 수 있다. 게다가, 배선 기하 제어 유닛(420)은, 상기 배선을 만들기 위해 상기 트렌치(540)에 증착된 금속 양에 영향을 미칠 수 있는 상기 트렌치(540)의 기하를 제어할 수 있다. 따라서, 서브-제어기(350)는 비아를 형성하기 위해 금속으로 채워진 트렌치(540)와 같은 배선 위치의 전기적 특성들에 영향을 미치는데 사용될 수 있다.

[0038] 도 7은 비아(750)가 형성되어 있는 반도체 웨이퍼의 단면도를 예시한다. 일 실시예에 있어서, 유전층(720)은 금속층(730)이 형성되는 기판층(530) 위에 증착된다. 금속층(730)은 알루미늄 및/또는 구리를 포함할 수 있다. 일 실시예에 있어서, 다마신 공정은 금속 라인들(705)를 형성하는데 사용될 수 있다. 일반적으로, 상기 비아(750)는 도 7에 예시된 두 금속 라인들(705)와 같은 두 금속 표면에 전기적으로 연결되도록 형성된다. 상기 두 금속 라인들(705)는 절연층(740)에 의해 분리될 수 있다. 따라서, 상기 비아(750)는, 유전층(740)에 의해 분리되는 두 금속 라인들(705)을 배선하기 위해 사용될 수 있다. 상기 비아(750)는, 구리와 같은 금속 충전(filling) 물질(760)로 채워지는 트렌치(540)(도 5에 도시)로부터 형성될 수 있다. 상기 비아(750)는 장벽 라이너(710)에 의해 유전층(740)으로부터 분리될 수 있다.

[0039] 상기 비아(750) 및/또는 다른 컨택들의 저항은 공정된 반도체 웨이퍼들(105)로부터 제조된 디바이스의 동작에 영향을 미칠 수 있다. 따라서, 저항이 소정 범위의 허용치 내에 있도록 제어하는 것은 반도체 웨이퍼(105)로부터 더욱 정확하게 공정된 디바이스들을 생성할 수 있게 해준다. 상기 장벽 라이너 제어 유닛(410)은 장벽 라이너(710)의 특성들을 제어할 수 있고, 상기 금속층(730) 위에 증착된 비아(750)의 특성들에 영향을 줄 수 있다. 따라서, 서브-제어기들(350)을 이용하여, 컨택들 및 비아들과 같은 배선 위치들의 전기적 특성들에 영향을 미치는 피드백 및/또는 피드-포워드 제어가 수행될 수 있다. 본 발명의 실시예들을 이용하여, 배선(예컨대, ILD 층(520), PMD 층(630), 장벽층(510), 장벽 라이너(710), 트렌치(540), 비아(750), 금속 라인들(705) 등)과 연관된 하나 이상의 구조들에 관한 공정(들)의 제어는 배선의 특성(예컨대, 저항)을 조정하기 위해 수행될 수 있다.

[0040] 도 8에 있어서, 배선 제어 유닛(360)의 더 상세한 블록도 설명이 도시된다. 상기 배선 제어 유닛(360)은 공정된 반도체 웨이퍼(105)에 관한 계측 데이터를 수신할 수 있다. 상기 계측 데이터는 배선 위치 등을 형성하기 위해 사용되는 장벽층들(510), ILD층들(630), PMD층들(520) 및/또는 트렌치 형성들에 관한 측정들을 포함한다. 상기 배선 제어 유닛(360)은 또한, 공정 제어기(310)에 의해 규정되는 배선 특성들로부터 영향받는 제어 데이터와 관련될 수 있는 서브-제어기들(350)로부터 제어 데이터를 수신할 수 있다. 계측 데이터 및/또는 제어 데이터를 사용하여, 상기 배선 제어 유닛(360)은 반도체 웨이퍼(105) 상에 수행되는 다수의 공정 단계들에 대한 조정이 이루어지게 하여, 반도체 웨이퍼(105) 위에 형성된 배선 위치들의 특성(예컨대, 반도체 웨이퍼(105) 위에 형성된 컨택 또는 비아의 저항)에 영향을 미치도록 할 수 있다.

[0041] 상기 배선 제어 유닛(360)은, 반도체 웨이퍼들(105) 위에 형성될 비아의 저항과 같은 가능한 전기적 특성들을 예측하거나 결정할 수 있는 비아 전기적 특성 계산 유닛(810)을 포함할 수 있다. 상기 배선 제어 유닛(360)은

또한, 상기 반도체 웨이퍼(105) 위에 형성된 컨택의 가능한 전기적 특성들을 예측하고 결정하기 위하여 컨택 전기적 특성 계산 유닛(820)을 포함할 수 있다. 상기 비아들 및/또는 다른 컨택들에 관한 전기적 특성 데이터는 배선 공정 제어 유닛(830)에 의해 시험될 수 있다. 상기 배선 공정 제어 유닛(830)은, 금속 증착 공정들, 배선 영역 장벽층(510) 공정, PMD 층(630) 공정 및/또는 PMD 층(520) 공정과 같은 다양한 공정 단계들을 조정할 수 있으며, 여기서 상기 공정 단계들은, 서브-제어기들(350)의 동작을 제어하기 위한 조정 데이터에 의해 영향받을 수 있다. 다시 말해, 상기 배선 공정 제어 유닛(830)은, 배선 위치들의 가능한 전기적 특성들을 계산할 수 있고, 배선 위치들의 제어 교정들을 구현하기 위해 상기 시스템(300)의 다양한 부분에 적절한 교정 데이터를 제공할 수 있다.

[0042] 도 9에 있어서, 본 발명의 일 실시예에 따라 상기 시스템(300)의 더 상세한 블록도가 도시된다. 반도체 웨이퍼들(105)은 라인 또는 네트워크(923)를 경유하여 제공되는 다수의 제어 입력 신호들, 또는 제조 파라미터들을 사용하여 공정 톨들(910a, 910b)에서 처리된다. 상기 라인(923)에서의 상기 제어 입력 신호들, 또는 제조 파라미터들은 기계 인터페이스들(915a, 915b)를 경유하여 컴퓨터 시스템(930)으로부터 공정 톨들(910a, 910b)로 전송된다. 제1 및 제2 기계 인터페이스들(915a, 915b)는 일반적으로 공정 톨들(910a, 910b) 외부에 위치된다. 대안적인 실시예에 있어서, 제1 및 제2 기계 인터페이스들(915a, 915b)은 공정 톨들(910a, 910b) 내부에 위치된다. 반도체 웨이퍼들(105)은 다수의 공정 톨들(910)에 제공되고, 상기 다수의 공정 톨들(910)에서 운반된다. 일 실시예에 있어서, 반도체 웨이퍼들(105)은 공정 톨(910)에 수동적으로 제공될 수 있다. 대안적인 실시예에 있어서, 반도체 웨이퍼들(105)은 자동화 방식(반도체 웨이퍼들(105)의 로봇식 동작)으로 공정 톨(910)에 제공될 수 있다. 일 실시예에 있어서, 다수의 반도체 웨이퍼들(105)가 (예컨대, 카세트들에 적층된)로트상태로 공정 톨들(910)로 이동된다.

[0043] 일 실시예에 있어서, 상기 컴퓨터 시스템(930)은 제어 입력 신호들 또는 제조 파라미터들을 상기 라인(923)을 통해 제1 및 제2 기계 인터페이스들(915a, 915b)로 전송한다. 상기 컴퓨터 시스템(930)은 공정 동작들을 제어할 수 있다. 일 실시예에 있어서, 상기 컴퓨터 시스템(930)은 공정 제어기이다. 상기 컴퓨터 시스템(930)은 다수의 소프트웨어 프로그램들 및 데이터 세트들을 포함할 수 있는 컴퓨터 저장 유닛(932)에 연결된다. 상기 컴퓨터 시스템(930)은 여기서 설명된 동작들을 수행할 수 있는 하나 이상의 프로세서들(도시하지 않음)을 포함할 수 있다. 컴퓨터 시스템(930)은 라인(923)에 제어 입력 신호를 발생시키기 위해 제조 모델(940)을 사용한다. 일 실시예에 있어서, 상기 제조 모델(940)은 라인(923)을 통해 공정 톨들(910a, 910b)로 전송되는 다수의 제조 입력 파라미터들을 결정하는 제조 방법을 포함한다.

[0044] 일 실시예에 있어서, 제조 모델(940)은 특정 제조 공정들을 구현하는 공정 스크립트 및 입력 제어를 정의한다. 상기 라인(923) 상의 공정 톨A(910a)용의 상기 제어 입력 신호들(또는 제어 입력 파라미터들)은 제1 기계 인터페이스(915a)에 의해 수신되고 처리된다. 상기 라인(923) 상의 공정 톨B(910b)용의 제어 입력 신호들은 제2 기계 인터페이스(915b)에 의해 수신되고 처리된다. 반도체 제조 공정에서 사용되는 공정 톨들(910a, 910b)의 예시들은 스테퍼들, 식각 공정 톨들, 증착 톨들 등이다.

[0045] 상기 공정 톨들(910a, 910b)에 의해 공정된 하나 이상의 반도체 웨이퍼들(105)은 또한, 계측 데이터를 획득하기 위해 계측 톨(950)에 전송될 수 있다. 상기 계측 톨(950)은 스케테로미터리 데이터 획득 톨, 오버레이-오류 측정 톨, 임계 치수 측정 톨 등이 될 수 있다. 일 실시예에 있어서, 계측 톨(950)은 하나 이상의 공정된 반도체 웨이퍼들(105)을 시험한다. 상기 계측 데이터 분석 유닛(960)은 상기 계측 톨(950)로부터 데이터를 수집하고, 조직하고, 분석할 수 있다. 상기 계측 데이터는 상기 반도체 웨이퍼들(105) 전역에 형성된 디바이스들의 다양한 물리적 또는 전기적 특성들에 관한 것이다. 예를 들어, 계측 데이터는 라인 폭 측정, 트렌치 깊이, 측벽 각도, 두께, 저항 등으로서 얻어질 수 있다. 계측 데이터는 상기 공정된 반도체 웨이퍼(105)를 가로질러 나타낼 수 있는 단점들을 결정하는데 사용될 수 있으며, 상기 공정 톨들(910)의 성능을 정량화하는데 사용된다.

[0046] 상기 제시된 바와 같이, 계측 데이터 분석 유닛(960)으로부터 분석된 계측 데이터, 웨이퍼 전기 테스트 유닛(330)으로부터의 전기적 특성 데이터, 및/또는 데이터베이스 유닛(340)으로부터의 데이터는 배선 제어 유닛(360)에 의해 수신될 수 있다. 상기 배선 제어 유닛(360)은 비아 및/또는 컨택들의 가능한 그리고/또는 실질적인 전기적 특성들을 결정할 수 있다. 그러한 결정에 따라, 상기 배선 제어 유닛(360)은 공정 조정에 관한 데이터를 상기 서브-제어기(350)에 제공할 수 있다. 상기 서브-제어기들(350)은 반도체 웨이퍼들(105)에서 수행된 다양한 공정들이 구현될 피드백 및/또는 피드-포워드 교정을 계산할 수 있다. 피드백 및/또는 피드-포워드 교정에 관한 데이터는 서브-제어기(350)에 의해 상기 컴퓨터 시스템(930)으로 전송될 수 있다. 이어서, 상기 컴퓨터 시스템(930)은 상기 시스템(300)에 의해 수행되는 후속 공정들에 대응하는 제어 조정을 구현할 수 있다.

- [0047] 도 10에 있어서, 본 발명의 실시예의 플로우차트 설명이 도시된다. 상기 시스템(300)은 반도체 웨이퍼들(105)에서 공정들을 수행한다(블록 1010). 상기 반도체 웨이퍼들(105)을 공정할 때, 일반적으로, 계측 데이터 및/또는 웨이퍼 테스트 데이터와 같은 제조 데이터가 획득된다. 상기 시스템(300)은 상기 공정된 반도체 웨이퍼들(105)에 관한 계측 데이터를 획득할 수 있다(블록 1020). 이어서, 계측 데이터는, 장벽층 특성들, PMD 층 전기적 특성들, ILD 층 특성들, 트렌치 특성들 및 이와 같은 다수의 특성들을 결정하기 위해 분석될 수 있다(블록 1030). 상기 시스템(300)은 또한, 상기 반도체 웨이퍼들(105)의 다양한 배선 위치들의 전기적 특성들에 관한 웨이퍼 전기 테스트 데이터를 획득할 수 있다(블록 1040). 상기 시스템(300)은, 반도체 웨이퍼들(105)에 형성된 특정 컨택들 및/또는 비아들에서의 저항과 같은 다양한 특성들을 결정하기 위해 상기 웨이퍼 전기 테스트 데이터를 분석할 수 있다(블록 1050).
- [0048] 상기 계측 데이터 및/또는 WET 데이터 분석 시, 상기 시스템(300)은 반도체 웨이퍼들(105)의 배선 위치들(예컨대, 비아들, 컨택들 등)의 특성들에 영향을 미치도록 배선 특성 제어 공정을 구현할 수 있다(블록 1060). 피드백 및/또는 피드 포워드 교정들은 상기 반도체 웨이퍼들(105)에 형성된 배선 특성들을 제어하기 위해 사용될 수 있다. 배선 특성 제어 공정을 구현하는 단계들의 더 상세한 설명은 도 11 및 이하의 설명에서 제시된다. 배선 특성 제어 공정으로부터의 데이터는, 컨택들 및/또는 비아들의 특성들이 수용가능한 소정 허용치들 내에 해당하도록, 반도체 웨이퍼(105)의 후속 공정들을 수행하기 위해 사용될 수 있다(블록 1070).
- [0049] 이제 도 11을 참조하면, 도 10의 블록(1060)에 나타난 바와 같은 배선 특성 제어 공정들을 수행하는 단계들의 더 상세한 플로우차트 설명이 도시된다. 상기 시스템(300)은 비아 및/또는 컨택들에 관한 적절한 파라미터들을 계산한다(블록 1110). 예를 들어, 시스템(300)은 반도체 웨이퍼들(105) 위에 형성된 컨택들 또는 비아들에 관련된 ILD 층 두께, 장벽층 특성들, 장벽 라이너 특성들, 및/또는 트렌치 기하 특성들을 계산할 수 있다. 상기 시스템(300)은 배선 형성에 관련된 WET 데이터, 배선 파라미터 특성들, 및/또는 저장된 데이터를 사용하여, 반도체 웨이퍼들(105) 위에 형성된 배선 위치들의 특성들을 결정할 수 있다(블록 1120). 상기 배선된 특성들은 반도체 웨이퍼들(105)에 형성된 배선 위치들의 실제의 특성들 또는 예측된 특성들과 연관될 수 있다. 이어서, 상기 시스템(300)은, 반도체 웨이퍼들(105)의 배선 위치의 실제의 또는 예측된 전기적 특성들이 소정의 수용가능한 허용 범위 내에 있는지 여부를 결정한다(블록 1130). 상기 애플리케이션들의 특성들이 소정의 허용 범위 내에 있다는 결정에 따라, 상기 시스템(300)은 상기 공정에 대한 상당한 수정 또는 변경없이 반도체 웨이퍼들(105)의 공정을 계속한다(블록 1140).
- [0050] 배선 위치의 실제의 그리고/또는 예측된 특성들이 수용가능한 범위 밖에 있다고 결정할 때, 배선 특성들을 변화시키기 위하여 제어 수정이 실시된다(블록 1150). 이러한 제어 조정은, ILD 층 두께, PMD 층 특성들, 장벽층 두께, 장벽 라이너 특성들, 트렌치 특성들 등을 조정하는 것을 포함할 수 있다. 상기 서브-제어기들(350)은 상기 배선 제어 유닛(360)으로부터 데이터를 수신하고, 이 데이터는 상기 배선 위치들의 특성들에 영향을 주기 위해 상기 반도체 웨이퍼들(105)에서 수행되는 공정 단계들에 영향을 미치도록 사용될 수 있다. 도 11에 설명된 단계들의 완료는 실질적으로, 도 10의 블록(1060)에서 설명된 배선 특성 제어 공정의 구현을 수행하는 공정을 제시한다.
- [0051] 본 발명의 실시예들을 이용하여, 반도체 웨이퍼들(105)의 공정시 형성되는 디바이스들의 동작의 정확성을 향상시키기 위해, 배선 위치의 특성들에 영향을 미치는 제어 조정들이 수행될 수 있다. 공정 제어 기술들은 상기 반도체 웨이퍼들(105)에 형성되는 배선 위치들의 미세한 특성들에 영향을 미치도록 사용될 수 있고, 그에 따라 상기 반도체 웨이퍼들(105)로부터 제조된 디바이스들의 성능을 향상시킨다.
- [0052] 본 발명에 의해 얻어진 원리는 KLA-텐코 사(KLA-Tencor, Inc)에 의해 제공된 촉매 시스템(Catalyst system)과 같은 진보된 공정 제어(APC) 체제에서 구현될 수 있다. 상기 촉매 시스템은 세계 반도체 장비재료 협회(Semiconductor Equipment and Materials International)(SEMI) 컴퓨터 통합 제조(Computer Integrated Manufacturing)(CIM) 체제와 호환되는 시스템 기술들을 이용하며, 진보된 공정 제어(APC) 체제를 기초로 한다. CIM(SEMI E81-0699 -CIM 체제 도메인 구조에 대한 가 사양) 및 APC(SEMI E93-0999 - CIM 체제 진보된 공정 제어 성분에 대한 가 사양) 사양은 SEMI로부터 공개적으로 이용가능하다. APC 체제는 본 발명에 의해 알려진 제어 기술을 구현하기 위한 바람직한 플랫폼이다. 몇몇 실시예들에 있어서, APC 체제는 공장-광역 소프트웨어 시스템이 될 수 있다; 따라서, 본 발명에 의해 알려진 제어 방법은 공장에서 가상적인 임의의 반도체 제조 툴들에 적용될 수 있다. APC 체제는 또한 원거리 액세스와, 공정 수행을 모니터링하는 것을 허용한다. 더욱이, APC 체제를 이용함으로써, 데이터 저장소는 로컬 드라이브보다 더 편하고, 더 유연하며, 덜 비쌀 수 있다. APC 체제는 필수적인 소프트웨어 코드를 기입하는데 유연성 있는 상당한 용량을 제공하기 때문에 더 정교한 제어 타입을 허

용한다.

[0053] APC 체제에서 본 발명에 의해 알려진 제어 방법의 개발은 다수의 소프트웨어 구성요소를 요구할 수 있다. APC 체제 내의 구성요소에 부가하여, 컴퓨터 스크립트는 상기 제어 시스템에 연관된 각각의 반도체 제조 툴들에 대해 기입된다. 제어 시스템 내에서의 반도체 제조 툴이 반도체 제조 공정에서 개시될 때, 오버레이 제어기와 같은 공정 제어기에 의해 요구되는 동작을 초기화하기 위한 스크립트를 요청한다. 상기 제어 방법들은 일반적으로 이러한 스크립트 내에서 정의되고 수행된다. 이러한 스크립트들의 개발은 제어 시스템 개발의 상당 부분을 포함할 수 있다. 본 발명에 의해 알려진 원리들은 다른 타입의 제조 체제들로 구현될 수 있다.

[0054] 상기 개시된 특정 실시예들은 단지 예시적인 것으로서, 본 발명은 상이하나 개시된 내용을 습득한 당업자에게 명백히 균등한 방식으로 변경되거나 실행될 수 있다. 더욱이, 이하 청구항에서 기술된 것을 제외하고 여기 보여진 구조 또는 설계에 대한 상세한 설명에 제한되지 않는다. 그에 따라 상기 구체화된 상세한 설명은 변경되거나 수정될 수 있고 그러한 변경은 본 발명의 사상과 범위 내에 있다는 것은 명백하다. 따라서 보호범위는 이하의 청구범위에 개시되어 있다.

도면의 간단한 설명

[0015] 본 발명은 첨부된 도면과 일치하는 이하의 설명을 참조하여 이해될 수 있으며, 동일한 도면부호는 동일한 구성요소를 나타낸다.

[0016] 도 1은 공정된 종래 기술 반도체 웨이퍼의 단순화된 블록도이다.

[0017] 도 2는 반도체 웨이퍼들을 제조하는 동안 종래 기술 공정 흐름의 단순화된 플로우차트 설명을 예시한다.

[0018] 도 3은 본 발명의 예시적인 일 실시예에 따라 시스템의 블록도 표현을 제공한다.

[0019] 도 4는 본 발명의 예시적인 일 실시예에 따라, 도 3의 하나 이상의 서브-제어기의 더 상세한 블록도를 예시한다.

[0020] 도 5는 본 발명의 예시적인 일 실시예에 따라, 컨택을 가지는 반도체 웨이퍼의 단면도를 예시한다.

[0021] 도 6은 본 발명의 예시적인 일 실시예에 따라, 도 5의 반도체 웨이퍼의 장벽층의 단면도를 예시한다.

[0022] 도 7은 본 발명의 예시적인 일 실시예에 따라, 비아를 가지는 반도체 웨이퍼의 단면도를 예시한다.

[0023] 도 8은 본 발명의 예시적인 일 실시예에 따라, 도 3의 배선 제어 유닛의 더 상세한 블록도 표현을 예시한다.

[0024] 도 9는 본 발명의 예시적인 일 실시예에 따라, 도 3에 도시된 시스템의 더 상세한 블록도 표현을 예시한다.

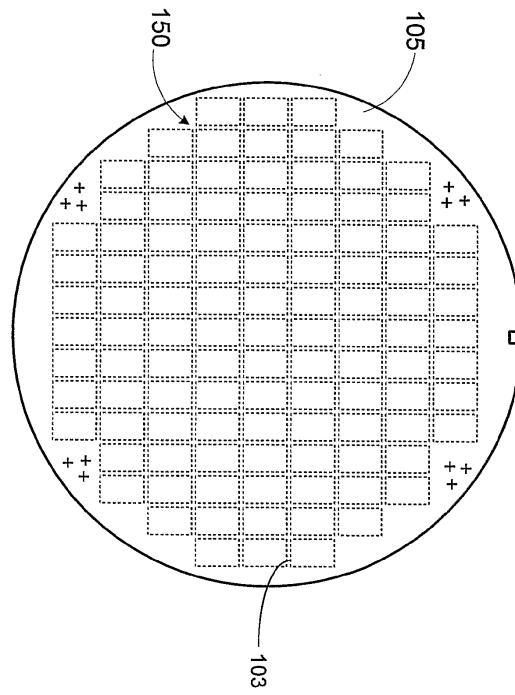
[0025] 도 10은 본 발명의 예시적인 일 실시예에 따라, 방법의 플로우차트 설명을 예시한다.

[0026] 도 11은 본 발명의 예시적인 일 실시예에 따라, 도 10에 나타낸 바와 같이, 배선 특성 제어 공정의 방법의 더 상세한 플로우차트 설명을 예시한다.

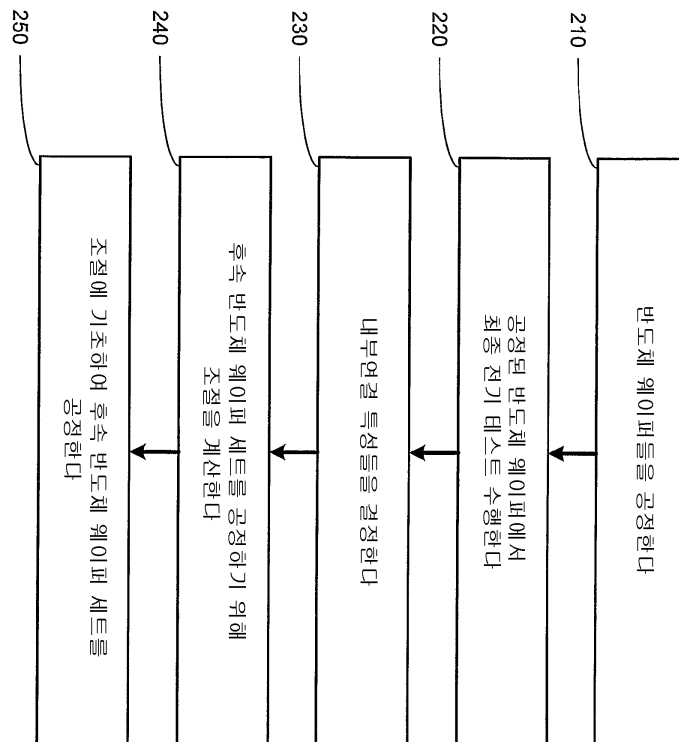
[0027] 본 발명은 다양한 변형물과 대체 형상에 적용하기 쉬우나, 본원의 구체적인 설명은 도면에 예시된 방식에 의해 보여지며 여기서 상세히 설명된다. 그러나, 본원에서 특정 실시예들의 설명은 본 발명을 개시된 특정 형태들로 한정하는 것이 아니라, 첨부된 청구항들에 의해 정의된 발명의 사상과 범위 내에 있는 모든 변형물, 균등물과 대체물을 포함한다는 것을 이해해야 한다.

도면

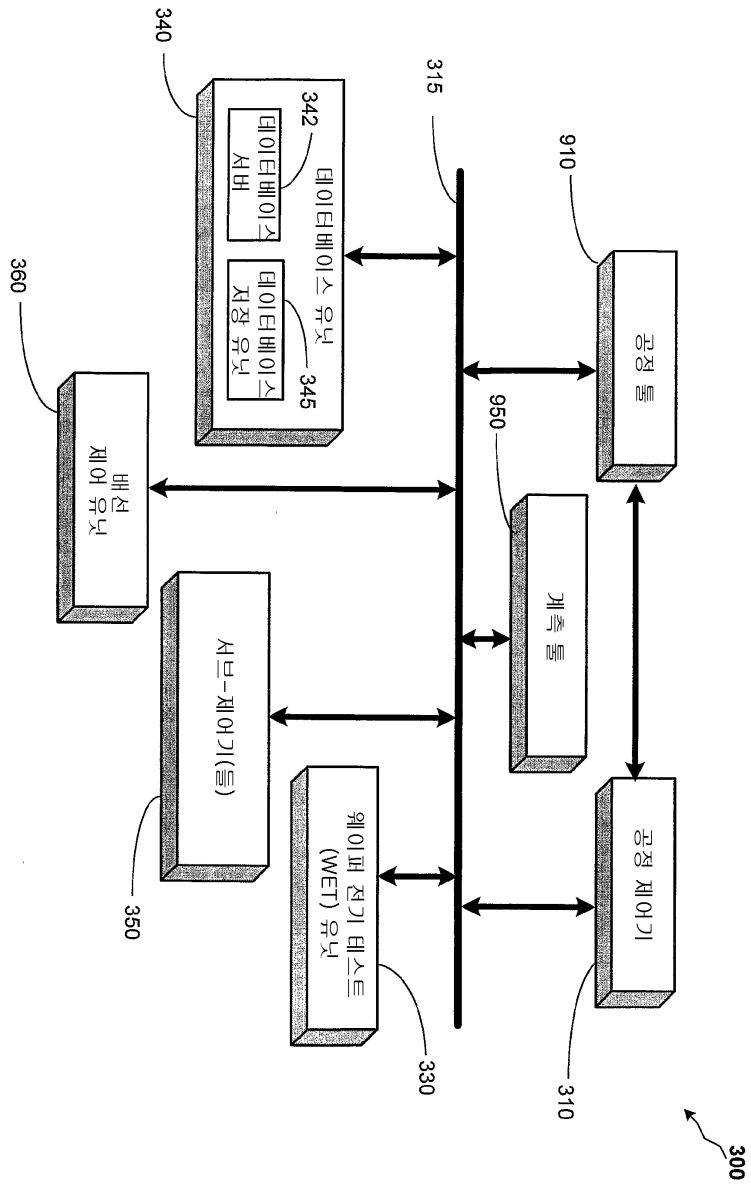
도면1



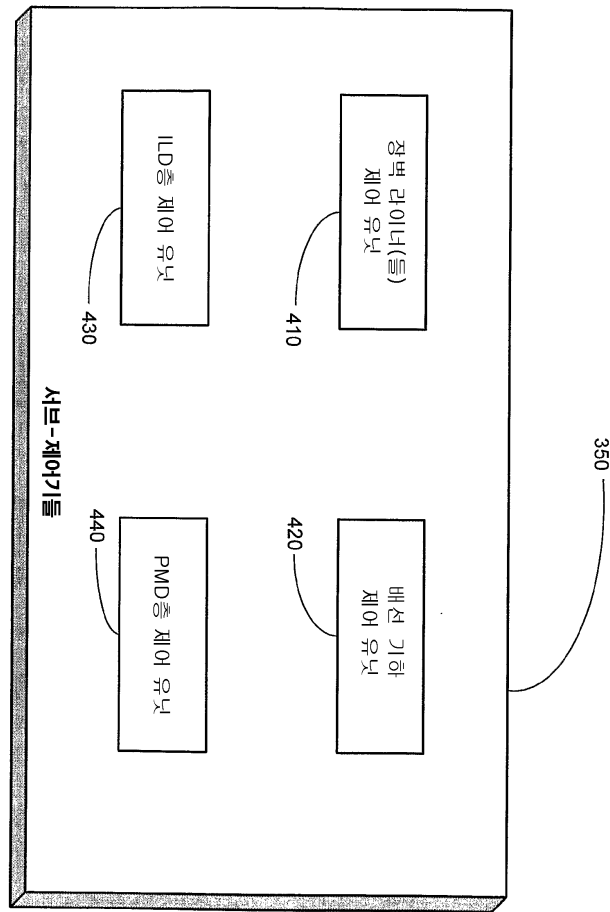
도면2



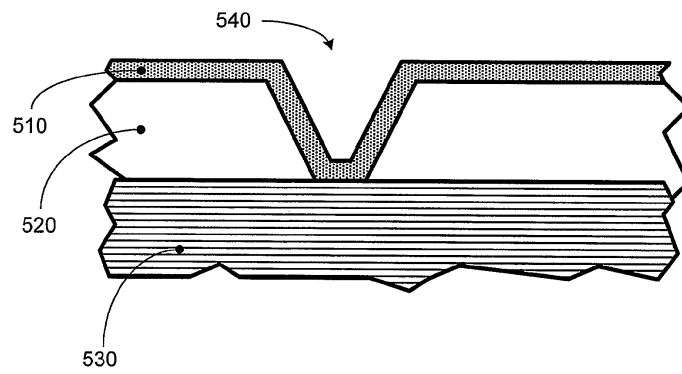
도면3



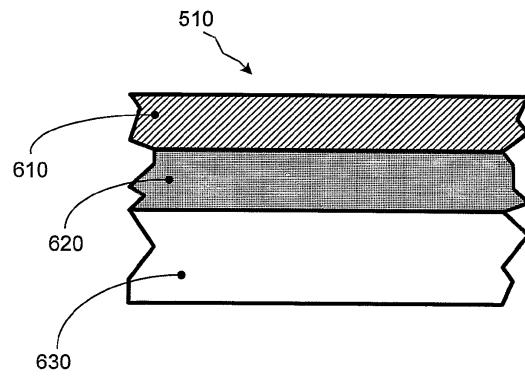
도면4



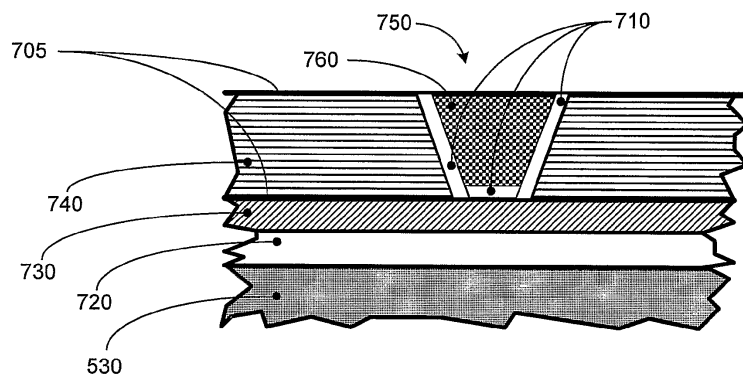
도면5



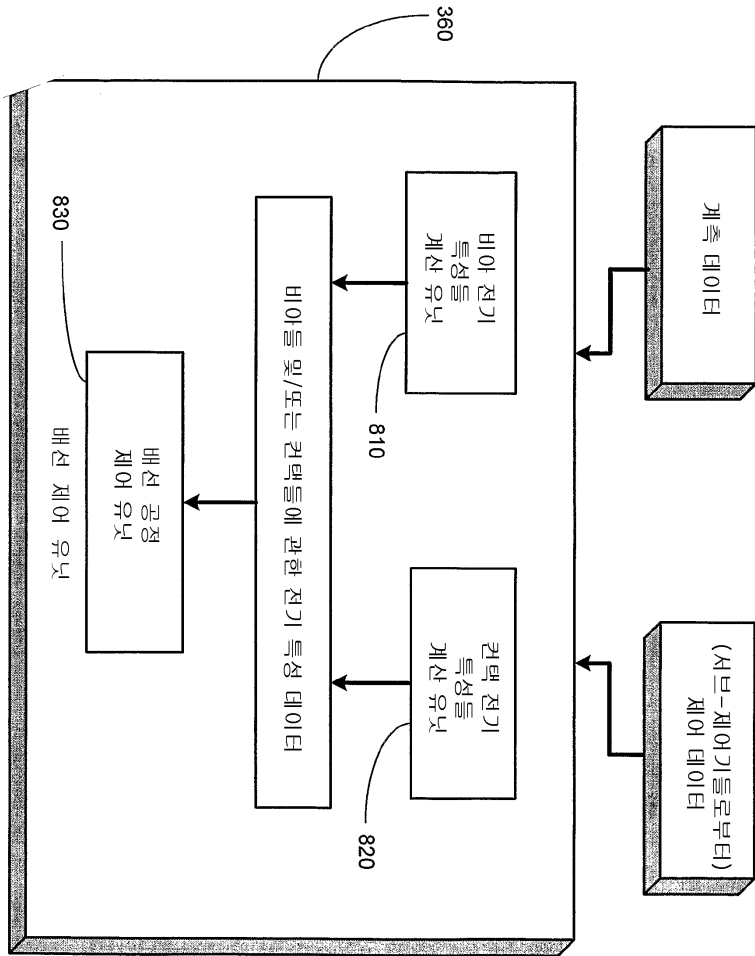
도면6



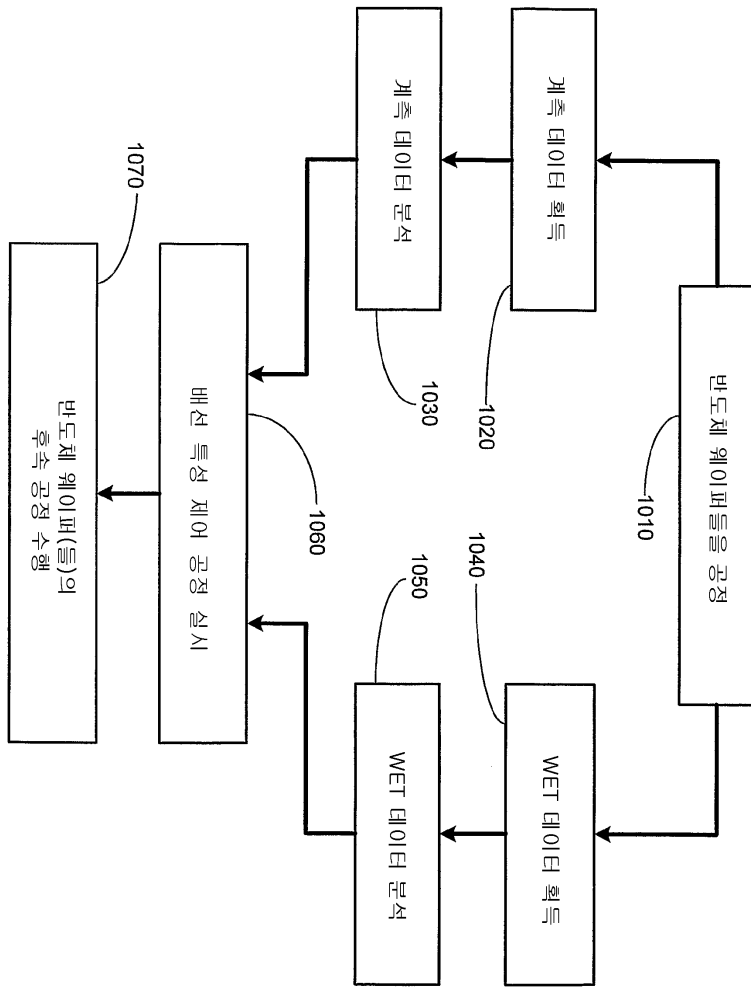
도면7



도면8



도면10



도면11

