

申請日期	91.2.25
案 號	91103280
類 別	H01L 23/34

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	混合式類比與數位積體電路
	英 文	"MIXED ANALOG AND DIGITAL INTEGRATED CIRCUITS"
二、發明 創作人	姓 名	1.賽夫拉 巴察傑尼 SEYFOLLAH BAZARJANI 2.海塔 韓 HAITAO ZHANG 3.奎罕 蘇 QIUZHEN ZOU
	國 籍	1.加拿大 CANADA 2-3 中國 PEOPLE'S REPUBLIC OF CHINA
三、申請人	住、居所	1.美國加州聖地牙哥市卡米尼多貝索路12906號 12906 CAMINITO BESO SAN DIEGO, CALIFORNIA 92130 U.S.A. 2.美國加州聖地牙哥市科特馬迪戴芬斯路11018號 11018 CORTE MAR DE DELFINAS SAN DIEGO, CALIFORNIA 92130 U.S.A. 3.美國加州拉傑拉市魯格斯路5791號 5791 RUTGERS ROAD LA JOLLA, CALIFORNIA 92037 U.S.A.
	姓 名 (名稱)	美商奎康公司 QUALCOMM INCORPORATED
三、申請人	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國加州聖地牙哥市摩豪斯大道5775號 5775 MOREHOUSE DRIVE SAN DIEGO, CALIFORNIA 92121- 1714 U.S.A.
三、申請人	代 表 人 姓 名	菲力普 R. 華德渥斯 PHILIP R. WADSWORTH

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美國

2001年03月02日

09/798,198

☒有☐無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明 (1)

背景

領域

本發明有關於一般的電路，而更特別的是將類比與數位電路組裝在個別的晶片上，而且堆疊整合此些晶片成單一的封包。

背景

許多應用需要處理類比與數位兩信號。在無線通信的領域內，此類應用在傳輸端與接收端皆需要處理混合式類比與數位信號。在接收端，接收、調節(例如放大與過濾)、下轉換、正交解調與數位化一調變類比信號來提供樣本。接著按照該樣本執行數位信號處理以轉換所傳輸的資料。然而在傳輸端，資料被處理(例如，編碼、插入與展開)，而接著轉換成一或更多的類比信號。該類比信號接著被調節、調變及上轉換，以提供適合經由無線鏈結傳輸的調變信號。混合式信號電路也使用於無線通信的其他方面，而且包括語音／聲頻的編碼／解碼，數位化各種信號如電池電壓與溫度的一般用途類比至數位轉換器(ADCs)，以及其他電路。許多其他的應用也需要混合式信號的處理，例如網路連結、電腦，等等。

通常，經由分割類比與數位積體電路(ICs)來完成類比與數位信號的處理，隨著藉由ADCs與數位至類比轉換器(DACs)完成兩積體電路間的介面。而數位電路容易產生大量的交換雜訊。相形之下，類比電路通常包括許多提出或被要求的敏感電路(例如振盪器、放大器等等)，作業於完

五、發明說明 (2)

全的環境中。類比與數位電路實行於獨立的積體電路，使得此些電路被隔離，而且於各自最佳的環境中作業。然而，對該類比與數位電路而言，最理想的處理技術通常是不同的。往往使用標準的CMOS處理來實行數位電路，而類比電路係利用線性電容器與電阻器，其需要額外的步驟加到該標準的CMOS處理。

對於降低產品的成本與複雜度，類比與數位電路能被組裝在一混合式信號積體電路的共用基板上。該混合式信號積體電路提供許多如降低成本、較少的組件數、較小型的板區域、簡化測試的好處，以及其他可能的好處。

然而，將該類比與數位電路組裝在一共用基板上有許多的缺點。首先，由該數位電路所產生雜訊，會經由耦合通過該基板而降低該類比電路的性能。第二，該類比電路需要線性電容器與電阻器，指定所需要的特定積體電路處理，例如類比CMOS。因此，雖然該類比電路僅佔用該晶片的一小部分，但該數位電路與該類比電路選擇該積體電路處理一樣會增加成本。第三，數位電路通常受益於技術定標（例如，減少電晶體大小，較低的作業電壓），但類比電路卻受電壓定標之苦。以及第四，因為類比電路的設計週期通常比數位電路長很多，所以會延長混合式信號積體電路的設計週期。

如所瞭解的，於此技藝中需要組裝整合類比與數位電路的技術，而減少傳統上混合式信號積體電路組裝在一共用基板上的缺點，以獲得混合式信號積體電路的好處。

五、發明說明 (3)

發明概要

本發明的觀點係提供技術，其用以組裝類比與數位電路在個別晶片上，並且堆疊整合此等晶片於單一封包中，以形成能提供許多上面所描述之好處的混合式信號積體電路。在此觀點上，該類比與數位電路係實行在兩獨立的晶片上，其可能使用不同的積體電路來適當的處理此些不同類型之電路。此後該類比與數位晶片係整合(堆疊)封裝於該單一的封包。黏合墊係提供來互相連接此兩晶片，而且連接此等晶片到外部插腳。當減少實行該黏合墊所需要的晶片區域量時，以提供所需要之連接的方式來定位及配置該黏合墊。於另一觀點中，係結合串列匯流排介面來測試該晶片對晶片的連接。而另一觀點，在待命模態至延長作業期間，可瓦解(例如，下降至零伏特)提供給該類比晶片內若干或所有電路的電源(而且該電源可能提供給該數位電路內若干或所有的區塊)。

本發明進一步提供實施本發明的各種觀點、實施例與特徵的積體電路、方法與元件，將進一步詳細描述於下。

圖示的簡述

當獲得諸如參考符號全部對應同一識別的相關圖示，將更明白本發明的特徵、本質與優點，其中：

圖1係根據本發明的實施例，顯示一混合式信號積體電路的上視圖；

圖2係顯示混合式信號積體電路的側視圖，其被封裝於一特定的積體電路封包；

五、發明說明(4)

圖3A至3C係顯示混合式信號積體電路各層間互相連接的側視圖；以及

圖4A與4B係顯示該類比與數位晶片間互相連接的上視圖。

詳細描述

本發明提供關於組裝類比與數位電路在獨立的晶片上，並堆疊此等晶片安裝於單一封包之技術的觀點。當減少慣用的混合式信號組裝在一共用基板上的缺點時，本發明的該混合式信號積體電路能提供混合式信號許多好處。在此觀點上，該類比與數位電路係實行在兩獨立的晶片上，其使用適合該電路的積體電路處理。例如，可使用先進的低電壓數位CMOS技術來實行該數位電路，以節省成本、電力的消耗量與矽區域。而視所要求的性能而定，可使用低成本、成熟的CMOS技術來設計實行該類比電路，以節省電力的消耗量，或者可使用高性能的技術來設計該類比電路。此後該類比與數位電路係結合(堆疊)封裝於單一封包，將進一步詳細描述如下。

圖1係根據本發明的實施例，顯示一混合式信號積體電路100的上視圖。混合式信號積體電路100包括一類比晶片130堆放在數位晶片120的上面，而數位晶片120進一步堆放在封裝基板110的上面。對許多應用而言，該類比晶片只是該數位晶片大小的一小部分(例如，通常為1/8至1/4)。例如，類比晶片130的面積為1.5 mm乘2 mm，而數位晶片120的面積為6 mm乘6 mm。因此，較小型的類比晶片能被堆放在

五、發明說明 (5)

數位晶片的上面以節省空間，並且考慮到較小型封包的使用。

該類比與數位晶片可以是任何的形狀與大小。對於若干電路及積體電路處理，該晶片最好有一可靠的外觀比例。例如，由於正方形較容易製造及其他的好處，所以是最好的。

如圖1所顯示，在封裝基板110的四周提供許多黏合墊112。此些黏合墊112係用於提供該類比與數位晶片的輸入／輸出(I/O)。數位晶片120也包括許多黏合墊122，其經由黏合金屬線123互連到封裝基板110上對應的黏合墊112。同樣地，類比晶片130也包括許多黏合墊132，其經由黏合金屬線133互連到封裝基板110上對應的黏合墊112。類比晶片130另外包括許多黏合墊134，其經由黏合金屬線135互連到數位晶片120上對應的黏合墊124。

在數位晶片120上挑選放置類比晶片130的特定區域時，需要考慮到種種因素。如果類比晶片130被放置在數位晶片120很完整的區域上，則能達到改進過的性能。最好能放置類比晶片130在數位晶片120的區域上，比較不需要除錯。例如，數位晶片120可包括記憶體電路(例如RAM和／或ROM)的一部分，其可能更易引起缺點，而且更有可能需要存取來除錯該電路。於該案例中，類比晶片130可被放置在數位晶片120的另一區域上，因此比較不需要存取。類比晶片130也可被放置在接近數位晶片120的一邊緣或一角。如此能縮短類比晶片130的黏合墊132與封裝基板110的相對應

五、發明說明(6)

黏合墊112間的互相連接(即該黏合金屬線)。類比晶片130以該插腳為基礎，也能被放置在該類比晶片及整個封包外。但要考慮各種其他的因素，而且是在本發明的領域範圍內。

圖2係顯示混合式信號積體電路100的側視圖，其被封裝於一特定的積體電路封包。如圖2所顯示，晶片黏著劑140係塗在封裝基板110的上面，而數位晶片120接著被放置在該晶片黏著劑的上面。接著第二晶片黏著劑140被塗在數位晶片120的上面，而類比晶片130被放置在第二晶片黏著劑的上面。該晶片黏著劑係用於將該晶片與封裝基板黏著(即黏合)在一起。鑄模混合物150係用於填滿該類比與數位晶片未佔用的空間。

能使用各種類型的封包來封裝混合式信號積體電路100。依據如所需要的插腳數、最佳的插腳佈局、製造能力等等的各種因素，來選擇該特定的封包。顯示於圖2的範例中，混合式信號積體電路100係封裝於商業上可用的標準微點格子陣列(F-BGA)封包，該封包的大小與尺寸是此技藝中所熟知的。

於實施例中，封裝混合式信號積體電路100於一有定界限高度尺寸的標準封包中，類比晶片130和／或數位晶片120的厚度能被控制於該特定的界限範圍內。能因"來回磨"用於組裝該晶片的晶元而降低該類比和數位晶片的厚度。於實施例中，該晶元係來回磨成200 μm ，但也可使用若干其他厚度值。由於降低該類比和數位晶片的厚度，而使得該

五、發明說明(7)

堆疊晶片具有(1)類似一般單石晶片封裝於該封包的輪廓，或者(2)符合該封包之規格的輪廓。

圖3A至3C顯示混合式信號積體電路100各層間互相連接的側視圖。圖3A顯示數位晶片120與封裝基板110間的互相連接。該互相連接係經由各自位於封裝基板與該數位晶片的黏合墊112與122及黏合線123來完成。也能用使用於該封包的標準方式來完成該互相連接。

圖3B顯示類比晶片130與封裝基板110間的互相連接。該互相連接係經由各自位於封裝基板與該數位晶片的黏合墊112與132及黏合線133來完成。同樣能以標準方式來完成該互相連接。

圖3C顯示類比晶片130與數位晶片120間的互相連接。該互相連接係經由各自位於封裝基板與該數位晶片的黏合墊134與124及黏合線135來完成。同樣能以標準方式來完成該互相連接。

圖4A與4B顯示該類比與數位晶片間互相連接的上視圖。於圖4A中，在類比晶片130上提供與封裝基板110互相連接的第一組黏合墊132，以及與數位晶片120互相連接的第二組黏合墊134。同樣地，在數位晶片120上提供與封裝基板110互相連接第一組黏合墊122，以及與類比晶片130互相連接的第二組黏合墊124。

於此方面，數位晶片120上的黏合墊122與124係"互相數位化"，可能使黏合墊122與124任一放置(沿著一直線)在該數位晶片上。隨著該互相數位化黏合墊的配置，需要極

五、發明說明 (8)

微的額外晶片區域(若有的話)來實行數位晶片120上的更多黏合墊124互連到類比晶片130。以此方法，將類比晶片130堆疊在數位晶片120的上面，而不會招致損失。此外，在數位晶片120上的一群晶片對晶片黏合墊可被放置在該數位晶片的一群外部腳角間。對於此配置同樣不會招致損失。

於實施例中，為了類比晶片130，黏合墊132與134係位於接近該類比晶片的邊緣，而且接近於此些黏合墊最後被耦合的數位晶片120與封裝基板110的邊緣。此些黏合墊的定位促進類比晶片130、數位晶片120及封裝基板110間的互相連接(例如，實行該互相數位化的連接)。上述也使得黏合線與類比晶片130的距離較短，而能改善性能。於實施例中，關於數位晶片120的黏合墊122與黏合墊124同樣也位於接近該數位晶片的邊緣。數位晶片120的此些黏合墊的佈置，應避免侵入該數位電路區域。位於該數位晶片核心區域的此些黏合墊的佈置，會干擾(即妨礙)該信號線的選路通道。

圖4B顯示該類比與數位晶片間的互相連接，係使用位於距離數位晶片120邊緣較遠的黏合墊126。對於若干特定的設計，其優點為互相連接位於距離該數位晶片邊緣較遠的數位電路位。上述可被要求，例如，為了縮短該類比與數位電路間的互相連接，或者提供更多的I/O墊在該類比晶片上。於此案例中，黏合墊126係提供在數位晶片120上，與類比晶片130上相對應的黏合墊136互相連接。

於此所描述之堆疊的類比與數位晶片提供很多的優點。首先，由於該類比與數位電路分割成兩晶片，對各類型的

五、發明說明(9)

電路可選擇更加理想的處理技術。對類比與數位電路可選擇不同的技術。第二，消除通過一共用矽基板的干擾耦合。第三，該類比與數位電路能夠逐步形成在不同的排程，因此一電路類型(例如類比)不會阻礙其他電路類型的設計。此外，各個電路類型的設計與修訂不會受到其他電路類型的影響。隨著於此所描述的堆疊類比與數位晶片的設計，也能明白其他的好處。

本發明的另一觀點係提供技術來測試該堆疊的類比與數位晶片。所有的晶片可分開測試(例如於晶圓層)，以確保適合組裝在該晶片上之電路的功能。該類比與數位晶片被堆疊、互相連接，並封裝於一封包之後，需執行更多的測試以確保經由該黏合線的互相連接是能起作用的(即確保連接)。然而，由於該晶片對晶片的互相連接經由外部插腳不能直接進入，於此提供技術來測試此些互相連接。

於此實施例中，結合標準串列匯流排介面(SBI)來完成該晶片對晶片互相連接的測試。該測試使用此技藝中已知的方法來作業。關於實行此介面，該數位晶片能被設計及操作作為"主要"的驅動器，其控制該測試功能(例如，關機切斷電源、模組選擇等等)，而該類比晶片能被操作作為"從屬"的驅動器，實行由該數位晶片所提供的控制。測試向量包括控制值能由該數位晶片傳送到該類比晶片的順序，以執行晶片對晶片的測試。

於實施例中，為了測試所有的晶片對晶片的互相連接，而在該類比晶片上提供一多工器。該多工器具有用以正常

五、發明說明 (10)

作業的第一輸入、用以測試的第二輸入、一操作地耦合到該晶片對晶片墊的輸出、以及一控制輸入。對於測試來自該類比晶片值的讀取，該第二輸入與控制輸入各自從類比晶片的從屬驅動器接收一測試值與一控制信號，其能夠指示該多工器經由該多工器提供一特定的測試值給該晶片至晶片墊。在該數位晶片上，接收來自該類比晶片的測試值，而且能被路由到一外部輸出墊(即經由另一多工器)。該測試值接著能被偵測，而且對照經由該串列匯流排介面提供給該從屬驅動器的值。

對於測試將值寫到該類比晶片，一測試值從一外部輸出墊被路由到該數位晶片的晶片至晶片墊(例如經由一多工器)。該測試值接著由該類比晶片的另一多工器所接收。該類比晶片的多工器由該從屬驅動器所控制，而選路所接收的測試值到該從屬驅動器，接著由串列匯流排介面提供該值。而經由該數位晶片提供該測試值，並且能對照從串列匯流排介面所偵測的值，以確保適合的連接。

因此該串列匯流排介面能用於測試該類比晶片的讀取與寫入。為了測試晶片至晶片的互相連接，該串列匯流排介面係用於控制該類比晶片上的多工器。該串列匯流排介面也用於經由該數位晶片提供測試值給該類比晶片(關於寫入)，而且經由該晶片至晶片的互相連接來接收由該類比晶片所接收的測試值(關於讀取)。

本發明的另一觀點係提供技術，其用以控制該數位晶片上的電路和／或電源，以及使該數位晶片在待命模態期間

五、發明說明 (11)

有可能逆轉該電力。在無線通信系統的一遠端能被啟動，並且能於確實的時間間隔內完全地作業，但在其他時間間隔內，能關閉並處於待命模態，因而逆轉電力，並且在電池再充電期間能延長作業的使用期。於該待命模態，希望能如許多電路一樣被切斷電源，盡可能地減少電力的消耗量。然而切斷電源，仍然會導致該電路洩漏電流，其能夠縮短遠端作業的使用期。該洩漏電流能因"瓦解"該電源提供給此等電路而消除(例如，下降至零伏特)。

對於以上述方法來實行混合式信號積體電路，當處於待命模態時，希望盡可能如許多電路般切斷和／或瓦解該類比晶片內的電源。當該類比晶片上的電路啟動來提供所希望的性能時，會消耗(相對地)大量的電流。該類比電路也能在不同的電壓中作業，接著也用於該數位電路。例如，該類比電路能以3.3伏特的電源來作業，而該數位電路能以1.8伏特的電源來作業。而該類比電路的電源係由外部電源經由外部插腳所提供。

於實施例中，於待命模態期間，該串列匯流排介面係用於控制該類比電路的若干或所有的作業，並且瓦解該電源。該類比晶片的從屬驅動器能被設計成根據數位電源來作業，而且在整個待命週期是保持作業。位準移位電路係提供在該類比晶片上，將從屬驅動器的數位控制信號轉換成所要求的信號位準，需要控制該類比晶片上各種類型的類比電路(例如，振盪器、鎖相迴路電路、前端接收器電路等等)。該從屬驅動器經由串列匯流排介面接收來自該數位晶

五、發明說明 (12)

片的命令以控制該類比晶片的電路作業。於回應中，該從屬驅動器產生控制信號，其命令該類比晶片的類比電路以先前描述的方法作業。由於該從屬驅動器甚至於在待命模式中也是通電的，所以能夠保持該電路的設定。

在待命模式中，該串列匯流排介面用於指示該電力管理單元去瓦解在該類比晶片上所選擇的電路(所有或子集的電路)的電壓。如此會消除洩漏電流，並且延長作業的使用期。當不處於待命模式時，該串列匯流排介面用於指示該電力管理單元為該類比晶片產生電壓。

於此所描述的電壓"套疊"技術，在待命模式中，瓦解(即達到零伏特)該類比晶片的若干或所有電路的電壓，同樣也能應用於其他使用非堆疊的類比與數位晶片所設計的混合式信號，而且進一步能被封裝於個別的封包。該電壓套疊技術同樣能應用於數位晶片中的許多區塊(有選擇性的)。

所揭露之實施例的先前描述的提供，使任何熟悉此項技藝之人士能獲得或使用本發明。熟悉此項技藝者將很快地見到對此等實施例的修改，而且於此所定義的一般原理可適合於其他的實施例，不需違背本發明的精神或範圍。因此，本發明並不受限於顯示於此的實施例，但使該最寬鬆的範圍能與揭露於此的原理及新穎的特徵一致。

四、中文發明摘要(發明之名稱:混合式類比與數位積體電路)

本發明提供一種用以將類比與數位電路組裝在個別的晶片上，並堆疊整合此晶片於單一封包中，以形成能提供許多好處的混合式信號積體電路的技術。在此觀點上，該類比與數位電路係實行在兩獨立的晶片上，其可能使用不同的積體電路適當地處理此不同類型的電路。此後該類比與數位晶片係整合(堆疊)封裝於該單一的封包。黏合墊係提供來互相連接此晶片，而且連接此晶片到外部插腳。當減少實行該黏合墊所需要的晶片區域量時，以能提供所需要的連接的方式來定位及配置該黏合墊。於另一觀點，係結合串列匯流排介面來測試該晶片對晶片的連接。

英文發明摘要(發明之名稱: "MIXED ANALOG AND DIGITAL INTEGRATED CIRCUITS")

Techniques for fabricating analog and digital circuits on separate dies and stacking and integrating the dies within a single package to form a mixed-signal IC that provides many benefits. In one aspect, the analog and digital circuits are implemented on two separate dies using possibly different IC processes suitable for these different types of circuits. The analog and digital dies are thereafter integrated (stacked) and encapsulated within the single package. Bonding pads are provided to interconnect the dies and to connect the dies to external pins. The bonding pads may be located and arranged in a manner to provide the required connectivity while minimizing the amount of die area required to implement the pads. In another aspect, the die-to-die connectivity may be tested in conjunction with a serial bus interface.

9/10 3280

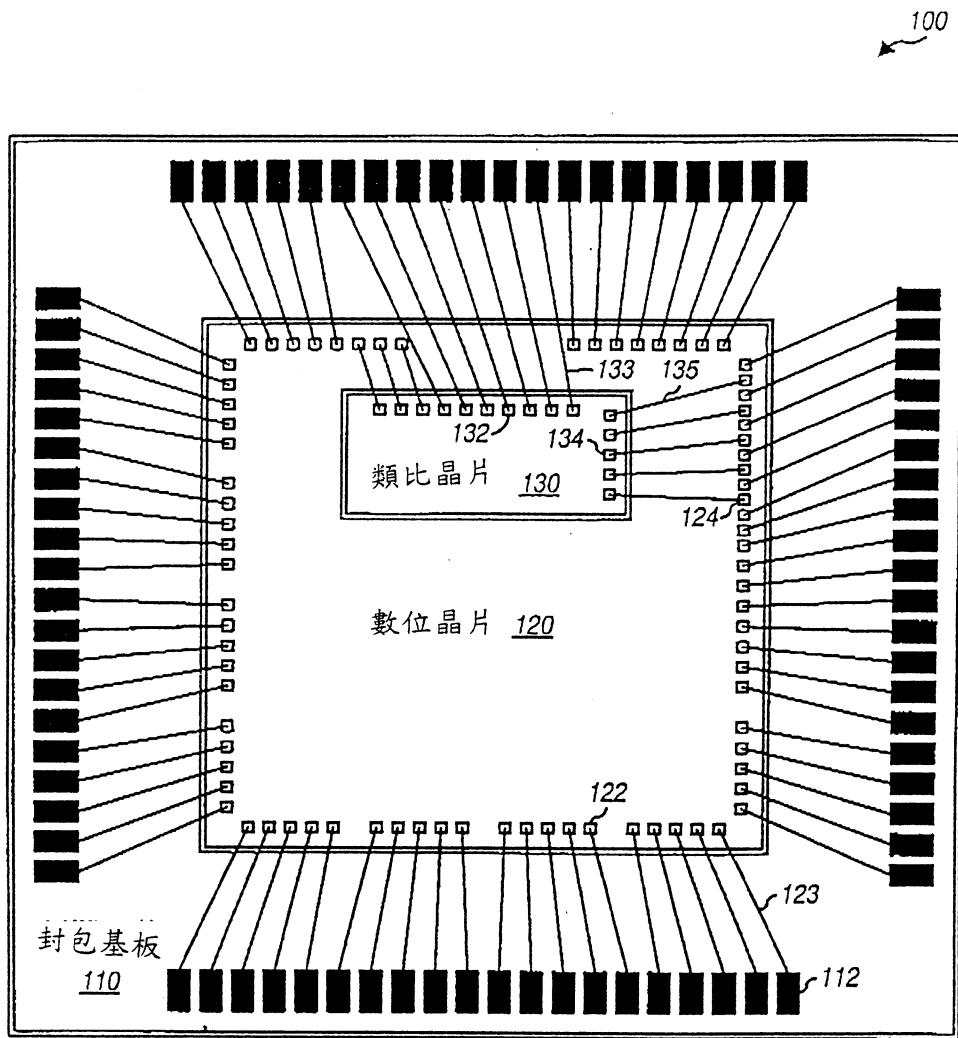


圖 1

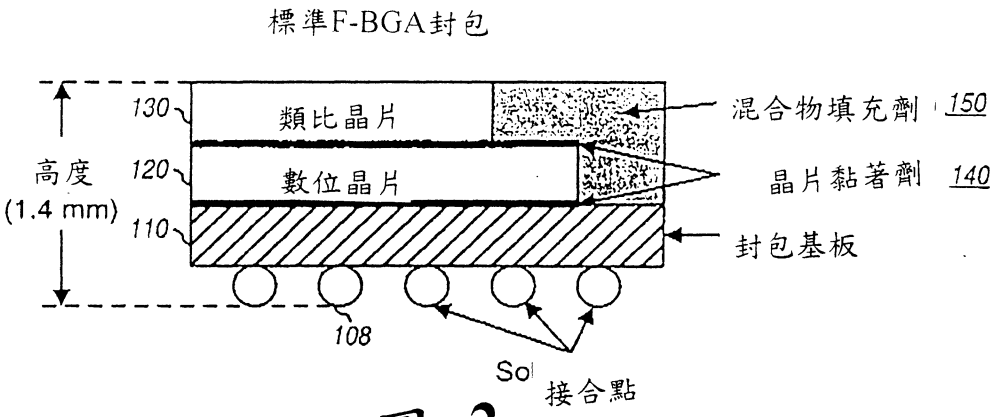


圖 2

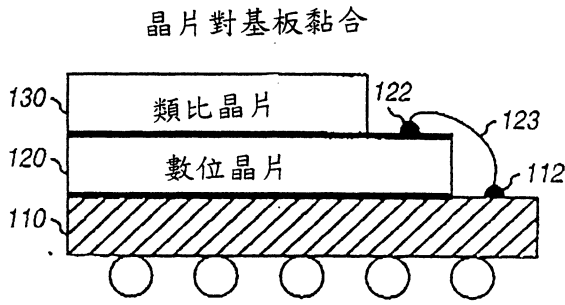


圖 3A

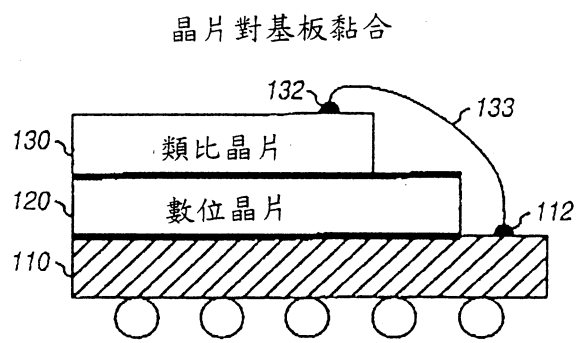


圖 3B

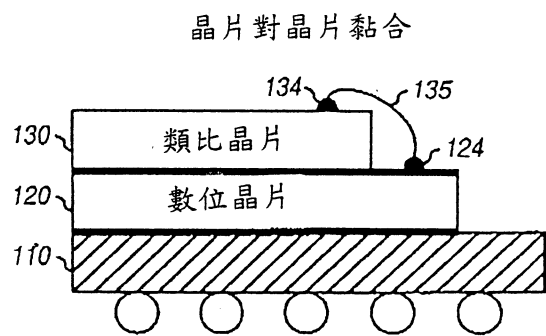


圖 3C

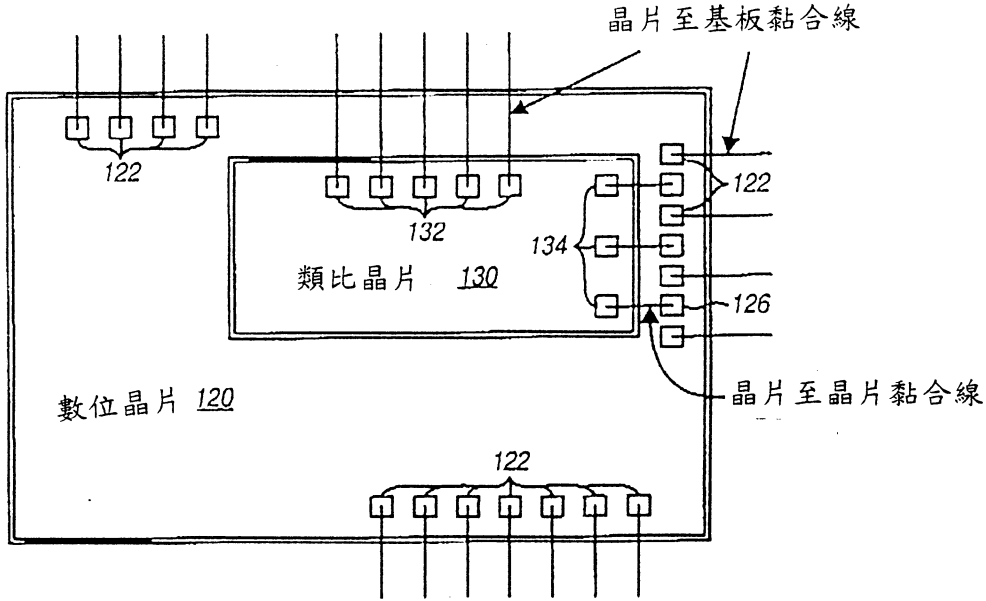


圖 4A

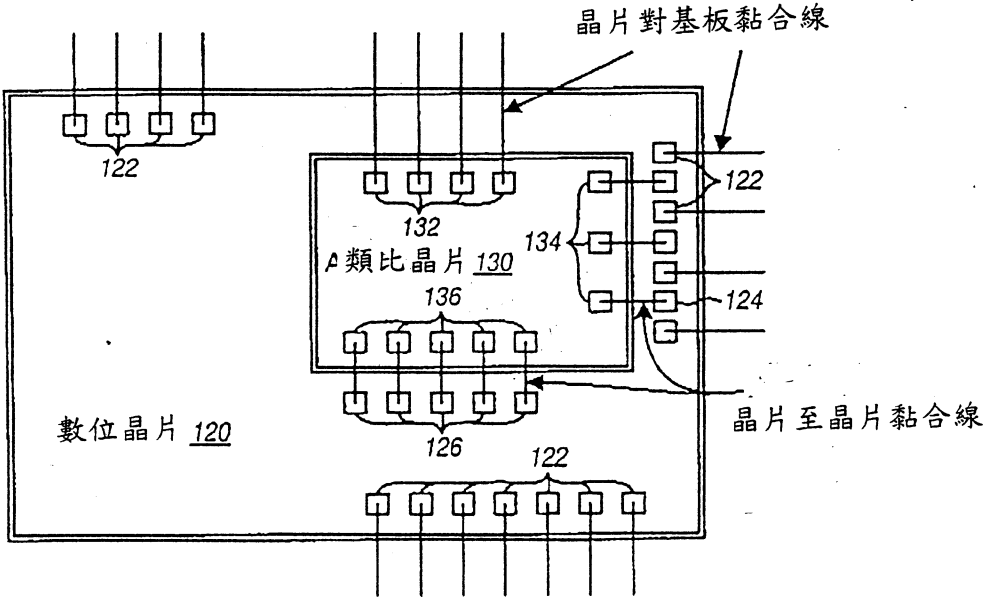


圖 4B

申請日期	91.2.25
案 號	091103280
類 別	

A4
C4

(以上各欄由本局填註)

中文說明書修正頁(91年7月)

發明專利說明書

一、發明名稱	中 文	
	英 文	
二、發明人	姓 名	4.杉傑 賈 SANJAY JHA
	國 籍	4.印度 INDIA
三、申請人	住、居所	4.美國加州聖地牙哥市西卡摩里奇郡12386號 12386 SYCAMORE RIDGE COURT SAN DIEGO, CALIFORNIA 92131 U.S.A.
	代 表 人 姓 名	

請參閱說明書。本說明書修正後是否變更原實質內容。

裝
訂
線

六、申請專利範圍

1. 一種積體電路，具有相對於一第二晶片為堆疊組態之一第一晶片且該第一及第二晶片各包含主要之數位電路及類比電路，

該第一及第二晶片包括由晶片對晶片之數位黏合線耦合之黏合墊並電氣連接其相關之數位電路，

該晶片對晶片之數位黏合線提供接線通道配置以最佳化相關接線通道之長度及位置。

2. 如申請專利範圍第1項之積體電路，其中該等黏合墊係配置並設置以最小化晶片面積。

3. 如申請專利範圍第2項之積體電路，另包含一封裝基板，該第一及第二晶片係配置於其上。

4. 如申請專利範圍第3項之積體電路，其中至少該第一及第二晶片其中之一包括黏合墊及相關之黏合線以電氣耦合至該封裝基板。

5. 如申請專利範圍第2項之積體電路，其中該第一及第二晶片係源自於一晶圓，該晶圓具有之一厚度係背面研磨該晶圓而獲得。

6. 如申請專利範圍第2項之積體電路，其中該第一及第二晶片係以不同之積體電路製程技術所製造。

7. 如申請專利範圍第2項之積體電路，其中該第一晶圓係以CMOS製程技術所製造。

8. 一種包括一封包積體電路之積體電路封裝，該積體電路具有相對於一第二晶片為堆疊組態之一第一晶片且該第一及第二晶片各包含主要之數位電路及類比電路，

六、申請專利範圍

該第一及第二晶片包括由晶片對晶片之數位黏合線耦合之黏合墊並電氣連接其相關之數位電路，

該晶片對晶片之數位黏合線提供接線通道配置以最佳化相關接線通道之長度及位置。

9. 如申請專利範圍第8項之積體電路封裝，其中該積體電路封裝為一球柵陣列型封裝。

10. 一種積體電路，具有一封裝基板及相對於一第二晶片為堆疊組態之一第一晶片且該第一及第二晶片各包含主要之數位電路及類比電路，

該封裝基板及該第二晶片包括由類比黏合線耦合之黏合墊並電氣連接其相關之類比電路，

該類比黏合線係配置並設置以最小化任何由數位之晶片對晶片黏合線連接數位電路所造成之干擾。

11. 如申請專利範圍第10項之積體電路，其中該第一及第二晶片係源自於一晶圓，該晶圓具有之一厚度係背面研磨該晶圓而獲得。

12. 如申請專利範圍第10項之積體電路，其中該第一及第二晶片係以不同之積體電路製程技術所製造。

13. 如申請專利範圍第10項之積體電路，其中該第一晶圓係以CMOS製程技術所製造。

14. 一種包括一封包積體電路之積體電路封裝，該積體電路具有一封裝基板及相對於一第二晶片為堆疊組態之一第一晶片且該第一及第二晶片各包含主要之數位電路及類比電路，

六、申請專利範圍

該封裝基板及該第二晶片包括由類比黏合線耦合之黏合墊並電氣連接其相關之類比電路，

該類比黏合線係配置並設置以最小化任何由數位之晶片對晶片黏合線連接數位電路所造成之干擾。

15.如申請專利範圍第14項之積體電路封裝，其中該積體電路封裝為一球柵陣列型封裝。

16.一種積體電路，具有相對於一第二晶片為堆疊組態之一第一晶片且該第一及第二晶片各包含主要之數位電路及類比電路，

該第一及第二晶片具有黏合墊，以藉由相關之晶片對晶片黏合線於其間提供電氣連接，

至少該等晶片對晶片黏合線其中之一作用為一數位序列介面，以從該第一晶片上之一數位電路提供指令至該第二晶片上之一數位控制電路，該數位控制電路使用該等指令以控制該第二晶片上之電路。

17.如申請專利範圍第16項之積體電路，另包含一封裝基板，該第一及第二晶片係配置於其上。

18.如申請專利範圍第17項之積體電路，其中至少該第一及第二晶片其中之一包括黏合墊及相關之黏合線以電氣耦合至該封裝基板。

19.如申請專利範圍第16項之積體電路，其中該第一及第二晶片係源自於一晶圓，該晶圓具有之一厚度係背面研磨該晶圓而獲得。

20.如申請專利範圍第16項之積體電路，其中該第一及第

六、申請專利範圍

二晶片係以不同之積體電路製程技術所製造。

21.如申請專利範圍第16項之積體電路，其中該第一晶圓係以CMOS製程技術所製造。

22.如申請專利範圍第16項之積體電路，其中該數位序列介面為一序列匯流排介面。

23.一種包括一封包積體電路之積體電路封裝，該積體電路具有相對於一第二晶片為堆疊組態之一第一晶片且該第一及第二晶片各包含主要之數位電路及類比電路，

該第一及第二晶片具有黏合墊，以藉由相關之晶片對晶片黏合線於其間提供電氣連接，

至少該等晶片對晶片黏合線其中之一作用為一數位序列介面，以從該第一晶片上之一數位電路提供指令至該第二晶片上之一數位控制電路，該數位控制電路使用該等指令以控制該第二晶片上之電路。

24.如申請專利範圍第23項之積體電路封裝，其中該積體電路封裝為一球柵陣列型封裝。

25.如申請專利範圍第23項之積體電路封裝，其中該數位序列介面為一序列匯流排介面。

26.一種積體電路，具有相對於一第二晶片為堆疊組態之一第一晶片且該第一及第二晶片各包含主要之數位電路及類比電路，

該第一及第二晶片具有黏合墊，以藉由相關之晶片對晶片黏合線於其間提供電氣連接，

至少該等晶片對晶片黏合線其中之一於備用模式期間

六、申請專利範圍

從該第一晶片提供一信號用以縮減功率至該第二晶片上之選擇電路而維持功率至該同晶片上之其餘電路。

27.如申請專利範圍第26項之積體電路，另包含一封裝基板，該第一及第二晶片係配置於其上。

28.如申請專利範圍第27項之積體電路，其中至少該第一及第二晶片其中之一包括黏合墊及相關之黏合線以電氣耦合至該封裝基板。

29.如申請專利範圍第26項之積體電路，其中該第一及第二晶片係源自於一晶圓，該晶圓具有之一厚度係背面研磨該晶圓而獲得。

30.如申請專利範圍第26項之積體電路，其中該第一及第二晶片係以不同之積體電路製程技術所製造。

31.如申請專利範圍第26項之積體電路，其中該第一晶圓係以CMOS製程技術所製造。

32.一種包括一封包積體電路之積體電路封裝，該積體電路具有相對於一第二晶片為堆疊組態之一第一晶片且該第一及第二晶片各包含主要之數位電路及類比電路，

該第一及第二晶片具有黏合墊，以藉由相關之晶片對晶片黏合線於其間提供電氣連接，

至少該等晶片對晶片黏合線其中之一於備用模式期間從該第一晶片提供一信號用以縮減功率至該第二晶片上之選擇電路而維持功率至該同晶片上之其餘電路。

33.如申請專利範圍第32項之積體電路封裝，其中該積體電路封裝為一球柵陣列型封裝。