



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월08일
(11) 등록번호 10-0819971
(24) 등록일자 2008년03월31일

(51) Int. Cl.

H01L 27/04 (2006.01) H01L 33/00 (2006.01)

(21) 출원번호 10-2007-0041812

(22) 출원일자 2007년04월30일

심사청구일자 2007년04월30일

(65) 공개번호 10-2007-0111328

(43) 공개일자 2007년11월21일

(30) 우선권주장

JP-P-2006-00138303 2006년05월17일 일본(JP)

(56) 선행기술조사문헌

KR1019840009178 B1

KR1020030036047 A

전체 청구항 수 : 총 7 항

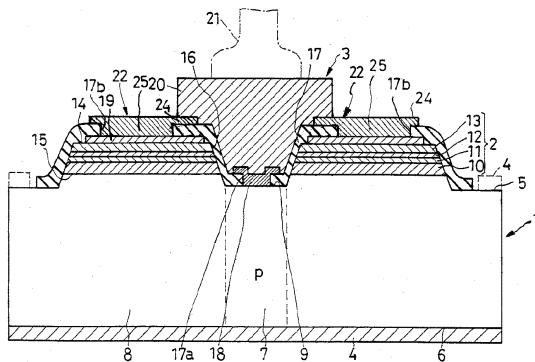
심사관 : 안철홍

(54) 과전압 보호소자를 수반한 반도체 발광장치

(57) 요 약

본 발명의 과전압 보호기능을 가진 반도체 발광장치는, 실리콘 반도체기판(1)과 발광소자용의 주 반도체영역(2)과 제 1의 전극(3)과 제 2의 전극(4)을 갖는다. 실리콘 반도체기판(1)은 보호소자 형성영역(7)을 갖는다. 제 1의 전극(3)은 본딩패드전극(20)을 갖는다. 평면적으로 볼 때, 보호소자 형성영역(7)은 본딩패드부분(20)의 안쪽에 배치되어 있다. 주 반도체영역(2) 위에 광투과성 도전막(19) 및 절연막(17)이 배치되어 있다. 절연막(17)에 구멍(17b)이 형성되고, 이 구멍(17b)을 포함하도록 형성된 띠형상 접속 도체층(22)에 의해 본딩패드전극부분(20)과 광투과성 도전막(19)이 접속되어 있다. 띠형상 접속 도체층(22)과 광투과성 도전막(19)이 절연막(17)의 구멍(17b)을 통해 접속되기 때문에, 띠형상 접속 도체층(22)이 잘 단선되지 않는다.

대표도



특허청구의 범위

청구항 1

한쪽 주면과 다른 쪽 주면을 가지며 또한 도전성을 갖는 기판과,

광의 취출이 가능한 제 1의 주면과 상기 제 1의 주면에 대향되며 상기 기판의 상기 한쪽 주면에 전기적 및 기계적으로 결합되어 있는 제 2의 주면을 가지고 또 광을 발생하기 위한 복수의 반도체층을 포함하고 있으며 또한 상기 제 1의 주면으로부터 상기 제 2의 주면으로 관통하는 구멍을 갖는 주 반도체영역과,

상기 구멍을 덮으며 또한 상기 주 반도체영역의 상기 제 1의 주면의 일부를 덮고 있는 본딩패드전극과,

상기 기판에 형성된 기판전극과,

상기 본딩패드전극과 상기 기판의 다른 쪽 주면과의 사이에 배치되며 또한 상기 본딩패드전극과 상기 기판전극의 양자에 전기적으로 접속된 과전압 보호소자와,

상기 주 반도체영역의 상기 한쪽 주면 위에 형성된 광투과성 도전막과,

상기 본딩패드전극과 상기 주 반도체영역의 상기 한쪽 주면과의 사이에 배치된 제 1의 부분과 상기 본딩전극과 상기 주 반도체영역의 상기 한쪽 주면의 사이로부터 벗어나 있고 또한 상기 제 1의 부분에 연속되어 있으며 또 상기 광투과성 도전막의 적어도 일부를 덮고 있는 제 2의 부분을 가지며, 또한 상기 제 2의 부분에 상기 광투과성 도전막을 노출시키기 위한 구멍이 형성되어 있는 광투과성 절연막과,

상기 절연막 표면의 일부를 띠형상으로 덮고 있으며 또 상기 본딩패드전극에 접속되어 있는 피복부분과 상기 절연막의 상기 구멍 내에 충전되어 있고 또한 상기 피복부분에 연속되어 있으며 또 상기 광투과성 도전막에 접속되어 있는 충전부분을 가지며, 또한 광투과성 도전막보다 저항율이 작은 도전성 재료로 형성되어 있는 접속 도체층을 구비하고 있는 것을 특징으로 하는 과전압 보호소자를 수반한 반도체 발광장치.

청구항 2

제 1항에 있어서,

상기 접속 도체층은, 평면적으로 볼 때 상기 본딩패드전극으로부터 멀어지는 방향으로 연장되어 있는 복수의 띠형상 도체층으로 이루어지는 것을 특징으로 하는 과전압 보호소자를 수반한 반도체 발광장치.

청구항 3

제 1항에 있어서,

상기 절연막의 구멍은, 평면적으로 볼 때 상기 접속 도체층의 상기 피복부분 내에 띠형상으로 형성되어 있는 것을 특징으로 하는 과전압 보호소자를 수반한 반도체 발광장치.

청구항 4

제 1항에 있어서,

상기 절연막은, 상기 광투과성 도전막보다 높은 광투과성을 가진 재료로 형성되어 있는 것을 특징으로 하는 과전압 보호소자를 수반한 반도체 발광장치.

청구항 5

제 1항에 있어서,

상기 기판은 반도체기판이며,

상기 보호소자는, 상기 반도체기판에 형성된 쇼트키 배리어 다이오드 형성영역과, 상기 쇼트키 배리어 다이오드 형성영역에 쇼트키 접촉하며 또한 상기 본딩패드전극에 접속되어 있는 금속층으로 이루어지는 것을 특징으로 하는 과전압 보호소자를 수반한 반도체 발광장치.

청구항 6

제 1항에 있어서,

상기 기판은 반도체기판이며,

상기 보호소자는 상기 반도체기판에 형성된 적어도 1개의 pn접합을 포함하는 다이오드이고,

상기 다이오드의 일단(一端)은 상기 본딩패드전극에 접속되며, 타단은 기판전극에 접속되어 있는 것을 특징으로 하는 과전압 보호소자를 수반한 반도체 발광장치.

청구항 7

제 1항에 있어서,

상기 보호소자는, 상기 주 반도체영역의 상기 구멍 내에 배치된 바리스터(varistor), 콘덴서 및 다이오드에서 선택된 1개의 전자소자인 것을 특징으로 하는 과전압 보호소자를 수반한 반도체 발광장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <26> 본 발명은 쇼트키 배리어 다이오드, pn 접합 다이오드, 바리스터, 콘덴서 등의 과전압 보호소자를 수반한 반도체 발광장치에 관한 것이다.
- <27> 과전압 보호소자를 수반한 반도체 발광장치는, 본건 출원인과 관련된 일본 특허공개공보 제2006-66863호(특허문현 1)에 개시되어 있다. 여기에 개시되어 있는 반도체 발광장치는, 실리콘 반도체기판과, 이 위에 형성된 복수의 질화물 반도체층으로 이루어지는 발광 반도체영역과, 발광 반도체영역의 표면에 형성된 광투과성 도전막과, 광투과성 도전막에 접속된 본딩패드전극과, 반도체기판의 저면에 형성된 기판전극과, 반도체기판 속 또는 그 위에 형성된 과전압 보호소자를 갖는다. 과전압 보호소자는 본딩패드전극의 아래에 배치되어 있으므로, 반도체 발광장치의 대형화를 억제하여 발광 다이오드를 과전압으로부터 보호할 수 있다.
- <28> 그런데, 광투과성 도전막은, 발광 반도체영역에 있어서의 본딩패드전극보다 외주측 부분으로 전류를 흘리기 위해 기능한다. 이 기능을 양호하게 얻기 위하여, 광투과성 도전막의 전기저항은 작고 광투과성은 큰 것이 바람직하다. 그러나, 광투과성 도전막으로서 일반적으로 사용되고 있는 인듐·주석·옥사이드(이하, 'ITO'라 한다)는 금속막에 비해 저항율이 높다. 또한, ITO는 100%의 광투과성을 가지지는 않으므로, 매우 얕게 형성된다. 따라서, ITO로 이루어지는 광투과성 도전막의 시트저항은 비교적 커서, 발광 반도체영역의 본딩패드전극으로부터 떨어진 부분으로 전류를 충분히 흘려보내기가 어렵다. 한편, ITO 이외의 재료로 광투과성 도전막을 형성할 경우에도 광투과성과 도전성 모두를 만족시키기는 어려웠다.
- <29> 상기 문제를 해결하기 위하여 광투과성 도전막 위에 방사상(放射狀) 또는 격자형상의 패턴으로 세선전극(細線電極)을 배치하고, 본딩패드전극에 접속시키는 것이 일본 특허공개공보 제2001-237461호(특허문현 2)에 개시되어 있다. 세선전극은 금속막, 또는 합금막과 금속막의 복합막으로 이루어지며, ITO보다 작은 저항율을 갖는다. 또 세선전극은 ITO막보다 두껍게 형성되어 있다. 따라서, 본딩패드전극의 전류가 세선전극에 의해 ITO막의 외주측으로 양호하게 확대되어, 발광 반도체영역을 흐르는 전류분포의 균일화가 도모되며 발광효율을 향상시킬 수가 있다.
- <30> 본건 출원인은, 특허문현 1에 개시되어 있는 과전압 보호소자를 수반한 반도체 발광장치에 특허문현 2에 개시되어 있는 세선전극과 동일한 기능을 가진 띠형상 접속 도체층을 설치하는 것을 시도하였다. 도 1은 과전압 보호소자 및 띠형상 접속 도체층을 가진 반도체 발광장치를 개략적으로 나타내는 것이다.
- <31> 상기 시험제작된 반도체 발광장치는, p형 단결정 실리콘으로 이루어지는 반도체기판(1)과, 발광소자를 구성하기 위한 3-5족 화합물 반도체로 이루어지는 주 반도체영역(2)과, 제 1의 전극(3)과, 제 2의 전극(기판전극 ; 4)을 구비하고 있다.
- <32> 반도체기판(1)은 그 중앙에 보호소자 형성영역(내측 영역 ; 7)과, 주 반도체영역(2)을 지지하고 있는 외측 영역

(8)을 갖는다.

- <33> 주(主) 반도체영역(2)은, 더블 헤테로접합 발광 다이오드를 구성하기 위해 반도체기판(1)의 한쪽 주면(正面, 5) 위에 n형 베퍼층(10)과 n형 반도체층(11)과 활성층(12)과 p형 반도체층(13)을 순차적으로 갖는다. 한편, n형 반도체층(11)을 n형 클래드층이라 부르고, p형 반도체층(13)을 p형 클래드층이라 부르는 경우도 있다. 주 반도체영역(2)의 제 1의 주면(14)으로부터 제 2의 주면(15)으로 관통하는 구멍(16)이 주 반도체영역(2)의 제 1의 주면(14)의 거의 중앙에 형성되어 있다.
- <34> 주 반도체영역(2), 즉 발광 다이오드를 과전압으로부터 보호하기 위한 보호소자로서 쇼트키 배리어(Schottky barrier) 다이오드를 구성하기 위하여, 반도체기판(1)의 한쪽 주면(5)의 중앙에 오목부(9)가 형성되고, 이 오목부(9)에 쇼트키 접촉 금속층(18)이 배치되어 있다.
- <35> 제 1의 전극(3)은, ITO막으로 이루어지는 광투과성 도전막(19)과, 본딩패드전극(20)과, 띠형상 접속 도체층(22')으로 이루어진다. 광투과성 도전막(19)은 주 반도체영역(2)의 제 1의 주면(14) 위의 대부분에 형성되어 있다. 본딩패드전극(20)은 주 반도체영역(2)의 구멍(16) 및 주 반도체영역(2)의 내주(內周)부분 위를 덮도록 배치되어 쇼트키 접촉 금속층(18)에 접속되어 있는 동시에 띠형상 접속 도체층(22')을 통해 광투과성 도전막(19)에 접속되어 있다.
- <36> 반도체기판(1)의 오목부(9)의 표면 및 주 반도체영역(2)의 구멍(16)의 벽면 및 주 반도체영역(2)의 내주부분 위에 내주측 절연막(17')이 형성되어 있다. 쇼트키 접촉 금속층(18)은 내주측 절연막(17')에 형성된 구멍(17a)을 통해 반도체기판(1)의 오목부(9)의 표면에 쇼트키 접촉되어 있다. 내주측 절연막(17')은 본딩패드전극(20)과 반도체기판(1) 및 주 반도체영역(2)의 구멍(16)의 벽면과의 사이를 전기적으로 분리하는 기능을 가지는 이외에, 본딩패드전극(20)에 근거하여 주 반도체영역(2)에 발생하는 응력을 완화하는 기능을 갖는다. 만일 본딩패드전극(20) 아래에 내주측 절연막(17')을 배치하지 않고 본딩패드전극(20)을 주 반도체영역(2)에 대해 적접 접촉시키거나 또는 띠형상 접속 도체층(22')과 광투과성 도전막(19)을 사이에 두고 접촉시키면, 주 반도체영역(2)에 응력이 발생하여 주 반도체영역(2)의 발광특성의 열화(劣化) 및 기계적 특성의 열화를 발생시킬 우려가 있다. 이에 대하여, 도 1에 나타낸 바와 같이 본딩패드전극(20) 아래에 내주측 절연막(17')을 배치하면, 내주측 절연막(17')이 완충부재로서 기능하여, 주 반도체영역(2)에 응력이 발생하는 것을 억제한다.
- <37> 띠형상 접속 도체층(22')은 ITO막으로 이루어지는 광투과성 도전막(19)보다 저항율이 낮은 금속을 증착함으로써 형성되며, 본딩패드전극(20)과 띠형상 접속 도체층(22')의 양자에 접속되어 있다. 상기 띠형상 접속 도체층(22')은, 광투과성 도전막(19)의 전체를 덮도록 형성되지 않고, 특허문헌 2와 마찬가지로 광투과성 도전막(19)의 일부만 덮고 있어, 특허문헌 2와 마찬가지로 주 반도체영역(2)의 전류의 균일화에 기여한다.
- <38> 도 1에서는 띠형상 접속 도체층(22')을 설치하였기 때문에, 내주측 절연막(17')과는 별도로 외주측 절연막(23)이 설치되어 있다. 외주측 절연막(23)은 광투과성을 갖는 것으로서 광투과성 도전막(19) 및 띠형상 접속 도체층(22')을 덮도록 배치되어 이들의 보호막으로서 기능한다.
- <39> 제 2의 전극(4)은 반도체기판(1)의 다른 쪽 주면(6)에 형성되어, 발광 다이오드의 캐소드로서 기능하는 동시에 쇼트키 배리어 다이오드의 애노드로서 기능한다. 본딩패드전극(20)은 발광 다이오드의 애노드로서 기능하는 동시에 쇼트키 배리어 다이오드의 캐소드로서 기능하므로, 본딩패드전극(20)과 제 2의 전극(4)의 사이에 순방향 전압이 인가되었을 때에 주 반도체영역(2)으로부터 광이 발생하고, 이 광이 광투과성 도전막(19) 및 외주측 절연막(23)을 통해 외부로 꺼내진다(取出). 발광 다이오드에 대하여, 예를 들어 정전기 등의 높은 역방향 전압이 인가되었을 때에는, 쇼트키 배리어 다이오드가 도통(導通)하고, 발광 다이오드의 역방향 전압이 쇼트키 다이오드의 순방향 전압으로 제한되어, 발광 다이오드가 과전압으로부터 보호된다. 쇼트키 배리어 다이오드는 본딩패드전극(20) 아래에 배치되어 있으므로, 쇼트키 다이오드를 설치함에 따른 반도체 발광장치의 대형화를 억제할 수가 있다.
- <40> 그런데, 주 반도체영역(2)에 응력이 발생하는 것을 억제하기 위하여 본딩패드전극(20)의 아래에 내주측 절연막(17')을 배치하면, 본딩패드전극(20)으로부터 광투과성 도전막(19) 위에 연이어 존재하는 띠형상 접속 도체층(22')에 단차부분이 생긴다. 띠형상 접속 도체층(22')은 광의 취출에 대한 방해가 적도록 가능한 한 좁은 폭으로 형성되므로, 띠형상 접속 도체층(22')이 단차부분(내주측 절연막(17')의 외주단(外周端))에서 절단되는 경우가 있다.

발명이 이루고자 하는 기술적 과제

<41> 따라서, 본 발명이 해결하려고 하는 과제는, 과전압 보호소자를 수반한 반도체 발광장치의 소형화를 도모하는 동시에 주 반도체영역(2)의 전류의 균일화를 도모하기가 어렵다는 점이며, 본 발명의 목적은, 상기 과제를 해결 할 수 있는 반도체 발광장치를 제공하는 것이다.

발명의 구성 및 작용

<42> 상기 과제를 해결하기 위한 본 발명은,

<43> 한쪽 주면과 다른 쪽 주면을 가지며 또한 도전성을 갖는 기판과,

<44> 광의 취출이 가능한 제 1의 주면과 상기 제 1의 주면에 대향되며 또 상기 기판의 상기 한쪽 주면에 전기적 및 기계적으로 결합되어 있는 제 2의 주면을 가지고 또한 광을 발생하기 위한 복수의 반도체층을 포함하고 있으며 또 상기 제 1의 주면으로부터 상기 제 2의 주면으로 관통하는 구멍을 갖는 주 반도체영역과,

<45> 상기 구멍을 덮으며 또한 상기 주 반도체영역의 상기 제 1의 주면의 일부를 덮고 있는 본딩패드전극과,

<46> 상기 기판에 형성된 기판전극과,

<47> 상기 본딩패드전극과 상기 기판의 다른 쪽 주면과의 사이에 배치되며 또한 상기 본딩패드전극과 상기 기판전극 양자에 전기적으로 접속된 과전압 보호소자와,

<48> 상기 주 반도체영역의 상기 한쪽 주면 위에 형성된 광투과성 도전막과,

<49> 상기 본딩패드전극과 상기 주 반도체영역의 상기 한쪽 주면과의 사이에 배치된 제 1의 부분과 상기 본딩전극과 상기 주 반도체영역의 상기 한쪽 주면의 사이로부터 벗어나 있고 또한 상기 제 1의 부분에 연속되어 있으며 또 한 상기 광투과성 도전막의 적어도 일부를 덮고 있는 제 2의 부분을 가지며, 또한 상기 제 2의 부분에 상기 광투과성 도전막을 노출시키기 위한 구멍이 형성되어 있는 광투과성 절연막과,

<50> 상기 절연막 표면의 일부를 띠형상으로 덮고 있으며 또한 상기 본딩패드전극에 접속되어 있는 피복부분과 상기 절연막의 상기 구멍 내에 충전되어 있고 또 상기 피복부분에 연속되어 있으며 또한 상기 광투과성 도전막에 접속되어 있는 충전부분을 가지며, 또한 광투과성 도전막보다 저항율이 작은 도전성 재료로 형성되어 있는 접속 도체층을 구비하고 있는 것을 특징으로 하는 과전압 보호소자를 수반한 반도체 발광 장치에 관한 것이다.

<51> 본 발명에 있어서의 광은, 상기 주 반도체영역으로부터 방사되는 광을 의미한다. 또한, 상기 본딩패드전극이란 와이어 등의 도체를 접속하기 위한 전극을 의미한다.

<52> 한편, 청구항 2에 나타낸 바와 같이, 상기 접속 도체층은, 평면적으로 볼 때 상기 본딩패드전극으로부터 멀어지는 방향으로 연장되어 있는 복수의 띠형상 도체층으로 이루어지는 것이 바람직하다.

<53> 또한, 청구항 3에 나타낸 바와 같이, 상기 절연막의 구멍은 평면적으로 볼 때 상기 접속 도체층의 상기 피복부분 내에 띠형상으로 형성되어 있는 것이 바람직하다.

<54> 또한, 청구항 4에 나타낸 바와 같이, 상기 절연막은, 상기 광투과성 도전막보다도 높은 광투과성을 가진 재료로 형성되어 있는 것이 바람직하다.

<55> 또한, 청구항 5에 나타낸 바와 같이, 상기 기판은 반도체기판이며, 상기 보호소자는, 상기 반도체기판에 형성된 쇼트키 배리어 다이오드 형성영역과, 상기 쇼트키 배리어 다이오드 형성영역에 쇼트키 접촉하며 또한 상기 본딩 패드전극에 접속되어 있는 금속층으로 이루어지는 것이 바람직하다.

<56> 또한, 청구항 6에 나타낸 바와 같이, 상기 기판은 반도체기판이며, 상기 보호소자는 상기 반도체기판에 형성된 적어도 1개의 pn접합을 포함하는 다이오드이고, 상기 다이오드의 일단은 상기 본딩패드전극에 접속되며 타단은 기판전극에 접속되어 있는 것이 바람직하다.

<57> 또한, 청구항 7에 나타내는 바와 같이, 상기 보호소자는, 상기 주 반도체영역의 상기 구멍 내에 배치된 바리스터, 콘덴서 및 다이오드에서 선택된 1개의 전자소자인 것이 바람직하다.

<58> 다음으로, 도 2 ~ 도 19를 참조하여 본 발명의 실시형태를 설명한다.

<59> (실시예 1)

<60> 도 2 ~ 도 4에 나타낸 본 발명의 실시예 1에 따른 과전압 보호소자를 수반한 반도체 발광장치, 즉 발광 다이오드와 과전압 보호소자로서의 쇼트키 배리어 다이오드의 복합 반도체장치는, 도 1의 반도체 발광장치에 있어서의

내주측 절연막(17')과 외주측 절연막(23)을 변형한 것에 상당하는 절연막(17)을 설치하고, 또한 띠형상 접속 도체층(22')을 변형한 것에 상당하는 띠형상 접속 도체층(22)을 설치하며, 그 밖에는 도 1과 같이 구성한 것이다. 따라서, 도 2 ~ 도 4에 나타낸 본 발명의 실시예 1에 따른 과전압 보호소자를 수반한 반도체 발광장치는, 도 1의 반도체 발광장치와 마찬가지로, 반도체기판(1)과, 발광소자를 구성하기 위한 주 반도체영역(2)과, 제 1의 전극(3)과, 제 2의 전극(기판전극 ; 4)과, 쇼트키 접촉 금속층(18)을 구비하고 있다. 이하에서는, 각 부를 자세하게 설명한다.

<61> 반도체기판(1)은 도전형 결정용 불순물로서 붕소 등의 3족 원소를 포함하는 p형 단결정 실리콘 기판으로 이루어지고, 한쪽 주면(5)과 다른 쪽 주면(6)을 가지며 또한 거의 중앙에 보호소자 형성영역(7)을 갖는다. 반도체기판(1)의 p형 불순물 농도는, 예를 들면 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 정도이고, 저항율은 $0.0001 \Omega \cdot \text{cm} \sim 0.01 \Omega \cdot \text{cm}$ 정도이다. 따라서, 반도체기판(1)은 도전성 기판으로, 발광소자 및 보호소자의 전류통로로서 기능한다. 즉, 반도체기판(1) 중앙의 보호소자 형성영역(7)은 쇼트키 배리어 다이오드의 본체부로서도 기능하는 동시에 그 전류통로로서 기능하고, 또 반도체기판(1)의 보호소자 형성영역(7)을 둘러싸는 외측 영역(8)은 발광소자의 전류통로로서 기능한다. 더욱이, 반도체기판(1)은, 주 반도체영역(2)의 에피택셜 성장을 위한 기판으로서의 기능, 및 발광소자를 구성하기 위한 주 반도체영역(2)과 제 1의 전극(3)의 지지체로서의 기능을 갖는다. 반도체기판(1)의 바람직한 두께는 $100 \sim 500 \mu\text{m}$ 로 비교적 두껍다. 한편, 도 2 및 도 3에서 알 수 있듯이 반도체기판(1)의 한쪽 주면(5)의 외주 부분에 단자가 형성되고 또한 중앙에 오목부(9)가 형성되어 있지만, 반도체기판(1)의 한쪽 주면(5) 전부를 평탄하게 할 수 있다. 또한, 반도체기판(1)의 도전형을 n형으로 할 수 있다. 또한, 반도체기판(1)의 외측 영역(8)의 불순물 농도를 보호소자 형성영역(7)보다 높게 하고, 이로써, 외측 영역(8)의 저항율을 보호소자 형성영역(7)보다 낮게 하여, 발광소자 동작시의 외측 영역(8)에서의 전압 강하를 저감시킬 수 있다.

<62> 발광소자의 주요부를 구성하기 위한 주 반도체영역(2)은, 실리콘 반도체기판(1)과 이종(異種)의 3-5족 화합물 반도체로 이루어지는 복수의 층을 가지며, 실리콘 반도체기판(1) 위에 주지의 기상성장법에 의해 형성되어 있다. 더욱 상세하게는, 주 반도체영역(2)은, 더블 헤테로접합 발광 다이오드를 구성하기 위해 n형 베퍼층(10)과 n형 반도체층(11)과 활성층(12)과 p형 반도체층(13)을 순차적으로 갖는다. 한편, n형 반도체층(11)을 n형 클래드층이라 부르고, p형 반도체층(13)을 p형 클래드층이라 부르는 경우가 있다. 발광 다이오드는 원리적으로 n형 반도체층(11)과 p형 반도체층(13)만으로 구성할 수 있다. 따라서, 주 반도체영역(2)으로부터 n형 베퍼층(10)과 활성층(12)의 어느 하나 또는 모두를 생략할 수가 있다. 또한, 필요에 따라 주지의 전류분산층 또는 오믹접촉층 등을 주 반도체영역(2)에 부가할 수 있다. 주 반도체영역(2)의 제 1의 주면(14) 및 제 2의 주면(15)은 반도체기판(1)에 평행하게 연장되어 있다. 주 반도체영역(2)의 제 1의 주면(14)은 활성층(12)에서 발생한 광을 외부로 꺼내는 면으로서의 기능을 갖는다. 주 반도체영역(2)의 제 2의 주면(15)은 반도체기판(1)에 전기적 및 기계적으로 결합되어 있다.

<63> 도 1에서는 설명을 간단히 하기 위하여 n형 베퍼층(10)이 1개의 층으로 도시되어 있지만, 실제로는 복수의 제 1의 층과 복수의 제 2의 층으로 이루어지고, 제 1의 층과 제 2의 층이 교대로 배치되어 있다. 한편, n형 베퍼층(10)의 가장 아래에 제 1의 층이 배치된다.

<64> n형 베퍼층(10)의 제 1의 층은, Al(알루미늄)을 포함하는 질화물 반도체인 것이 바람직하며, 예를 들면,

<65> 화학식 $\text{Al}_x\text{M}_y\text{Ga}_{1-x-y}\text{N}$

<66> 여기에서, 상기 M은, In(인듐)과 B(붕소)에서 선택된 적어도 1종의 원소,

<67> 상기 x 및 y는, $0 < x \leq 1$,

<68> $0 \leq y < 1$,

<69> $x+y \leq 1$

<70> 를 만족하는 수치,

<71>로 나타내어지는 재료에 불순물을 첨가한 것으로 이루어진다. 본 실시예에서는, 제 1의 층이 AlN(질화 알루미늄)로 형성되어 있다. 알루미늄을 포함하는 제 1의 층의 격자정수 및 열팽창계수는 제 2의 층보다도 실리콘 반도체기판(1)에 가깝다. 제 1의 층의 바람직한 두께는 $0.5\text{nm} \sim 5\text{nm}$ 이다. 제 1의 층의 두께가 0.5nm 미만인 경우에는 상면에 형성되는 주 반도체영역(2)의 평탄성을 양호하게 유지할 수 없게 된다. 제 1의 층의 두께가 5nm 을 초과하면, 양자 역학적 터널효과를 얻을 수 없게 된다.

- <72> 제 2의 층은, 벼페층(10)의 완충기능을 더욱 높이기 위한 것으로, Al을 포함하지 않거나 또는 Al의 비율이 제 1의 층의 Al의 비율보다 작은 n형 질화물 반도체로 이루어진다. 이 조건을 만족시킬 수 있는 제 2의 층은, 예를 들면,
- <73> 화학식 $Al_aM_bGa_{1-a-b}N$
- <74> 여기서, 상기 M은 In(인듐)과 B(붕소)에서 선택된 적어도 1종의 원소,
- <75> 상기 a 및 b은, $0 \leq a < 1$,
- <76> $0 \leq b < 1$,
- <77> $a+b \leq 1$,
- <78> $a < x$
- <79> 를 만족시키는 수치,
- <80>로 나타내어지는 재료에 n형 불순물을 첨가한 것이다. 본 실시예에서는, 제 2의 층이 GaN(질화갈륨)으로 형성되어 있다. 제 2의 층의 바람직한 두께는 0.5nm~200nm이다. 제 2의 층의 두께가 0.5nm 미만인 경우에는 상면에 형성되는 n형 반도체층(11)과 활성층(12)과 p형 반도체층(13)의 평탄성을 양호하게 유지할 수 없게 된다. 제 2의 층의 두께가 200nm을 초과하면, 벼페층(10)에 크랙이 발생할 우려가 있다.
- <81> 본 실시예에서는 p형의 실리콘 반도체기판(1)에 대하여 n형의 벼페층(10)이 접촉되어 있지만, 실리콘 반도체기판(1)과 벼페층(10)은 헤테로접합이며 또한 양자간에 합금화 영역(도시생략)이 생성되어 있으므로, 순방향 바이어스 전압이 양자에 인가되었을 때의 실리콘 반도체기판(1)과 벼페층(10)간의 접합부에서의 전압강하는 작다. 한편, p형 실리콘 반도체기판(1) 대신에 n형 실리콘 반도체기판을 사용하여, n형 실리콘 반도체기판 위에 n형의 벼페층(10)을 형성하는 것도 물론 가능하다. 또한, 벼페층(10)을 다층 구조로 하지 않고, 1개의 층으로 형성하는 것도 물론 가능하다.
- <82> 벼페층(10) 위에 배치된 n형 반도체층(11)은,
- <83> 화학식 $Al_aM_bGa_{1-a-b}N$
- <84> 여기서, 상기 M은 In(인듐)과 B(붕소)에서 선택된 적어도 1종의 원소,
- <85> 상기 a 및 b는 $0 \leq a \leq 1$,
- <86> $0 \leq b < 1$,
- <87> $a+b \leq 1$,
- <88> $a < x$
- <89> 를 만족시키는 수치,
- <90>로 나타내어지는 질화물 반도체로 이루어지는 것이 바람직하고, GaN 등의 n형 질화 갈륨계 화합물 반도체로 이루어지는 것이 더욱 바람직하다.
- <91> n형 반도체층(11) 위에 배치된 활성층(12)은,
- <92> 화학식 $Al_xIn_yGa_{1-x-y}N$,
- <93> 여기서 x 및 y는 $0 \leq x < 1$,
- <94> $0 \leq y < 1$ 을 만족하는 수치,
- <95>로 나타내어지는 질화물 반도체로 이루어지는 것이 바람직하다. 한편, 도 1에서는 활성층(12)이 1개의 층으로 개략적으로 도시되어 있지만, 실제로는 주지의 다중 양자우물구조를 갖는다. 물론, 활성층(12)을 1개의 층으로 구성할 수도 있다. 또한, 본 실시예에서는 활성층(12)에 도전형 결정 불순물이 도핑되어 있지 않지만, p형 또는 n형 불순물을 도핑할 수 있다.
- <96> 활성층(12) 위에 배치된 p형 반도체층(13)은,

<97> 화학식 $Al_x In_y Ga_{1-x-y} N$,

<98> 여기서 x 및 y는 $0 \leq x \leq 1$,

<99> $0 \leq y < 1$ 을 만족하는 수치,

<100> 로 나타내어지는 질화물 반도체에 p형 불순물을 도핑한 것으로 이루어지는 것이 바람직하다. 본 실시예에서는, p형 반도체층(13)이 두께 500nm의 p형 GaN으로 형성되어 있다.

<101> 주 반도체영역(2)은, 제 1의 주면(14)으로부터 제 2의 주면(15)으로 관통하는 구멍(16)을 그 거의 중앙에 구비한다. 이 구멍(16)은 실리콘 반도체기판(1)의 오목부(9)에 연속되어 있다. 구멍(16) 및 오목부(9)는, 오목부(9)를 형성하기 전의 실리콘 반도체기판(1) 위에 주 반도체영역(2)을 에피택셜 성장시킨 후에 에칭에 의해 형성된다. 이에 따라, 실리콘 반도체기판(1)과 주 반도체영역(2)의 사이에 생긴 합금화층은 제거되고, 실리콘 반도체기판(1)의 오목부(9)의 표면에 실리콘이 노출된다. 또한, 도 7에서 알 수 있는 바와 같이 구멍(16) 및 오목부(9)의 벽면은 주 반도체영역(2)의 제 1의 주면(14)으로부터 제 2의 주면(15)을 향해 끝이 가늘어지도록 경사져 있다. 한편, 실리콘 반도체기판(1)의 오목부(9)는 보호소자 형성영역(7)에 형성되어 있다.

<102> 제 1의 전극(상측 전극 ; 3)은, 광투과성 도전막(19)과, 본딩패드전극(20)과, 띠형상 접속 도체층(22)으로 이루어진다. 본딩패드전극(20)은 띠형상 접속 도체층(22)을 통해 광투과성 도전막(19)에 접속되어 있는 동시에 쇼트키 접촉 금속층(18)에도 접속되어 있다. 따라서, 본딩패드전극(20)은 발광 다이오드의 애노드 기능 이외에 쇼트키 배리어 다이오드의 캐소드 기능을 갖는다.

<103> 광투과성 도전막(19)은 주 반도체영역(2)의 제 1의 주면(14), 즉 p형 반도체층(13)의 표면의 거의 전부에 배치되고, 여기에 오믹 접촉되어 있다. 따라서, 이미 설명한 바와 같이 광투과성 도전막(19)은 주 반도체영역(2)에 전류를 균일하게 흘리도록 기여하고, 또한 주 반도체영역(2)으로부터 방사된 광을 꺼낼 수 있도록 한다. 본 실시예의 광투과성 도전막(19)은 두께 1800 옹스트롬 정도의 ITO(인듐·주석·옥사이드)로 이루어진다. 한편, 광투과성 도전막(19)을 ITO 이외의 Ni, Pt, Pd, Rh, Ru, Os, Ir, Au, Ag 등에서 선택된 재료로 형성할 수도 있다. 그러나, 어떠한 재료로 형성하여도 광투과성 도전막(19)의 광투과성을 높일 필요가 있으며, 광투과성 도전막(19)을 그다지 두껍게 형성할 수 없어, 예를 들면 500~5000 옹스트롬, 바람직하게는 1800 옹스트롬 정도로 형성한다. 광투과성 도전막(19)이 얇게 형성되면, 광투과성 도전막(19)의 시트 저항이 필연적으로 높아져, 주 반도체영역(2)의 본딩패드전극(20)으로부터 떨어진 부분에 전류를 충분히 흘릴 수가 없다. 이 문제를 해결하기 위해서 도 2 ~ 도 3의 실시예에서는, 도 1의 띠형상 접속 도체층(22')을 변형한 띠형상 접속 도체층(22')이 형성되어 있다. 도 2 ~ 도 4의 실시예 1의 띠형상 접속 도체층(22)은, 도 1의 띠형상 접속 도체층(22')과 마찬가지로 광투과성 도전막(19)과 본딩패드전극(20)을 전기적으로 접속하고, 주 반도체영역(2)에서의 전류의 균일성의 향상에 기여한다. 그러나, 도 2~ 도 4에 도시된 실시예 1의 띠형상 접속 도체층(22)은, 도 1의 띠형상 접속 도체층(22')과 다른 구성을 갖는다. 도 2 ~ 도 4의 실시예 1의 띠형상 접속 도체층(22)의 구성은 후술하는 절연막(17)과 밀접한 관계를 갖는다.

<104> 도 2 ~ 도 4의 실시예 1의 절연막(17)은, 광투과성 도전막(19)의 대부분, 주 반도체영역(2)의 광투과성 도전막(19)에 의해 덮이지 않은 제 1의 주면(14) 및 측면과, 오목부(9)의 벽면 및 저면의 일부를 덮고 있으며,

<105> (1) 본딩패드전극(20)과 주 반도체영역(2)의 측면의 사이를 전기적으로 분리하는 기능,

<106> (2) 본딩패드전극(20)과 반도체기판(1)의 사이를 전기적으로 분리하는 기능,

<107> (3) 주 반도체영역(2) 및 반도체기판(1)의 표면을 보호하는 기능,

<108> (4) 띠형상 접속 도체층(22)을 소정 패턴으로 형성하기 위한 에칭처리시에 에칭액으로부터 광투과성 도전막(19)을 보호하는 기능,

<109> (5) 본딩패드전극(20)에 근거하여 주 반도체영역(2)에 응력이 발생하는 것을 억제하는 기능, 즉 응력완화기능, 및

<110> (6) 띠형상 접속 도체층(22)의 광투과성 도전막(19)에 대한 접속부위를 특정하는 기능을 갖는다.

<111> 절연막(17)은 상기 기능을 얻기 위하여 광투과성 도전막(19)보다 광투과성이 양호한 재료, 예를 들면 실리콘 산화물(SiO_2)에 의해 광투과성 도전막(19), 주 반도체영역(2) 및 반도체기판(1)의 표면을 덮도록 형성되어 있다. 절연막(17)은 광투과성 도전막(19)보다 광투과성이 양호한 재료(SiO_2)로 이루어지므로, 그 두께를 광투과성 도

전막(19)보다 두꺼운, 예를 들면 1500~10000 옹스트롬으로 할 수가 있다. 절연막(17)은 도 2 및 도 3을 통해 알 수 있듯이 쇼트키 접촉 금속층(18)이 충전된 제 1의 구멍(17a)을 그 중앙에 가지는 외에, 도 5로부터 명백한 바와 같이 본딩패드전극(20)으로부터 광투과성 도전막(19)의 외주방향으로 띠형상으로 연장되는 복수(4개)의 제 2의 구멍(17b)을 갖는다. 도 5에서는 광투과성 도전막(19)의 평면형상이 직사각형이므로, 띠형상의 제 2의 구멍(17b)이 굴곡되어 있지만, 본딩패드전극(20)으로부터 방사상으로 연장되는 형상으로 할 수도 있다. 띠형상의 제 2의 구멍(17b)의 타단은 광투과성 도전막(19)의 외주 엣지에 가능한 한 가까운 것이 바람직하고, 띠형상의 제 2의 구멍(17b)의 폭은, 띠형상 접속 도체층(22)보다 좁고, 또한 띠형상 접속 도체층(22)에 의한 본딩패드전극(20)과 광투과성 도전막(19)간의 전기적 접속을 확보할 수 있는 범위에서 가능한 한 좁은 것이 바람직하며, 예를 들면 2 μm ~10 μm 정도로 결정된다. 한편, 본딩패드전극(20)과 광투과성 도전막(19)간의 전기적 접속을 위한 제 2의 구멍(17b)은 본딩패드전극(20)의 아래를 제외한, 그보다 외측에 형성되며, 절연막(17)의 제 2의 구멍(17b)을 갖지 않는 부분이 본딩패드전극(20)과 주 반도체영역(2)의 사이에 배치되어 있으므로, 본딩패드전극(20)에 근거하여 주 반도체영역(2)에 발생하는 응력이 절연막(17)에 의해 양호하게 억제되어 있다.

<112> 띠형상 접속 도체층(22)은, 도 2에서 알 수 있듯이 절연막(17)의 4개의 제2의 구멍(17b)에 대응하여 4개가 설치되어 있다. 각 띠형상 접속 도체층(22)은 절연막(17) 위에 배치된 띠형상의 피복부분(24)과 제 2의 구멍(17b) 내(中)에 배치된 충전부분(25)을 갖는다. 띠형상 접속 도체층(22)의 폭은 절연막(17)의 제 2의 구멍(17b)의 폭보다 약간 넓게 결정되어 있다. 띠형상 접속 도체층(22)의 피복부분(24)의 일단은 본딩패드전극(20)의 아래에 배치되어 본딩패드전극(20)에 전기적으로 접속되어 있다. 띠형상 접속 도체층(22)의 피복부분(24)의 타단은 제 2의 구멍(17b)의 외측 단부보다 약간 외측까지 연장되어 있다. 띠형상 접속 도체층(22)의 충전부분(25)은 광투과성 도전막(19)에 전기적으로 접속되어 있다. 띠형상 접속 도체층(22)은, 광투과성 도전막(19)보다 저항율이 낮은 재료로 형성되며, 또한 광투과성 도전막(19)보다 낮은 시트 저항율을 갖는다. 본 실시예에서는 절연막(17) 위의 전체 및 제 2의 구멍(17b) 내에 Au(금)을 2500~100000 옹스트롬 정도로 증착하고, 그 후, 예칭에 의해 불필요한 부분을 제거함으로써 띠형상 접속 도체층(22)이 형성되어 있다. 한편, 띠형상 접속 도체층(22)을 AuGe층과 Au층의 복합층으로 형성하거나, 또는 Au, AuGe와 다른 별개의 금속 또는 합금으로 형성할 수도 있다. 띠형상 접속 도체층(22)은 절연막(17)의 제 2의 구멍(17b)보다 넓은 폭으로 형성되어 있으므로, 띠형상 접속 도체층(22)의 피복부분(24)과 충전부분(25)간의 경계는 절연막(17)에 형성되어 있는 띠형상의 제 2의 구멍(17b)의 엣지 전체 둘레를 따라 존재하며, 이 경계의 길이는 띠형상 접속 도체층(22)의 폭보다 대폭 길어진다. 따라서, 띠형상 접속 도체층(22)의 피복부분(24)과 충전부분(25)간의 접속의 신뢰성이 향상되어, 양자 사이가 절단될 우려가 없게 된다.

<113> 띠형상 접속 도체층(22)의 충전부분(25)은 도 1의 띠형상 접속 도체층(22')과 마찬가지로 본딩패드전극(20)으로부터 광투과성 도전막(19)의 외주단 부근까지 연장되어 있으므로, 광투과성 도전막(19)을 통해 활성층(12)을 포함하는 주 반도체영역(2)으로 전류를 양호하게 분산시켜 흘려보내는 데 기여한다.

<114> 쇼트키 전극으로서 기능하는 쇼트키 접촉 금속층(18)은, 예를 들면 Ti, Pt, Cr, Al, Sm, PtSi, Pd₂Si 등에서 선택된 1개 또는 복수 개로 이루어지고, 절연막(17)의 제 1의 구멍(17a)을 통해 실리콘 반도체기판(1)의 오목부(9) 표면에 쇼트키 접촉되어 있다. 보호소자로서의 쇼트키 다이오드는 반도체기판(1)의 보호소자 형성영역(7)과 쇼트키 접촉 금속층(18)에 의해 형성되어 있다. 쇼트키 접촉 금속층(18)은 평면적으로 볼 때 본딩패드전극(20)의 안쪽에 배치되어 있다. 따라서, 보호소자로서의 쇼트키 다이오드를 설치함으로써 반도체기판(1) 및 주 반도체영역(2)의 면적이 증대되는 것이 억제된다.

<115> 본딩패드전극(20)은 광투과성 도전막(19)보다 저항율이 낮은 재료(예를 들면, Au, Ni)로 이루어지고, 쇼트키 접촉 금속층(18) 및 띠형상 접속 도체층(22)에 접속되어 있다. 본딩패드전극(20)에는 도 2 및 도 3에서 파선으로 나타낸 Al 또는 Au 등으로 이루어지는 외부 접속용 와이어(21)가 결합된다. 본딩패드전극(20)은 외부 접속용 와이어(21)의 본딩에 견딜 수 있는 두께(예를 들면 100mm~100 μm)를 갖는다. 따라서, 본딩패드부분(20)을 광이 투과할 수는 없다. 본 실시예에서는 도 2에서 알 수 있는 바와 같이 본딩패드전극(20)의 평면형상은 원형이지만, 이것을 타원형 또는 사각형 또는 다각형 등의 다른 형상으로 할 수 있다. 또한, 반도체기판(1)의 평면형상을 정방형 또는 원형 등으로 변형할 수 있다.

<116> 본딩패드전극(20)은 평면적으로 볼 때, 즉, 주 반도체영역(2)의 제 1의 주면(14) 또는 실리콘 반도체기판(1)의 한쪽 주면(5)에 대하여 수직인 방향에서 볼 때, 보호소자 형성영역(7)의 전부를 덮도록 형성하는 것이 바람직하다. 그러나, 평면적으로 볼 때 보호소자 형성영역(7)의 일부가 본딩패드전극(20)으로부터 밀려나와도

상관없다.

<117> 제 2의 전극(기판전극 ; 4)은 금속층으로 이루어지며, 반도체기판(1)의 다른 쪽 주면(6)의 전면에 형성되어 있다. 즉, 제 2의 전극(4)은 반도체기판(1)의 보호소자 형성영역(7) 및 외주측 영역(8)의 양자의 하면에 오믹접촉되어 있다. 한편, 제 2의 전극(4)을 도 2, 도 3에서 점선으로 나타낸 바와 같이 반도체기판(1)의 한쪽 주면(5)의 외주측에 배치할 수도 있다.

<118> 도 2 ~ 도 4에 나타낸 과전압 보호기능을 가진 반도체 발광장치는, 도 8에 나타낸 발광소자로서의 발광 다이오드(31)와 과전압 보호소자로서의 셀트키 배리어 다이오드(32)의 역병렬 접속회로로서 기능한다. 셀트키 배리어 다이오드(32)는, 주 반도체영역(2)으로 이루어지는 발광 다이오드(31)에 소정값 이상의 역방향의 과전압(예를 들면, 서지전압)이 인가되었을 때 도통(導通)한다. 이로써, 발광 다이오드(31)의 전압은 셀트키 배리어 다이오드(32)의 순방향 전압으로 제한되어, 발광 다이오드(31)가 정전기 등에 기초한 역방향의 과전압으로부터 보호된다. 셀트키 배리어 다이오드(32)의 순방향의 도통개시전압은 발광 다이오드(31)의 허용 최대 역방향전압 이하로 설정된다.

<119> 본 실시예 1은 다음과 같은 효과를 갖는다.

<120> (1) 광투과성 도전막(19) 위에 제 2의 구멍(17b)을 가진 절연막(17)이 설치되고, 띠형상 접속 도체층(22)이 절연막(17)의 제 2의 구멍(17b)을 통해 광투과성 도전막(19)에 접속되어 있으므로, 띠형상 접속 도체층(22)의 피복부분(24)과 충전부분(25)의 경계길이가 길어져, 띠형상 접속 도체층(22)이 절단되기 어려워진다. 따라서, 신뢰성이 높은 반도체 발광장치를 제공할 수 있으며, 또한 제조수율을 향상시킬 수가 있다.

<121> (2) 띠형상 접속 도체층(22)은 광투과성 절연막(19)보다 저항율이 작은 재료로 형성되어 있으므로, 광투과성 절연막(19)뿐인 경우에 비해 주 반도체영역(2)의 외주부분에 전류를 양호하게 분산시킬 수 있어, 주 반도체영역(2)의 활성층(12)에서의 전류의 균일성이 높아지고 발광효율이 향상된다.

<122> (3) 본딩패드전극(20)과 주 반도체영역(2)의 사이에 응력완화기능을 가진 절연막(17)이 존재하므로, 본딩패드전극(20)에 근거하는 주 반도체영역(2)의 응력의 발생을 억제할 수 있어, 주 반도체영역(2)의 발광특성이 저하되는 것을 막을 수 있다.

<123> (4) 절연막(17)이 광투과성 절연막(19)보다 광투과성이 양호한 SiO_2 로 이루어지고, 또한 광투과성 절연막(19)보다 두껍게 형성되어 있으므로, 주 반도체영역(2)의 띠형상 접속 도체층(21) 아래의 부분에 발생한 광을, 도 6에서 파선(26)으로 나타낸 바와 같이 절연막(17)을 통해 외부로 도출시킬 수 있어 발광효율을 향상시킬 수가 있다. 만일 띠형상 접속 도체층(21)의 폭방향의 전부가 광투과성 절연막(19)에 접촉되어 있으면, 도 6에서 파선(26)으로 나타낸 것과 같은 광의 도출은 발생하지 않는다.

<124> (5) 광투과성 절연막(19)이 절연막(17)에 의해 피복되어 있으므로, 띠형상 접속 도체층(22)을 소정 패턴으로 형성하기 위한 애칭처리시에 애칭액으로부터 광투과성 도전막(19)을 보호할 수 있다.

<125> (6) 보호소자 형성영역(7)이 평면적으로 볼 때 본딩패드전극(20) 아래에 배치되어 있다. 따라서, 발광소자의 광 취출(取出)면적의 저감을 억제하여 보호소자를 형성할 수 있고, 보호소자가 내장된 반도체 발광장치의 소형화를 꾀할 수 있다.

<126> (7) 보호소자 형성영역(7)이 반도체기판(1) 내에 형성되어 있으므로, 보호소자로서의 셀트키 배리어 다이오드(32)를 용이하면서도 저렴하게 얻을 수 있다.

<127> (실시예 2)

<128> 다음으로, 도 9에 나타내는 실시예 2에 관한 과전압 보호기능을 가진 반도체 발광장치를 설명한다. 단, 도 9 및 후술하는 도 10~도 19에 있어서, 도 2~도 4와 실질적으로 동일한 부분 및 도 9~도 19에서 서로 동일한 부분에는 동일한 부호를 사용하고 그에 대한 설명을 생략한다.

<129> 도 9에 나타낸 실시예 2에 관한 과전압 보호기능을 가진 반도체 발광장치는, 실리콘 반도체기판(1)의 보호소자 형성영역(7)에 pn접합 다이오드를 구성하기 위한 n형 반도체영역(40)을 형성하고, 또한 도 3의 금속층(18)을 생략하였으며, 그 밖에는 도 3과 실질적으로 동일하게 형성한 것이다.

<130> 즉, 도 9의 반도체 발광장치의 보호소자는 반도체기판(1)에 형성된 1개의 pn접합을 포함하는 보호 다이오드로 이루어진다. 상기 보호 다이오드는, 제 1 도전형 반도체영역으로서의 p형 반도체기판(1)과, 상기 p형 반도체기판(1)의 보호소자 형성영역(7) 내에 섬형상(島狀)으로 형성되며 또한 반도체기판(1)의 한쪽 주면(5)으로 노출되

는 표면을 갖는 제 2 도전형 반도체영역으로서의 n형 반도체영역(40)으로 이루어진다. n형 반도체영역(40)은 p형 실리콘 반도체기판(1)에 n형 불순물을 확산함으로써 형성되어 있고, p형 실리콘 반도체기판(1)의 사이에 pn접합을 형성하고 있다. 본딩패드전극(20)의 선단부분(18a)은 보호소자 형성영역(7) 표면의 오목부(9)에 노출되어 있는 n형 반도체영역(40)에 오믹접촉되어 있다. 한편, 본딩패드전극(20)의 선단부분(18a)과 n형 반도체영역(40)과의 사이에 n형 반도체영역(40)에 대하여 양호하게 오믹접촉하는 금속층을 추가로 배치할 수가 있다. n형 반도체영역(40)은, 평면적으로 볼 때, 즉 주 반도체영역(2)의 한쪽 주면(14) 또는 실리콘 반도체기판(1)의 한쪽 주면(5)에 대하여 수직인 방향에서 볼 때, 본딩패드전극(20)의 내측에 배치되어 있다.

<131> 제 1의 전극(3)은 발광소자 및 pn접합 다이오드의 한쪽의 전극으로서 기능하고, 제 2의 전극(4)은 발광소자 및 pn접합 다이오드의 다른 쪽의 전극으로서 기능한다. 따라서, 도 9에 나타내는 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 발광 다이오드와 pn접합 다이오드의 역병렬접속회로가 된다. 즉, 도 9에 나타내는 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 도 8의 쇼트키 배리어 다이오드(32)를 pn접합 다이오드로 치환한 것이 된다. pn 접합 다이오드는 발광 다이오드에 소정값 이상의 역방향의 과전압이 인가되었을 때에 도통하며, 발광 다이오드를 정전기 등에 근거한 서지전압 등의 역방향의 과전압으로부터 보호한다.

<132> 도 9의 실시예 2에서도 도 2 ~ 도 4와 같은 절연막(17) 및 띠형상 접속 도체층(22)이 설치되어 있으므로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

<133> (실시예 3)

<134> 도 10에 나타내는 실시예 3에 관계된 과전압 보호기능을 가진 반도체 발광장치는, 도 3의 p형 실리콘 반도체기판(1) 대신에 n형 실리콘 반도체기판(1a)을 사용하고, 이 n형 실리콘 반도체기판(1a)의 보호소자 형성영역(7)에 npn 3층 다이오드, 즉 일반적으로 다이액(DIAC)이라 불리는 쌍방향성 다이오드를 형성하기 위한 n형 반도체영역(40)과 p형 반도체영역(41)을 형성하며, 또한 도 3의 금속층(18)을 생략하고, 그 밖에는 도 3과 실질적으로 동일하게 형성한 것이다. 즉, 도 10에 나타낸 실시예 3에 관계된 과전압 보호기능을 가진 반도체 발광장치에서의 보호소자는, 반도체기판(1a)의 보호소자 형성영역(7)에 형성된 npn 3층 다이오드로 이루어진다. 상기 3층 다이오드는, n형 실리콘 반도체기판(1a)과, n형 실리콘 반도체기판(1a) 내에 섬형상으로 형성되며 또한 반도체기판(1a)의 한쪽 주면(5)으로 노출되는 표면을 갖는 p형 반도체영역(41)과, p형 반도체영역(41) 내에 섬형상으로 형성되며 또한 반도체기판(1a)의 한쪽 주면(5)으로 노출되는 표면을 갖는 n형 반도체영역(40)으로 이루어진다.

<135> 도 10의 n형 반도체영역(40)은 도 9의 n형 반도체영역(40)보다 조금 작게 형성되어 있다. p형 반도체영역(41)은 n형 반도체영역(40)을 그 표면을 제외하고 둘러싸도록 배치되어 있다. p형 반도체영역(41)은 n형 실리콘 반도체기판(1a)에 p형 불순물을 확산함으로써 형성되어 있으며, n형 실리콘 반도체기판(1a)과의 사이에 pn접합을 형성하고 있다. n형 반도체영역(40)은 p형 반도체영역(41)에 n형 불순물을 확산함으로써 형성되어 있고, p형 반도체영역(41)과의 사이에 pn접합을 형성하고 있다. n형 반도체영역(40)은 보호소자 형성영역(7) 표면의 오목부(9)에 노출되도록 배치되어 있다. 본딩패드전극(20)의 선단부분(18a)은 n형 반도체영역(40)에 오믹접촉되어 있다. 한편, 오믹접촉을 양호하게 하기 위한 금속층을 본딩패드전극(20)과 n형 반도체영역(40)의 사이에 추가로 배치할 수 있다.

<136> 도 10에 나타낸 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 발광 다이오드와 npn 3층 다이오드의 역병렬접속회로가 된다. 즉, 도 10에 나타내는 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 도 8의 쇼트키 배리어 다이오드(32)를 npn 3층 다이오드로 치환한 것이 된다. npn 3층 다이오드는 발광 다이오드에 소정값 이상의 역방향 전압이 인가되었을 때와, 소정값 이상의 순방향 전압이 인가되었을 때에 도통하며, 발광 다이오드를 역방향 및 순방향의 과전압으로부터 보호한다.

<137> 도 10의 실시예 3에서도 도 2 ~ 도 4와 동일한 절연막(17) 및 띠형상 접속 도체층(22)이 설치되어 있으므로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수가 있다.

<138> (실시예 4)

<139> 도 11에 나타낸 실시예 4의 과전압 보호기능을 가진 반도체 발광장치는, 도 3의 보호소자로서의 쇼트키 배리어 다이오드 대신에 콘텐서를 설치하고, 그 밖에는 도 3과 동일하게 형성한 것이다.

<140> 도 11의 주 반도체영역(2)의 구멍(16) 내에 후막(厚膜) 콘텐서를 형성하기 위한 유전체층(50)이 배치되어 있다. 유전체층(50)은 절연막(17)을 형성하는 SiO_2 의 비(比)유전율보다 큰 비유전율, 예를 들면 1200~2000을 갖는 유전체 자기재료로 이루어진다. 이 유전체 자기재료는 2족의 금속과 4족의 금속의 산화물인, 예를 들면 $BaTiO_3$

(티탄산 바륨) 또는 SrTiO_3 (티탄산 스트론튬) 등의 주(主)성분과, 3족 또는 5족 또는 이들 양자로 이루어지는 부(副)성분(첨가성분)으로 이루어진다. 3족의 금속산화물은, 예를 들면 Nd_2O_3 , La_2O_3 , Dy_2O_3 , Sm_2O_3 , Pr_2O_3 , Gd_2O_3 , Ho_2O_3 에서 선택된 1개 또는 복수 개이며, 5족의 금속산화물, 예를 들면 Nb_2O_5 , Ta_2O_5 에서 선택된 1개 또는 복수 개이다. 유전체층(50)은 유기(有機) 바인더를 수반한 유전체 자기재료의 페이스트를 선택적으로 도포해서 소성하는 방법, 또는 유전체 자기재료의 생(生)시트(그린시트)를 붙여서 소성(燒成)하는 방법 등에 의해 형성된다. 유전체층(50)의 한쪽 주면은 실리콘 기판(1)에 접촉되고, 다른 쪽 주면은 본딩패드전극(20)에 접촉되어 있다. 따라서, 실리콘 기판(1)과 유전체층(50)과 본딩패드전극(20)에 의해 콘덴서가 형성되어 있다.

<141> 도 11에 나타낸 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 발광 다이오드와 콘덴서의 병렬접속회로가 된다. 즉, 도 11에 나타내는 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 도 8의 쇼트키 배리어 다이오드(32)를 콘덴서로 치환한 것이 된다. 콘덴서는 서지전압 등의 과전압으로부터 발광소자를 보호한다.

<142> 도 11의 실시예 4에서도 도 2 ~ 도 4와 동일한 절연막(17) 및 띠형상 접속 도체층(22)이 설치되어 있으므로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

<143> 한편, 도 11에 있어서, 쇄선(51)으로 나타낸 바와 같이 유전체층(50)의 한 쪽 주면에 콘덴서 전극을 설치할 수 있다. 또한, 유전체층(50)의 다른 쪽 주면에 쇄선(52)으로 나타낸 바와 같이 콘덴서 전극을 설치할 수 있다. 또한, 유전체층(50)대신에, 칩형상 콘덴서 소자를 제 1의 전극(3)의 본딩패드전극(20)과 실리콘 기판(1)의 한쪽 주면(5)과의 사이에 배치할 수 있다.

<144> (실시예 5)

<145> 도 12에 나타내는 실시예 5의 과전압 보호기능을 가진 반도체 발광장치는, 도 3의 쇼트키 접합용 금속층(18) 또는 도 11의 유전체층(50) 대신에 보호소자로서 칩형상의 바리스터 소자(60)를 배치하고, 그 밖에는 도 3 또는 도 11과 동일하게 형성한 것이다. 바리스터 소자(60)는 반도체 자기층(61)과 그 한쪽의 주면에 배치된 한쪽 전극(62)과 그 다른 쪽 주면에 배치된 다른 쪽의 전극(63)으로 이루어진다. 반도체 자기층(61)은, BaTiO_3 , SrTiO_3 , ZnO 등으로 이루어지는 주성분에, Nb_2O_5 , Pr_6O_{11} 등의 주지의 부성분을 첨가한 반도체 자기재료로 이루어진다. 도 12에서는 본딩패드전극(20)과 바리스터 소자(60)의 한쪽 전극(62)과의 사이의 절연을 확보하기 위하여, 이들의 사이에 절연물(64)이 배치되어 있다. 바리스터 소자(60)의 한쪽의 전극(62)은 실리콘 기판(1)의 한쪽 주면(5)에 형성된 오믹전극(65)에 대하여 도시가 생략된 주지의 도전성 접합재에 의해 결합되며, 다른 쪽의 전극(63)은 본딩패드전극(20)에 접속되어 있다. 상기 바리스터 소자(60)는 가령 10V 정도의 바리스터 전압을 갖는다.

<146> 도 12에 나타낸 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 발광 다이오드와 바리스터 소자의 병렬접속회로가 된다. 즉, 도 12에 나타낸 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 도 8의 쇼트키 배리어 다이오드(32)를 바리스터 소자로 치환한 것이 된다. 바리스터 소자는 서지전압 등의 과전압으로부터 발광 다이오드를 보호한다.

<147> 도 12의 실시예 5에서도 도 2 ~ 도 4와 동일한 절연막(17) 및 띠형상 접속 도체층(22)이 설치되어 있으므로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수가 있다.

<148> (실시예 6)

<149> 도 13에 나타낸 실시예 6의 과전압 보호기능을 가진 반도체 발광장치는, 도 3의 금속층(18) 대신에 박막 반도체, 즉 n형 반도체 박막(40a)을 설치하고, 그 밖에는 도 3과 동일하게 형성한 것이다.

<150> n형 반도체 박막(40a)은, p형 반도체기판(1)과 본딩패드전극(20)의 사이에 배치되어 있다. 이 n형 반도체 박막(40a)은, 증착 또는 CVD(Chemical Vapor Deposition) 또는 스퍼터링 또는 인쇄(도포) 등 주지의 방법으로 형성되며, 예를 들어 $1\text{nm} \sim 1\mu\text{m}$ 정도의 두께를 갖는다.

<151> n형 반도체 박막(40a)의 재료로서, 예를 들면, 아모퍼스(비정질) 실리콘, ITO , ZnO , SnO_2 , In_2O_3 , ZnS , ZnSe , ZnSb_2O_6 , CdO , CdIn_2O_4 , MgIn_2O_4 , ZnGa_2O_4 , CdGa_2O_4 , Ga_2O_3 , GaInO_3 , CdSnO_4 , InGaMgO_4 , InGaZnO_4 , $\text{Zn}_2\text{In}_2\text{O}_5$, AgSbO_3 , $\text{Cd}_2\text{Sb}_2\text{O}_7$, Cd_2GeO_4 , AgInO_2 , CdS 및 CdSe 에서 선택된 것을 사용할 수 있다.

<152> 도 13의 n형 반도체 박막(40a)은 도 9의 n형 반도체영역(40)과 마찬가지로 기능하고, p형 반도체기판(1)과의 사

이에 pn접합을 형성한다. 따라서, 도 13에 나타내는 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 발광 다이오드와 pn접합 다이오드의 역병렬접속회로가 된다. 즉, 도 13에 나타낸 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 도 8의 쇼트키 배리어 다이오드(32)를 pn접합 다이오드로 치환한 것이 된다. pn접합 다이오드는 서지전압 등의 과전압으로부터 발광 다이오드를 보호한다.

<153> 도 13의 실시예 6에서도 도 2 ~ 도 4와 동일한 절연막(17) 및 띠형상 접속 도체층(22)이 설치되어 있으므로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

<154> (실시예 7)

<155> 도 14의 실시예 7의 과전압 보호기능을 가진 반도체 발광장치는, 도 3의 금속층(18) 대신에, p형 반도체 박막(41a)과 n형 반도체 박막(40a)을 설치하고, 그 밖에는 도 3과 동일하게 구성한 것이다. 다른 관점에서 보면, 상기 도 14의 복합 반도체장치는, 도 13의 n형 반도체 박막(40a)과 p형 반도체기판(1)의 사이에 p형 반도체 박막(41a)을 추가한 것에 상당한다.

<156> p형 반도체 박막(41a)은, 주지의 중착 또는 CVD 또는 스퍼터링 또는 인쇄(도포)법에 의해 형성되며, 예를 들면 $1\text{nm} \sim 1\mu\text{m}$ 정도의 두께를 갖는다. 상기 p형 반도체 박막(41a)의 재료로서 p형 아모퍼스 실리콘, NiO , Cu_2O , FeO , CuAlO_2 , CuGaO_2 및 SrCu_2O_2 에서 선택된 것을 사용할 수 있다.

<157> n형 반도체 박막(40a)과 p형 반도체 박막(41a)의 사이에 pn접합이 형성되고, 또한 p형 반도체 박막(41a)은 p형 반도체기판(1)에 오믹접촉되어 있으며, n형 반도체 박막(40a)은 본딩패드전극(20)에 오믹접촉되어 있다. 따라서, 도 14에 나타내는 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 발광 다이오드와 pn접합 다이오드의 역병렬접속회로가 된다. 즉, 도 14에 나타낸 과전압 보호기능을 가진 반도체 발광장치의 등가회로는, 도 8의 쇼트키 배리어 다이오드(32)를 pn접합 다이오드로 치환한 것이 된다. 박막구성의 pn접합 다이오드는 서지전압 등의 과전압으로부터 발광 다이오드를 보호한다.

<158> 도 14의 실시예 7에서도 도 2 ~ 도 4와 동일한 절연막(17) 및 띠형상 접속 도체층(22)이 설치되어 있으므로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

<159> (실시예 8)

<160> 도 15에 나타내는 실시예 8의 과전압 보호기능을 가진 반도체 발광장치는, 도 3의 p형 반도체기판(1)을 도 10과 마찬가지로 n형(제 1 도전형) 반도체기판(1a)으로 치환하고, 도 3의 금속층(18) 대신에, n형의 제 1의 반도체 박막(71)과 p형(제 1 도전형)의 제 2의 반도체 박막(72)과 n형의 제 3의 반도체 박막(73)을 설치하였으며, 그 밖에는 도 3과 동일하게 구성한 것에 상당한다.

<161> 도 15의 n형의 제 1 반도체 박막(71)은 n형 반도체기판(7a)에 오믹접촉되고, 도 13의 n형 반도체 박막(40a)과 동일한 재료를 사용하여 동일한 방법으로 형성되어 있다. n형의 제 1의 반도체 박막(71) 위에 배치된 p형의 제 2의 반도체 박막(72)은 도 14의 p형 반도체 박막(41a)과 동일한 재료를 사용하여 동일한 방법으로 형성된다. p형의 제 2의 반도체 박막(72) 위에 배치된 n형의 제 3의 반도체 박막(73)은 도 13의 n형 반도체 박막(40a)과 동일한 재료로 이루어지고, 또한 본딩패드전극(20)에 오믹접촉되어 있다.

<162> 제 1의 반도체 박막(71)과 제 2의 반도체 박막(72)과 제 3의 반도체 박막(73)으로 이루어지는 박막 3층 다이오드는, 도 10의 npn 3층 다이오드와 동일한 기능을 갖는다.

<163> 도 15의 실시예 8에 있어서도 도 2 ~ 도 4와 동일한 절연막(17) 및 띠형상 접속 도체층(22)이 설치되어 있으므로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

<164> (실시예 9)

<165> 도 16에 나타내는 실시예 9의 과전압 보호기능을 가진 반도체 발광장치는, 도 10의 n형 반도체영역(40) 대신에, n형 반도체기판(1a) 위에 n형 반도체 박막(40a)을 설치하고, 그 밖에는 도 10과 동일하게 구성한 것에 상당한다. 도 16의 n형 반도체 박막(40a)은, 도 13에서 동일 부호로 나타낸 것과 동일한 재료를 사용하여 동일한 방법으로 형성된다. 상기 n형 반도체 박막(40a)은 p형 반도체영역(41)과의 사이에 pn접합을 형성하고, 또 본딩패드전극(20)에 오믹접촉되어 있다. 따라서, n형 반도체기판(1a)과 p형 반도체영역(41)과 n형 반도체 박막(40a)에 의해 도 10의 npn 3층 다이오드와 동일한 기능을 얻을 수 있다.

<166> 도 16의 실시예 9에 있어서도 도 2 ~ 도 4와 동일한 절연막(17) 및 띠형상 접속 도체층(22)이 설치되어 있으므로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

로, 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

<167> (실시예 10)

도 17은 실시예 10에 따른 절연막(17)의 변형된 제 2의 구멍(17b')을 나타낸다. 도 17에서는 1개의 띠형상 접속 도체층(22)에 대하여 복수의 제 2의 구멍(17b')이 형성되어 있다. 바꾸어 말하면, 도 5에 나타내는 1개의 제 2의 구멍(17b)이 복수의 제 2의 구멍(17b')으로 분할되어 있다. 도 17의 제 2의 구멍(17b')은 도시되지 않은 본딩패드전극(20)으로부터 멀어짐에 따라 커진다. 그 결과, 광투과성 절연막(19)의 단위면적에 대한 제 2의 구멍(17b')의 면적비율은, 본딩패드전극(20)으로부터 멀어짐에 따라 커진다. 이로써, 주 반도체영역(2)에 있어서의 전류의 균일성을 더욱 높일 수가 있다. 띠형상 접속 도체층(22)은 복수의 제 2의 구멍(17b') 내에 각각 충전되어 있으므로, 도 2 ~ 도 4의 실시예 1과 마찬가지로 절단되기 어렵다. 따라서, 도 17의 실시예에 의해서도 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

<169> (실시예 11)

도 18은 실시예 11에 따른 절연막(17)의 변형된 제 2의 구멍(17b'')을 나타낸다. 도 18의 제 2의 구멍(17b'')의 폭은 도시되지 않은 본딩패드전극(20)으로부터 멀어짐에 따라 넓어져 있다. 그 결과, 광투과성 절연막(19)의 단위면적에 대한 제 2의 구멍(17b'')의 면적비율은, 본딩패드전극(20)으로부터 멀어짐에 따라 커진다. 이로써, 도 17의 실시예 10과 마찬가지로 주 반도체영역(2)에 있어서의 전류의 균일성을 더욱 높일 수가 있다.

<171> 따라서, 도 18의 실시예에 의해서도 도 2 ~ 도 4의 실시예 1과 동일한 효과를 얻을 수 있다.

<172> (실시예 12)

도 19는 실시예 12에 따른 변형된 절연막(17'')을 가진 반도체 발광장치의 일부를 나타낸다. 도 19의 절연막(17'')은, 광투과성 절연막(19)의 전면(全面)을 덮도록 형성되지 않고 일부만을 덮고 있다. 즉, 절연막(17'')은 띠형상 접속 도체층(22)과 마찬가지로 띠형상 패턴을 갖고 있다. 단, 도시되지 않은 본딩패드전극(20)과 주 반도체영역(2)의 사이에는 실시예 1과 마찬가지로 절연막(17'')이 존재한다. 도 19의 실시예 12는, 광투과성 절연막(19)의 보호의 측면에서는 실시예 1보다 떨어지지만, 광의 휘출효율의 측면에서는 실시예 1보다 뛰어나다.

<174> 본 발명은 상술한 실시예로 한정되는 것이 아니고, 예를 들면 다음과 같은 변형이 가능한 것이다.

<175> (1) 도 5에 나타낸 실시예 1에 따른 절연막(17)의 4개의 제 2의 구멍(17b)을 서로 연결하는 구멍(홈)을 형성하고, 이 연결구멍(홈)의 내부 및 여기에 인접하는 절연막(17)의 위에도 띠형상 접속 도체층(22)을 설치할 수가 있다. 즉, 제 2의 구멍(17b) 및 띠형상 접속 도체층(22)을 격자형상 또는 메시형상 등으로 변형할 수 있다.

<176> (2) 본딩패드전극(20) 아래에 4개의 띠형상 접속 도체층(22)을 서로 연결하는 연결 도체층을 설치할 수 있다.

<177> (3) 실리콘 반도체기판(1 또는 1a)을 단결정 실리콘 이외의 다결정 실리콘 또는 SiC 등의 실리콘 화합물, 또는 3-5족 화합물 반도체로 할 수 있다. 또한, 도 11, 도 12, 도 14, 도 15의 실시예에서는, 실리콘 반도체기판(1)을 금속기판으로 할 수 있다.

<178> (4) 실리콘 반도체기판(1 또는 1a) 및 주 반도체영역(2)의 각 층 및 보호소자의 각 층 또는 각 막의 도전형을 실시예와 반대로 할 수 있다.

<179> (5) 주 반도체영역(2)에, 주지의 전류분산용 반도체층 및 콘택트용 반도체층을 설치할 수 있다.

<180> (6) 도 12의 보호소자로서의 자기 바리스터 소자(60) 대신에 실리콘 바리스터 소자, 정전압 다이오드, 정류 다이오드, 3층 다이오드 등의 칩형상 보호소자를 배치할 수 있다.

<181> (7) 본딩패드전극(20)에 와이어(21) 이외의 봉형상 또는 판형상 등의 다른 도체부재를 접속할 수 있다.

<182> (8) 반도체기판(1 또는 1a) 위에 주 반도체영역(2)을 기상성장시키는 대신에, 반도체기판(1 또는 1a) 또는 금속 기판에 주 반도체영역(2)을 열압착 등에 의해 서로 붙일 수 있다.

<183> (9) 주 반도체영역(2)으로부터 기판(1 또는 1a) 쪽으로 방사된 광을 주 반도체영역(2)의 제 1의 주면(14) 쪽으로 반사시키는 광반사층을 설치할 수 있다.

<184> (10) 도 3에 있어서 쇼트키 접촉 금속층(18)을 설치하는 대신에, 구멍(16) 내에 주 반도체영역(2)을 구성하는

층(10~13)과 동일한 복수의 반도체층을, 주 반도체영역(2)으로부터 전기적으로 분리하여 잔존시키고, 이 잔존시킨 복수의 반도체층 중의 일부를 사용하여 쇼트키 배리어 다이오드 등의 과전압 보호소자를 형성할 수 있다.

발명의 효과

<185> 본 발명은 다음과 같은 효과를 갖는다.

<186> (1) 광투과성 도전막 위에 구멍을 갖는 절연막이 형성되고, 접속 도체층이 절연막 표면의 일부를 덮는 동시에 절연막의 구멍을 통해 광투과성 도전막에 접속되어 있기 때문에, 접속 도체층이 절단되기 어렵다. 따라서, 반도체 발광장치의 제조수율을 향상시킬 수 있다.

<187> (2) 접속 도체층은 광투과성 절연막보다 저항율이 작은 재료로 형성되어 있기 때문에, 광투과성 절연막뿐인 경우에 비해 주 반도체영역의 외주부분에 전류를 양호하게 분산시킬 수 있고, 주 반도체영역에 있어서의 전류의 균일성이 높아져 발광효율이 향상된다.

<188> (3) 본딩패드전극과 주 반도체영역의 사이에 응력완화기능을 가진 절연막이 존재하기 때문에, 본딩패드전극에 근거하여 주 반도체영역에 발생하는 응력의 발생을 억제할 수 있어, 주 반도체영역의 발광특성의 저하를 막을 수 있다.

<189> (4) 본딩패드전극과 기판의 다른 쪽 주면의 사이에 과전압 보호소자가 형성되어 있기 때문에, 과전압 보호기능을 수반한 반도체 발광장치의 소형화를 꾀할 수 있다.

도면의 간단한 설명

<1> 도 1은 종래의 과전압 보호기능을 가진 반도체 발광장치를 개략적으로 나타낸 중앙 종단면도이다.

<2> 도 2는 본 발명의 실시예 1에 따른 과전압 보호기능을 가진 반도체 발광장치를 나타내는 평면도이다.

<3> 도 3은 도 2의 B-B선 단면도이다.

<4> 도 4는 도 2의 A-A선 단면도이다.

<5> 도 5는 도 2의 과전압 보호기능을 가진 반도체 발광장치의 절연막보다 아래의 부분을 나타내는 평면도이다.

<6> 도 6은 도 2의 C-C선의 일부를 확대하여 나타낸 단면도이다.

<7> 도 7은 도 3의 주(主) 반도체영역과 반도체기판의 일부를 나타내는 단면도이다.

<8> 도 8은 도 2의 과전압 보호기능을 가진 반도체 발광장치의 전기 회로도이다.

<9> 도 9는 실시예 2의 과전압 보호기능을 가진 반도체 발광장치를 도 3과 같이 개략적으로 나타낸 중앙 종단면도이다.

<10> 도 10은 실시예 3의 과전압 보호기능을 가진 반도체 발광장치를 도 3과 같이 개략적으로 나타낸 중앙 종단면도이다.

<11> 도 11은 실시예 4의 과전압 보호기능을 가진 반도체 발광장치를 도 3과 같이 개략적으로 나타낸 중앙 종단면도이다.

<12> 도 12는 실시예 5의 과전압 보호기능을 가진 반도체 발광장치를 도 3과 같이 개략적으로 나타낸 중앙 종단면도이다.

<13> 도 13은 실시예 6의 과전압 보호기능을 가진 반도체 발광장치를 도 3과 같이 개략적으로 나타낸 중앙 종단면도이다.

<14> 도 14는 실시예 7의 과전압 보호기능을 가진 반도체 발광장치를 도 3과 같이 개략적으로 나타낸 중앙 종단면도이다.

<15> 도 15는 실시예 8의 과전압 보호기능을 가진 반도체 발광장치를 도 3과 같이 개략적으로 나타낸 중앙 종단면도이다.

<16> 도 16은 실시예 9의 과전압 보호기능을 가진 반도체 발광장치를 도 3과 같이 개략적으로 나타낸 중앙 종단면도이다.

- <17> 도 17은 실시예 10의 과전압 보호기능을 가진 반도체 발광장치의 절연막의 일부를 개략적으로 나타낸 단면도이다.

<18> 도 18은 실시예 11의 과전압 보호기능을 가진 반도체 발광장치의 절연막의 일부를 개략적으로 나타낸 단면도이다.

<19> 도 19는 실시예 12의 과전압 보호기능을 가진 반도체 발광장치의 일부를 개략적으로 나타낸 단면도이다.

<20> * 도면의 주요 부분에 대한 부호의 설명 *

<21> 1, 1a : 실리콘 반도체기판 2 : 주(主) 반도체영역

<22> 3 : 제 1의 전극 4 : 제 2의 전극

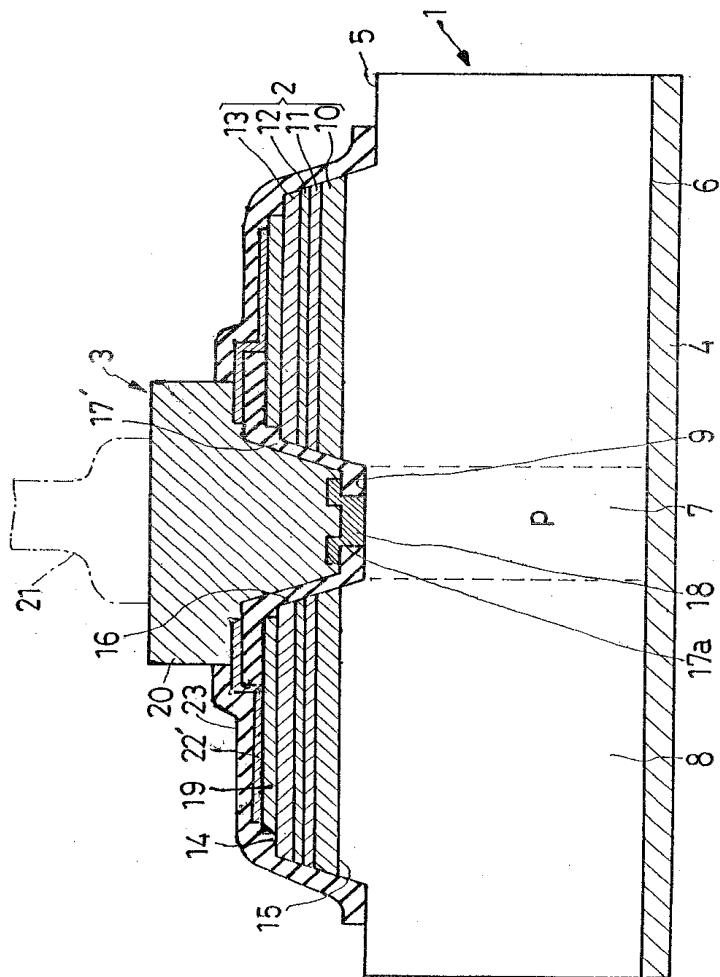
<23> 7 : 보호소자 형성영역 17 : 절연막

<24> 17b : 제 2의 구멍 19 : 광투파성 절연막

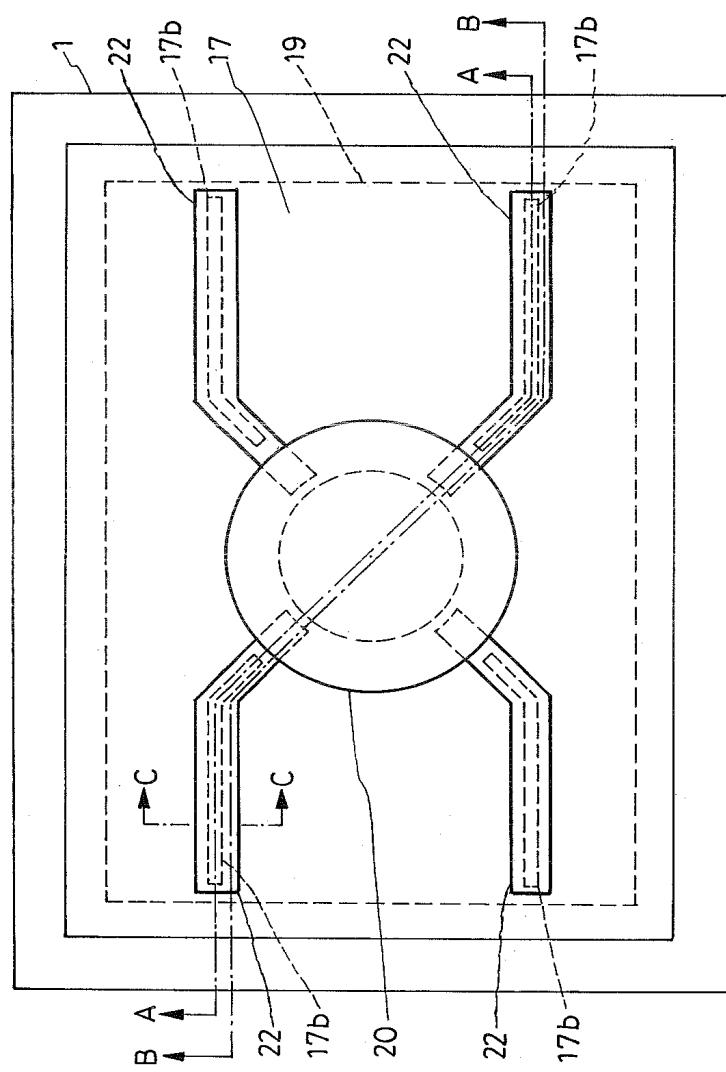
<25> 20 : 본딩패드전극 22 : 띠형상(帶狀) 접속 도체층

도면

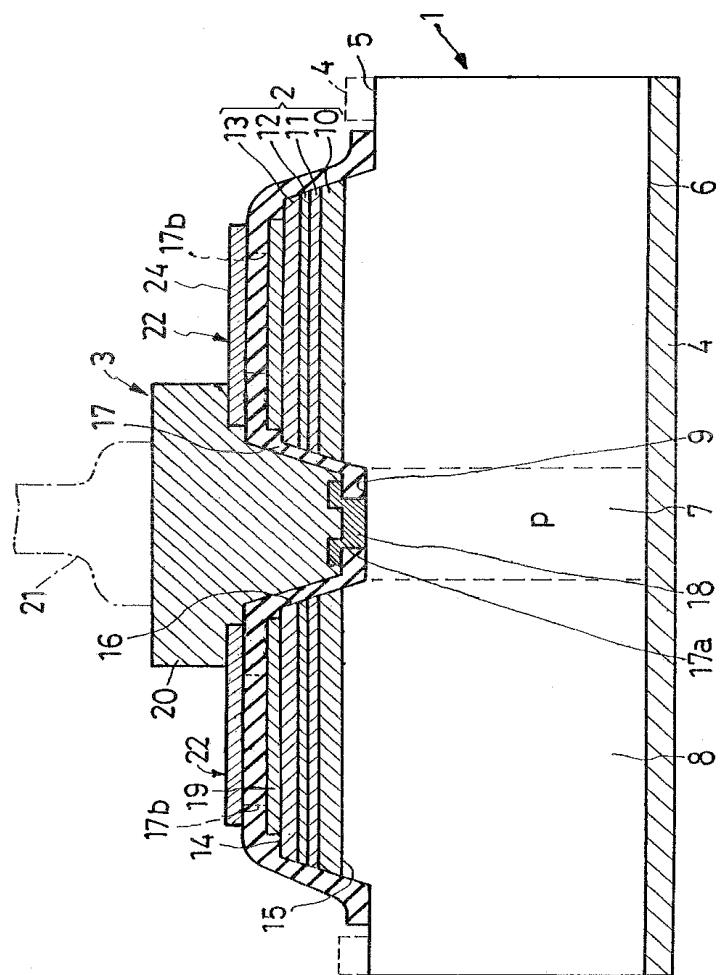
도면1



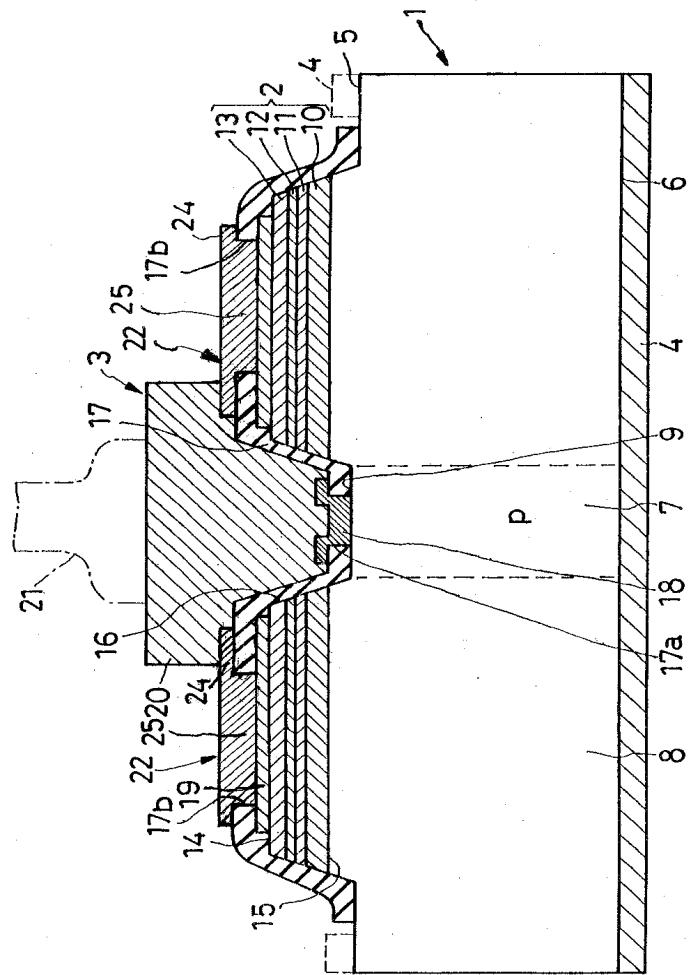
도면2



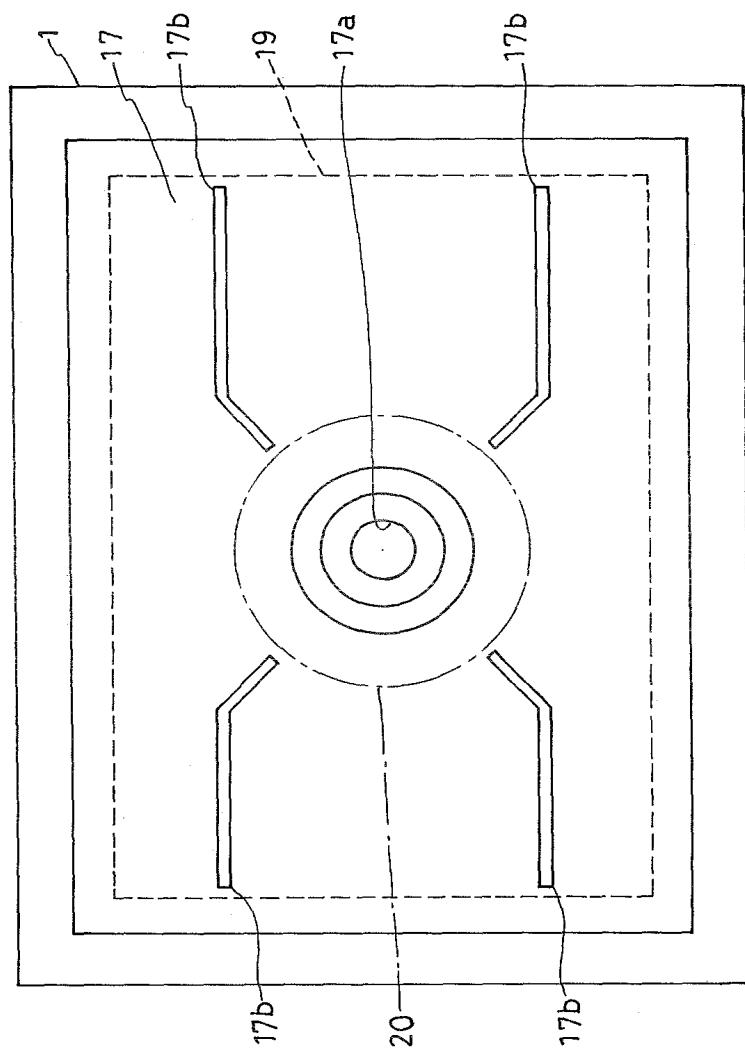
도면3



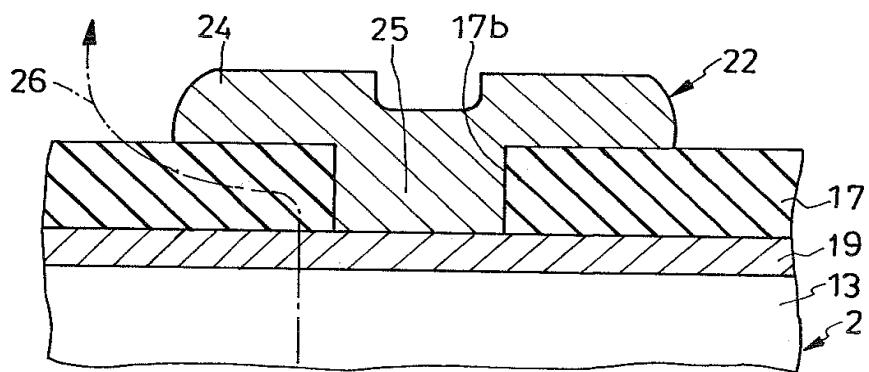
도면4



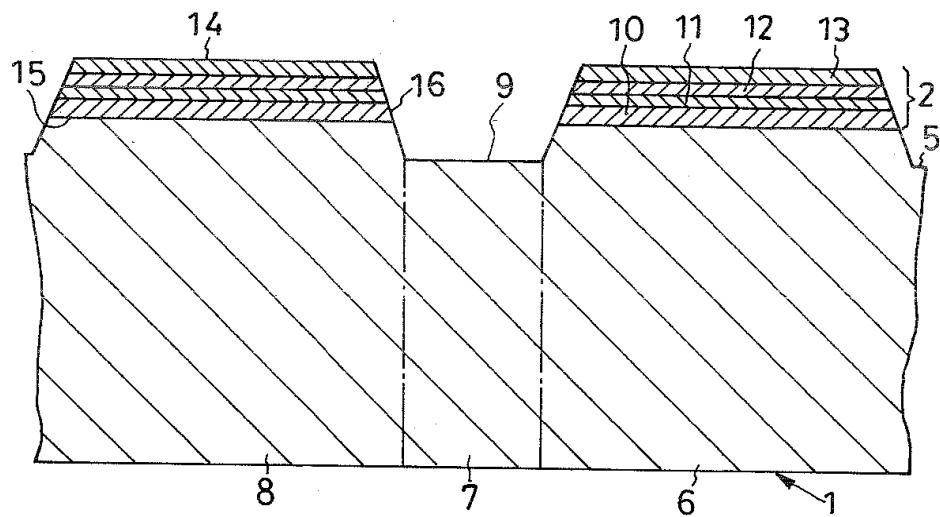
도면5



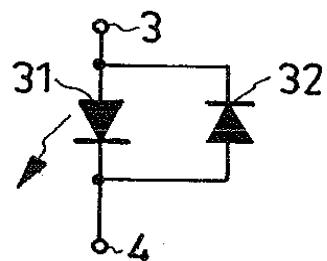
도면6



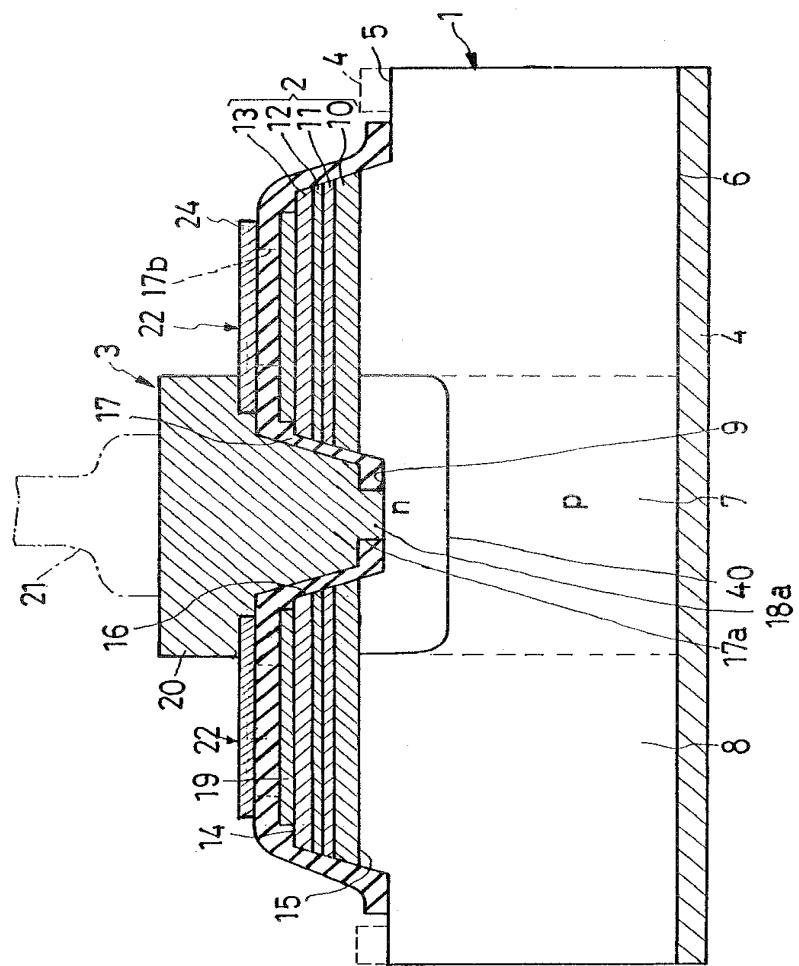
도면7



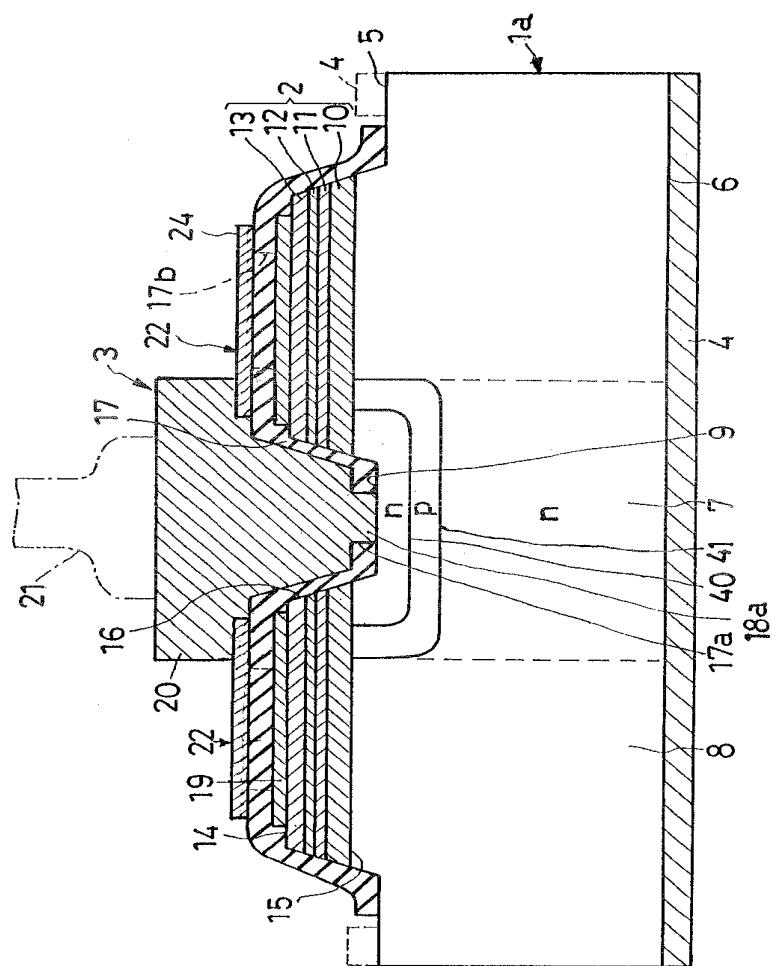
도면8



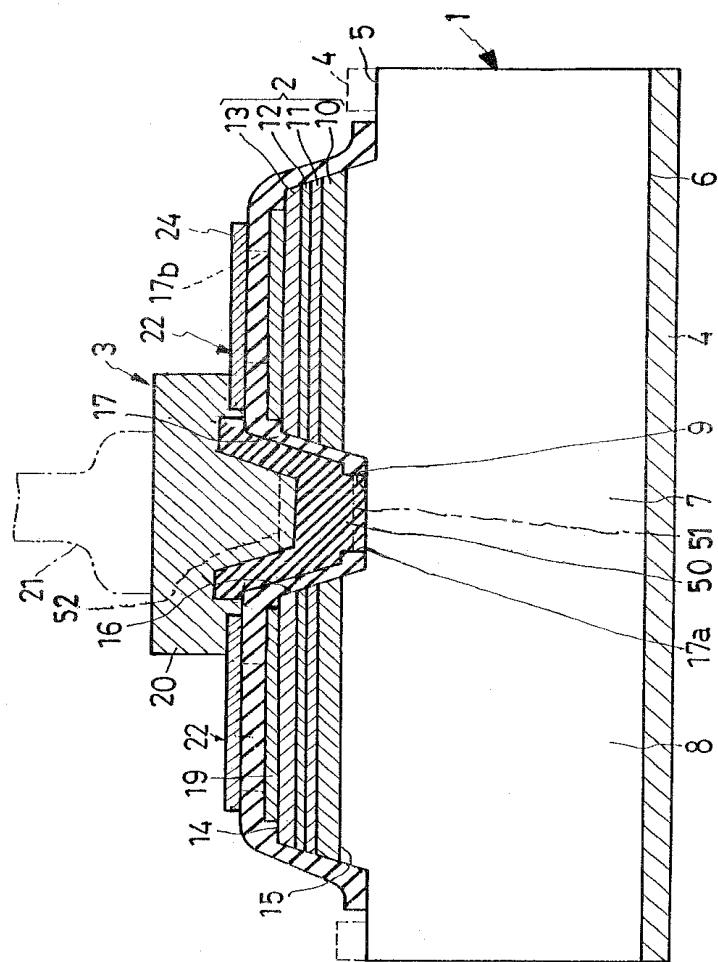
도면9



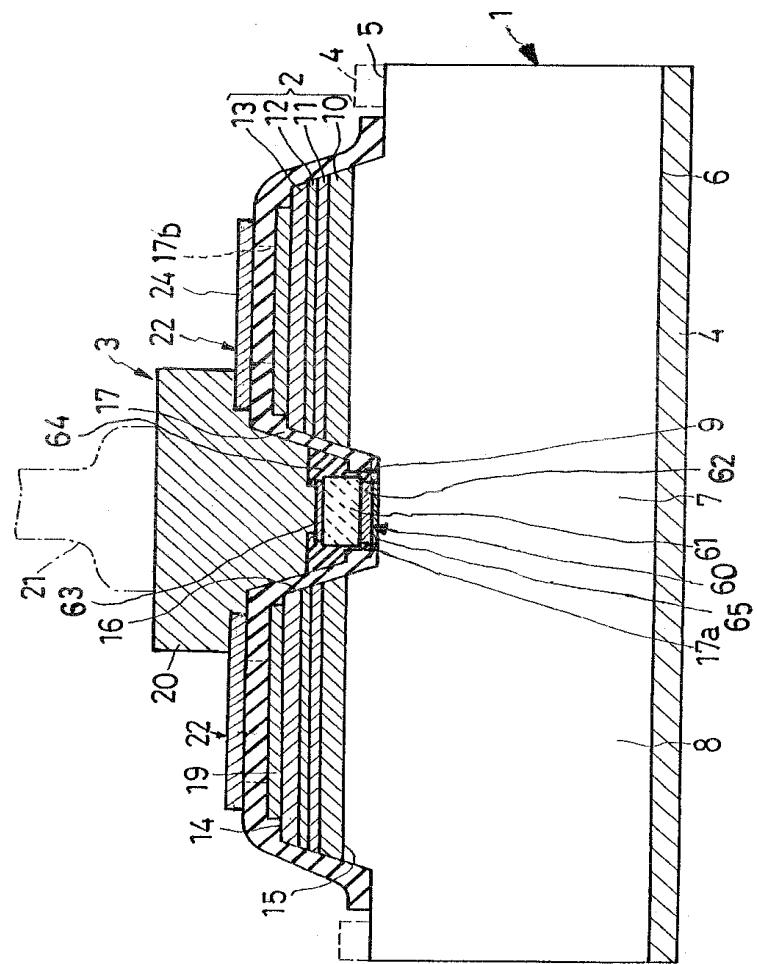
도면10



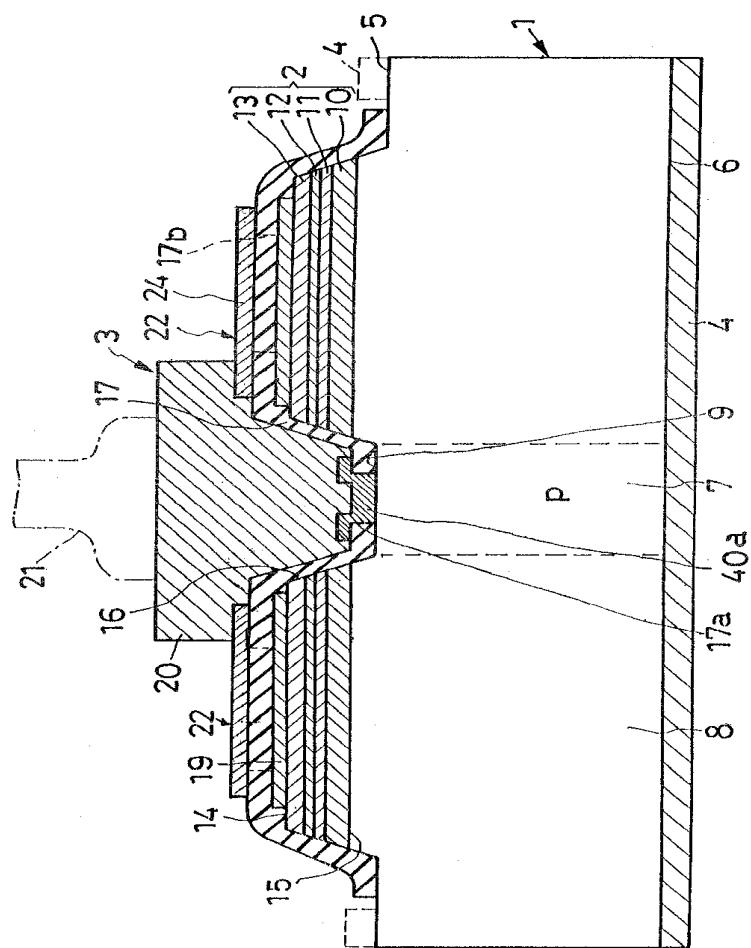
도면11



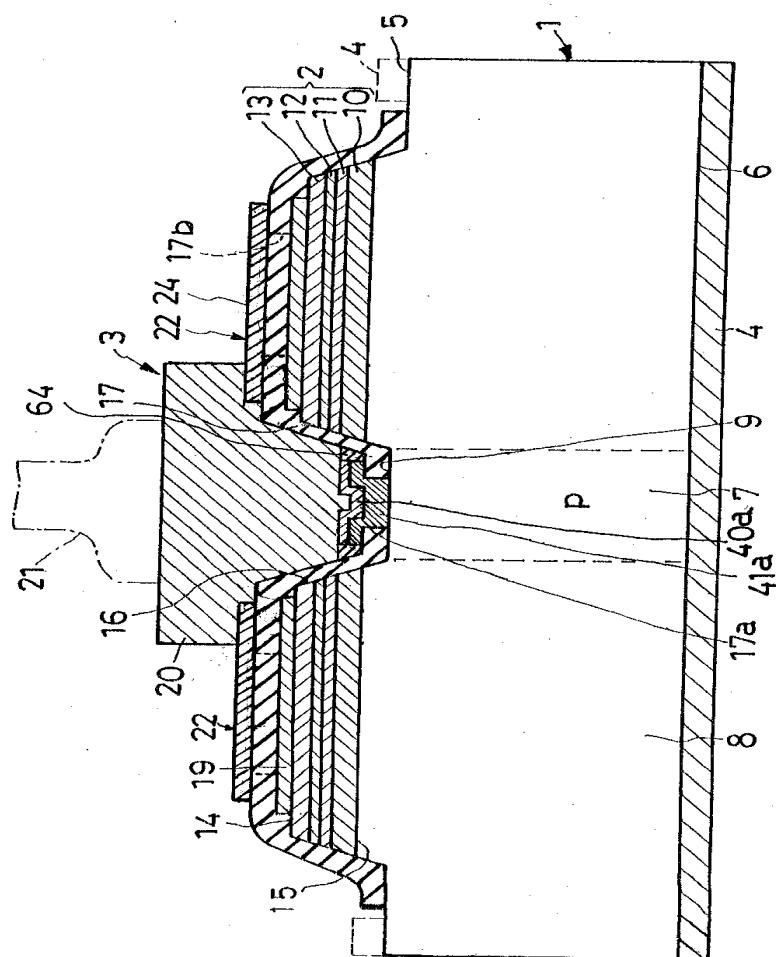
도면12



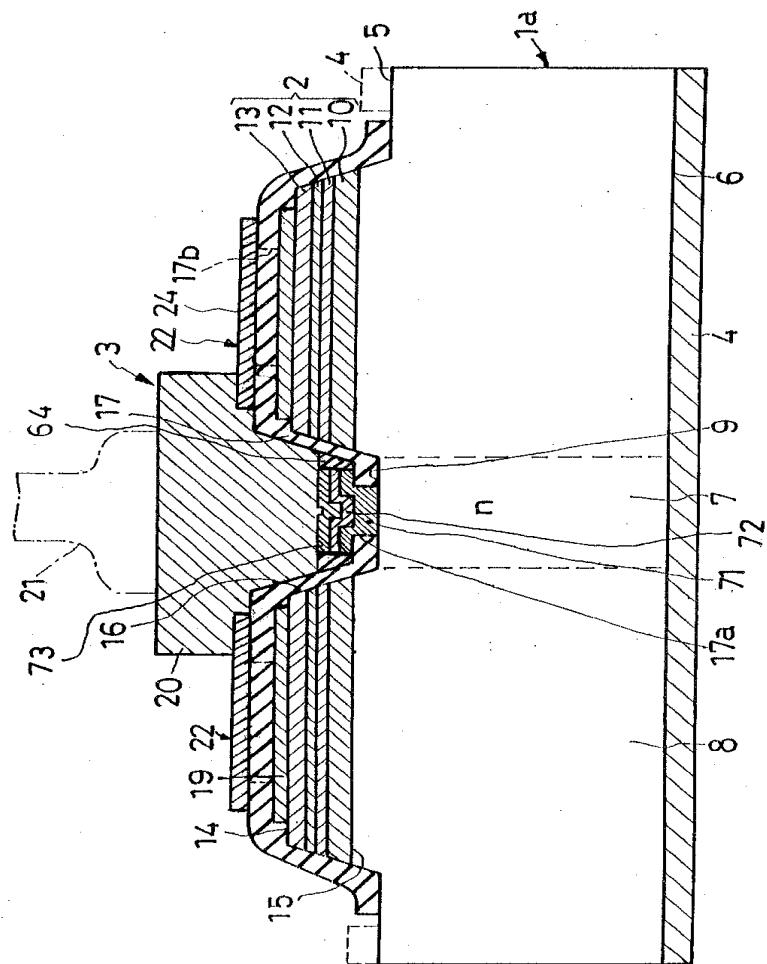
도면13



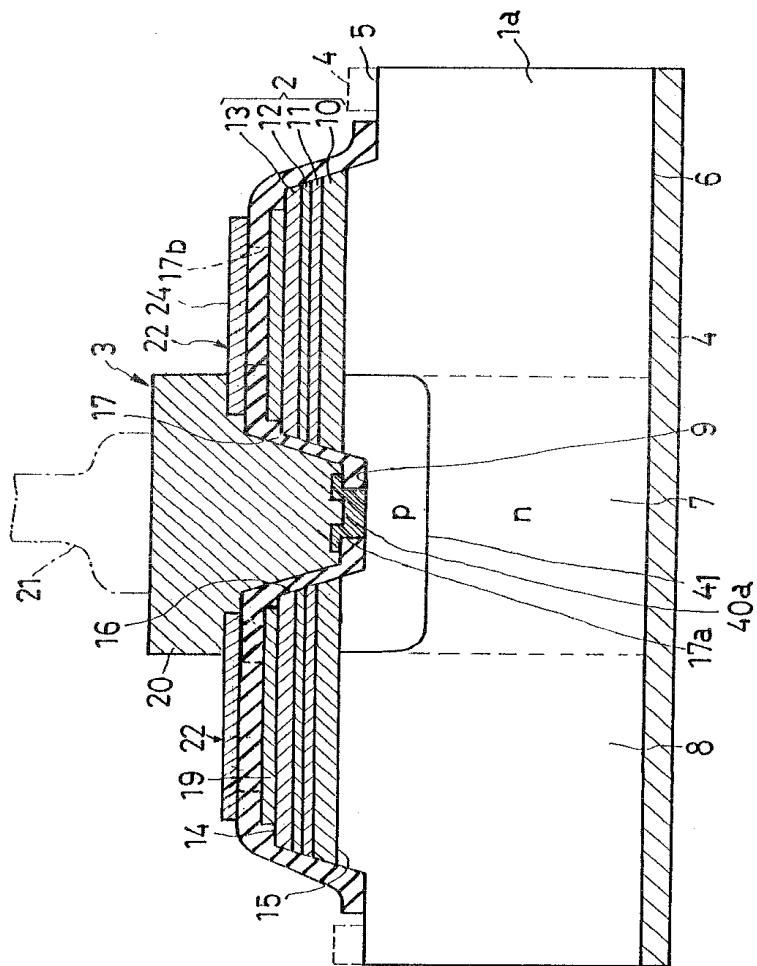
도면14



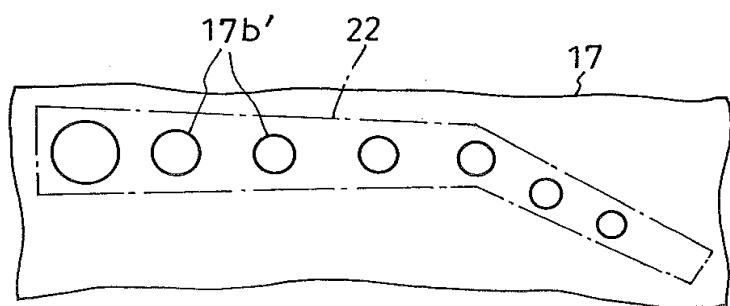
도면15



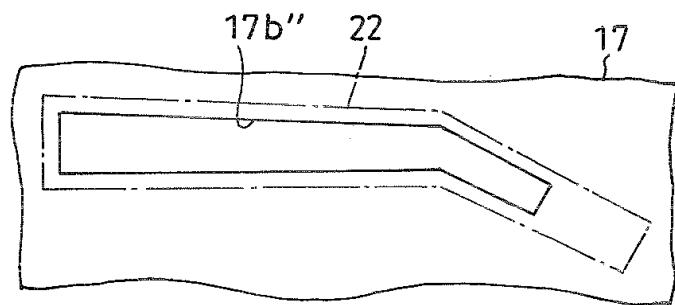
도면16



도면17



도면18



도면19

