



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I591805 B

(45)公告日：中華民國 106 (2017) 年 07 月 11 日

(21)申請案號：101124456

(22)申請日：中華民國 101 (2012) 年 07 月 06 日

(51)Int. Cl. : *H01L27/108 (2006.01)**H01L21/8242(2006.01)**H01L21/304 (2006.01)**H01L21/3065(2006.01)*

(30)優先權：2011/07/08 日本

2011-152001

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：石塚章廣 ISHIZUKA, AKIHIRO (JP)；花岡一哉 HANAOKA, KAZUYA (JP)；世
川慎也 SASAGAWA, SHINYA (JP)；永松翔 NAGAMATSU, SHO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5731856A

US 5744864A

US 6294274B1

審查人員：毛弘瑋

申請專利範圍項數：17 項 圖式數：9 共 53 頁

(54)名稱

半導體裝置製造方法

A METHOD FOR MANUFACTURING A SAMICONDUCTOR DEVICE

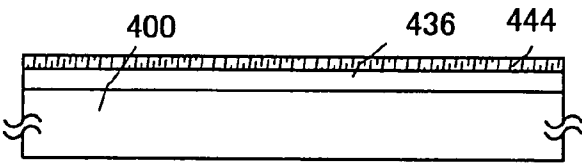
(57)摘要

本發明的課題之一是提供具有優良的特性的半導體裝置，其中通道層包括具有結晶性高的氧化物半導體。此外，提供包括具有改善平坦性的基底膜的半導體裝置。對電晶體的基底膜進行 CMP 處理，在進行 CMP 處理之後進行電漿處理，從而基底膜具有低於 0.1nm 的中心線平均粗糙度 Ra₇₅。在藉由組合電漿處理和 CMP 處理得到的具有平坦性的基底膜上形成具有高結晶性的氧化物半導體層，藉此改善半導體裝置的特性。

An object is to provide a semiconductor device having excellent characteristics, in which a channel layer includes an oxide semiconductor with high crystallinity. In addition, a semiconductor device including a base film with improved planarity is provided. CMP treatment is performed on the base film of the transistor and plasma treatment is performed thereon after the CMP treatment, whereby the base film can have a center line average roughness Ra₇₅ of less than 0.1 nm. The oxide semiconductor layer with high crystallinity is formed over the base film having planarity, which is obtained by the combination of the plasma treatment and the CMP treatment, thereby improving the characteristics of the semiconductor device.

指定代表圖：

圖 1B



符號簡單說明：

400 . . . 基板

436 . . . 基底膜

444 . . . 氧化物半導體膜

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101124456

※申請日：101 年 07 月 06 日

※IPC 分類：H01L 27/108 (2006.01)

H01L 21/8242 (2006.01)

一、發明名稱：(中文／英文)

H01L 21/304 (2006.01)

半導體裝置製造方法

H01L 21/3065 (2006.01)

A method for manufacturing a semiconductor device

二、中文發明摘要：

本發明的課題之一是提供具有優良的特性的半導體裝置，其中通道層包括具有結晶性高的氧化物半導體。此外，提供包括具有改善平坦性的基底膜的半導體裝置。對電晶體的基底膜進行 CMP 處理，在進行 CMP 處理之後進行電漿處理，從而基底膜具有低於 0.1nm 的中心線平均粗糙度 Ra_{75} 。在藉由組合電漿處理和 CMP 處理得到的具有平坦性的基底膜上形成具有高結晶性的氧化物半導體層，藉此改善半導體裝置的特性。

三、英文發明摘要：

An object is to provide a semiconductor device having excellent characteristics, in which a channel layer includes an oxide semiconductor with high crystallinity. In addition, a semiconductor device including a base film with improved planarity is provided. CMP treatment is performed on the base film of the transistor and plasma treatment is performed thereon after the CMP treatment, whereby the base film can have a center line average roughness Ra_{75} of less than 0.1 nm. The oxide semiconductor layer with high crystallinity is formed over the base film having planarity, which is obtained by the combination of the plasma treatment and the CMP treatment, thereby improving the characteristics of the semiconductor device.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

400：基板

436：基底膜

444：氧化物半導體膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種包括氧化物半導體膜的半導體裝置以及製造該半導體裝置的方法。

注意，在本說明書中，半導體裝置是指能夠利用半導體特性而發揮作用的所有裝置。光電裝置、半導體電路及電子裝置都是半導體裝置。

【先前技術】

近年來，以行動電話等為代表的移動通信市場急速地發展。隨著對作為安裝構件的半導體積體電路的低功率消耗、高集體化、多功能化、高速化等的要求增高，而期待電晶體的特性的提高。

作為表示電晶體的特性的指標中之一，使用 S 值。 S 值表示在汲極電壓固定的情況下，為使汲極電流變化一位元而需要的閘極電壓的變化量。 S 值越小，汲極電流的控制性越高。目前，因電晶體的微細化等而難以使 S 值為 80mV/dec 以下。

此外，使用非晶氧化物半導體材料代替矽類半導體材料製造電晶體，並且將其應用於電子裝置等的技術亦受到矚目。例如，公開了如下技術：使用電子載子濃度低於 $10^{18}/\text{cm}^3$ 的包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物半導體材料作為電晶體的通道層，來製造電晶體（參照專利文獻 1）。

[專利文獻 1]日本專利申請公開第 2006-165529 號公報

爲了改善電晶體的特性，重要的是：使氧化物半導體層的結晶性及基底膜和氧化物半導體層之間的介面特性良好。作爲表示基底膜的平坦性的指標，可以使用中心線平均粗糙度 Ra_{75} 值。當基底膜的中心線平均粗糙度 Ra_{75} 值大時，形成在基底膜上的氧化物半導體層的結晶化被阻礙而結晶性減少，其結果是，導致電晶體的電特性受損害或可靠性的降低。

【發明內容】

鑒於上述問題，本發明的一個方式的課題之一是將結晶性高的氧化物半導體用於通道層來提供具有優良的特性的半導體裝置。

此外，本發明的一個方式的課題之一是提供包括平坦性被改善之基底膜的半導體裝置。

藉由在減小了中心線平均粗糙度 Ra_{75} 值的基底膜上形成結晶性高的氧化物半導體層，以達到在半導體裝置特性上的改善。

本說明書所公開的本發明的一個方式是一種半導體裝置的製造方法，包含如下步驟：在基板上形成基底膜；對基底膜進行 CMP 處理；在進行 CMP 處理之後在基底膜上進行電漿處理；以及在藉由電漿處理及 CMP 處理而得到的平坦的表面上形成氧化物半導體層。

在用以製造半導體裝置之上述方法中，電漿處理是使用稀有氣體的電漿處理。

揭露於本說明書中之本發明的一個實施例是一種製造半導體裝置的方法，包括如下步驟：在基板上形成基底膜；在基底膜上進行第一電漿處理；在進行第一電漿處理之後在基底膜上進行 CMP 處理；在進行 CMP 處理之後在基底膜上進行第二電漿處理；以及在藉由第一電漿處理、CMP 處理及第二電漿處理而得到的平坦的表面上形成氧化物半導體層。

在用以製造半導體裝置之上述方法中，第一電漿處理及第二電漿處理各是使用稀有氣體的電漿處理。

在用以製造半導體裝置之上述方法中，基底膜是氧化矽膜、氧化鎵膜、氧化鉛膜以及氧化鋁膜中之任一者。

在用以製造半導體裝置之上述方法中，基板可以是半導體基板。

在用以製造半導體裝置之上述方法中，基板可以是玻璃基板。

在用以製造半導體裝置之上述方法中，使用 ICP 蝕刻裝置進行電漿處理較佳，該 ICP 蝕刻裝置能夠產生其密度比平行板電漿裝置高的電漿。

當組合電漿處理和 CMP 處理實施時，基底膜可具有低於 0.1nm 的中心線平均粗糙度 Ra_{75} ，並可以提高半導體裝置的 S 值。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細的說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

[實施例 1]

在本實施例中，藉由下面所示的步驟對單晶矽基板上的基底膜進行平坦化處理，在其上製造具有氧化物半導體層的電晶體，並描述出基底膜的平坦性與電晶體的特性之間的關係，特別是 S 值。圖 1A 至 1F 為電晶體的製造步驟的剖面圖，而圖 2 為所製造的電晶體的俯視圖。

此外，為了比較，還測量包括不對基底膜進行平坦化處理的電晶體的特性。

首先，如圖 1A 所示，在由單晶矽構成的基板 400 上形成 300nm 厚度的基底膜 436。在基底膜 436 之沈積前進行 3 分鐘的反濺射，其中引入氬氣體產生電漿。反濺射是指如下方法，即不對靶材側施加電壓，而在氬氛圍下使用 RF 電源對基板側施加電壓並在基板附近產生電漿來對表面進行修改。另外，也可以使用氮氛圍、氬氮氛圍、氧氮氛圍等代替氬氮氛圍。

作為基底膜 436，可以以單層或使用氧化矽層（ SiO_x （ $x>2$ ））、氧氮化矽層、氮氧化矽層、氧化鎵層、氧化

鉛層、氧化鋁層、矽酸鉛層、氧氮化矽酸鉛層、鋁酸鉛層之任一之疊層而形成。

在本實施例中，藉由濺射法形成氧化矽層。

接著，藉由在基底膜 436 表面進行化學機械拋光（CMP：Chemical Mechanical Polishing）處理使基底膜 436 的露出表面進行平坦化處理，並在該 CMP 處理之後，實施使用如 Kr、Xe、Ar 等之稀有氣體的電漿處理。CMP 處理的條件為如下：作為 CMP 拋光襯墊使用硬質聚氨酯襯墊；作為用來供給漿料的藥液使用 NP8020（NITTA HAAS 株式會社製造）的原液（二氧化矽（silica）的粒徑為 60nm 至 80nm）；拋光時間為 0.5 分鐘；拋光壓力為 0.001MPa；固定基板的一側的軸旋轉數為 60rpm；以及固定有拋光布（拋光襯墊）的臺子旋轉數為 56rpm。

在本實施例中，在進行 CMP 處理之後進行利用 Ar 氣體的電漿處理，並利用原子力顯微鏡（AFM：Atomic Force Microscope）測量基底膜表面的平坦性。此時的中心線平均粗糙度 Ra_{75} 為 0.12nm。此外，AFM 的測量區域為 $1\mu\text{m}\times 1\mu\text{m}$ 。

應注意 Ra_{75} 是將 JIS B 0031 及 JIS B 0061 所定義的中心線平均粗糙度擴大為三維來使其應用於曲面所獲得。此外， Ra_{75} 並可以表示為“從基準面到指定面的偏差的絕對值的平均值”。

在上述製造方法中，當進行使用 Ar 氣體的電漿處理時使用 ICP（Inductively Coupled Plasma：感應耦合電

漿) 蝕刻裝置較佳。在本實施方式中，在以下條件下進行 180 秒鐘的電漿處理：對線圈型的電極施加 500W 的電力；對基板側施加 100W (RF) 的偏壓功率；將流率為 100sccm 的 Ar 氣體引入到蝕刻裝置中；將壓力設定為 1.35Pa；以及將基板溫度設定為 -10°C。在該電漿處理後，基底膜 436 的厚度變薄大約 10nm。

另外，還可以使用為降低線圈的電感 (inductance) 而將線圈分割了的多層螺旋線圈 (multi-spiral-coil) ICP 蝕刻裝置或將梳形線圈配置在圓形的平板的輻條 (spoke) 型 ICP 蝕刻裝置。

不侷限於 ICP 型蝕刻裝置，還可以使用其他電漿處理裝置進行基底膜 436 的平坦化。

當為了比較而利用 AFM 測量未被平坦化的基底膜表面時，中心線平均粗糙度 Ra_{75} 為 0.91nm。此外，當利用 AFM 測量僅進行 CMP 處理的基底膜表面時，中心線平均粗糙度 Ra_{75} 為 0.21nm。

接著，如圖 1B 所示，藉由濺射法、蒸鍍法、PCVD 法、PLD 法、ALD 法或 MBE 法等沈積氧化物半導體膜 444。

作為氧化物半導體膜 444 的材料，較佳為採用至少包含銦 (In) 或鋅 (Zn) 的非單晶。特別是，較佳為包含 In 及 Zn。此外，作為降低使用該氧化物的電晶體的電特性的變動的穩定劑，除了 In 與 Zn 以外較佳為還包含銻 (Ga)。此外，作為穩定劑較佳為包含錫 (Sn)。另外，

作為穩定劑較佳為包含鈦 (Hf) 。此外，作為穩定劑較佳為包含鋁 (Al) 。

作為其他穩定劑，也可以包含鑷系元素的鑷 (La) 、鈾 (Ce) 、鐳 (Pr) 、釹 (Nd) 、釷 (Sm) 、鈾 (Eu) 、釷 (Gd) 、鉕 (Tb) 、鐳 (Dy) 、釹 (Ho) 、鉕 (Er) 、鈳 (Tm) 、鐳 (Yb) 、鐳 (Lu) 中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

在此，例如，“In-Ga-Zn-O 類氧化物”是指含有以

In、Ga 以及 Zn 爲主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，In-Ga-Zn 類氧化物也可以包含 In、Ga、Zn 以外的金屬元素。

在如下條件下形成氧化物半導體膜：較佳爲利用濺射法；將基板加熱溫度設定爲 100°C 以上且 600°C 以下，較佳的是設定爲 150°C 以上且 550°C 以下，更佳的是設定爲 200°C 以上且 500°C 以下；以及採用氧氣體氛圍。以 1nm 以上且 40nm 以下的厚度，較佳爲以 3nm 以上且 20nm 以下的厚度形成氧化物半導體膜。沈積時的基板加熱溫度越高，所得到的氧化物半導體膜的雜質濃度越低。此外，使氧化物半導體膜中的原子排列有序化且其密度增加，以致容易形成多晶。再者，藉由在氧氣體氛圍下進行沈積，也容易形成多晶，這是因爲在氧氣體氛圍中不包含稀有氣體等的不需要的原子。但是，也可以採用氧氣體和稀有氣體的混合氛圍。在此情況下，將氧氣體的比例設定爲 30vol.% 以上，較佳的是設定爲 50vol.% 以上，更佳的是設定爲 80vol.% 以上。

在本實施方式中，以 10nm 的厚度形成 In-Ga-Zn-O 膜以作爲氧化物半導體膜 444。作爲沈積條件的一個例子，應用如下條件：基板溫度爲 300°C ；壓力爲 0.4Pa ；直流（DC）功率爲 0.5kW ；以及採用氧和氬的混合（氧流率爲 30sccm ；氬流率爲 15sccm ）氛圍。

而且，在氧化物半導體膜 444 之沈積後進行加熱處理。藉由該加熱處理，可以進行氧化物半導體膜 444 的脫

水化或脫氫化。加熱處理的溫度為 400°C 以上且低於基板的應變點。在本實施例中，在進行氧化物半導體膜 444 之沈積後，以不接觸於大氣的方式保持基板在濺射沈積裝置中，並在減壓下以 400°C 對氧化物半導體膜 444 進行 30 分鐘的加熱處理。

加熱處理氛圍不侷限於在減壓下，而在不包含水、氫等的氛圍（露點為 -40°C 以下，較佳為 -60°C 以下）例如惰性氛圍或氧化性氛圍下進行（參照圖 1B）。

應注意加熱處理之處不侷限於在沉積室中，而還可以使用利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，可以使用電爐或如 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是利用從如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等燈所發出的光（電磁波）的輻射加熱待處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作為高溫的氣體，使用如氮或氬等稀有氣體之即使進行加熱處理也不與被處理物產生反應的惰性氣體。

接著，如圖 1C 所示，藉由第一光微影製程將氧化物半導體膜 444 加工為島狀的氧化物半導體層 413。另外，對於氧化物半導體膜 444 的蝕刻，可以是濕蝕刻、乾蝕刻或其兩者。

接著，閘極絕緣層 442 係形成以 1nm 以上且 200nm 以下的厚度（參照圖 1C）。可以利用濺射法、蒸鍍法、PCVD 法、PLD 法、ALD 法、MBE 法或類此者形成閘極絕緣層 442。在本實施例中，使用 PCVD 法形成具 30nm 厚度的氮化矽膜。

接著，形成用來形成作為閘極電極的電極的金屬膜。作為金屬膜的材料，可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、銦等金屬材料或以它們為主要成分的合金材料。此外，使閘極電極具有疊層結構，並且作為其中的一層，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜或金屬氮化膜（如 InN、SnN）。這些膜各具有 5 電子伏特以上的功函數，較佳為具有 5.5 電子伏特以上的功函數，並且當這些膜之任一用作閘極電極時，可以使電晶體的臨界電壓成為正值，而可以實現所謂的常關閉型（normally off）的切換元件。

在本實施例中，使金屬膜具有疊層結構其中在 30nm 厚的氮化鉬膜上形成有 135nm 厚的鎢膜。

在氬：氮=5：1 的混合氛圍下利用濺射裝置以 1000W（DC）的功率形成氮化鉬膜。在進行膜沈積時不進行基板加熱。在氬氛圍下利用濺射裝置以 4000W（DC）的功率形成鎢膜。另外，成膜時的基板加熱溫度為 200°C。

接著，如圖 1D 所示，藉由第二光微影製程加工氮化

鉭膜及鎢膜來形成閘極電極 441。

接著，以閘極電極 441 為遮罩，經過閘極絕緣層 442 將摻雜劑 421 選擇性地引入到島狀的氧化物半導體層 413 中，藉此以自我對準方式形成低電阻區域 443（參照圖 1D）。

摻雜劑 421 是改變氧化物半導體膜 444 的導電率的雜質。作為摻雜劑，可以使用選自週期表中第 15 族元素（典型的是，磷（P）、砷（As）及銻（Sb））、硼（B）、鋁（Al）、氮（N）、氬（Ar）、氦（He）、氖（Ne）、銦（In）、氟（F）、氯（Cl）、鈦（Ti）及鋅（Zn）中任一種以上。

在本實施例中，藉由離子植入法以加速電壓為 10kV 且劑量為 $3 \times 10^{15} \text{ atoms/cm}^2$ 植入硼（B）。

接著，形成用來覆蓋閘極電極 441 的閘極保護膜。閘極保護膜的材料，可以使用氧化矽膜、氧化鎳膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜而形成。作為本實施方式中之保護膜，可以藉由 PCVD 法形成以 150nm 的厚度之氧氮化矽膜。

接著，如圖 1E 所示，藉由第三光微影製程蝕刻閘極保護膜及閘極絕緣層來使氧化物半導體層 413 的邊緣露出。

接著，形成與氧化物半導體層 413 的邊緣接觸的金屬膜。在本實施例中，形成 100nm 厚的鎢膜。在氬氛圍下利用濺射裝置以 1000W（DC）的功率形成鎢膜。應注意沈

積下基板加熱溫度及壓力分別為 230°C 與 0.8Pa 。

接著，藉由第四光微影製程加工金屬膜來形成源極電極層 431 及汲極電極層 432。

接著，形成覆蓋閘極電極 441、閘極保護膜 422、源極電極層 431 及汲極電極層 432 的第一層間絕緣膜 433 以及第二層間絕緣膜 434。作為第一層間絕緣膜 433 及第二層間絕緣膜 434，相對於臺階之覆蓋性佳的絕緣膜被較佳地使用。第一層間絕緣膜 433 及第二層間絕緣膜 434 的材料，可以使用氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜而各自形成。在本實施方式中，藉由濺射法沈積 50nm 的厚度之作為層間絕緣膜的第一層（第一層間絕緣膜 433）的氧化鋁膜，並且藉由 PCVD 法沈積 300nm 的厚度之作為層間絕緣膜的第二層（第二層間絕緣膜 434）的氧氮化矽膜，而形成第一層間絕緣膜 433 和第二層間絕緣膜 434 的疊層。

接著，藉由第五光微影製程選擇性地蝕刻第一層間絕緣膜 433 及第二層間絕緣膜 434，來形成到達源極電極層 431 的接觸孔及到達汲極電極層 432 的接觸孔。雖然在此未圖示，到達閘極電極 441 的接觸孔亦被形成。

接著，層疊形成 50nm 厚的鈦膜、 100nm 厚的鋁膜和 50nm 厚的鈦膜。

接著，如圖 1F 所示，藉由第六光微影製程加工鈦膜、鋁膜及鈦膜來形成源極佈線 450 及汲極佈線 451。

可以藉由上述製程製造電晶體 460。

上述製造的電晶體的電性被測量。其結果示於圖 4。圖 4 顯示 V_g - I_d 曲線之資料 ($V_{ds}=1V$ 、 $V_{ds}=10V$)。S 值是 $86.1V/dec$ 。

在電晶體不進行平坦化處理的比較範例情形中，S 值為 $95.9mV/dec$ 。

另外，爲了比較，以其中僅進行 CMP 處理作爲平坦化處理方法所製造的電晶體情形中，S 值為 $86.9mV/dec$ 。

根據上述結果，在當 CMP 處理之後進行電漿處理作爲平坦化處理來得到高平坦性的基底膜上與其接觸地形成具有氧化物半導體層的電晶體，從而可以實現具有優良 S 值的電晶體。

另外，本發明之實施例不侷限於本實施例所示的電晶體 460 的結構。例如，圖 3 所示的電晶體 461 也可以被實施，以此方式形成之電晶體 461 爲源極電極層及汲極電極層形成在基底膜上，然後形成氧化物半導體層。因爲電晶體 460 和電晶體 461 的製程大致相同，所以省略反覆說明。此外，在圖 1A 至 1F 以及圖 3 中，共同使用相同符號表示相同的部分或具有相同功能的部分。

此外，也可以採用具有圖 3 的在閘極電極的側面具有由絕緣物構成的側壁的結構之電晶體。

雖然本實施方式所示的電晶體 460 採用源極電極層 431 及汲極電極層 432 與一對低電阻區域 443 的頂面的至少一部分接觸的結構，但是本發明之實施例不侷限於該結構，例如，也可以採用其中低電阻區域 443 與源極佈線

450 或汲極佈線 451 的至少一部分接觸的結構。此外，其中低電阻區域 443 未設置在氧化物半導體層 413 中的結構可被實施。

[實施例 2]

在本實施例中，具有平坦性非常高的基底膜的樣本係藉由在與實施方式 1 相同的條件下實施的平坦化處理所得。樣本被測量且所獲得之平坦化資料係顯示於圖 5A 及 5B 中。圖 5A 是示出位於基板中央之部位的剖面曲線的圖。圖 5B 是示出位於基板邊緣之部位的剖面曲線的圖。此外，爲了確認再現性，製造另一種樣本並進行測量，其結果顯示於圖 6A 及 6B 中。如圖 6A 及 6B 所示，兩樣本皆實質地具有相同的平坦度。圖 5A 及圖 6A 各顯示出位於基板中央之部位的剖面曲線，且圖 5B 及圖 6B 各顯示出位於基板邊緣之部位的剖面曲線邊緣。

於基板中央藉由 AFM 得到的中心線平均粗糙度 Ra_{75} 爲 0.07283nm ，且基板邊緣的 Ra_{75} 爲 0.08241nm 。

以下描述出藉由 AFM 得到的中心線平均粗糙度 Ra_{75} 之外的測量值。應注意 AFM 的測量區域爲 $1\mu\text{m}\times 1\mu\text{m}$ 。

在圖 5A 所示的基板中央部位的資料中，最大峰谷高度 (P-V) 爲 0.988nm ，最大峰高度 (R_p) 爲 0.6115nm ，最大谷深 (R_v) 爲 -0.3765nm ，均方根平均面粗糙度 (RMS) 爲 0.09209nm ，n 點平均粗糙度 (R_z) 爲 0.7193nm 。

此外，在圖 5B 的基板邊緣資料中，最大峰谷高度（P-V）為 0.8111nm，最大峰高度（Rp）為 0.4055nm，最大谷深（Rv）為 -0.4055nm，均方根面粗糙度（RMS）為 0.1032nm，n 點平均粗糙度（Rz）為 0.6758nm。

此外，為了確認再現性得到的樣本的基板中央的中心線平均粗糙度 Ra_{75} 為 0.07935nm，並且基板邊緣的中心線平均粗糙度 Ra_{75} 為 0.08745nm。

本實施方式可以與實施方式 1 自由地組合。

雖然實施方式 1 所示的樣本的中心線平均粗糙度 Ra_{75} 為 0.12nm，但是本實施方式所示的樣本的基板中央的中心線平均粗糙度 Ra_{75} 為 0.07283nm，基板邊緣的中心線平均粗糙度 Ra_{75} 為 0.08241nm。由此，當然，當使用該樣本的基底膜形成電晶體時，可以期待比實施方式 1 所示的 S 值還優良的 S 值。

[實施例 3]

在本實施例中，藉由進行與實施例 1 不同的平坦化處理，可以增加對於基底膜的整個表面之中心線平均粗糙度 Ra_{75} 為 0.1nm 以下的部分的比例。

藉由在實施例 1 的 CMP 處理之前進行電漿處理，可以將中心線平均粗糙度 Ra_{75} 設定為大約 0.08nm 左右。

換言之，在進行第一電漿處理之後，進行 CMP 處理，並進行第二電漿處理，從而可以確實地增加對於基底膜的整個表面之中心線平均粗糙度 Ra_{75} 為 0.1nm 以下的

部分的比例。

本實施例中的第一電漿處理的條件與實施例 1 所示的電漿處理之條件相同。

本實施例可以與實施例 1 自由地組合。

[實施例 4]

在本實施例中，圖 7A 及 7B 示出層疊不同的電晶體以製造半導體裝置的例子。在本實施例中，其半導體層包括有矽的電晶體被形成且使其平坦化，並且在其上層疊以氧化物半導體層為半導體層的電晶體。詳細的製造方法描述如下。

首先，在 p 型半導體基板 201 上形成元件分離區域 203。

p 型半導體基板 201 例子為具有 p 型導電型的單晶矽基板（矽晶片）與化合物半導體基板（如 SiC 基板、藍寶石基板、GaN 基板等）。

可以使用 SOI（Silicon On Insulator：絕緣體上矽）基板代替 p 型半導體基板 201，作為 SOI 基板，可以使用：在對鏡面拋光晶圓注入氧離子之後，在離表面具有一定深度的區域中形成氧化層，並藉由進行高溫加熱消除產生在表面層中的缺陷以形成所謂的 SIMOX（Separation by Implanted Oxygen：注入氧隔離）基板；或者利用藉由注入氫離子而形成的微小空隙經過加熱處理成長而使半導體基板劈開的智能切割法或磊晶層移轉法（Epitaxial Layer

Transfer：日本佳能公司的註冊商標）等形成的 SOI 基板。

元件分離區域 203 可以利用矽局部氧化（Local Oxidation of Silicon：LOCOS）法或淺溝槽隔離（Shallow Trench Isolation：STI）法等形式。

當在同一基板上形成 p 通道型電晶體時，可以在 p 型半導體基板 201 的一部分中形成 n 井區域。藉由添加如磷、砷等賦予 n 型傳導性的雜質元素形成 n 井區域。

雖然這裏使用 p 型半導體基板，但是也可以使用 n 型半導體基板形成 p 通道型電晶體。在此情況下，可以在 n 型半導體基板中形成添加有如硼等賦予 p 型傳導性的雜質元素的 p 井區域，並在同一基板上形成 n 通道型電晶體。

接著，在半導體基板 201 上形成閘極絕緣膜 207 及閘極電極 209。

藉由加熱處理使半導體基板 201 的表面氧化，來形成氧化矽膜。或者，藉由在利用熱氧化法形成氧化矽膜之後，進行氮化處理使氧化矽膜的表面氮化，而形成氧化矽膜與包含氧和氮的矽膜（氧氮化矽膜）的疊層結構。接著，對氧化矽膜或氧氮化矽膜的一部分選擇性地進行蝕刻，形成閘極絕緣膜 207。或者，在利用 CVD 法、濺射法等形成厚度為 5nm 至 50nm 的氧化矽、氧氮化矽、高介電常數物質（也稱為 high-k 材料）的鉭氧化物、氧化鉛、氧化鉛矽酸鹽、氧化鋯、氧化鋁、氧化鈦等金屬氧化物或氧化釧等稀土氧化物等之後，對其一部分選擇性地進行蝕刻

來形成閘極絕緣膜 207。

閘極電極 209 係較佳地使用如鉬、鎢、鈦、鉬、鉻或鈮等金屬或以這些金屬為主要成分的合金材料或含有任一該些金屬的化合物材料所形成。另外，還可以使用添加有磷等雜質的多晶矽。另外，閘極電極 209 還可以是金屬氮化物膜與上述金屬之任一的膜的疊層結構。作為金屬氮化物，可以使用氮化鎢、氮化鉬、氮化鈦。當金屬氮化物膜被設置，可以提高金屬膜的緊密性，從而能夠防止剝離。

閘極電極 209 是在利用濺射法、CVD 法等形成導電膜之後對該導電膜的一部分選擇性地進行蝕刻而形成的。

這裏，藉由加熱處理使半導體基板 201 的表面氧化，來形成氧化矽膜，並且利用濺射法在該氧化矽膜上形成包括有氮化鉬膜及鎢膜之層疊的導電膜，然後分別對氧化矽膜及導電膜的一部分選擇性地進行蝕刻，因此，形成閘極絕緣膜 207 及閘極電極 209。

注意，為了實現高集體化，較佳為閘極電極 209 的側面沒有側壁絕緣層。另一方面，當注重電晶體的特性時，也可以在閘極電極 209 的側面設置側壁絕緣層。

接著，對半導體基板 201 添加賦予 n 型傳導性的雜質元素以形成 n 型雜質區域 211a、n 型雜質區域 211b。在 n 井區域形成在半導體基板 201 之情形下，賦予 p 型傳導性的雜質元素被添加至 n 井區域以形成 p 型雜質區域。n 型雜質區域 211a、n 型雜質區域 211b 及 p 型雜質區域中的

賦予 n 型傳導性的雜質元素及賦予 p 型傳導性的雜質元素的濃度為 $1 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下。賦予 n 型傳導性的雜質元素及賦予 p 型傳導性的雜質元素係藉由離子摻雜法、離子植入法等適當地添加至半導體基板 201。

另外，當在閘極電極 209 的側面設置側壁絕緣層時，可以在與該側壁絕緣層重疊的區域中形成具有不同於 n 型雜質區域 211a、n 型雜質區域 211b 及 p 型雜質區域的雜質濃度的雜質區域。

接著，利用濺射法、CVD 法等在半導體基板 201、元件分離區域 203、閘極絕緣膜 207 及閘極電極 209 上形成絕緣膜 215 及絕緣膜 217。

絕緣膜 215 及絕緣膜 217 可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等的疊層或單層形成。當絕緣膜 215 是利用 CVD 法形成時，可以增加絕緣膜 215 的氫含量。當使用該絕緣膜 215 且進行加熱處理，半導體基板被氫化且利用氫終止懸空鍵，由此可以降低該半導體基板中的缺陷。

當絕緣膜 217 係使用如硼磷矽玻璃 (Boron Phosphorus Silicon Glass; BPSG) 之無機材料或如聚醯亞胺、丙烯酸樹脂等有機材料而形成時，絕緣膜 217 的平坦性高。

在形成絕緣膜 215 或絕緣膜 217 之後，進行加熱處理以使添加到 n 型雜質區域 211a、n 型雜質區域 211b 及 p 型雜質區域中的雜質元素活化。

藉由上述製程，可以製造 n 通道型電晶體 112。

接著，對絕緣膜 215 及絕緣膜 217 的一部分選擇性地進行蝕刻形成開口。然後，在開口中形成接觸插頭 219a 及接觸插頭 219b。典型的是，在利用濺射法、CVD 法等形成導電膜之後，利用 CMP 法、蝕刻等進行平坦化處理來去除導電膜的不需要的部分，而形成接觸插頭 219a 及 219b。

藉由利用 WF_6 氣體和 SiH_4 氣體之 CVD 法於開口中沈積錫矽化物以形成作為接觸插頭 219a 及 219b 的導電膜。

接著，在絕緣膜 217 以及接觸插頭 219a 及接觸插頭 219b 上藉由濺射法、CVD 法等形成絕緣膜，然後對該絕緣膜的一部分選擇性地進行蝕刻，來形成具有溝槽的絕緣膜 221。接著，藉由濺射法、CVD 法等形成導電膜，然後藉由 CMP 法或蝕刻等進行平坦化處理並去除該導電膜表面的不需要的部分，來形成佈線 223a 及佈線 223b。

在此，佈線 223a 及佈線 223b 作為電晶體 112 的源極電極與汲極電極。

可以使用與絕緣膜 215 類似的材料形成絕緣膜 221。

佈線 223a 及佈線 223b 可使用含有鋁、鈦、鉻、鎳、銅、鈮、銨、鉬、銀、鉭或鎢之金屬或含有任一這些金屬為主要成分的合金的單層或疊層所形成。例如，有如下結構：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；在鎢膜上層疊鈦膜的兩層結構；在銅-鎂-鋁合金膜上層疊銅膜的兩層結構；鈦膜、層疊在該鈦膜上的鋁膜、還在其上層疊的鈦膜的三層結構等。此外，也可以使用包

含氧化銦、氧化錫或氧化鋅的透明導電材料。

當使用平坦化了的絕緣膜 221、佈線 223a 及佈線 223b，稍面形成的基底膜的平坦性可被改善並減少在稍後形成的包括氧化物半導體的電晶體之電性變異。此外，包括氧化物半導體層的電晶體可以於高良率中形成。

接著，較佳為藉由加熱處理或電漿處理使包含在絕緣膜 221、佈線 223a 及佈線 223b 中的氫消除。其結果是，在後面的加熱處理中，可以防止氫擴散到在後面形成的絕緣膜及氧化物半導體膜中。注意，在惰性氛圍、減壓氛圍或乾空氣氛圍下進行 100°C 以上且低於基板的應變點的加熱處理。此外，電漿處理使用稀有氣體、氧、氮或氧化氮（一氧化二氮、一氧化氮、二氧化氮等）。

接著，在絕緣膜 221、佈線 223a 及佈線 223b 上藉由濺射法、CVD 法等形式成為包括氧化物半導體層的電晶體的基底膜的絕緣膜 225。絕緣膜 225 以含有氧化矽、氮化矽、氮氧化矽、氧化鎵、氧化鉛、氧化鉍、氧化鋁、氮化鋁的單層或疊層而形成。此外，使用藉由加熱而使一部分的氧脫離的氧化絕緣膜形成絕緣膜 225 較佳。作為藉由加熱而使一部分的氧移除的氧化絕緣膜，較佳是其含有多於滿足化學計量比的氧的氧化物絕緣膜。由於氧是在氧化絕緣膜中藉由加熱而移除，因此可以藉由稍後進行的加熱處理使氧擴散到氧化物半導體膜中。

接著，對絕緣膜 225 進行平坦化處理。在進行實施方式 1 所示的方法後，如進行 CMP 處理之後，使用 ICP 蝕

刻裝置進行電漿處理（參照圖 7A）。藉由該平坦化處理，可以使絕緣膜 225 的表面具有 0.1nm 以下的中心線平均粗糙度 Ra_{75} 。

接著，在其表面具有中心線平均粗糙度 Ra_{75} 為 0.1nm 以下的絕緣膜 225 上藉由濺射法、塗敷法、印刷法、蒸鍍法、PCVD 法、PLD 法、ALD 法或 MBE 法等形成氧化物半導體膜。以下步驟根據實施方式 1 以形成電晶體 460。

在本實施方式中，包括 CAAC（C Axis Aligned Crystal：c 軸配向結晶）的氧化物半導體層被使用作為電晶體 460 的氧化物半導體層。包括 CAAC 的氧化物半導體層是非單晶且是對 c 軸結晶化但對 ab 面之排列不一定出現的薄膜，並。包括 CAAC 的氧化物半導體層是具有包括晶界（grain boundary）的新穎結構的薄膜。

藉由這種包括具有 c 軸配向的結晶的氧化物半導體膜，可以抑制由於可見光或紫外光的照射所引起的電晶體的電性的變化。特別是，對如上所述之絕緣膜 225 的表面的中心線平均粗糙度 Ra_{75} 為 0.1nm 以下是有效的。由此，不但提高 S 值，而且還可以提高包括具有 c 軸配向的結晶的氧化物半導體膜的結晶性並提高包括該氧化物半導體膜的電晶體的遷移率。

藉由上述步驟，如圖 7B 所示，可以製造包括氧化物半導體的電晶體 460。注意，因為上述電晶體 460 包括具有 i 型（本質半導體）或實質 i 型的氧化物半導體層，所以具有優良的特性。

在圖 7B 中，電晶體 460 的源極電極層 431 及汲極電極層 432 中的一者與電晶體 112 的閘極電極 209 藉由源極佈線 450 連接，但是本實施方式不侷限於此結構。例如，電晶體 112 的閘極電極的上表面露出於設置在電晶體 112 上的絕緣膜的上表面，並且源極電極層及汲極電極層中的一者可以與該閘極電極的上表面直接接觸的方式設置。

藉由上述步驟，可以在 n 通道型電晶體 112 上製造電晶體 460。

藉由使用 n 通道型電晶體 112 和電晶體 460 的組合，可以形成記憶元件（下面也表示為記憶單元）。再者，還可以至少在其一部分使用電晶體 460 構成 CPU（Central Processing Unit：中央處理單元）。此外，也可以將電晶體 460 應用於如數位信號處理器（Digital Signal Processor：DSP）、定制 LSI、或可程式化邏輯陣列閘（Field Programmable Gate Array：FPGA）等的 LSI。

[實施方式 5]

在本實施方式中，下面說明在同一基板上製造至少具有驅動電路的一部分和配置在像素部中的電晶體的顯示裝置的例子。

根據實施方式 1 形成在像素部中的電晶體。此外，因為實施方式 1 所示的電晶體 460 是 n 通道型電晶體，所以將驅動電路中的可以由 n 通道型電晶體構成的一部分驅動電路形成在與像素部的電晶體相同之基板上。

圖 8A 顯示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 5300 上包括：像素部 5301、第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、以及信號線驅動電路 5304。在像素部 5301 中配置有從信號線驅動電路 5304 延伸的多個信號線以及從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸的多個掃描線。此外，在掃描線與信號線的交叉區域中將包括有顯示元件的像素於個別區域中設置為矩陣狀。再者，顯示裝置的基板 5300 藉由撓性印刷電路（Flexible Printed Circuit：FPC）等的連接部連接於時序控制電路（也稱為控制器、控制 IC）。

在圖 8A 中，在形成像素部 5301 的基板 5300 上形成第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、信號線驅動電路 5304。由此，設置在外部的驅動電路的構件的數量減少，所以可以實現成本的降低。此外，當在基板 5300 外部設置驅動器電路時，需要使佈線延伸且佈線之間的連接數目增加。若在基板 5300 上設置驅動電路時，可以減少佈線之間的連接數目，所以可以改進可靠性或良率。

圖 8B 表示像素部的電路組態的一個例子。在此，示出 VA 方式的液晶顯示面板的像素結構。

在該像素結構中，一個像素具有多個像素電極層，並且電晶體連接到各像素電極層。各電晶體由不同的閘極信號而驅動。也就是說，在多域設計的像素中，獨立地控制

施加到個別像素電極層的信號。

電晶體 628 的閘極佈線 622 和電晶體 629 的閘極佈線 623 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 628 和電晶體 629 共同使用用作資料線的源極或汲極電極層 626。作為電晶體 628 及電晶體 629 之各者，可以適當地利用實施方式 1 的電晶體 460。

第一像素電極層和第二像素電極層具有不同的形狀，並且被狹縫彼此分離。第二像素電極層形成為圍繞擴展為 V 字型的第一像素電極層的外側。藉由利用電晶體 628 及電晶體 629 使施加到第一像素電極層和第二像素電極層間的電壓時序不同，來控制液晶的配向。電晶體 628 連接到閘極佈線 622，電晶體 629 連接到閘極佈線 623。藉由對閘極佈線 622 和閘極佈線 623 施加不同的閘極信號，可以使電晶體 628 及電晶體 629 的工作時序互不相同。

另外，設置電容佈線 690，並形成將閘極絕緣層用作電介質且與第一像素電極層或第二像素電極層電連接的電容電極以形成儲存電容器。

藉由使第一像素電極層、液晶層和反電極層彼此重疊，形成第一液晶元件 651。此外，藉由使第二像素電極層、液晶層和反電極層彼此重疊，形成第二液晶元件 652。此外，這像素組態是在一個像素中設置有第一液晶元件 651 和第二液晶元件 652 的多域結構。

像素組態不侷限於圖 8B 所示。例如，也可以還對圖 8B 所示的像素追加開關、電阻元件、電容元件、電晶

體、感測器或邏輯電路等。

此外，雖然在本實施方式中示出了 VA 方式的液晶顯示面板的例子，但是並沒有特別的限制，而本發明也可以應用於液晶顯示裝置之各種模式。例如，可以應用於水平電場方式（也稱為 IPS 方式），在該水平電場方式中，作為改進視野角特性的方法，將與基板的主表面水平方向的電場施加到液晶層。

例如，作為 IPS 方式的液晶顯示面板，使用不需配向膜的呈現藍相的液晶較佳。藍相是液晶相中之一種，當使膽固醇相液晶的溫度升高時，在即將由膽固醇相轉變成均質相之前產生。由於藍相只出現在較窄的溫度範圍內，所以為了改進溫度範圍而將混合有 5wt.% 以上的旋光性材料的液晶組成物用於液晶元件的液晶層。由於包含呈現藍相的液晶和旋光性材料的液晶組成物具有 1msec 或更短的回應速度，並且其具有光學各向同性，所以不需要配向處理且視角依賴性小。

另外，為了改進液晶顯示裝置的動態影像特性，還有如下驅動技術（例如，場序方式等）：作為背光使用多個發光二極體（LED）或多個 EL 光源等來構成面光源，並使構成面光源的各光源在一個框週期內被獨立地間歇點亮驅動。作為面光源，可以使用三種以上的 LED 且可以使用白色發光的 LED。當利用呈現不同顏色的三種以上的光源（例如，R（紅色）、G（綠色）、B（藍色））作為面光源時，即使不使用濾色片也可以進行彩色顯示。另外，

當利用白色發光的 LED 作為面光源時，設置濾色片來進行彩色顯示。由於可以獨立地控制多個 LED，因此也可以按照液晶層的光學調變的切換時序使 LED 的發光時序同步。藉由此技術，可以部分地關閉 LED，所以尤其是在進行一個畫面中的黑色顯示區域所占的比例高的影像顯示的情況下，可以減少消耗功率。

圖 8C 顯示像素部的電路組態的一個例子。在此，使用有機 EL 元件的顯示面板的像素組態被實施。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到含有發光性的有機化合物的層中，以使電流流過。因這些載子（電子及電洞）重新結合，而具有發光性的有機化合物被激發。該發光性的有機化合物從該激發狀態回到基態以藉此發光。由於這種機制，上述發光元件被稱為電流激發型發光元件。

作為半導體裝置的例子，圖 8C 顯示可以應用數字時間灰階級驅動的像素結構的一個例子。

對可以應用數位時間灰階級驅動的像素的結構以及工作進行說明。在此示出在一個像素中使用兩個 n 通道型電晶體的例子，各包括作為通道形成區域之氧化物半導體層。

像素 6400 包括開關電晶體 6401、驅動電晶體 6402、發光元件 6404 以及電容器 6403。在開關電晶體 6401 中，閘極電極與掃描線 6406 連接，第一電極（源極電極層和汲極電極層中的一者）與信號線 6405 連接，並且第二電

極（源極電極層和汲極電極層中的另一者）與驅動電晶體 6402 的閘極電極連接。在驅動電晶體 6402 中，閘極電極藉由電容器 6403 與電源線 6407 連接，第一電極與電源線 6407 連接，第二電極與發光元件 6404 的第一電極（像素電極）連接。發光元件 6404 的第二電極相當於共同電極 6408。共同電極 6408 與形成在同一基板上的共用電位線電連接。

將發光元件 6404 的第二電極（共同電極 6408）設定為低電源電位。注意，低電源電位是指以電源線 6407 所設定的高電源電位為基準滿足“低電源電位 < 高電源電位”的關係的電位。作為低電源電位例如也可以設定為 GND、0V 等。將介於該高電源電位與低電源電位的電位差施加到發光元件 6404 上，為了在發光元件 6404 中使電流流過以使發光元件 6404 發光，以使高電源電位與低電源電位的電位差成為發光元件 6404 的正向臨界電壓以上的方式設定各種電位。

另外，還可以使用驅動電晶體 6402 的閘極電容代替電容元件 6403 而省略電容器 6403。也可以在通道形成區域與閘極電極之間形成有驅動電晶體 6402 的閘極電容。

在此，當採用電壓輸入電壓驅動方式時，對驅動電晶體 6402 的閘極電極輸入能夠使驅動電晶體 6402 充分導通或截止的視頻信號。亦即，使驅動電晶體 6402 操作於線性區域中，且將比電源線 6407 的電壓高的電壓施加到驅動電晶體 6402 的閘極電極。另外，對信號線 6405 施加驅

動電晶體 6402 之電源線 + V_{th} 電壓以上的電壓。

另外，當進行類比灰階級驅動而代替數位時間灰階級驅動時，藉由改變信號的輸入，可以使用與圖 8C 相同的像素組態。

當進行類比灰階級驅動時，對驅動電晶體 6402 的閘極電極施加發光元件 6404 的正向電壓與驅動電晶體 6402 的 V_{th} 之和以上的電壓。發光元件 6404 的正向電壓是指實現所希望的亮度時的電壓，包括至少正向臨界電壓。另外，藉由輸入使驅動電晶體 6402 在飽和區域中工作的視頻信號，可以使電流供應至發光元件 6404。為了使驅動電晶體 6402 在飽和區域中工作，將電源線 6407 的電位設定為高於驅動電晶體 6402 的閘極電位。當採用類比視頻信號，可以根據視頻信號供給電流至在發光元件 6404 並進行類比灰階級驅動。

此外，像素組態不侷限於圖 8C 所示。例如，開關、電阻、電容器、感測器、電晶體或邏輯電路等可被加至圖 8C 所示的像素。

[實施例 6]

本說明書所公開的半導體裝置可以應用於多種電子裝置（包括遊戲機）。電子裝置之例子如電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機或數位攝像機等攝像機、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終

端、音頻再生裝置、如伯青哥等大型遊戲機等。以下，對包括在上述實施方式 1 中說明的電晶體 460 的電子裝置的例子進行說明。

圖 9A 表示可攜式資訊終端，其包括主體 3001、外殼 3002、顯示部 3003a 和 3003b 等。該可攜式資訊終端包括至少一電池，且較佳包括用來儲存資料的記憶體（如快閃記憶體電路、SRAM 電路、DRAM 電路等）、中央處理單元（CPU）或邏輯電路。也可以將實施方式 1 所示的電晶體 460 用於 CPU 以降低功率消耗。在實施例 1 所描述的電晶體 460 情形中，具有良好的 S 值，並能夠以低電壓進行電晶體的導通截止的切換。所以可以使包括電晶體 460 的電路以低電壓工作。

顯示部 3003b 具有觸控面板功能。藉由觸摸顯示在顯示部 3003b 上的鍵盤按鈕 3004，可以操作螢幕並輸入文字。不必說，顯示部 3003a 也可以具有觸控面板功能。藉由將實施方式 1 所示的電晶體 460 用作切換元件，而製造液晶面板或有機發光面板，並將其應用於顯示部 3003a、3003b，可以提供可攜式資訊終端。

圖 9A 所示的可攜式資訊終端可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文字影像等）於顯示部上；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；藉由各種各樣的軟體（程式）控制處理等。此外，可以在外殼的背面或側面上提供外部連接用端子（耳機端子、USB 端子等）、儲

存媒體插入部等。

此外，圖 9A 所示的可攜式資訊終端也可以無線地收發資訊。藉由無線通信，可以從電子圖書伺服器購買並下載所希望的圖書資料等。

另外，圖 9A 所示的可攜式資訊終端可以將兩個顯示部 3003a、3003b 中的一者卸下，如圖 9B 所示。顯示部 3003a 可配備有觸控面板功能，可以減輕攜帶時的重量，並為了方便可以在一隻手上拿著外殼 3002 並用另一隻手進行操作。

再者，圖 9B 所示的外殼 3002 也可配有天線、擴音器功能及無線通信功能，以用作行動電話。

圖 9C 所示為行動電話的一個例子。圖 9C 所示的行動電話 5005 除了組裝到外殼中的顯示部 5001 之外，還具備安裝在鉸鏈 5002 上的顯示面板 5003、操作按鈕 5004、揚聲器、麥克風等。

在圖 9C 所示的行動電話 5005 中，顯示面板 5003 滑動而重疊於顯示部 5001，並且該顯示面板 5003 被用作具有透光性的覆蓋物。顯示面板 5003 採用從基板一側的表面及與基板相反一側的表面提取光的雙面發射結構的發光元件。

另外，由於顯示面板 5003 採用雙面發射結構的發光元件，因此即使在重疊於顯示部 5001 的狀態下也可以進行顯示，從而顯示部 5001 及顯示面板 5003 兩者都能進行顯示，而使用者可以觀看到該兩者的顯示。顯示面板 5003

是具有透光性且透過顯示面板看見背後景物的面板。例如，用顯示部 5001 顯示地圖，並且用顯示面板 5003 顯示使用者的所在地點，以提供容易識別現在地點的狀態。

另外，當在行動電話 5005 上設置影像感測器並將其用作可視電話時，可以一邊與顯示其臉部的多數人進行對話，由此可以進行電視會議等。例如，藉由在顯示面板 5003 上顯示一人或多人的臉，並在顯示部 5001 上顯示另一人的臉，使用者可以觀看兩人以上的臉且進行對話。

當用手指等觸摸顯示於顯示面板 5003 上的觸摸輸入按鈕 5006，資料可以被輸入至行動電話 5005。此外，可以藉由滑動顯示面板 5003 並用手指等觸摸操作按鈕 5004 來打電話或進行電子郵件的輸入等的操作。

圖 9D 所示為電視機的一個例子。在電視機 9600 中，外殼 9601 組裝有顯示部 9603。顯示部 9603 可以顯示影像。在此示出利用安裝有 CPU 的支架 9605 支撐外殼 9601 的結構。當將實施方式 1 所示的電晶體 460 應用於顯示部 9603、CPU 及類此者，可以提供電視機 9600。

可以藉由外殼 9601 所具備的操作開關或分離的遙控器進行電視機 9600 的操作。另外，遙控器可設置有顯示部以顯示從該遙控器輸出的資訊。

電視機 9600 設置有接收機、數據機等。可以藉由利用接收機接收一般的電視廣播。再者，當顯示裝置以有線或無線方式經數據機連接到通信網路，也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或

在接收者之間等)的資訊通訊。

另外，電視機 9600 具備外部連接端子 9604、儲存媒體記錄與再現部 9602、外部記憶體插槽。外部連接端子 9604 可以與 USB 電纜等各種電纜連接，並可以與個人電腦等進行資料通信。藉由將碟片儲存媒體插入儲存媒體記錄與再現部 9602 中，可以進行對儲存在儲存媒體中的資料的讀出以及對儲存媒體的寫入。另外，也可以將插入外部儲存槽中的外部記憶體 9606 所儲存的圖片、影像或類此者等顯示在顯示部 9603 上。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

【圖式簡單說明】

在圖式中：

圖 1A 至 1F 是本發明的電晶體的剖面圖；

圖 2 是本發明的電晶體的俯視圖；

圖 3 是本發明的電晶體的剖面圖；

圖 4 是顯示本發明的電晶體的 V_g - I_d 曲線的圖表；

圖 5A 及 5B 所是為利用 AFM 的樣本的基板中央部及基板邊緣中的基底膜表面的剖面曲線的圖表；

圖 6A 及 6B 所是為利用 AFM 的樣本的基板中央部及基板邊緣中的基底膜表面的剖面曲線的圖表；

圖 7A 及 7B 是半導體裝置的製造製程的剖面圖；

圖 8A 至 8C 顯示出本發明的一實施例的方塊圖及等效

電路圖：

圖 9A 至 9D 是電子裝置的一實施例。

【主要元件符號說明】

- 112：電晶體
- 201：半導體基板
- 203：元件分離區域
- 207：閘極絕緣膜
- 209：閘極電極
- 211a：雜質區域
- 211b：雜質區域
- 215：絕緣膜
- 217：絕緣膜
- 219a：接觸插頭
- 219b：接觸插頭
- 221：絕緣膜
- 223a：佈線
- 223b：佈線
- 225：絕緣膜
- 400：基板
- 413：氧化物半導體層
- 421：摻雜劑
- 422：閘極保護膜
- 431：源極電極層

432 : 汲極電極層
 433 : 層間絕緣膜
 434 : 層間絕緣膜
 436 : 基底膜
 441 : 閘極電極
 442 : 閘極絕緣層
 443 : 低電阻區域
 444 : 氧化物半導體膜
 450 : 源極佈線
 451 : 汲極佈線
 460 : 電晶體
 461 : 電晶體
 622 : 閘極佈線
 623 : 閘極佈線
 626 : 汲極電極層
 628 : 電晶體
 629 : 電晶體
 651 : 液晶元件
 652 : 液晶元件
 690 : 電容佈線
 3001 : 主體
 3002 : 外殼
 3003a : 顯示部
 3003b : 顯示部

- 3004 : 鍵盤按鈕
- 5001 : 顯示部
- 5002 : 鉸鏈
- 5003 : 顯示面板
- 5004 : 操作按鈕
- 5005 : 行動電話
- 5006 : 觸摸輸入按鈕
- 5300 : 基板
- 5301 : 像素部
- 5302 : 掃描線驅動電路
- 5303 : 掃描線驅動電路
- 5304 : 信號線驅動電路
- 6400 : 像素
- 6401 : 開關電晶體
- 6402 : 驅動電晶體
- 6403 : 電容器
- 6404 : 發光元件
- 6405 : 信號線
- 6406 : 掃描線
- 6407 : 電源線
- 6408 : 共同電極
- 9600 : 電視機
- 9601 : 外殼
- 9602 : 儲存媒體記錄與再現部

9603：顯示部

9604：外部連接端子

9605：支架

9606：外部記憶體

七、申請專利範圍：

1. 一種半導體裝置的製造方法，包括如下步驟：
在基板上形成基底膜；
在該基底膜上進行化學機械拋光處理；
在該化學機械拋光處理之後，在該基底膜上進行電漿處理；以及
在藉由該電漿處理及該化學機械拋光處理而得到的平坦的表面上形成氧化物半導體層。
2. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該電漿處理為使用稀有氣體的電漿處理。
3. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該基板為半導體基板。
4. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該基板為玻璃基板。
5. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該電漿處理為使用感應耦合電漿蝕刻裝置進行。
6. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該氧化物半導體層包含 In-Ga-Zn-O 基氧化物半導體。
7. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該氧化物半導體層包括具有 c 軸配向的結晶。
8. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該基底膜的該表面的中心線平均粗糙度 Ra_{75} 係小於或等於 0.1nm。

9. 一種半導體裝置的製造方法，包含以下步驟：

在基板上形成基底膜；

在該基底膜上進行第一電漿處理；

在該第一電漿處理之後，在該基底膜上進行化學機械拋光處理；

在該化學機械拋光處理之後，在該基底膜上進行第二電漿處理；以及

在藉由該第一電漿處理、該化學機械拋光處理及該第二電漿處理而得到的平坦的表面上形成氧化物半導體層。

10. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該第一電漿處理及該第二電漿處理各為使用稀有氣體的電漿處理。

11. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該基底膜為氧化矽膜、氧化鎵膜、氧化銦膜及氧化鋁膜中的任一者。

12. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該基板為半導體基板。

13. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該基板為玻璃基板。

14. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該電漿處理為使用感應耦合電漿蝕刻裝置進行。

15. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該氧化物半導體層包含 In-Ga-Zn-O 基氧化物半導體。

16. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該氧化物半導體層包括具有 c 軸配向的結晶。

17. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該基底膜的該表面的中心線平均粗糙度 Ra_{75} 係小於或等於 0.1nm 。

八、圖式：

圖 1A

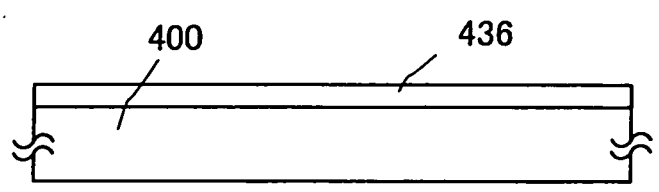


圖 1B

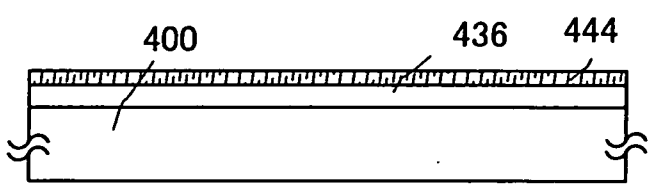


圖 1C

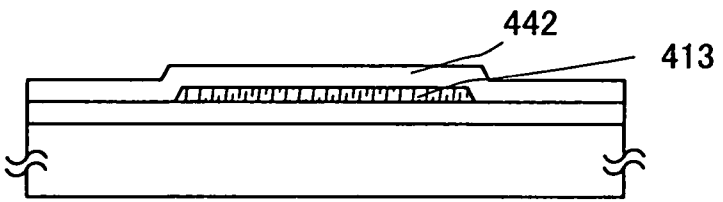


圖 1D

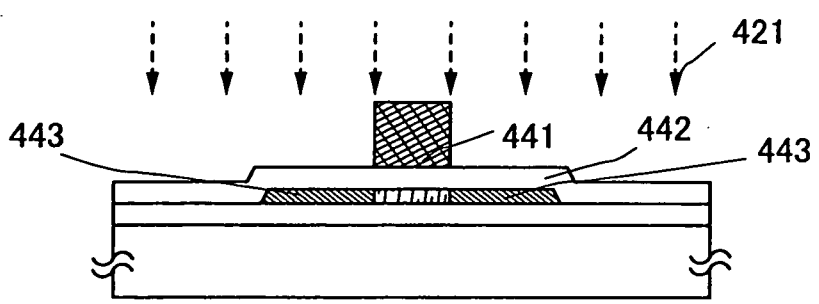


圖 1E

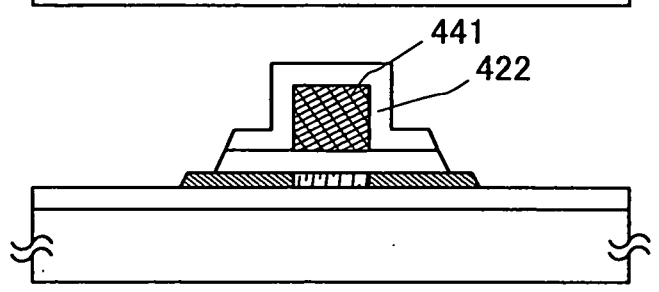


圖 1F

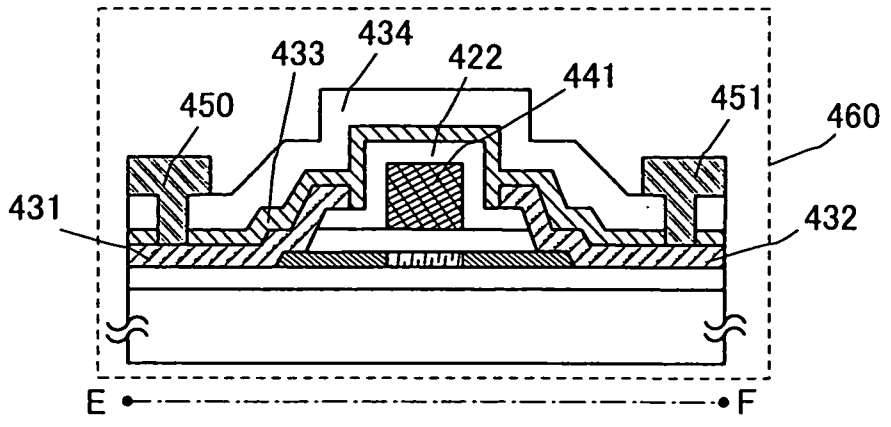


圖2

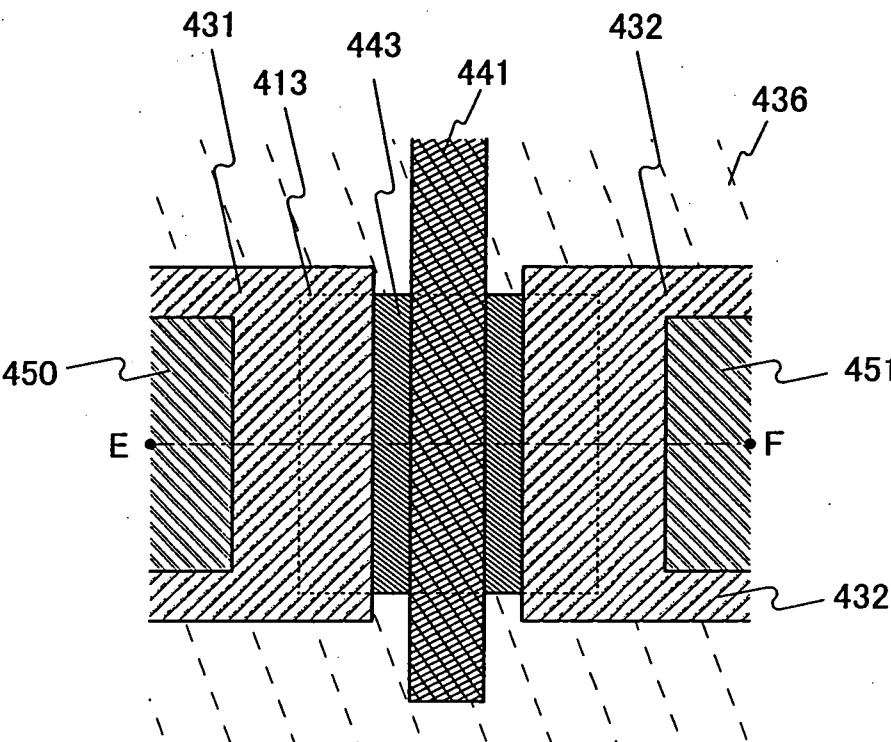


圖3

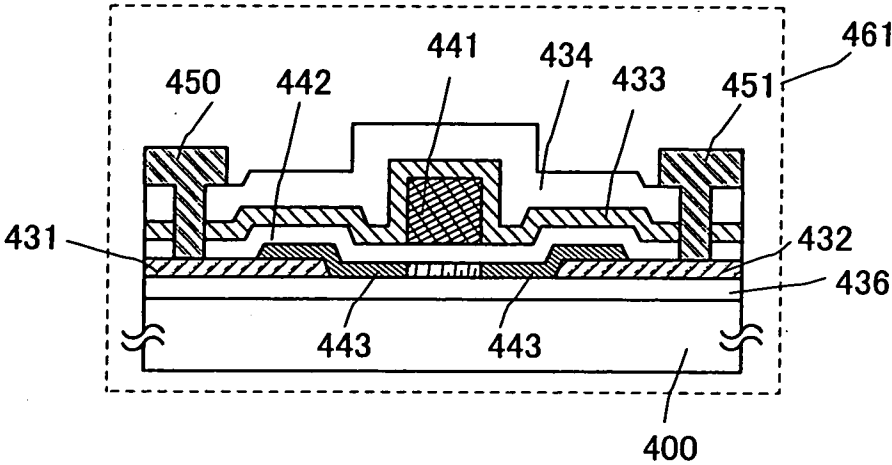


圖 4

(n-ch, $L/W = 3/10$ [μm], $T_{\text{ox}} = 30$ [nm], $\epsilon = 4.1$)

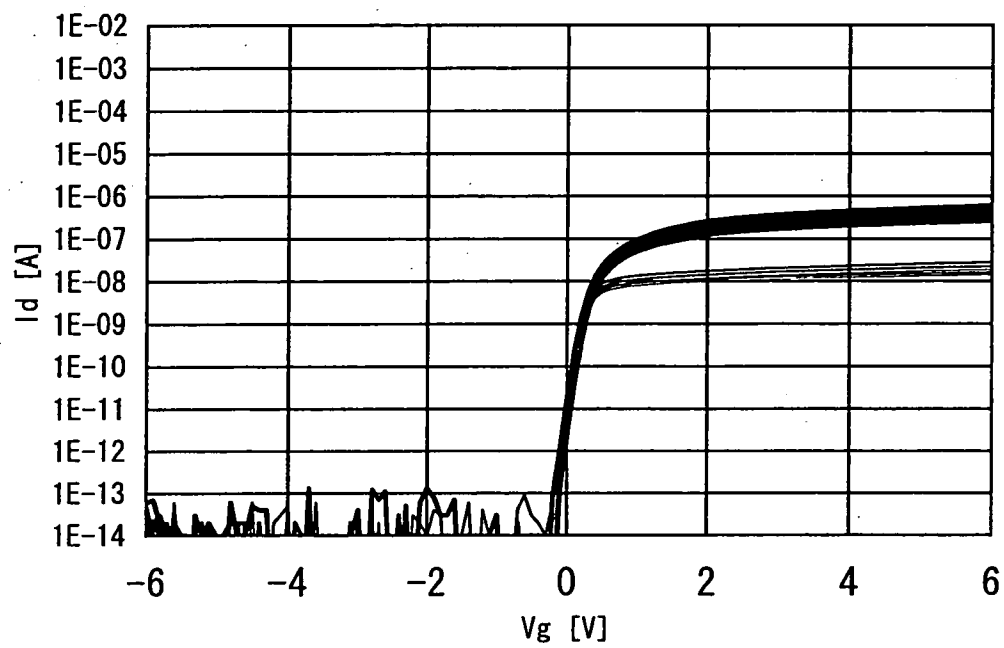


圖5A

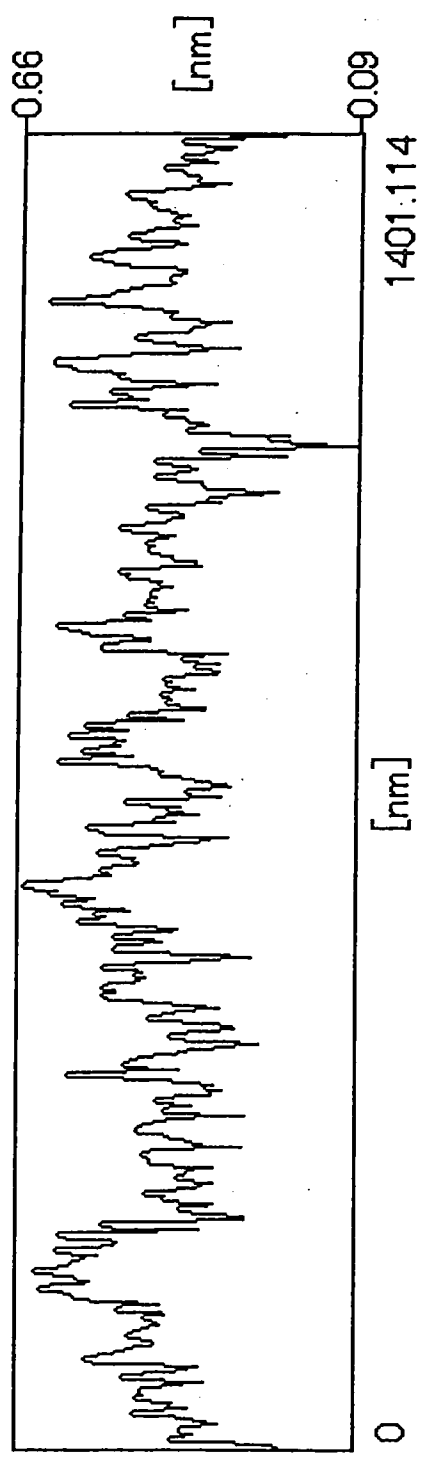


圖5B

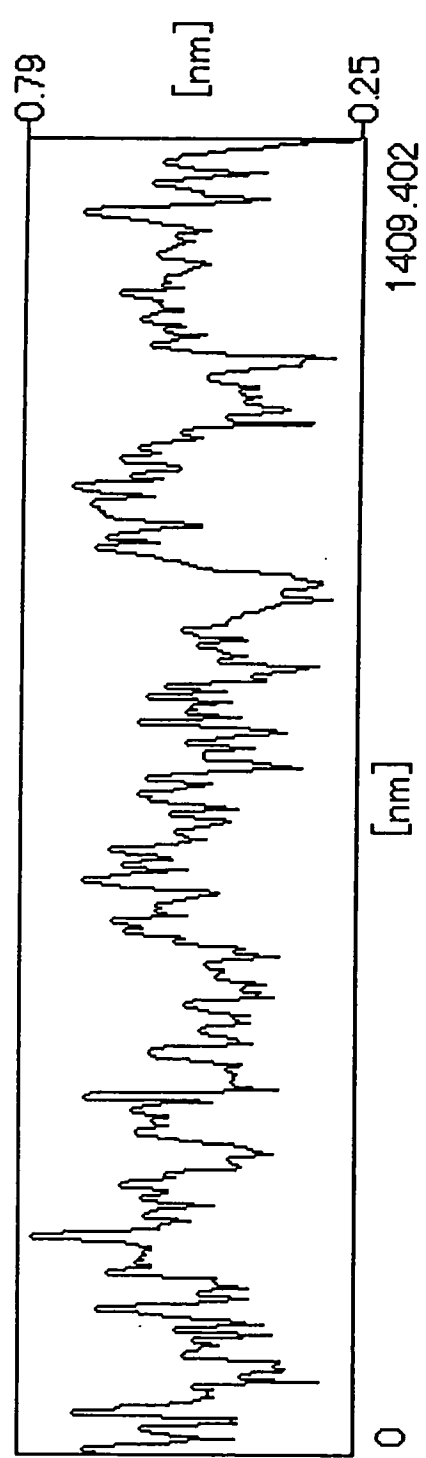


圖6A

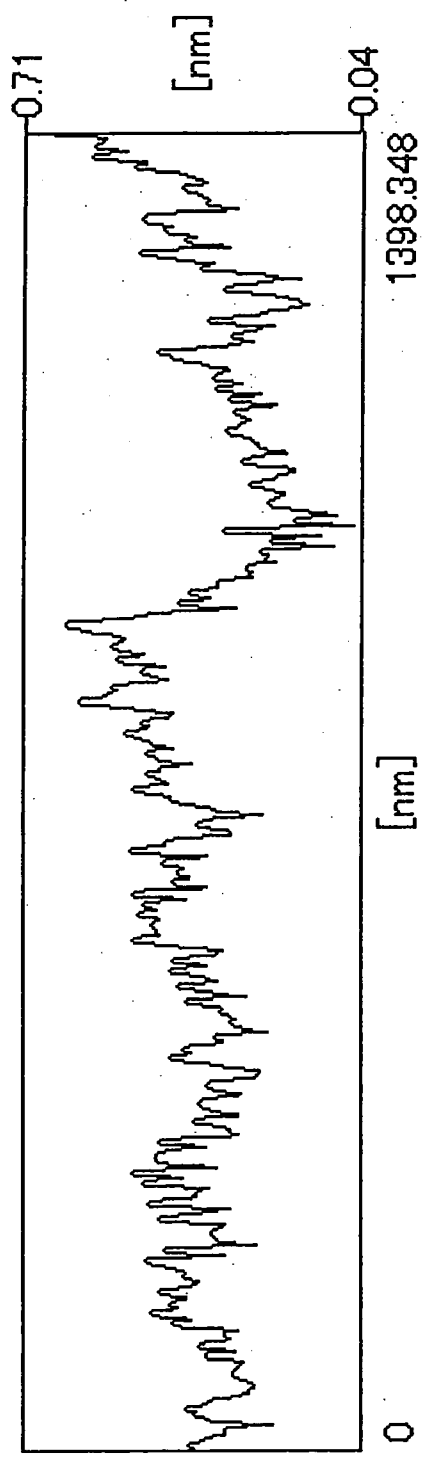
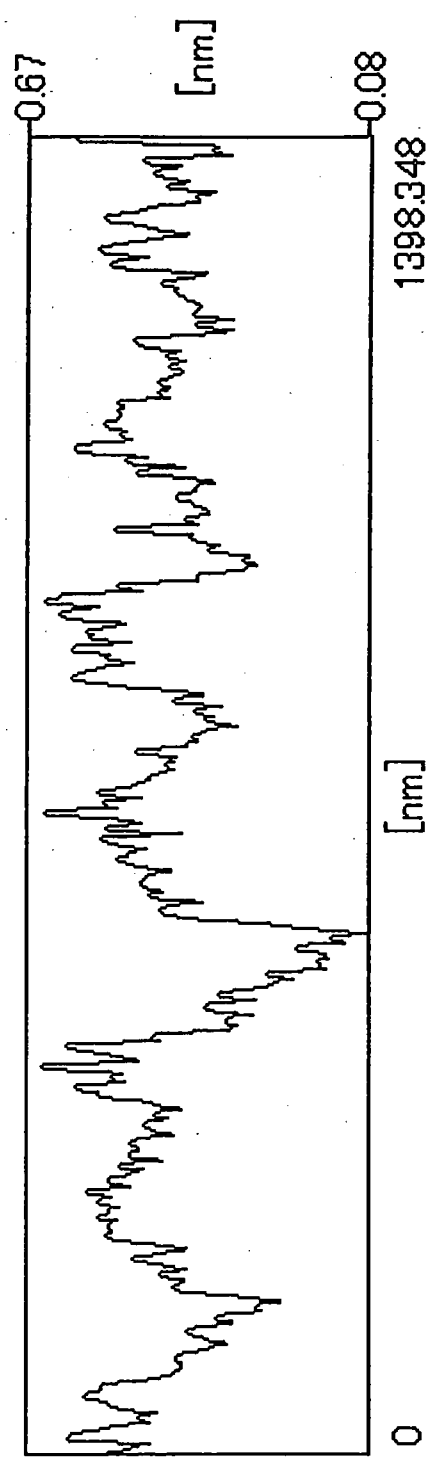


圖6B



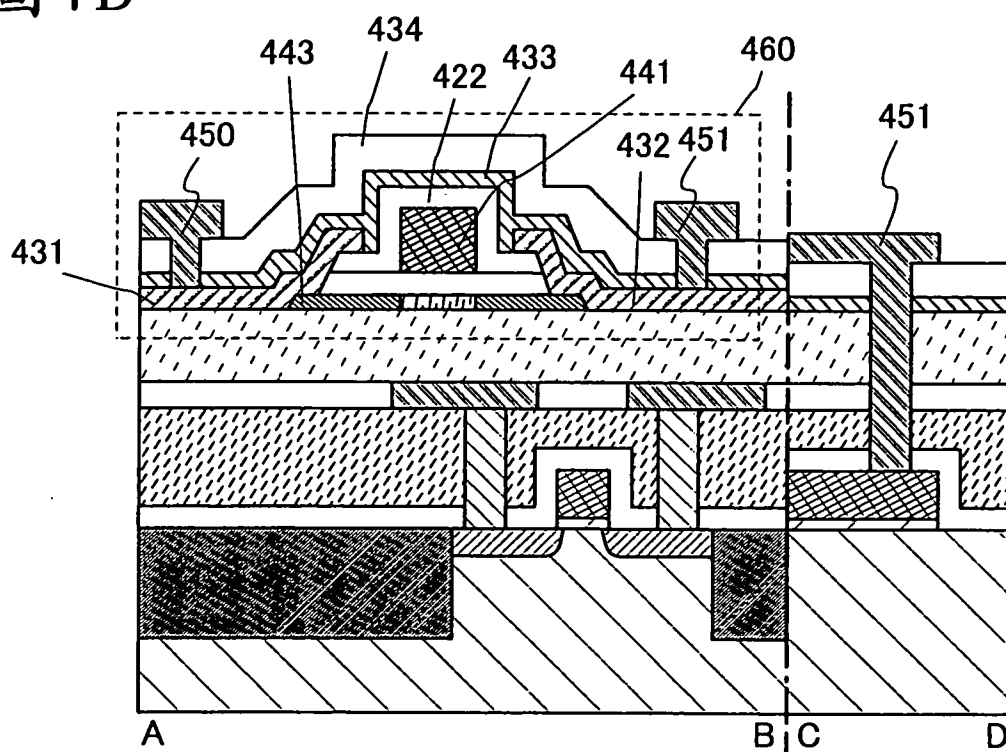
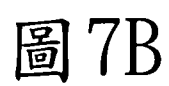


圖 8A

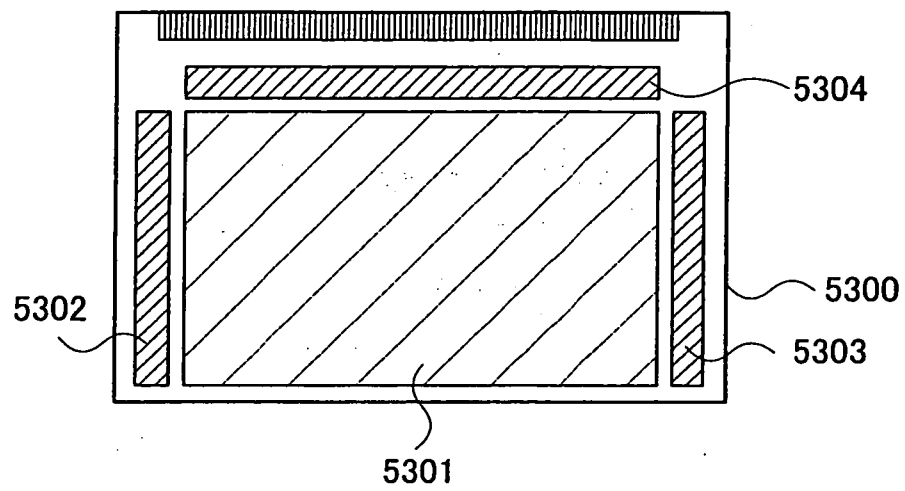


圖 8B

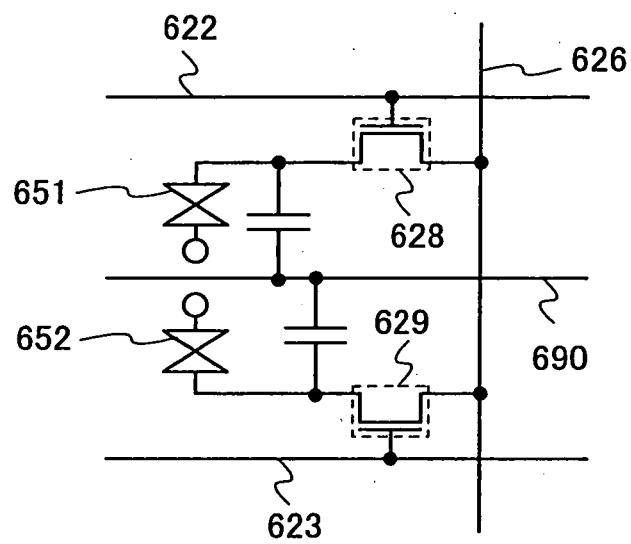


圖 8C

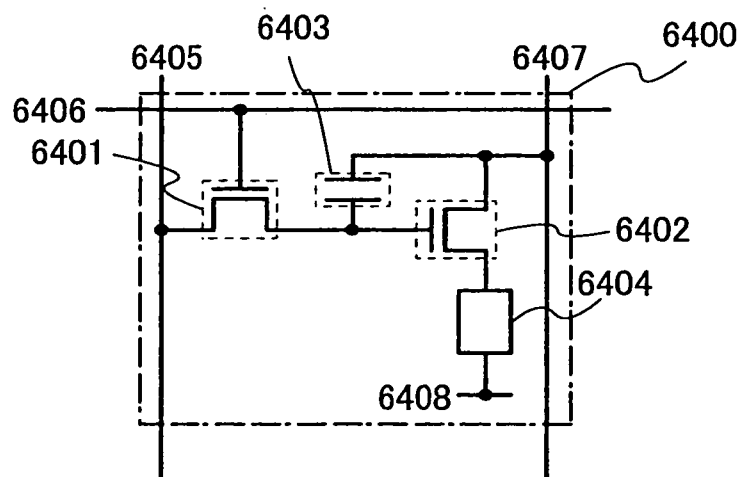


圖 9A

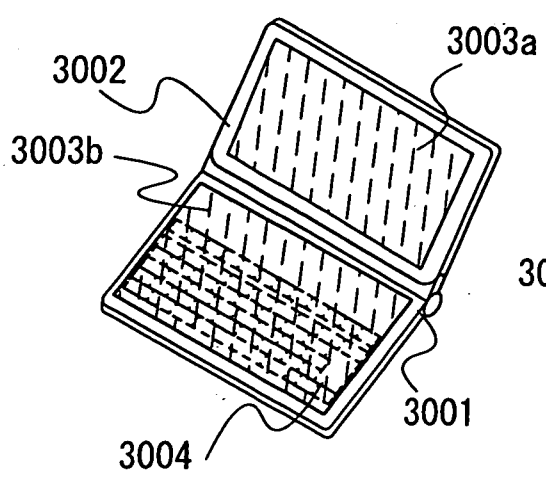


圖 9B

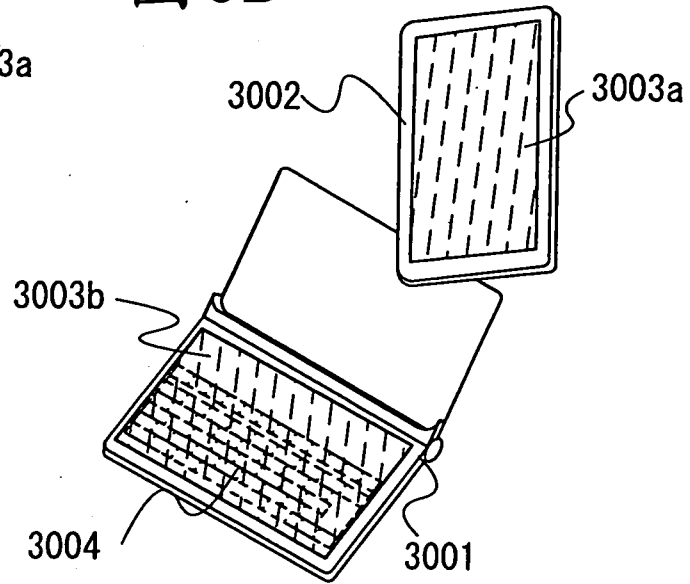


圖 9C

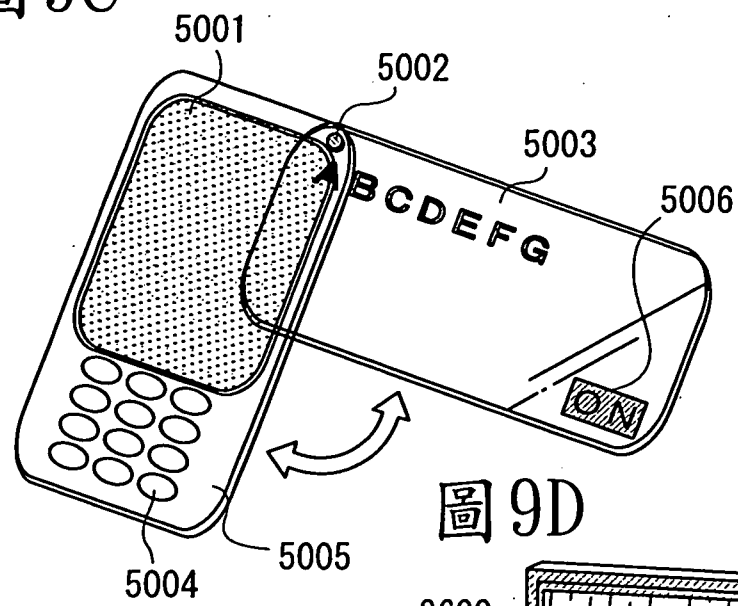


圖 9D

