

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е
ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 20.11.78 (21) 2701719/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 07.09.80, Бюллетень № 33

Дата опубликования описания 10.09.80

(11) 762007

(51) М. Кл.³

G 06 F 15/31

(53) УДК 681.14
(088.8)

(72) Авторы
изобретения

А. А. Петровский и А. Е. Леусенко

(71) Заявитель

Минский радиотехнический институт

(54) ЦИФРОВОЙ ФИЛЬТР

Изобретение относится к специализированным средствам вычислительной техники и может быть применено в системах обработки информации, информационно-измерительных системах, в устройствах формирования и анализа случайных процессов.

Известен цифровой фильтр, который строится в виде спецвычислителя, где отсчеты входного и выходного сигнала обрабатываются поразрядно. Фильтр содержит последовательно соединенные два арифметических блока, работающих параллельно, вторые информационные входы арифметических блоков подключены соответственно к первому и второму выходу блока памяти, где хранятся коэффициенты передаточной функции фильтра, выход второго арифметического блока соединен с первым входом первого регистра сдвига, выполняющего функцию задержки, второй вход данного регистра — вход устройства в целом, а выход соединен с входом блока образования дополнительного кода, первый выход которого — выход устройства в целом, а второй его выход подключен к первому входу второго регистра и третьему входу второго арифметического

блока, выполняющего также функцию задержки, выход которого соединен с первым информационным входом первого арифметического блока, первый, второй, третий, четвертый и пятый выходы блока управления соединены соответственно с управляющими входами первого арифметического блока, второго арифметического блока, первого регистра сдвига, блока образования дополнительного кода и второго регистра сдвига [1].

Недостаток цифрового фильтра — вычисление отсчетов выходного сигнала производится медленно, а главное, ему присущи как чувствительность полюсов передаточной функции к квантованию коэффициентов, так и наличие предельных циклов.

Наиболее близким по технической сущности к предлагаемому является цифровой фильтр, содержащий последовательно соединенные блок задержки, реализованный на динамической памяти, и арифметический блок, представляющий собой последовательный накапливающий сумматор и элемент И для организации логического умножения параметра на выходной сигнал, второй вход арифме-

тического блока является входом устройства в целом, а выход его соединен со входом блока задержки и является выходом устройства в целом, выход блока синхронизации соединен с управляющими входами блока задержки и блока памяти, выход которой соединен с третьим входом арифметического блока [2].

Недостатком известной схемной реализации фильтра является зависимость полюсов передаточной функции от эффектов квантования параметров фильтра, приводящей к нарушению стабильности работы цифрового фильтра, а также наличию предельных циклов. Так для входных сигналов низкого уровня шумы округления становятся коррелированными и в пределе, когда входной сигнал равен нулю, на выходе рекурсивных цифровых фильтров наблюдаются периодические сигналы или предельные циклы. Таким образом, фильтры, импульсная характеристика которых должна спадать до нуля, могут не иметь такой характеристики вследствие квантования результатов умножения в различных узлах фильтра. (Фильтры, считавшиеся асимптотически устойчивыми в смысле ограниченности входа и выхода, оказываются на границе устойчивости).

Общим недостатком известных цифровых фильтров является зависимость стабильности работы фильтра от квантования параметров и наличие предельных циклов.

Цель изобретения — увеличение стабильности работы цифрового фильтра.

Для достижения поставленной цели в известный цифровой фильтр, содержащий блок задержки, арифметический блок памяти и блок синхронизации, первый выход которого подключен к управляющим входам блока памяти и блока задержки, выход которого соединен с первым входом арифметического блока, второй вход которого является входом фильтра, введены первый коммутатор, блок округления, второй коммутатор и блок усреднения, выход блока памяти соединен с первым входом первого коммутатора, выход которого подключен ко входу блока округления, выход которого соединен со входом второго коммутатора, первый выход которого подключен ко входу блока задержки и входу блока усреднения, выход которого является выходом устройства, причем второй выход второго коммутатора подключен к третьему входу арифметического блока, выход которого соединен со вторым входом первого коммутатора, управляющий вход которого подключен ко второму выходу блока синхронизации, третий и четвертый выходы которого подключены к управляющим входам соответственно второго коммутатора и блока усреднения.

Уменьшение чувствительности полюсов передаточной функции цифрового

фильтра от эффектов квантования параметров достигается тем, что коэффициент фильтра представляется в виде

$$b = \begin{cases} b_0 + \Delta b', & p > \xi \\ b_0 - \Delta b', & p \leq \xi \end{cases} \quad (1)$$

где ξ — число из потока с равномерным распределением в интервале (0,1);
 p — значение заданной вероятности;

$\Delta b'$ и $\Delta b''$ — ошибки округления параметра b с избытком и недостатком соответственно.

Математическое ожидание коэффициента равно b_0 . С другой стороны математическое ожидание параметра b равно

$$M[b] = P(b_0 + \Delta b') + (1-p)(b_0 - \Delta b''), \quad \text{откуда}$$

$$p = \frac{\Delta b''}{\Delta b' + \Delta b''} = \sum_{i=1}^m \nu_i \cdot 2^{-i}, \quad (2)$$

а это есть оценка величины отбрасываемой части коэффициента b представленного машинным операндом

$$\hat{b}_{n+m} = 0, q_1 q_2 \dots q_n \nu_1 \nu_2 \dots \nu_m,$$

где $q_i = 0$ или 1 , $i = 1, \dots, n$ — старшие разряды;
 $\nu_j = 0$ или 1 , $j = 1, m$ — младшие разряды операнда.

Округленный машинный операнд до n разрядов есть

$$\hat{b}_n = 0, q_1, q_2 \dots (q_n + \nu_1) \quad (3)$$

Таким образом, к n -ому разряду добавляется единица переноса ν_1 с вероятностью, численно равной величине отбрасываемой части, что может осуществляться по методу (3):

$$\nu_1 = \begin{cases} 1, & p > \xi \\ 0, & p \leq \xi \end{cases} \quad (4)$$

На чертеже представлена блок-схема цифрового фильтра.

Цифровой фильтр содержит последовательно соединенные блок 1 задержки и арифметический блок 2, вход которого является входом устройства в целом, а также первый выход блока 3 синхронизации, соединен с управляющими входами блока 4 памяти и блока 1 задержки, первый коммутатор (мультиплексор) 5, блок 6 округления (вероятностного), второй коммутатор 7 и блок 8 усреднения, выход которого является выходом устройства в целом, последовательно соединены мультиплексор 5, блок 6 округления, коммутатор 7, один выход которого соединен с третьим входом арифметического блока 2, а другой — с входом блока 8 усреднения и блока 1 задержки, выход арифметического блока 2 соединен с информационным входом

мультиплексора 5, другой информационный вход которого соединен с выходом блока 4 памяти, второй выход блока 3 синхронизации подключен к управляющему входу мультиплексора 5, а третий и четвертый выходы блока 3 синхронизации соединены с управляющими входами коммутатора 7 и блока 8 усреднения соответственно.

Цифровой фильтр работает следующим образом.

Промежуточные результаты $y(n-1)$ и входные отсчеты $x(n)$ поступают в арифметический блок 2 в параллельной форме, в отличие от известного, где в последовательной. По сигналу на первом выходе из блока 3 синхронизации, из блока 4 памяти, через мультиплексор 5, по разрешающему сигналу на втором выходе блока 3 синхронизации поступает $(n+m)$ -разрядный коэффициент a в блок 6 округления, который может быть реализован, например по схеме (3), где производится вероятностное округление коэффициента a до n -разрядного согласно (4), затем результат округления передается через коммутатор 7 при наличии разрешающего сигнала на третьем выходе блока 3 синхронизации в арифметический блок 2, где производится умножение на n -разрядный входной сигнал $x(n) \cdot 2^n$ -разрядное произведение с выхода арифметического блока 2 через мультиплексор 5, по разрешающему сигналу на втором выходе блока 3 синхронизации, который в противофазе разрешающему сигналу передачи коэффициентов из блока 4 памяти через мультиплексор 5 в блок 6 округления поступает в блок 6 вероятностного округления, результат округления (n -разрядное произведение) через коммутатор 7 под управлением блока 3 синхронизации (третий выход) поступает в накапливающий сумматор арифметического блока. Далее по разрешающему сигналу на первом выходе блока 3 синхронизации производится сдвиг в блоке 1 задержки и в арифметический блок 2 считывается n -разрядный промежуточный результат $y(n-N)$, а из блока 4 памяти считывается $(n+m)$ -разрядный коэффициент b_1 , который проходит округление в блоке 6 вероятностного округления и передается в арифметический блок аналогично, как и коэффициент a . Произведение 2^n -разрядное $y(n-N) \cdot b_1$, аналогично произведению $a \cdot x(n)$, пройдя вероятностное округление до n разрядов, суммируется с содержимым накапливающего сумматора в арифметическом блоке 2. Далее по очередному разрешающему сигналу на первом выходе блока 3 синхронизации происходит сдвиг в блоке 1 задержки и в арифметический блок 2 передается n -разрядный промежуточный результат $y[n-(N-1)]$, а из блока 4 памяти

считывается $(n+m)$ -разрядный коэффициент b_2 . Далее происходят аналогичные операции, имеющие место при образовании n -разрядного произведения $y(n-N) \cdot b_1$, в результате которых к содержимому накапливающего сумматора в арифметическом блоке 2 добавляется n -разрядное произведение $y[n-(N-1)] \cdot b_2$. Так продолжается N раз, в результате чего в арифметическом блоке 2 образуется n -разрядный выходной сигнал $y(n)$, который через мультиплексор 5, при соответствующем разрешающем входном сигнале на втором выходе блока 3 синхронизации, пойдет в блок 6 округления, где округления не произойдет, так как отбрасываемая часть $(n-m)$ разрядов равна нулю, т.е. вероятность p в (4) равна нулю, по разрешающему сигналу на третьем выходе блока 3 синхронизации, который является в противофазе сигналу на третьем выходе блока 3 синхронизации, действующему до этого N раз, поступает в блок 8 усреднения, где по команде на четвертом выходе блока 3 синхронизации устанавливается число Q , которое является числом усреднений $y(n)$ для уменьшения дисперсии шума σ_e^2 . Одновременно данный код $y(n)$ поступает в блок задержки 1.

Описанная выше работа цифрового фильтра продолжается Q раз и на выходе блока 8 усреднения получается выходной результат цифровой фильтрации $\hat{y}_k = (1/Q) \sum_{n=1}^Q y_n$. Затем снова продолжается весь цикл получения $\hat{y}_{k+1}$ и т.д., где $k = 1, R$, а R может быть как угодно большим числом. Блок 8 усреднения просто реализуется, когда $Q = 2^8$. Тогда он будет представлять собой $(\chi + n)$ -разрядный накапливающий сумматор, а деление на Q , будет осуществлено путем сдвига вправо на χ разрядов. Такой вариант реализации блока усреднения возможен при реализации цифрового фильтра с фиксированной запятой.

Таким образом, использование мультиплексора, блока вероятностного округления, коммутатора и блока усреднения выгодно отличает предлагаемый цифровой фильтр от известного, так как уменьшаются затраты оборудования, потому что в известном, чтобы уменьшить шумы округления до незначительного уровня необходимо увеличивать точность обработки промежуточных результатов, т.е. нужны дополнительные разряды в арифметическом блоке. В данном случае без увеличения длины слова обработки промежуточных результатов происходит увеличение стабильности работы цифрового фильтра и подавление предельных циклов, а, следовательно, не увеличивается стоимость фильтра. В результате будет увеличена сфера применения цифрового фильтра в различных низкочастотных системах.

Формула изобретения

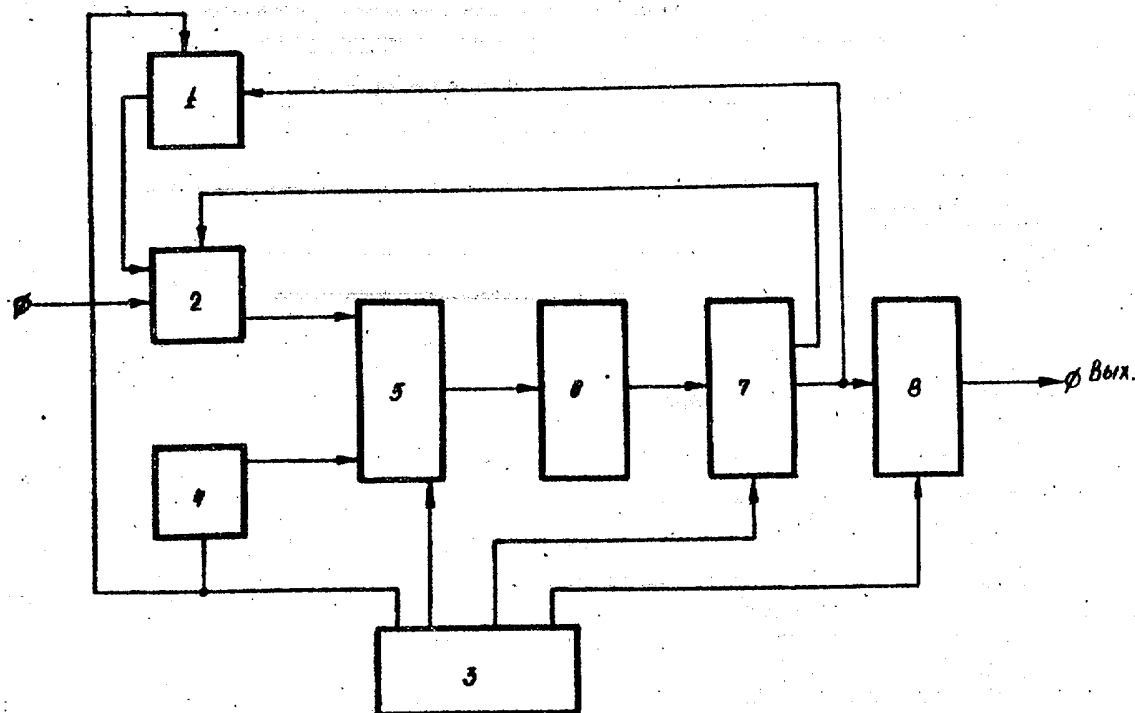
Цифровой фильтр, содержащий блок задержки, арифметический блок памяти и блок синхронизации, первый выход которого подключен к управляющим входам блока памяти и блока задержки, выход которого соединен с первым входом арифметического блока, второй вход которого является входом фильтра, отличающийся тем, что, с целью повышения стабильности работы цифрового фильтра, в него введены первый коммутатор, блок округления, второй коммутатор и блок усреднения, выход блока памяти соединен с первым входом первого коммутатора, выход которого подключен ко входу блока округления, выход которого соединен со входом второго коммутатора, первый выход которого подключен ко входу блока задержки и входу блока усреднения,

выход которого является выходом устройства, причем второй выход второго коммутатора подключен к третьему входу арифметического блока, выход которого соединен со вторым входом первого коммутатора, управляющий вход которого подключен ко второму выходу блока синхронизации, третий и четвертый выходы которого подключены к управляющим входам соответственно второго коммутатора и блока усреднения.

Источники информации, принятые во внимание при экспертизе

1. Патент США № 3714402, кл. G. 06 F 15/34, 1973.

2. Робинер Л. и Гоулд Б. Теория и применение цифровой обработки сигналов. М., "Мир", 1978, с. 609 (прототип).



Составитель А. Баранов
Редактор М. Келемеш Техред Ж. Кастелевич Корректор О. Билак

Заказ 6093/15

Тираж 751

Подписное

ЦНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4