



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2009년02월23일
 (11) 등록번호 10-0884860
 (24) 등록일자 2009년02월13일

(51) Int. Cl.

H01L 27/146 (2006.01)

(21) 출원번호 10-2007-0038439
 (22) 출원일자 2007년04월19일
 심사청구일자 2007년04월19일
 (65) 공개번호 10-2007-0104263
 (43) 공개일자 2007년10월25일

(30) 우선권주장

JP-P-2006-00117046 2006년04월20일 일본(JP)

(56) 선행기술조사문헌

US6624850 B1
 JP2005167579 A
 KR20000010923 A

전체 청구항 수 : 총 20 항

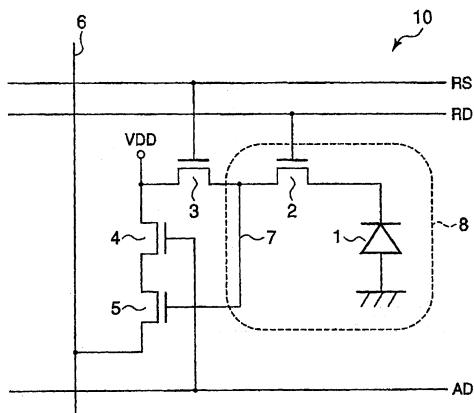
심사관 : 김영진

(54) 고체 활상 장치

(57) 요 약

광의 회절에 의해 발생하는 반도체 기판 내에서의 광의 크로스토크를 억제한 고체 활상 장치가 개시된다. 본 발명의 1 양태에 따른 고체 활상 장치는, 복수의 화소를 구비하고, 각 화소는, 반도체 기판 내에 형성되어, 입사광을 광전 변환하여 신호 전하를 축적하는 광전 변환 소자와, 상기 반도체 기판 내에 상기 광전 변환 소자에 근접하여 형성되어, 일시적으로 신호 전하를 축적하는 플로팅 정션과, 상기 광전 변환 소자에 축적된 상기 신호 전하를 상기 플로팅 정션에 전송하는 전송 트랜지스터를 포함하고, 여기에서, 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮도록 연신하여 형성된 게이트 전극을 구비한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

복수의 화소를 구비하고,

각 화소는,

반도체 기판 내에 형성되어, 입사광을 광전 변환하여 신호 전하를 축적하는 광전 변환 소자와,

상기 반도체 기판 내에 상기 광전 변환 소자에 근접하여 형성되어, 일시적으로 신호 전하를 축적하는 플로팅 정션과,

상기 광전 변환 소자에 축적된 상기 신호 전하를 상기 플로팅 정션에 전송하는 전송 트랜지스터
를 포함하며,

여기에서, 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮도록 연신(延伸)하여 형성된
게이트 전극을 구비하는 것을 특징으로 하는 고체 활상 장치.

청구항 2

제1항에 있어서,

상기 복수의 화소 중 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮지 않는 게이트
전극을 구비하는 것을 특징으로 하는 고체 활상 장치.

청구항 3

제1항에 있어서,

상기 복수의 화소가 인접하여 배치된 유닛 셀을 구비하고, 상기 유닛 셀 내의 각 화소의 상기 광전 변환
소자는, 서로 다른 괘장 영역의 입사광을 수광하는 것을 특징으로 하는 고체 활상 장치.

청구항 4

제3항에 있어서,

상기 광전 변환 소자의 상방을 덮어 형성된 상기 게이트 전극은, 그 광전 변환 소자에 입사하는 입사광의 괘장
에 따라서 막두께가 서로 다른 것을 특징으로 하는 고체 활상 장치.

청구항 5

제3항에 있어서,

상기 광전 변환 소자의 상방을 덮어 형성된 상기 게이트 전극은, 그 광전 변환 소자에 입사하는 입사광의 괘장
에 따라서 설치되는 것을 특징으로 하는 고체 활상 장치.

청구항 6

제3항에 있어서,

상기 광전 변환 소자의 상방을 덮어 형성된 상기 게이트 전극은, 그 광전 변환 소자를 사이에 끼워서 상기 플로팅
정션과 반대측에 인접하는 광전 변환 소자 사이의 소자간 영역 상에 연신되는 것을 특징으로 하는 고체 활상
장치.

청구항 7

제3항에 있어서,

상기 복수의 화소 중 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮지 않는 게이트
전극을 구비하는 것을 특징으로 하는 고체 활상 장치.

청구항 8

제1항에 있어서,

상기 게이트 전극은, 가시광을 투과하는 도전성 재료인 것을 특징으로 하는 고체 활상 장치.

청구항 9

복수의 화소를 구비하고,

각 화소는,

반도체 기판 내에 형성되어, 입사광을 광전 변환하여 신호 전하를 축적하는 광전 변환 소자와,

상기 반도체 기판 내에 상기 광전 변환 소자에 근접하여 형성되어, 일시적으로 신호 전하를 축적하는 플로팅 정션과,

상기 광전 변환 소자에 축적된 상기 신호 전하를 상기 플로팅 정션에 전송하는 전송 트랜지스터

를 포함하며,

여기에서, 상기 플로팅 정션은, 복수의 상기 광전 변환 소자가 대응하는 상기 전송 트랜지스터를 통하여 복수의 상기 광전 변환 소자와 공유되도록 전기적으로 접속되고,

여기에서, 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮도록 연신하여 형성된 게이트 전극을 구비하는 것을 특징으로 하는 고체 활상 장치.

청구항 10

제9항에 있어서,

상기 복수개의 화소 중 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮지 않는 게이트 전극을 구비하는 것을 특징으로 하는 고체 활상 장치.

청구항 11

제9항에 있어서,

상기 복수개의 화소가 인접하여 배치된 유닛 셀을 구비하고, 상기 유닛 셀 내의 각 화소의 상기 광전 변환 소자는, 서로 다른 파장 영역의 입사광을 수광하는 것을 특징으로 하는 고체 활상 장치.

청구항 12

제11항에 있어서,

상기 광전 변환 소자의 상방을 덮어 형성된 상기 게이트 전극은, 그 광전 변환 소자에 입사하는 입사광의 파장에 따라서 막두께가 서로 다른 것을 특징으로 하는 고체 활상 장치.

청구항 13

제11항에 있어서,

상기 광전 변환 소자의 상방을 덮어 형성된 상기 게이트 전극은, 그 광전 변환 소자에 입사하는 입사광의 파장에 따라서 설치되는 것을 특징으로 하는 고체 활상 장치.

청구항 14

제11항에 있어서,

상기 광전 변환 소자의 상방을 덮어 형성된 상기 게이트 전극은, 그 광전 변환 소자를 사이에 끼워서 상기 플로팅 정션과 반대측에 인접하는 광전 변환 소자 사이의 소자간 영역 상에 연신되는 것을 특징으로 하는 고체 활상 장치.

청구항 15

제11항에 있어서,

상기 복수의 화소 중 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮지 않는 게이트 전극을 구비하는 것을 특징으로 하는 고체 활상 장치.

청구항 16

제9항에 있어서,

상기 게이트 전극은, 가시광을 투과하는 도전성 재료인 것을 특징으로 하는 고체 활상 장치.

청구항 17

제9항에 있어서,

상기 광전 변환 소자는, 1개의 코너부가 비스듬히 절취되고,

상기 전송 트랜지스터는, 상기 광전 변환 소자의 상기 비스듬히 절취된 코너부에 비스듬히 형성된 게이트 전극을 구비하고,

상기 플로팅 정선은, 4개의 화소간의 중앙의 영역에 배치되는 것을 특징으로 하는 고체 활상 장치.

청구항 18

제17항에 있어서,

상기 플로팅 정선은, 그 플로팅 정선에 인접하는 2개의 화소에 의해 공유되는 것을 특징으로 하는 고체 활상 장치.

청구항 19

제18항에 있어서,

상기 2개의 화소는, 상기 플로팅 정선의 대각선 방향에서 그 플로팅 정선에 인접하여 배치되는 것을 특징으로 하는 고체 활상 장치.

청구항 20

제17항에 있어서,

상기 플로팅 정선은, 그 플로팅 정선에 인접하여 배치된 상기 4개의 화소간에서 공유되는 것을 특징으로 하는 고체 활상 장치.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

<34>

[특허 문헌 1] 일본 특개 2005-129965호 공보

<35>

[비]특허 문헌 1] H.Melcior ("Demodulation and Photodetection Techniques," in F.T.Arecchi and E.O. Schulz-Dubois, Eds., Laser Handbook, Vol. 1, North-Holland, Amsterdam, 1972, pp.725-835)

발명이 속하는 기술 및 그 분야의 종래기술

<36>

본 출원은 일본 특허 출원 제2006-117046호(2006년 4월 20일)에 기초한 것으로서, 그 우선권을 주장하며, 그 전체 내용이 본 명세서에서 참조로서 인용된다.

<37>

본 발명은, 고체 활상 장치에 관한 것으로, 특히, 광의 크로스토크를 억제한 고체 활상 장치에 관한 것이다.

발명이 이루고자 하는 기술적 과제

- <38> 고체 활상 장치, 예를 들면 CMOS 이미지 센서와 같은 장치는, 소형화, 고정 밀도화 등의 목적을 위해 화소 사이즈를 축소하고 있다. 그 때문에, 화소를 구성하는 광전 변환 소자나 트랜지스터의 축소화가 진행되고 있다. 축소화가 진행되면 광전 변환 소자에 축적할 수 있는 신호 전하량이 감소하기 때문에, 화소는, 각종 노이즈, 예를 들면, 열 잡음, 암전류 잡음, 광의 크로스토크의 영향을 받기 쉬워진다.
- <39> 열 잡음이나 암전류 잡음의 발생을 억제하여 화상의 신호 대 노이즈(S/N)비를 개선한 고체 활상 장치가, 특허 문헌 1에 개시되어 있다. 그러나, 크로스토크에 관해서는 기재되어 있지 않다.
- <40> 광전 변환 소자의 축소화에 의해, 입사광을 마이크로 렌즈에서 집광하여 광전 변환 소자에만 입사시키는 것이 곤란해져 오고 있다. 상기한 특허 문헌에 개시된 고체 활상 장치는, 광전 변환 소자에 인접하여 전송 트랜지스터 게이트 전극이 형성되어 있다. 이러한 구조의 고체 활상 장치에서는, 예를 들면, 입사광은, 마이크로 렌즈에 의해 집광되고, 금속 배선 사이를 통과하여 광전 변환 소자에 입사한다. 그러나, 입사광은, 광전 변환 소자뿐만 아니라 이에 인접하는 전송 트랜지스터의 게이트 전극에도 입사한다고 하는 현상이 발생한다. 이 현상이 발생하면 입사광의 일부는, 게이트 전극에서 회절 현상 등을 발생시킨다. 게이트 전극에서 회절한 회절광은, 반도체 기판 내를 전파하여 인접하는 플로팅 정션 및 또는 광전 변환 소자에 도달한다. 이러한 회절광은, 광의 크로스토크를 발생시켜, 화소 특성을 열화시킨다.

발명의 구성 및 작용

- <41> 본 발명의 하나의 양상에 따르면, 고체 활상 장치는, 복수의 화소를 구비하고, 각 화소는, 반도체 기판 내에 형성되어, 입사광을 광전 변환하여 신호 전하를 축적하는 광전 변환 소자와, 상기 반도체 기판 내에 상기 광전 변환 소자에 근접하여 형성되어, 일시적으로 신호 전하를 축적하는 플로팅 정션과, 상기 광전 변환 소자에 축적된 상기 신호 전하를 상기 플로팅 정션에 전송하는 전송 트랜지스터를 포함하고, 여기에서, 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮어 형성된 게이트 전극을 구비한다.
- <42> 본 발명의 다른 양상에 따르면, 고체 활상 장치는, 복수의 화소를 구비하고, 각 화소는, 반도체 기판 내에 형성되어, 입사광을 광전 변환하여 신호 전하를 축적하는 광전 변환 소자와, 상기 반도체 기판 내에 상기 광전 변환 소자에 근접하여 형성되어, 일시적으로 신호 전하를 축적하는 플로팅 정션과, 상기 광전 변환 소자에 축적된 상기 신호 전하를 상기 플로팅 정션에 전송하는 전송 트랜지스터를 포함하고, 여기에서, 상기 플로팅 정션은, 복수의 상기 전송 트랜지스터를 통하여 복수의 상기 광전 변환 소자에 공유되도록 전기적으로 접속되고, 여기에서, 적어도 1개의 상기 전송 트랜지스터는, 상기 광전 변환 소자의 상방을 덮어 형성된 게이트 전극을 구비한다.

<43> <실시 형태>

- <44> 본 발명의 실시예는, 광의 회절에 의해 발생하는 반도체 기판 내에서의 광의 크로스토크를 억제한 고체 활상 장치를 제공한다.
- <45> 고체 활상 장치의 광전 변환부의 게이트 전극에 의한 입사광의 회절과 같은, 단일의 개구에 의한 광의 회절은, 프라운호퍼 회절에 의해 설명된다. 프라운호퍼 회절에서는, 입사광의 파장을 λ , 개구부의 폭을 w , 개구 위치와 조사면과의 거리를 L 로 하면, m 차의 회절광($m \neq 0$)의 강도가 극대값을 취하는 위치 x 는, 다음식으로 주어진다.

$$x \doteq (m-1/2)(\lambda L/w)$$

<47> 또한, m 차 회절광의 중심축과 입사광의 광축과의 이루는 각(회절각) θ 는, 다음식으로 주어진다.

$$\tan\theta = x/L = \pm(m-1/2)(\lambda/w)$$

- <49> 이 회절광이, 반도체 기판 내를 전파하여 인접하는 플로팅 정션이나 화소(광전 변환 소자) 등의 능동 소자에 도달하면 광의 크로스토크가 발생한다.
- <50> 크로스토크는, 파장 의존성이 있으며, 가시광 영역의 광에서 단파장 광보다 장파장 광 쪽이 크로스토크를 발생하기 쉽다. 이것은, 반도체 기판, 예를 들면, 실리콘 기판의 광 흡수 계수가 파장에 따라 변화하기 때문이다. 즉, 단파장 광은, 반도체 기판 내에서의 흡수 계수가 크기 때문에, 감쇠하기 쉬워 인접하는 능동 소자에 도달하

기 어렵지만, 장파장 광은, 흡수 계수가 비교적 작기 때문에, 회절광이 반도체 기판 내에서 감쇠하기 어려워 인접하는 능동 소자에 도달하기 쉬워진다.

<51> 본 발명의 실시예에 따른 고체 활상 장치에 따르면, 전송 트랜지스터의 게이트 전극을 광전 변환 소자 상에 연신(延伸)시켜서 형성함으로써, 게이트 전극에 의한 광의 회절 현상의 발생을 방지하고, 반도체 기판 내에서의 광의 크로스토크를 억제하는 것이 가능한 구조를 제공할 수 있다.

<52> 본 발명의 실시예를, 첨부한 도면을 참조하여 이하에 상세에 설명한다. 도면에서는, 대응하는 부분은, 대응하는 참조 부호로 나타내고 있다. 이하의 실시예는, 일례로서 나타내어진 것으로, 본 발명의 정신으로부터 일탈하지 않는 범위에서 다양한 변형을 하여 실시하는 것이 가능하다.

<53> 본 발명의 실시예가 첨부 도면을 참조로 하여 설명될 것이다. 전 도면에 걸쳐서, 대응하는 부분에는 대응하는 참조 부호들이 첨부될 것이다. 후술한 실시예의 각각은 일례로서 기술된 것이며, 그러나, 본 발명은 본 발명의 정신에 벗어남없이 다양하게 변경되고 실시될 수 있다.

<54> (제1 실시예)

<55> 본 발명의 제1 실시예에 따른 고체 활상 장치는, 각 화소의 광전 변환 소자에 인접하는 전송 트랜지스터의 게이트 전극이, 광전 변환 소자 위를 덮도록 연신되어 형성되고, 광전 변환 소자 상에 개구부를 형성하지 않는 구조를 구비한다.

<56> 고체 활상 장치, 예를 들면, CMOS 이미지 센서의 화소 회로 구성예를 도 1에 도시한다. 도 1은, 1화소 1셀 방식의 화소 회로이다. 하나의 화소(10)는, 광전 변환 소자(1), 전송 트랜지스터(2) 및 플로팅 정션(7)을 포함하는 화소 영역(8), 리세트 트랜지스터(3), 어드레스 트랜지스터(4), 및 증폭 트랜지스터(5)를 포함한다.

<57> 화소(10)에 광이 입사한 경우, 광전 변환 소자(1)는, 입사광을 광전 변환하여 신호 전하를 축적한다. 전송 트랜지스터(2)의 게이트 전극에 전송 신호 RD가 입력되면, 축적된 신호 전하는, 전송 트랜지스터(2)의 채널을 통해 플로팅 정션(7)에 전송된다. 또한, 이 전송에 앞서, 리세트 트랜지스터(3)의 게이트 전극에 리세트 신호 RS가 입력되어, 플로팅 정션(7)의 전위는, 리세트 트랜지스터(3)의 드레인 전압 VDD로 미리 리세트된다. 이 광전 변환 소자(1)로부터 플로팅 정션(7)에 신호 전하가 전송됨으로써, 플로팅 정션(7)의 전위는 변화한다. 플로팅 정션(7)은, 증폭 트랜지스터(5)의 게이트 전극에 접속되어 있으며, 전위의 변화가 증폭 트랜지스터(5)의 채널에 변조를 발생시킨다. 다음으로, 어드레스 트랜지스터(4)의 게이트 전극에 어드레스 신호 AD가 입력된다. 이에 의해, 증폭 트랜지스터(5)의 채널 변조에 대응하는 신호가 신호선(6)에 출력된다. 이와 같이 하여, 입사광에 대응하는 신호가 판독된다. 신호를 출력한 후, 플로팅 정션(7)은, 리세트 트랜지스터(3)의 드레인 전압 VDD로 리세트된다.

<58> 화소(10)를 2차원으로 배열시킨 화소 어레이의 일례를 도 2에 도시한다. 컬러 고체 활상 장치의 경우, 일반적으로 4개의 화소(10)에 의해 1개의 유닛 셀(13)이 구성된다. 도 2는 일례로서 4행4열의 화소(10), 즉 2행2열의 유닛 셀(13)을 나타내고 있다. 각 화소(10)에는, 전송 신호를 공급하는 RD 라인, 리세트 신호를 공급하는 RS 라인 및 어드레스 신호를 공급하는 AD 라인이 수평 방향으로 배치되고, 신호 라인(6)이 수직 방향으로 배치되어 있다. 각 유닛 셀(13)은, 적(R) 화소, 녹(Gr) 화소, 녹(Gb) 화소 및 청(B) 화소를 포함한다. 입사광은, 각각의 화소에 대응하는 필터에 의해 서로 다른 파장 범위로 선택적으로 제한되어, 각 화소에는, 서로 다른 파장 영역의 가시광이 입사한다.

<59> 도 3 및 도 4a, 도 4b를 이용하여, 본 실시예의 유닛 셀의 일례를 설명한다. 도 3은 본 실시예의 유닛 셀의 일례를 도시하는 평면도이며, 도 4a, 도 4b는, 각각 도 3에 도시한 절단선 A1-A1, A2-A2를 따라 취한 단면도이다. 도 3에서는, 간략화를 위해 도 1에 도시한 화소 영역(8)만을 도시하고 있다. 유닛 셀(13)은, 적(R) 화소(100), 녹(Gr) 화소(110), 녹(Gb) 화소(120) 및 청(B) 화소(130)을 포함한다. 각 화소는, 반도체 기판(30) 내에 형성된 광전 변환 소자(14~17), 광전 변환 소자(14~17)에 인접하여 형성된 전송 트랜지스터(26~29), 및 반도체 기판(30) 내에 형성된 플로팅 정션(22~25)을 포함한다. 플로팅 정션(22~25)은, 광전 변환 소자(14~17)에 전송 트랜지스터(26~29)를 통하여 전기적으로 접속된다. 광전 변환 소자(14~17)는, 입사광을 광전 변환하여, 신호 전하를 축적한다. 전송 트랜지스터(26~29)는, 광전 변환 소자(14~17)로부터 플로팅 정션(22~25)에의 신호 전하의 전송을 제어한다. 전송 트랜지스터의 게이트 전극(18~21)은, 광전 변환 소자(14~17)를 덮도록 반도체 기판(30) 상방에 연신하여 형성된다. 이러한 점에서, 종래의 화소의 구조와 상이하다. 또한, 전송 트랜지스터 게이트 전극(18~21)을 덮어 절연막(31)이 형성되고, 금속 배선(32)은 전송 트랜지스터(26~29) 상방의 절연막(31) 내에 매립된다. 그리고, 절연막(31) 상에는 각 광전 변환 소자(14~17)에 대응하는 위치에 마이

크로 렌즈(35~38)가 형성된다.

- <60> 입사광(39~42)은, 마이크로 렌즈(35~38)에 의해 집광되어, 금속 배선(32) 사이를 통과하고, 전송 트랜지스터 게이트 전극(18~21)을 투과하여 광전 변환 소자(14~17)에 입사한다. 도 4a, 도 4b에 도시된 바와 같이, 반도체 기판(30) 표면에서의 입사광 집광 영역 내에 전송 트랜지스터 게이트 전극(18~21)의 개구부가 존재하지 않기 때문에, 게이트 전극(18~21)에서 입사광의 회절이 발생하는 것을 회피할 수 있다.
- <61> 전송 트랜지스터 게이트 전극(18~21)에는, 입사광을 충분히 투과하는 것, 고체 활상 장치의 제조가 비교적 용이한 것 등이 요구된다. 전극 내에서의 가시광의 흡수를 고려하여, 전극 재료로서 가시광을 투과하는 도전성 재료, 예를 들면, 실리콘(Si) 또는 Si보다 벤드갭이 큰 탄화 규소(SiC)를 사용할 수 있다.
- <62> 게이트 전극의 막두께는, 두꺼워지면 광의 흡수가 커지기 때문에, 가능한 한 얇은 쪽이 바람직하다. 그러나, 지나치게 얇으면, 예를 들면, 게이트 전극에 편홀이 발생하거나, 게이트 전극 상에 비아 컨택트를 형성할 때에, 비아 컨택트가 게이트 전극을 관통하게 되거나 하는 경우가 있다. 상기한 바와 같은 문제가 발생하지 않는 게이트 전극의 막두께는, Si의 경우, 예를 들면, 50nm이다.
- <63> 위에 설명한 바와 같이, 본 실시예에서는, 각 화소의 전송 트랜지스터 게이트 전극을 광전 변환 소자의 상방을 덮도록 연신하여 형성함으로써, 입사광의 회절이 발생하는 것을 방지할 수 있다. 이에 의해, 각 화소에 대하여 인접하는 능동 소자에의 반도체 기판 내에서의 광의 크로스토크를 억제한 고체 활상 장치를 제공할 수 있다.
- <64> (변형예 1)
- <65> 상기한 제1 실시예에서는, R 화소, Gr 화소, Gb 화소, B 화소의 모든 화소에서 광전 변환 소자를 덮도록 전송 트랜지스터 게이트 전극을 형성하고 있기 때문에, 전송 트랜지스터 게이트 전극에 의한 광의 흡수 손실이 발생하여 감도가 저하하는 것이 우려된다. 특히, 게이트 전극 내에서의 흡수 계수가 상대적으로 큰 단파장 영역의 가시광에 대응하는 화소, 특히, B 화소에서는, 광의 흡수 손실이 커지는 것이 우려된다.
- <66> 변형예 1은, 제1 실시예에 대하여, B 화소의 전송 트랜지스터 게이트 전극을 그 외의 화소의 전송 트랜지스터 게이트 전극보다 두께를 얇게 한 것이다. 이에 의해, B 화소에서의 광의 흡수 손실을 억제하는 것이 가능하게 된다.
- <67> 도 5, 도 6a, 도 6b를 이용하여 본 변형예의 고체 활상 장치를 설명한다. 도 5는 본 변형예의 유닛 셀의 일례를 도시하는 평면도이며, 도 6a, 도 6b는, 각각 도 5에 도시한 절단선 B1-B1, B2-B2를 따라 취한 단면도이다. 도 5, 도 6a, 도 6b는, 도 3, 도 4a, 도 4b와 마찬가지의 구성으로, R 화소(100), Gr 화소(110), Gb 화소(120), 및 B 화소(132)를 포함한다.
- <68> 도 6a에 도시된 바와 같이, 본 변형예의 B 화소(132)의 전송 트랜지스터 게이트 전극(21b)은, 다른 R 화소(100), Gr 화소(110), Gb 화소(120)의 전송 트랜지스터 게이트 전극(18~20)보다 그 막두께를 얇게 하고 있다. 입사광(39~42)이 각 화소에 입사된 경우, B 화소(132)의 광전 변환 소자(17)를 덮는 전송 트랜지스터 게이트 전극(21b)의 막두께를 얇게 하고 있기 때문에, B 화소에서의 입사광의 흡수 손실을 저감하는 것이 가능하다.
- <69> B 화소(132)를 덮는 전송 트랜지스터 게이트 전극(21b)의 두께는, 게이트 전극 내에서의 광의 흡수를 고려하여, 예를 들면, 투과광 강도가 실질적으로 동일해지도록 설정할 수 있다. 각 R 화소, Gr 화소, Gb 화소, B 화소에 입사하는 광의 파장은, 사용하는 필터에 따라 변화하지만, R 화소에의 입사광의 중심 파장은, 예를 들면, 600nm이며, Gr 화소 및 Gb 화소에서는, 예를 들면, 500nm로부터 550nm이고, B 화소에서는, 예를 들면, 450nm이다.
- <70> 비특허 문헌 1에 의한 Si 내의 광의 흡수 계수로부터 구해진 450nm의 파장의 광의 투과율은, 600nm의 파장의 광의 투과율보다 낮아지게 된다. 따라서, R 화소의 게이트 전극의 막두께를, 예를 들면, 200nm 정도로 한 경우에, B 화소의 게이트 전극의 막두께를, 예를 들면, 50nm 정도로 함으로써, 양자의 광의 투과율을 거의 동등하게 할 수 있다.
- <71> 또한, 반도체 기판(30) 표면에서의 입사광 집광 영역 내에 개구부가 존재하지 않기 때문에, 전송 트랜지스터 게이트 전극(18~21b)에 의해, 입사광(39~42)의 회절이 발생하는 것을 회피할 수 있다.
- <72> 상기한 변형예에서는, B 화소를 덮어 형성된 전송 트랜지스터 게이트 전극에 대해서만, 그 막두께를 광의 흡수에 따라서 박막화하였지만, Gr 화소, 및 Gb 화소를 덮는 전송 트랜지스터 게이트 전극을 각각의 광의 흡수에 따라 박막화할 수 있다. 이와 같이, 각각의 전송 트랜지스터 게이트 전극 막두께를 조정함으로써, 모든 화소에서 광의 투과율을 실효적으로 동등하게 할 수 있다.

- <73> 위에 설명한 바와 같이, 본 변형예에서도 제1 실시예와 마찬가지로, 각 화소의 전송 트랜지스터 게이트 전극을 광전 변환 소자의 상방을 덮도록 연신하여 형성함으로써, 입사광의 회절이 발생하는 것을 방지할 수 있다. 또한 게이트 전극의 광의 흡수 손실이 가장 우려되는 단파장 영역의 B 화소의 감도가 저하하는 것을 억제할 수 있다. 이에 의해, 각 화소에 대하여 인접하는 능동 소자에의 반도체 기판 내에서의 광의 크로스토크를 억제한 고체 활상 장치를 제공할 수 있다.
- <74> (제2 실시예)
- <75> 본 발명의 제2 실시예에 따른 고체 활상 장치는, 광의 크로스토크의 영향이 가장 적은 B 화소를 제외하는 R 화소, Gr 화소, Gb 화소의 3화소의 전송 트랜지스터 게이트 전극을 광전 변환 소자의 상방을 덮도록 연신하여 형성함으로써, 입사광의 회절이 발생하는 것을 방지한 것이다.
- <76> 도 7 및 도 8a, 도 8b를 이용하여, 본 실시예의 유닛 셀의 일례를 설명한다. 도 7은, 본 실시예의 유닛 셀의 일례를 도시하는 평면도이고, 도 8a, 도 8b는, 각각 도 7에 도시한 절단선 C1-C1, C2-C2를 따라 취한 단면도이다. 도 7에서는, 간략화를 위해 도 1에 도시한 화소 영역(8)만을 도시하고 있다. 유닛 셀은, R 화소(100), Gr 화소(110), Gb 화소(120) 및 B화소(131)를 포함한다. 각 화소는, 반도체 기판(30) 내에 형성된 광전 변환 소자(14~17), 광전 변환 소자(14~17)에 인접하여 형성된 전송 트랜지스터(26~29), 및 반도체 기판(30) 내에 형성된 플로팅 정선(22~25)을 포함한다. R 화소(100), Gr 화소(110), Gb 화소(120)의 전송 트랜지스터의 게이트 전극(18~20)만이, 광전 변환 소자(14~16)를 덮어 반도체 기판(30) 상방에 형성된다. 이 점에서, 도 3에 도시한 제1 실시예의 화소의 구조와 상이하다.
- <77> 본 실시예에서는, 상기한 바와 같이 B 화소(131)의 전송 트랜지스터 게이트 전극(21a)을 작게 하여 광전 변환 소자(17)를 덮지 않도록 하고, 광전 변환 소자(17)에 인접하는 위치에 형성하고 있다. 이에 의해, 제1 실시예와 같이, 단파장 영역의 B 화소(131)에서 광전 변환 소자(17)를 덮어 형성되는 전송 트랜지스터 게이트 전극(21)에 의해 발생하는 입사광의 흡수 손실을 회피하여, B 화소의 감도가 저하하는 것을 방지할 수 있다.
- <78> 본 실시예의 고체 활상 장치에 광을 입사한 경우, R 화소(100), Gr 화소(110), Gb 화소(120)에 대한 입사광(39~41)은, 반도체 기판(30) 표면의 입사광집광 영역에 개구부가 존재하지 않기 때문에, 광의 회절을 방지할 수 있다. B 화소(131)에 입사하는 입사광(42)은, 반도체 기판(30) 표면의 입사광 집광 영역에 전송 트랜지스터 게이트 전극(21a)의 개구가 존재하기 때문에, 회절광(46)이 발생할 가능성이 있다.
- <79> 그러나, B 화소(131)에 입사하는 광은, 가시광 중에서도 가장 단파장 성분이며 반도체 기판(30) 내에서의 흡수가 크다. 그 때문에, 회절광은 반도체 기판(30) 내에서 감쇠하기 쉬워 인접하는 능동 소자에 도달하기 어렵다. 따라서, B 화소(131)의 크로스토크는 충분히 작다. 그런 까닭으로, 본 실시예에 따른 B 화소(131)의 구조는, 전송 트랜지스터 게이트 전극(21a)에서 광전 변환 소자(17) 위를 덮지 않기 때문에, 전송 트랜지스터 게이트 전극(21a)에 의한 B 화소(131)의 광 흡수 손실을 방지할 수 있어 유효하다.
- <80> 위에 설명한 바와 같이, 본 실시예에 의해 B 화소를 제외하는 각 화소의 전송 트랜지스터 게이트 전극을 광전 변환 소자의 상방을 덮도록 연신하여 형성함으로써, 실질적으로 제1 실시예와 마찬가지로 입사광의 회절에 의해 발생하는 크로스토크를 방지하여, 회절의 저하를 방지할 수 있다. 또한 게이트 전극에 의한 광의 흡수 손실이 가장 우려되는 단파장 영역의 B 화소의 감도가 저하하는 것을 방지할 수 있다. 이에 의해, 각 화소에 대하여 인접하는 능동 소자에의 반도체 기판 내에서의 광의 크로스토크를 억제한 고체 활상 장치를 제공할 수 있다.
- <81> (변형 예 2)
- <82> 상기한 제2 실시예에서는, 전송 트랜지스터 게이트 전극을 R 화소, Gr 화소, Gb 화소의 3화소의 광전 변환 소자 상에 형성하고 있기 때문에, 이들 화소에서 전송 트랜지스터 게이트 전극에 의한 광의 흡수 손실이 발생하여 감도가 저하하는 것이 우려된다. 특히, 장파장 영역의 가시광에 비하여 단파장 영역의 가시광에서는 흡수 손실이 커지는, 즉, 단파장측의 Gr 화소, Gb 화소의 광의 흡수 손실이 커지는 것이 우려된다.
- <83> 변형 예 2는, 제2 실시예에 대하여, Gr 화소, Gb 화소, B 화소의 3화소의 전송 트랜지스터 게이트 전극을 광전 변환 소자 상에 연신시키지 않고, 광전 변환 소자에 인접하는 위치에 형성하고, R 화소의 전송 트랜지스터 게이트 전극만을 광전 변환 소자 상에 연신시켜서 형성한 고체 활상 장치이다. 이에 의해, Gr 화소, Gb 화소, B 화소에서의 광의 흡수 손실을 방지하는 것이 가능하게 된다.
- <84> 도 9, 도 10a, 도 10b를 이용하여 본 변형예의 고체 활상 장치를 설명한다. 도 9는, 본 변형예의 유닛 셀의 일례를 도시하는 평면도이며, 도 10a, 도 10b는, 각각 도 9에 도시한 절단선 D1-D1, D2-D2를 따라 취한 단면도이

다. 도 9, 도 10a, 도 10b는, 도 7, 도 8a, 도 8b와 마찬가지의 구성이며, R 화소(100), Gr 화소(111), Gb 화소(121), B 화소(131)를 포함한다.

<85> 도 10a, 도 10b에 도시된 바와 같이, 본 변형예의 Gr 화소(111), Gb 화소(121), B 화소(131)의 전송 트랜지스터 게이트 전극(19a~21a)은, 광전 변환 소자(15~17)에 인접하는 위치에 형성되어, 광전 변환 소자(15~17) 위를 덮지 않는다. R 화소(100)의 전송 트랜지스터 게이트 전극(18)만이 광전 변환 소자(14)의 상방을 덮어 형성된다.

<86> 입사광(39~42)이 각 화소에 입사된 경우에는, R 화소(100)에서는 입사광(39)은, 반도체 기판(30) 표면의 입사광 집광 영역에 개구가 존재하지 않기 때문에, 광의 회절이 발생하지 않는다. Gr 화소(111), Gb 화소(121), B 화소(131)의 3화소에 입사하는 입사광(40~42)에 대해서는, 반도체 기판(30) 표면의 입사광 집광 영역에 배치된 전송 트랜지스터 게이트 전극(19a~21a)에 개구가 존재하기 때문에 회절광(44~46)이 발생한다.

<87> 그러나, Gr 화소(111), Gb 화소(121), B 화소(131)의 3화소에 입사하는 광은, R 화소(100)에 입사하는 광에 비해 파장이 짧기 때문에, 반도체 기판 내에서의 흡수가 비교적 크다. 그 때문에, 회절광(44~46)은, 반도체 기판(30) 내에서 감쇠하기 쉬워 인접하는 능동 소자에 도달하기 어렵다. 따라서, Gr 화소(111), Gb 화소(121), B 화소(131)에 의한 크로스토크는 충분히 작다. 그렇기 때문에, 본 변형예의 Gr 화소(111), Gb 화소(121), B 화소(131)의 광전 변환 소자(15~17) 위를 전송 트랜지스터 게이트 전극으로 덮지 않는 구조는, 광전 변환 소자(15~17)에서 게이트 전극에 의한 광의 흡수 손실을 방지할 수 있음과 동시에 유효한 크로스토크 대책이다.

<88> 위에 설명한 바와 같이, 본 변형예에 의해 R 화소만 전송 트랜지스터 게이트 전극을 광전 변환 소자의 상방을 덮도록 연신하여 형성함으로써, 실질적으로 제2 실시예와 마찬가지로 입사광의 회절에 의해 발생하는 크로스토크를 방지하여, 화질의 저하를 방지할 수 있다. 또한 게이트 전극의 광의 흡수 손실이 우려되는 단파장 영역의 Gr 화소, Gb 화소, B 화소의 감도가 저하하는 것을 방지할 수 있다. 이에 의해, 각 화소에 대하여 인접하는 능동 소자에의 반도체 기판 내에서의 광의 크로스토크를 억제한 고체 활상 장치를 제공할 수 있다.

<89> (제3 실시예)

<90> 지금까지 설명한, 제1 및 제2 실시예 및 그들의 변형예는, 1화소 1셀 방식의 고체 활상 장치이지만, 본 발명의 제3 실시예는, 고집적화에 적합한 2화소 1셀 방식의 고체 활상 장치이다.

<91> 도 11은, 2화소 1셀 방식의 고체 활상 장치의 동작을 설명하기 위해 나타내는 화소 회로 구성의 일례이다. 2화소 1셀 방식의 고체 활상 장치와 도 1에 도시한 1화소 1셀 방식과의 차이는, 화소 영역(8-2)에 2개의 광전 변환 소자(1-1, 1-2) 및 2개의 전송 트랜지스터(21b-2)가 포함되고, 이들이 1개의 플로팅 정션(7)을 공유하는 것이다. 이에 의해, 2화소에 대하여 리세트 트랜지스터(3), 어드레스 트랜지스터(4) 및 증폭 트랜지스터(5)을 각 1개로 삭감할 수가 있어, 고집적화가 가능하게 된다. 동작은, 1화소 1셀 방식의 경우와 기본적으로는 동일하지만, 광전 변환 소자(1-1) 및 광전 변환 소자(1-2)에 각각 축적된 전하 신호의 읽어내기를 교대로 행한다.

<92> 이와 같이 플로팅 정션을 공유함으로써 발생하는 이점은, 1화소당의 트랜지스터수를 삭감할 수 있는 것, 광전 변환 소자의 개구율을 크게 할 수 있는 것, 고집적화 등에 대하여 1화소 1셀 방식보다도 유리해지는 것 등의 예를 들 수 있다.

<93> 도 12는 본 실시예의 고체 활상 장치의 화소 레이아웃의 일례이다. 간략화하기 위해, 도면에는 도 11의 화소 영역(8-2)만을 도시하고 있다. 2개의 2화소 셀(71, 72)로 1개의 유닛 셀(73)이 구성된다. 2 화소 셀(71)은, 2 개의 화소, R 화소(100), Gr 화소(111), Gb 화소(121)를 포함하고, 2화소 셀(72)은, 다른 2개의 화소, Gr 화소(111), B 화소(131)를 포함한다. 도면에는, 4개의 유닛 셀, 즉 2행4열의 2화소 셀로 이루어지는, 16개의 화소 어레이가 도시되어 있다. R 화소(100)와 Gb 화소(121)는, 플로팅 정션(69)을 공유하고, Gr 화소(111)와 B 화소(131)는, 플로팅 정션(70)을 공유한다. 여기에서는, 각 전송 트랜지스터 게이트 전극을 상기한 변형예 2와 마찬가지로 형성한 예를 이용하여 설명하지만, 이에 한정되는 것은 아니다. 여기에서는, R 화소(100)의 전송 트랜지스터 게이트 전극(65)만이 광전 변환 소자(61)를 덮어 형성되어 있고, Gr 화소(111), Gb 화소(121), B 화소(131)의 전송 트랜지스터 게이트 전극(66a~68a)은, 각각 광전 변환 소자(62~64)에 인접하는 형태로 형성되어 있는 구조를 예로 설명한다.

<94> 도 13, 도 14는, 화소의 단면 구조를 설명하기 위해 도시하는 도면으로, 각각 도 12에 도시한 절단선 E1-E1, E2-E2를 따라 취한 단면도이다. 각 R 화소(100), Gr 화소(111), Gb 화소(121), B 화소(131)의 광전 변환 소자(61~64)는, 반도체 기판(74) 내에 형성되어 있다. R 화소(100)의 전송 트랜지스터 게이트 전극(65)은, 광전 변환 소자(61)를 덮도록 형성되어 있고, Gr 화소(111), Gb 화소(121), B 화소(131)의 전송 트랜지스터 게이트

전극(66a~68a)는, 광전 변환 소자(62~64)에 인접하는 위치에 형성되어 있다. 전송 트랜지스터 게이트 전극(65와 67a 및 66a와 68a)은, 각각 플로팅 정션(69 및 70)을 사이에 끼워서 대향하여 인접하여 형성되어 있다. 플로팅 정션(69 및 70)은, 각각 2개의 화소(100과 121 및 111과 131)에서 공유되도록 반도체 기판(74) 내에 형성되어 있다.

<95> 반도체 기판(74) 및 전송 트랜지스터 게이트 전극(65, 66a~68a)을 덮어 절연막(75)이 형성되고, 금속 배선(76)은, 전송 트랜지스터 게이트 전극(65, 66a~68a)의 상방의 절연막(75) 내에 매립되어 형성된다. 또한, 절연막(75) 상에 마이크로 렌즈(77~80)가 형성되어 있다.

<96> 도 13, 도 14에 도시한 바와 같이, 각 화소에 입사광(81~84)이 입사한 경우, R 화소(100)에서는 반도체 기판(74) 표면의 입사광 접광 영역에 개구가 존재하지 않기 때문에, 입사광(81)이, R 화소(100)의 전송 트랜지스터 게이트 전극(65)에서 회절을 발생하는 것을 방지할 수 있다. Gr 화소(111), Gb 화소(121), B 화소(131)에 입사하는 입사광(82~84)은, 반도체 기판(74) 표면의 입사광 접광 영역에 배치된 전송 트랜지스터 게이트 전극(66a~68a)에 개구가 존재하기 때문에 회절광(86~88)을 발생한다. 그러나, Gr 화소(111), Gb 화소(121), B 화소(131)에서는, 상기한 변형 예 2에서 설명한 바와 같이 이들의 회절광(86~88)의 반도체 기판(74) 내에서의 감쇠가 크다. 따라서, 화소(111~131)에서의 광의 크로스토크는 충분히 작으며, 본 실시예는 유효한 크로스토크 대책으로 된다.

<97> 여기에서는, 각 전송 트랜지스터 게이트 전극은, 상기한 변형 예 2와 마찬가지로 형성한 예를 이용하여 설명하였지만, 각 전송 트랜지스터 게이트 전극은, 상기한 제1 및 제2 실시예 또는 변형 예 1 및 변형 예 2 중 어느 하나의 구조, 혹은 이들과 동등한 기능을 갖게 하도록 설계된 그 외의 구조이어도 본 실시예를 적용할 수 있다.

<98> 또한, 상기한 실시예에서는, 1개의 플로팅 정션이 2개의 화소에 의해 공유되는 예를 나타냈지만, 예를 들면, 도 12에서, 플로팅 정션(69와 70)을 접속시켜, 1 개의 플로팅 정션이 4개의 화소(100, 111, 121, 131)에 의해 공유되는 4화소 1셀 방식으로 하는 것도 가능하다.

<99> 위에 설명한 바와 같이, 본 실시예에 의해 2화소 1셀 방식의 고체 촬상 장치에서도, R 화소만이 전송 트랜지스터 게이트 전극을 광전 변환 소자의 상방을 덮도록 연신하여 형성함으로써, 실질적으로 제2 실시예와 마찬가지로 입사광의 회절에 의해 발생하는 크로스토크를 방지하여, 화질의 저하를 방지할 수 있다. 또한 게이트 전극의 광의 흡수 손실이 우려되는 단파장 영역의 Gr 화소, Gb 화소, B 화소에서는, 전송 트랜지스터 게이트 전극이 광전 변환 소자의 상방에 형성되지 않기 때문에, 이들의 화소의 감도가 저하하는 것을 방지할 수 있다. 이에 의해, 각 화소에 대하여 인접하는 능동 소자에의 반도체 기판 내에서의 광의 크로스토크를 억제한 고체 촬상 장치를 제공할 수 있다.

<100> (변형 예 3)

<101> 변형 예 3은, R 화소의 전송 트랜지스터 게이트 전극을 더욱 연신시켜서, 인접하는 유닛 셀의 광전 변환 소자까지의 소자간 영역, 즉 유닛 셀간을 덮도록 전송 트랜지스터 게이트 전극을 형성한 고체 촬상 장치이다.

<102> 도 15 및 도 16을 이용하여, 본 변형 예의 고체 촬상 장치를 설명한다. 도 15는, 본 변형 예의 유닛 셀의 일례를 도시하는 평면도이고, 도 16은 도 15에 도시한 절단선 F2-F2를 따라 취한 단면도이다.

<103> 본 변형 예에서는, 도시된 바와 같이, 예를 들면, R 화소(103-4)의 전송 트랜지스터 게이트 전극(65c)은, 플로팅 정션(69)을 공유하는 Gb 화소(121-4)와는 반대측으로 연신되고, 인접하는 유닛 셀의 Gb 화소(121-2)의 광전 변환 소자(63)에 인접하도록 형성되어 있다.

<104> 이 변형 예의 효과는, 상기한 제3 실시예와 마찬가지로, R 화소(101)의 광전 변환 소자(61)를 피복하는 전송 트랜지스터 게이트 전극(65c)을 보다 크게 함으로써, R 화소(101)에의 입사광(81)의 회절을 상기한 제3 실시예보다도 더 감소시키는 것이 가능한 것이다. 본 변형 예의 구조로 함으로써, 예를 들면, 경사 입사광 등에 의해 입사광 접광 영역이 넓어져도 크로스토크가 발생하는 것을 유효하게 억제할 수 있다.

<105> 여기에서는, 각 전송 트랜지스터 게이트 전극은, 상기한 변형 예 2와 마찬가지로 형성한 예를 이용하여 설명하였지만, 각 전송 트랜지스터 게이트 전극은, 상기한 제1 및 제2 실시예 또는 변형 예 1 및 변형 예 2의 어느 하나의 구조, 혹은 이들과 동등한 기능을 갖게 하도록 설계된 그 외의 구조이어도 본 변형 예를 적용할 수 있다.

<106> (제4 실시예)

<107> 본 발명의 제4 실시예는, 상기한 제3 실시예보다도 더 고집적화가 가능한 2화소 1셀 방식의 고체 촬상

장치이다. 본 실시예의 고체 활상 장치의 특징은, 광전 변환 소자에 비스듬히 형성된 경사 게이트 전극을 구비하는 것이다. 또한, 적어도 1개의 경사 게이트 전극은, 광전 변환 소자 상을 덮도록 연신시켜서 형성된다.

<108> 도 17은, 제4 실시예에 따른 고체 활상 장치의 일례를 도시하는 평면도이다. 도면에는, 2행2열의 4개의 화소(105, 116, 126, 136)로 이루어지는 유닛 셀을 2개 도시하고 있다. 각 화소의 광전 변환 소자(161~164)는, 1개의 각이 거의 45° 로 절취되어 있으며, 그 절취된 부분에 전송 트랜지스터의 게이트 전극(165, 166a~168a)이 비스듬히 형성된다.

<109> 4개의 화소간의 중앙의 영역에 플로팅 정션(169, 170)이 배치된다. 1개의 플로팅 정션은, 2개의 화소에 의해 공유된다. 도면의 예에서는, 플로팅 정션(169)은, R 화소(105)와 Gb 화소(126)에 의해 공유되고, 플로팅 정션(170)은, Gr 화소(116)과 B 화소(136)에 의해 공유된다. 플로팅 정션을 공유하는 방법은, 도 17과 같이 상하의 2개로 한정되지 않고, 예를 들면, 좌우로 인접하는 2개의 화소에서 공유하거나, 또는 플로팅 정션의 대각선 방향의 2개의 화소에서 공유하도록 할 수 있다.

<110> 플로팅 정션(169, 170)의 광전 변환 소자(161~164)에 대향하는 1변은, 경사 게이트 전극(165, 166a~168a) 아래의 채널폭이 일정하게 되도록, 광전 변환 소자(161~164)의 비스듬한 변화 평행하게 형성된다. 그 결과, 플로팅 정션(169, 170)은, 단순한 직사각형이 아닌 복잡한 형상으로 된다.

<111> 일반적으로 전송 트랜지스터가 경사 게이트 전극인 경우, 임의의 화소에의 입사광에 의한 크로스토크의 영향을 받기 쉬운 화소는, 상기한 제1 내지 제3 실시예의 경우와 상이하다. 크로스토크는, 게이트 전극단에서 입사광이 회절 현상을 일으킴으로써 발생하기 때문에, 광전 변환 소자측의 게이트 전극단에 직교하는 방향으로 배치되는 화소에 크로스토크가 발생하기 쉽다. 예를 들면, R 화소에 광이 입사하는 경우에는, 경사 방향의 B 화소에 크로스토크가 발생하고, 좌우 또는 상하로 인접하는 Gr 화소 또는 Gb 화소에의 크로스토크는 작다. 마찬가지로, Gr 화소에 광이 입사하는 경우에는, Gb 화소에 크로스토크가 발생한다.

<112> 본 실시예는, 이 크로스토크를 억제하기 위해, 전송 트랜지스터의 게이트 전극(165~168) 중 적어도 하나를, 대응하는 광전 변환 소자(161~164) 위를 덮도록 연신시켜서 형성하고 있다. 도 17의 예에서는, R 화소(105)의 게이트 전극(165)이 광전 변환 소자(161) 위를 덮도록 형성하고 있다. R 화소(105)에 입사하는 광은, 다른 화소(116~136)의 입사광에 의해 파장이 길기 때문에, 반도체 기판 내에서의 흡수가 작아 크로스토크를 발생시키기 쉽다. 따라서, R 화소(105)의 전송 트랜지스터 게이트 전극(165)을 광전 변환 소자(161) 상에 연신시켜서 형성함으로써, R 화소(105)에서의 광의 회절 현상의 발생을 방지하여, 화질의 저하를 방지할 수 있다. 본 실시예에서는, 전송 트랜지스터의 게이트 전극은, R 화소 상에만 연신시켜서 형성하였지만, 이에 한정되지 않고 다른 화소 상에 연신시켜서 형성할 수 있다.

<113> 이에 의해, 각 화소에 대하여 근린의 능동 소자에의 반도체 기판 내에서의 광의 크로스토크를 억제하는 것이 가능한 고체 활상 장치를 제공할 수 있다.

<114> (변형 예 4)

<115> 변형 예 4는, 경사 게이트 전극을 갖는 고체 활상 장치에서, 모든 화소의 전송 트랜지스터의 게이트 전극을 대응하는 광전 변환 소자 위를 덮도록 연신시켜서 형성한 고체 활상 장치이다. 본 변형예도 제4 실시예와 마찬가지로 2화소 2셀 방식의 고체 활상 장치이지만, 플로팅 정션의 공유의 방법이 제4 실시예와는 상이하다.

<116> 도 18은, 변형 예 4에 의한 고체 활상 장치의 일례를 도시하는 평면도이다. 유닛 셀은, 4개의 화소(105, 115, 125, 135)를 포함한다. 플로팅 정션(169, 170)은, 4개의 화소(105, 115, 125, 135) 사이의 중앙의 영역에 배치되고, 플로팅 정션의 대각선 방향으로 배치된 각각 2개의 화소에 의해 공유된다. 즉, 플로팅 정션(170)은, Gr 화소(115)와 Gb 화소(125)에 의해 공유되고, 플로팅 정션(169)은, R 화소(105)와 인접하는 유닛 셀의 B 화소(135)에 의해 공유된다.

<117> 각 화소의 전송 트랜지스터의 게이트 전극(165~168)은, 대응하는 광전 변환 소자(161~164) 위를 덮어 형성된다. 이에 따라 게이트 전극단에서의 광의 회절을 방지할 수 있어, 크로스토크를 억제한 고체 활상 장치를 제공할 수 있다.

<118> 게이트 전극에서 광전 변환 소자를 덮는 것에 의한 광의 손실이 문제로 되는 경우에는, 변형 예 1에서 설명한 바와 같이, 게이트 전극에 의한 각 화소의 입사광의 광 흡수를 보상하도록 각 게이트 전극의 막두께를 바꿈으로써, 각 화소에서의 광의 손실을 저감할 수 있다.

<119> 이와 같이 하여, 각 화소에 대하여 근린의 능동 소자에의 반도체 기판 내에서의 광의 크로스토크를 억제하는 것

이 가능한 고체 콤보 장치를 제공할 수 있다.

<120> (제5 실시예)

<121> 본 발명의 제5 실시예는, 경사 게이트 전극을 가지는 4화소 1셀 방식의 고체 콤보 장치이다. 더욱이, 유닛 셀 내 중 적어도 1개의 게이트 전극은, 광전 변환 소자를 덮도록 연신시켜서 형성된다.

<122> 도 19는, 4화소 1셀 방식의 고체 콤보 장치의 동작을 설명하기 위해 나타내는 화소 회로 구성의 일례이다. 4화소 1셀 방식의 고체 콤보 장치와 도 11에 도시한 2화소 1셀 방식과의 차이는, 화소 영역(8-4)에 4개의 광전 변환 소자(1-1~1-4) 및 4개의 전송 트랜지스터(2-1~2-4)가 포함되고, 이들이 1개의 플로팅 정선(7)을 공유하는 것이다. 이에 의해, 4화소에 대하여 각 1개의 플로팅 정선(7), 리세트 트랜지스터(3), 어드레스 트랜지스터(4) 및 증폭 트랜지스터(5)로 삭감할 수 있다. 이에 의해, 유닛 셀의 점유 면적 내에서 광전 변환 소자의 비율을 크게 할 수 있기 때문에 고집적화가 가능하게 된다. 동작은, 1화소 1셀 방식, 2화소 1셀 방식의 경우와 기본적으로는 동일하지만, 광전 변환 소자(1-1~1-4)에 각각 축적된 전하 신호의 읽어내기를 순서대로 행한다.

<123> 도 20은, 제5 실시예에 따른 고체 콤보 장치의 일례를 도시하는 평면도이다. 도면에는, 2행2열의 4개의 화소(105, 116, 126, 136)로 이루어지는 유닛 셀을 2개 도시하고 있다. 각 유닛 셀의 중앙의 영역에 1개의 플로팅 정선(169)이 형성된다. 각 화소의 광전 변환 소자(161~164)는, 플로팅 정선(169)에 가까운 1개의 각이 거의 45°로 절취되어 있다. 그 절취된 부분에 전송 트랜지스터의 게이트 전극(165, 166a~168a)이 비스듬히 형성된다.

<124> 이 예에서는, 또한, R 화소(105)의 전송 트랜지스터의 게이트 전극(165)이 광전 변환 소자(161) 위를 덮도록 연신시켜서 형성된다. 다른 화소(116~136)의 전송 트랜지스터의 게이트 전극(166a~168a)은, 광전 변환 소자(162~164)에 인접하여 형성된다. 게이트 전극은, R 화소 상에만 연신시켜서 형성하는 것에 한정되지 않고, 상기한 바와 같이 선택적으로 또는 모든 다른 화소 상에 연신시켜서 형성할 수 있다. 또한, 각 게이트 전극을 각각 화소의 입사광의 괴장에 따라서 적절한 막두께로 함으로써, 각 광전 변환 소자에의 입사광 강도를 그들의 괴장에 의존하지 않고 실질적으로 동일하게 할 수 있다.

<125> 당 분야의 업자라면 부가적인 장점 및 변경들을 용이하게 생각해 낼 것이다. 따라서, 광의 관점에서의 본 발명은 본 명세서에 예시되고 기술된 상세한 설명 및 대표 실시예들에 한정되는 것은 아니다. 따라서, 첨부된 청구 범위들 및 그 등가물들에 의해 정의된 바와 같은 일반적인 발명적 개념의 정신 또는 범위로부터 벗어나지 않고 다양한 변경이 가능하다.

발명의 효과

<126> 이상 설명해 온 바와 같이, 본 발명의 다양한 실시예에 따르면, 유닛 셀 중 적어도 1개의 화소, 예를 들면, R 화소의 전송 트랜지스터의 게이트 전극을 광전 변환 소자 상에 연신시켜서 형성함으로써 광의 회절 현상의 발생을 방지하고, 각 화소에 대하여 인접하는 능동 소자에의 반도체 기판 내에서의 광의 크로스토크를 억제하는 것이 가능한 고체 콤보 장치를 제공할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 제1 실시예에 따른 고체 콤보 장치를 설명하기 위해 나타내는 화소 회로 구성의 일례를 도시하는 도면.

<2> 도 2는 제1 실시예에 따른 고체 콤보 장치를 설명하기 위해 나타내는 화소 어레이의 일례를 도시하는 도면.

<3> 도 3은 제1 실시예의 유닛 셀의 일례를 도시하는 평면도.

<4> 도 4a, 도 4b는 제1 실시예의 유닛 셀의 단면도의 일례를 도시하는 도면.

<5> 도 5는 변형 예 1의 유닛 셀의 일례를 도시하는 평면도.

<6> 도 6a, 도 6b는 변형 예 1의 유닛 셀의 단면도의 일례를 도시하는 도면.

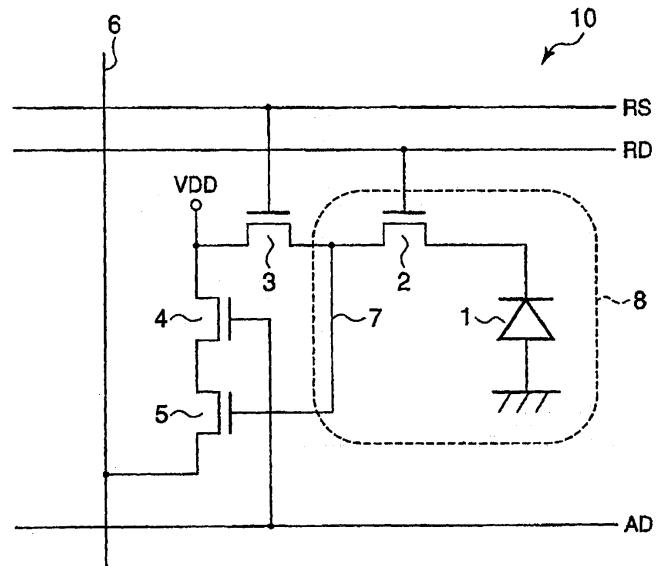
<7> 도 7은 본 발명의 제2 실시예에 따른 고체 콤보 장치를 설명하기 위해 나타내는 유닛 셀의 일례를 도시하는 평

면도.

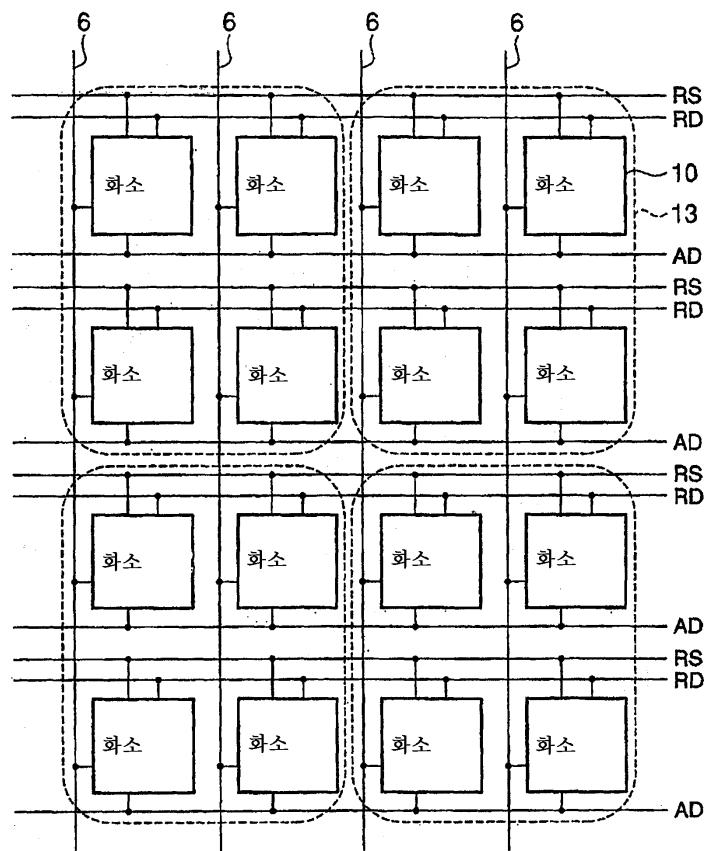
- <8> 도 8a, 도 8b는 제2 실시예의 유닛 셀의 단면도의 일례를 도시하는 도면.
- <9> 도 9는 변형예 2의 유닛 셀의 일례를 도시하는 평면도.
- <10> 도 10a, 도 10b는 변형예 2의 유닛 셀의 단면도의 일례를 도시하는 도면.
- <11> 도 11은 본 발명의 제3 실시예에 따른 고체 콜상 장치를 설명하기 위해 나타내는 화소 회로 구성의 일례를 도시하는 도면.
- <12> 도 12는 제3 실시예의 고체 콜상 장치를 설명하기 위해 나타내는 유닛 셀의 일례를 도시하는 평면도.
- <13> 도 13은 제3 실시예의 고체 콜상 장치의 단면 구조를 설명하기 위해 도시하는 도면.
- <14> 도 14는 제3 실시예의 고체 콜상 장치의 단면 구조를 설명하기 위해 도시하는 도면.
- <15> 도 15는 변형예 3의 유닛 셀의 일례를 도시하는 평면도.
- <16> 도 16은 변형예 3의 유닛 셀의 단면도의 일례를 도시하는 도면.
- <17> 도 17은 제4 실시예의 고체 콜상 장치를 설명하기 위해 나타내는 유닛 셀의 일례를 도시하는 평면도.
- <18> 도 18은 변형예 4의 유닛 셀의 단면도의 일례를 도시하는 도면.
- <19> 도 19는 본 발명의 제5 실시예에 따른 고체 콜상 장치를 설명하기 위해 나타내는 화소 회로 구성의 일례를 도시하는 도면.
- <20> 도 20은 제5 실시예의 고체 콜상 장치를 설명하기 위해 나타내는 유닛 셀의 일례를 도시하는 평면도.
- <21> <부호의 설명>
- <22> 10 : 화소
- <23> 1 : 광전 변환 소자
- <24> 2 : 전송 트랜지스터
- <25> 3 : 리세트 트랜지스터
- <26> 4 : 어드레스 트랜지스터
- <27> 5 : 증폭 트랜지스터
- <28> 6 : 신호선
- <29> 7 : 플로팅 정션
- <30> 8 : 화소 영역
- <31> RD : 전송 신호
- <32> RS : 리세트 신호
- <33> AD : 어드레스 신호

도면

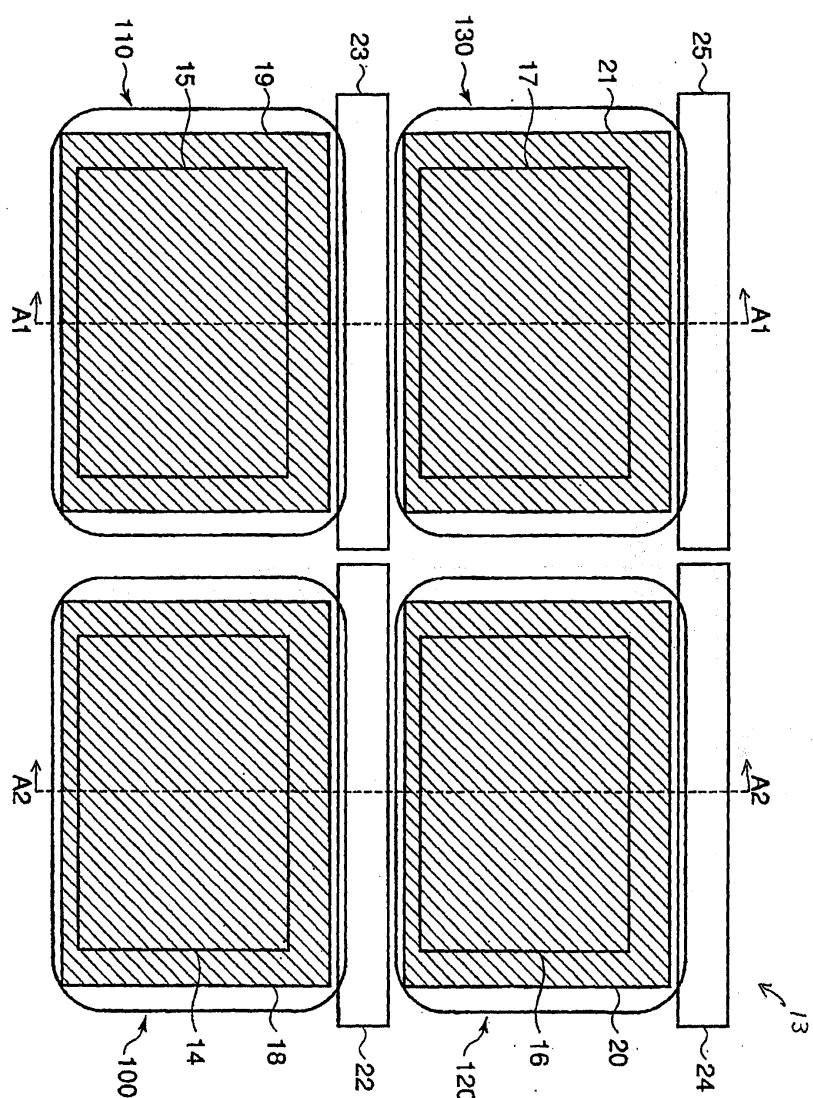
도면1



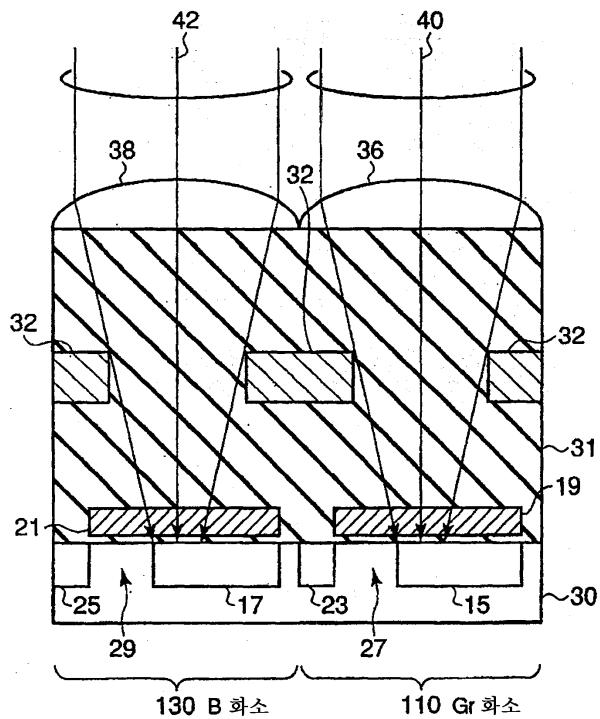
도면2



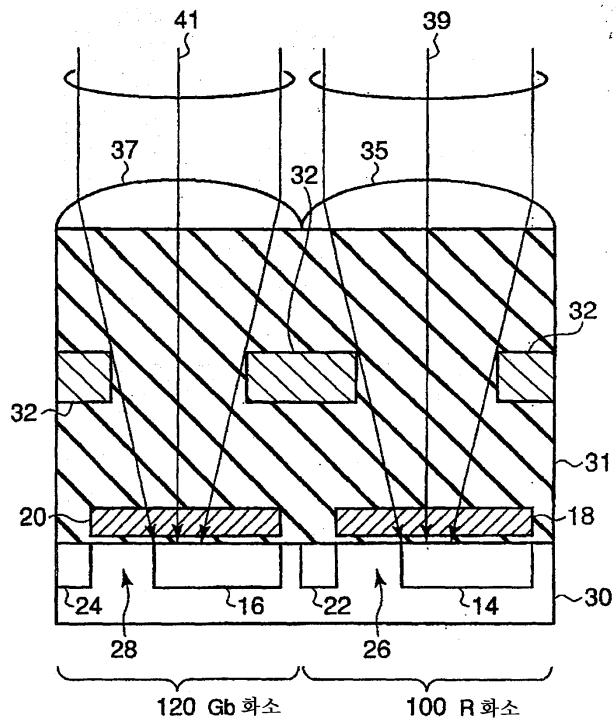
도면3



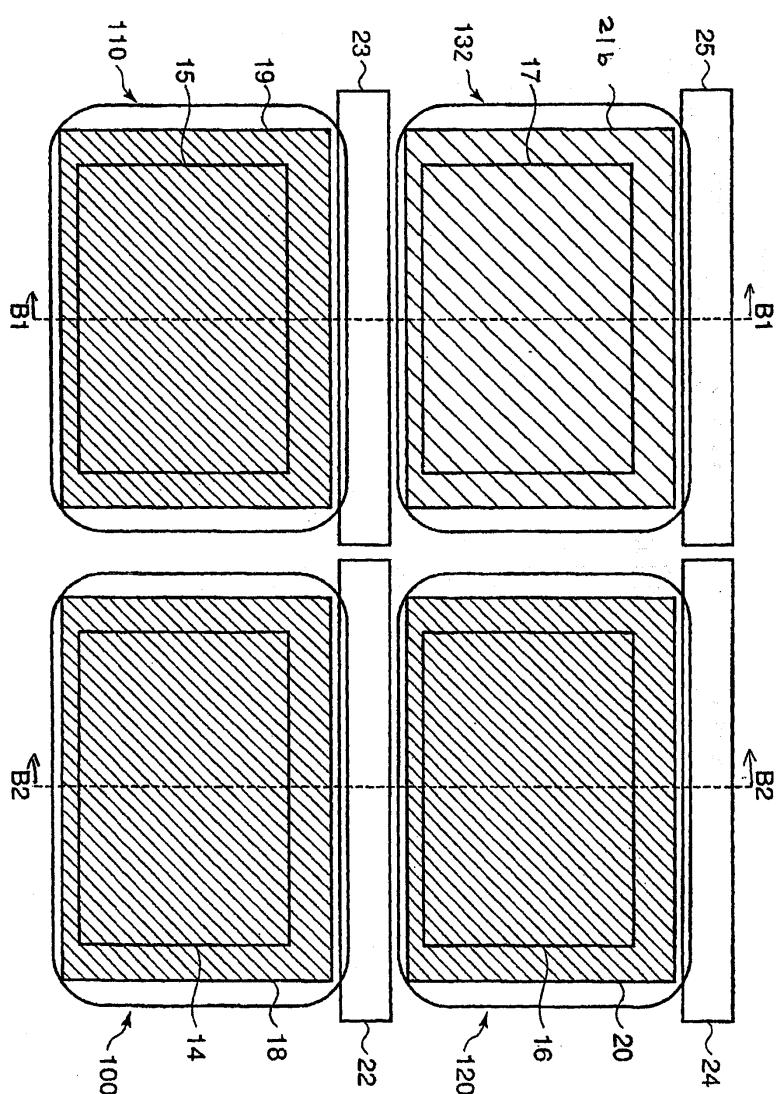
도면4a



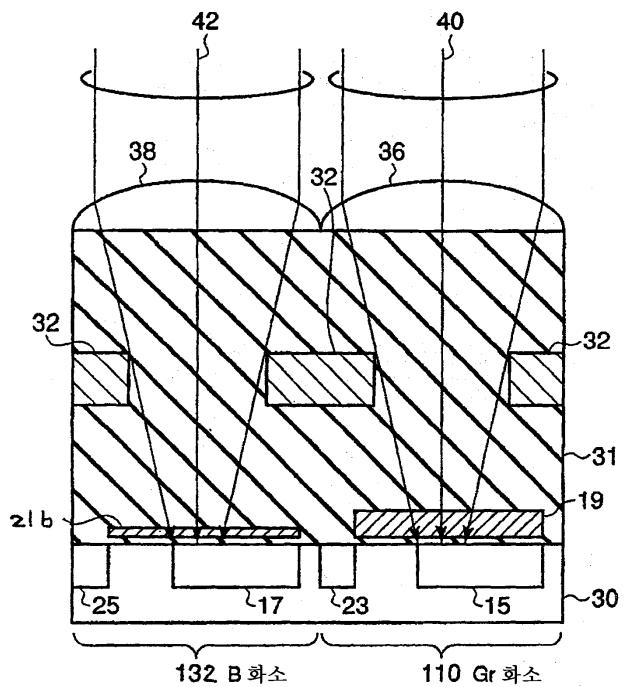
도면4b



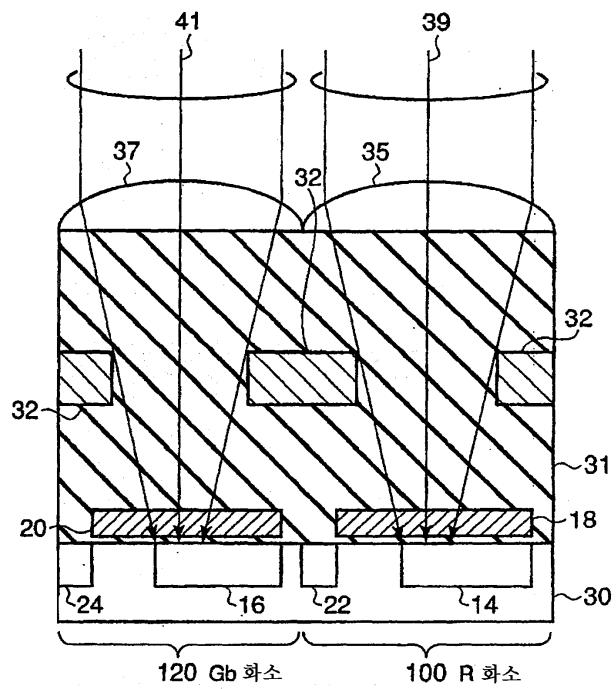
도면5



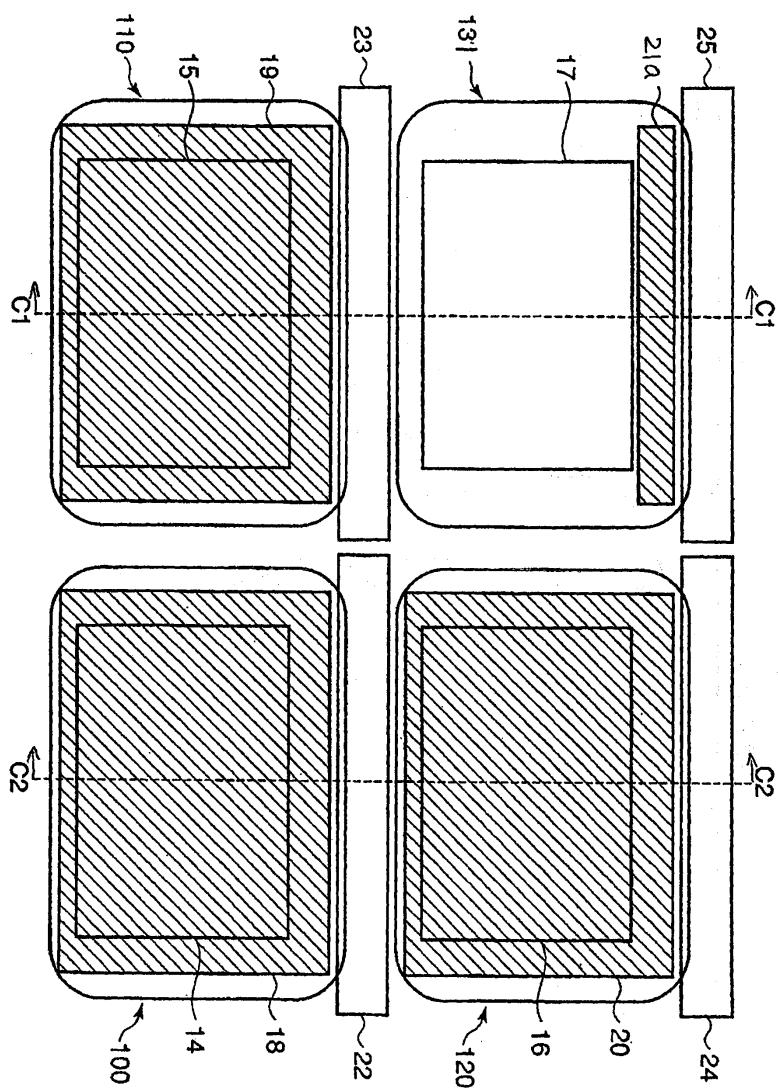
도면6a



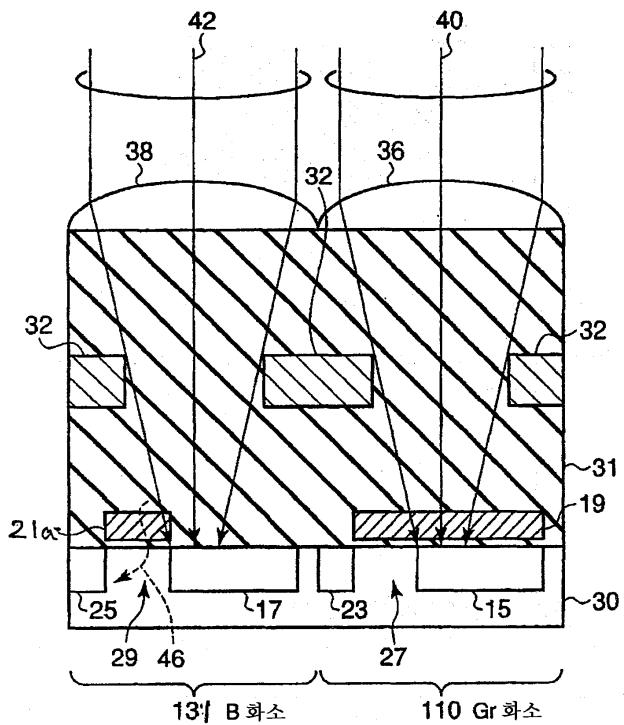
도면6b



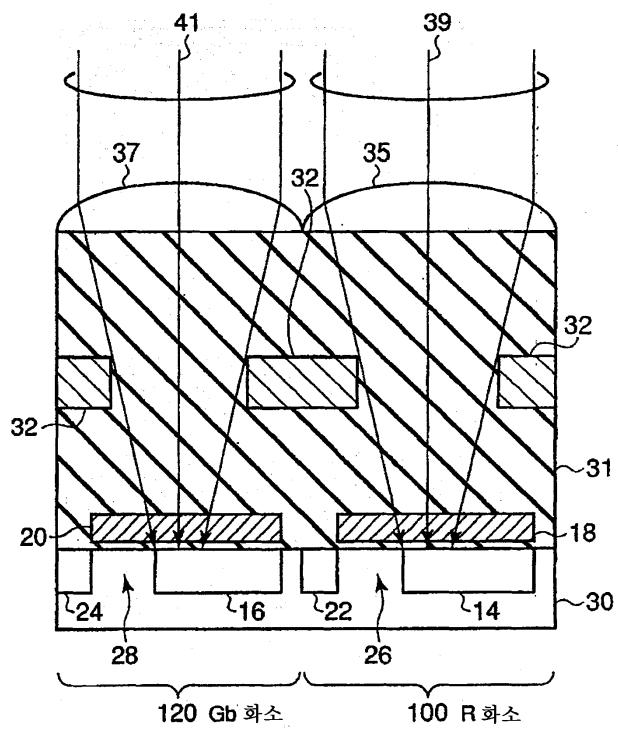
도면7



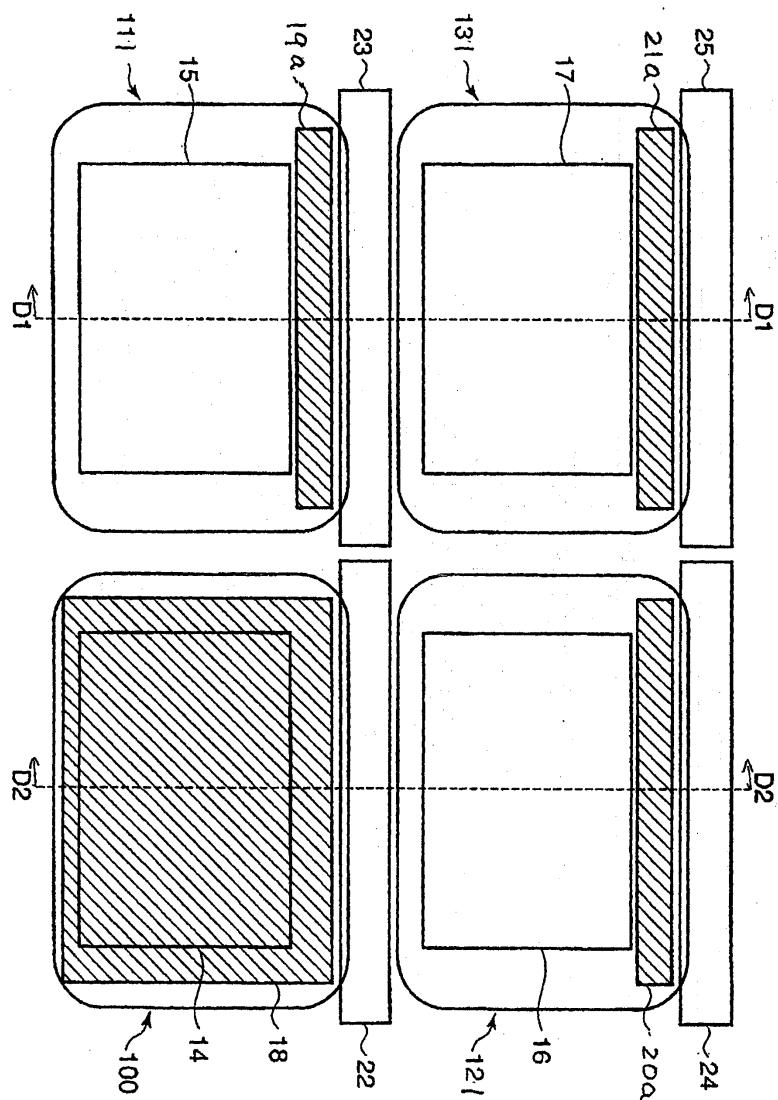
도면8a



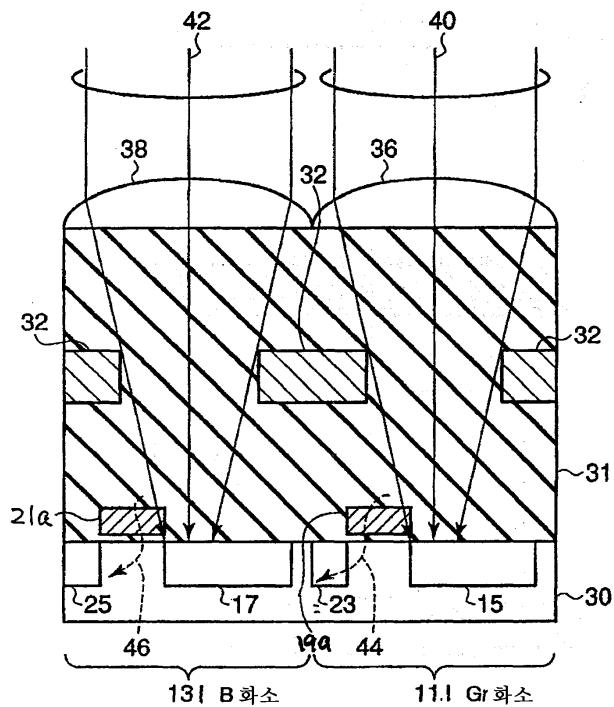
도면8b



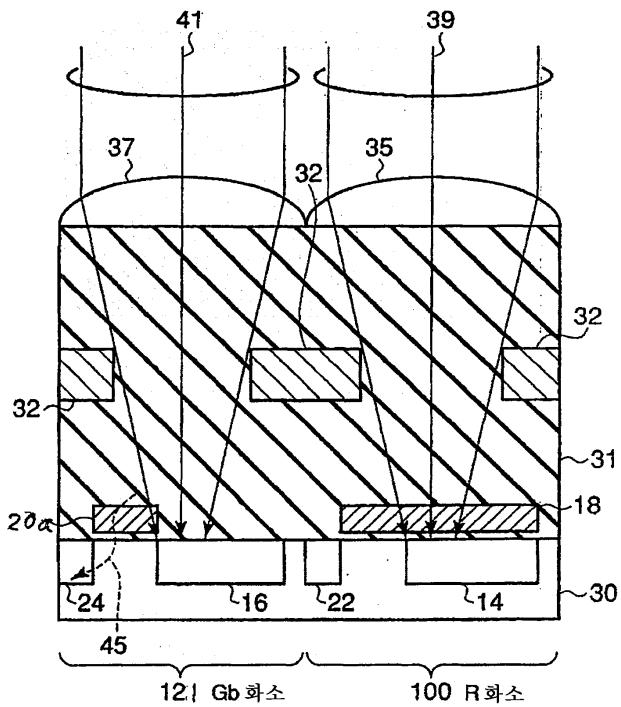
도면9



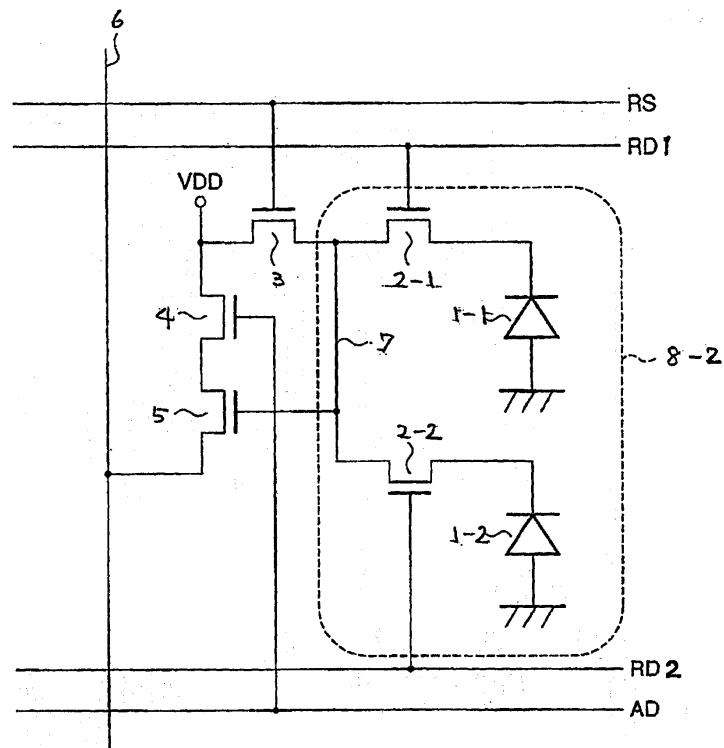
도면10a



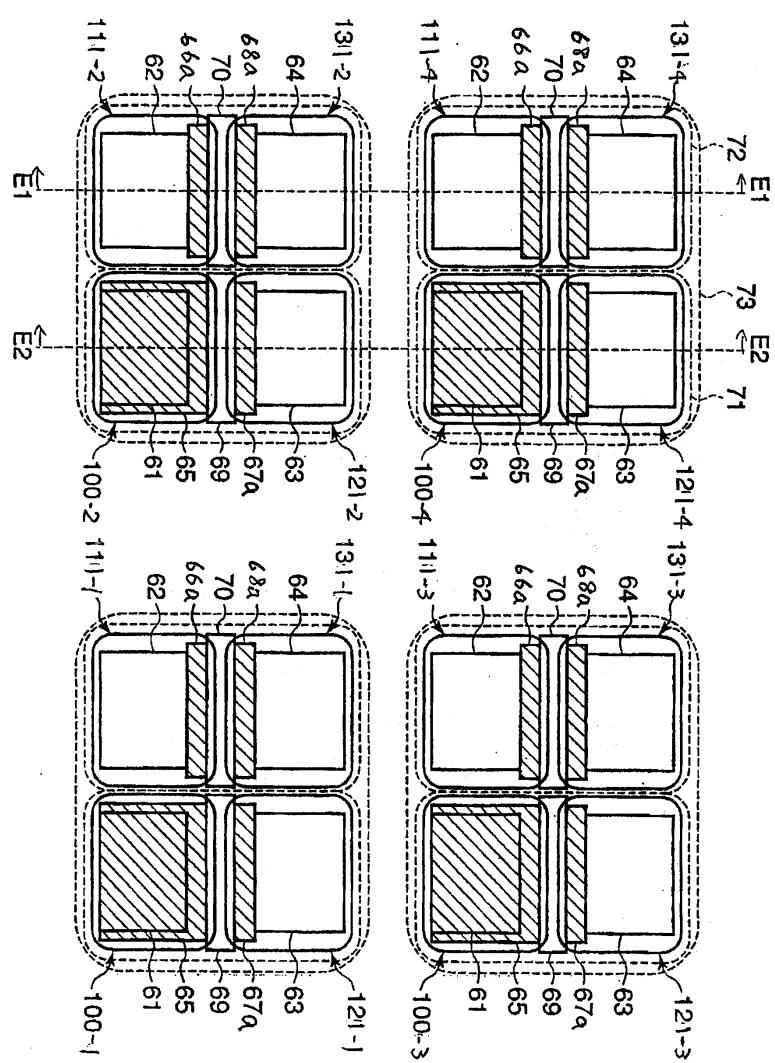
도면10b



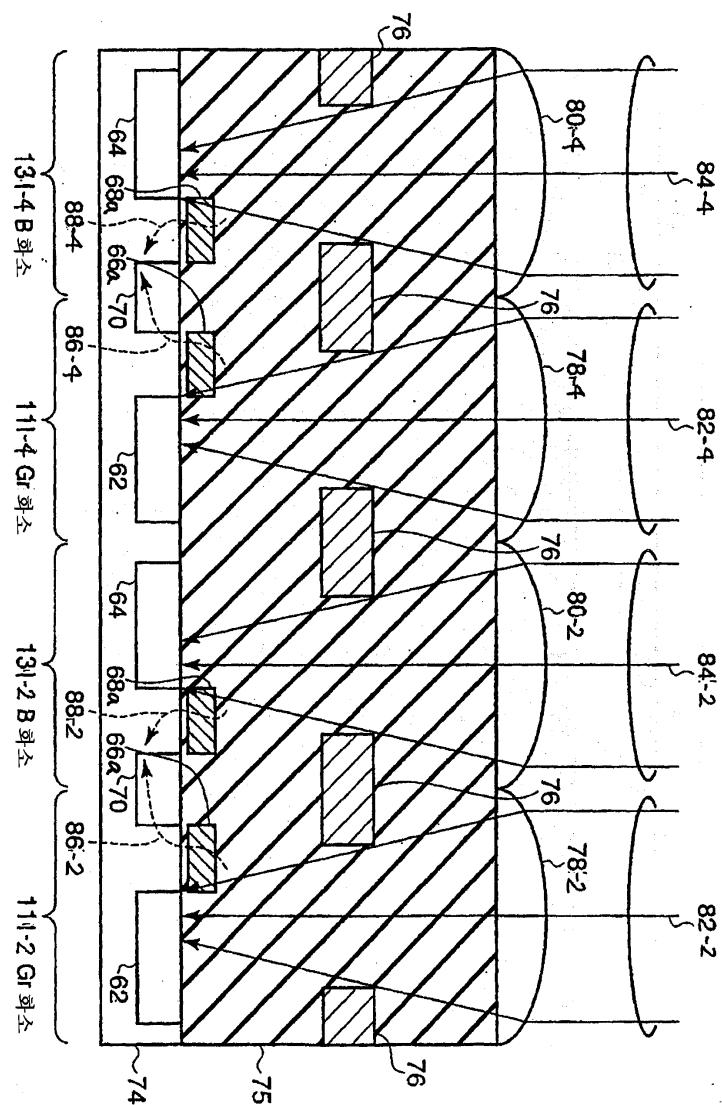
도면11



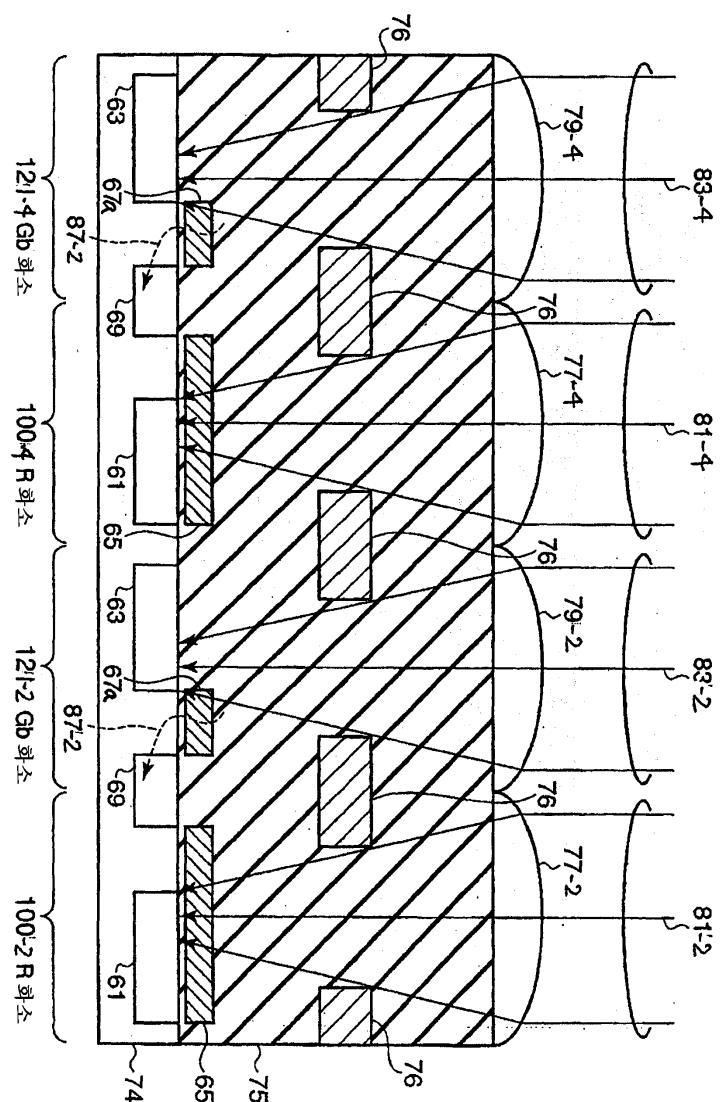
도면12



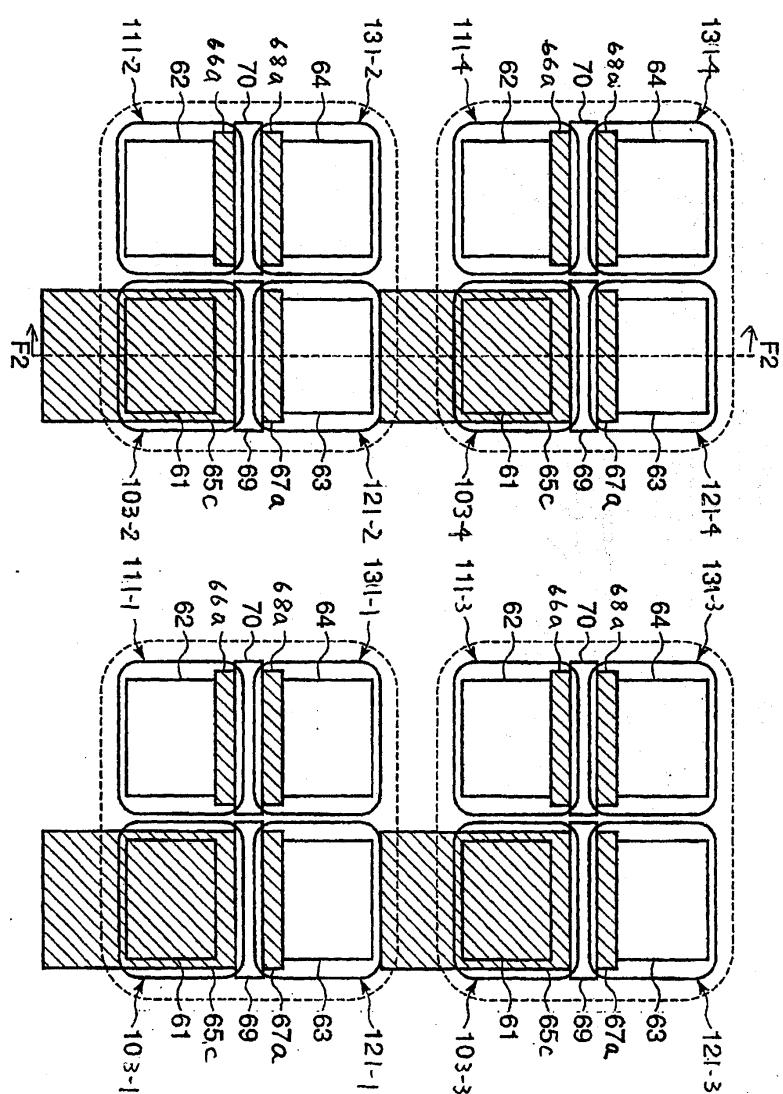
도면13



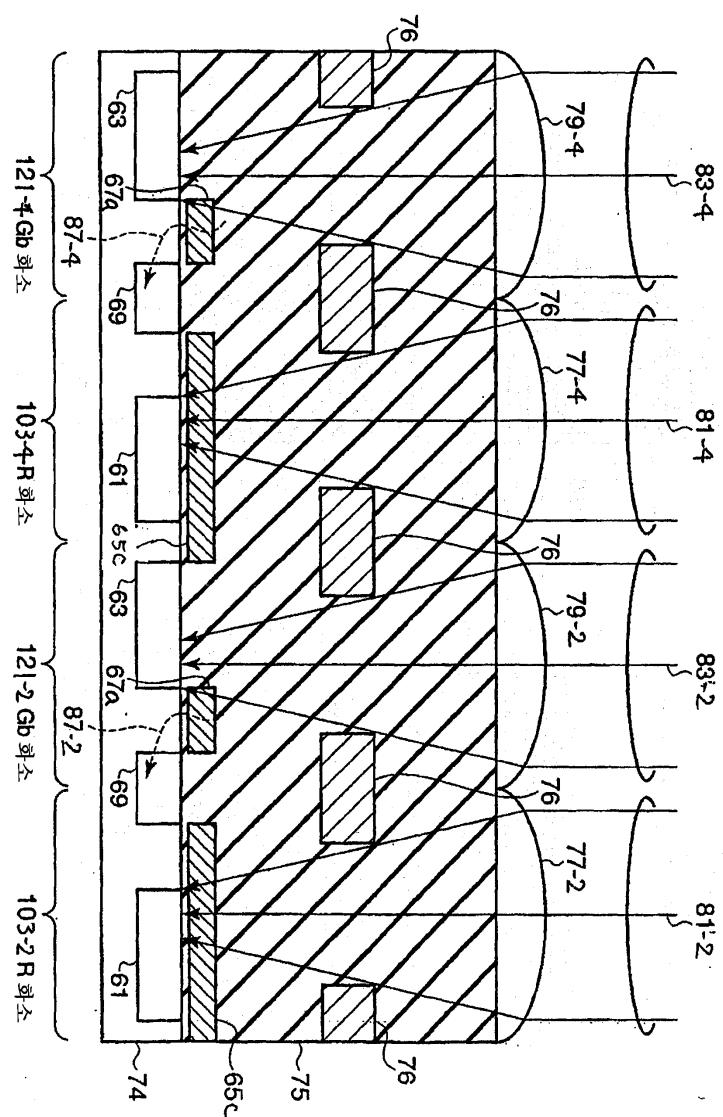
도면14



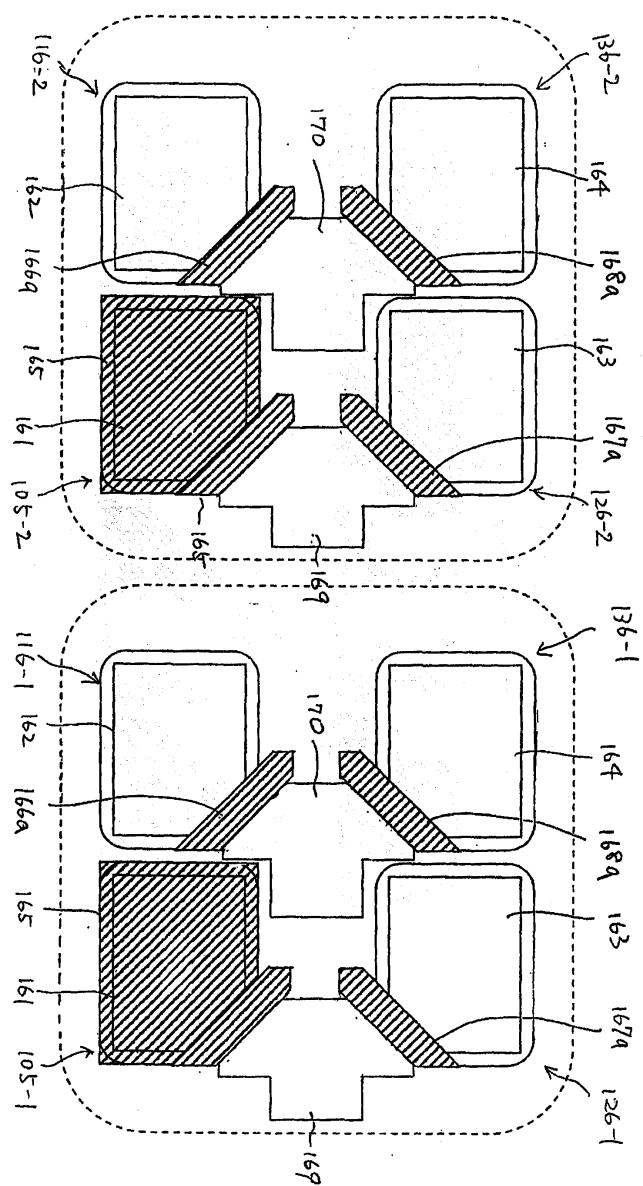
도면15



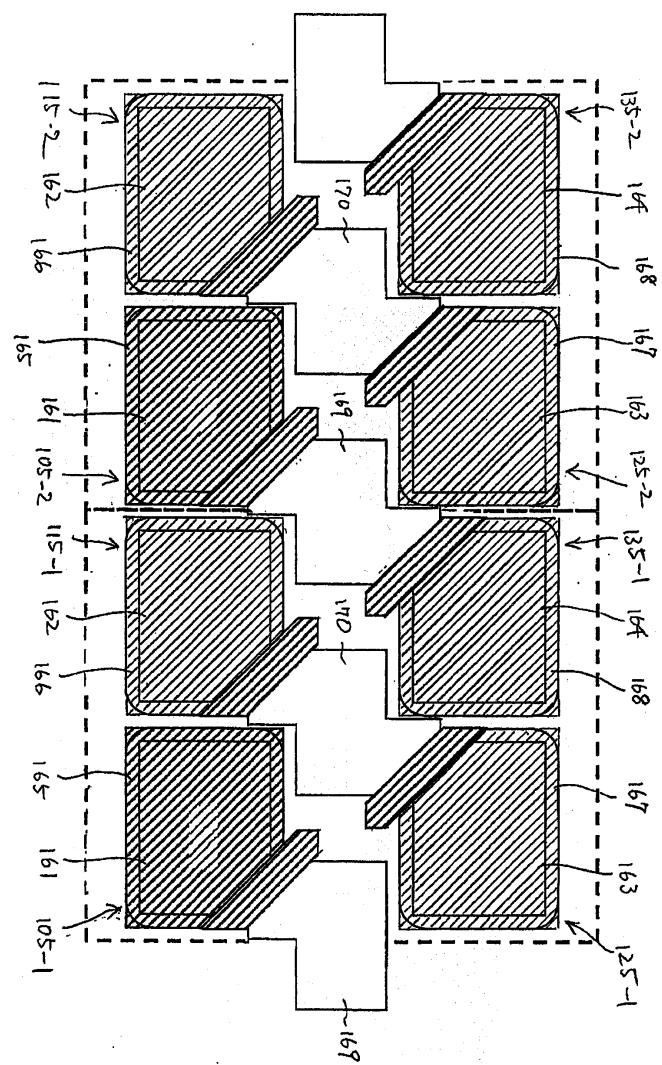
도면16



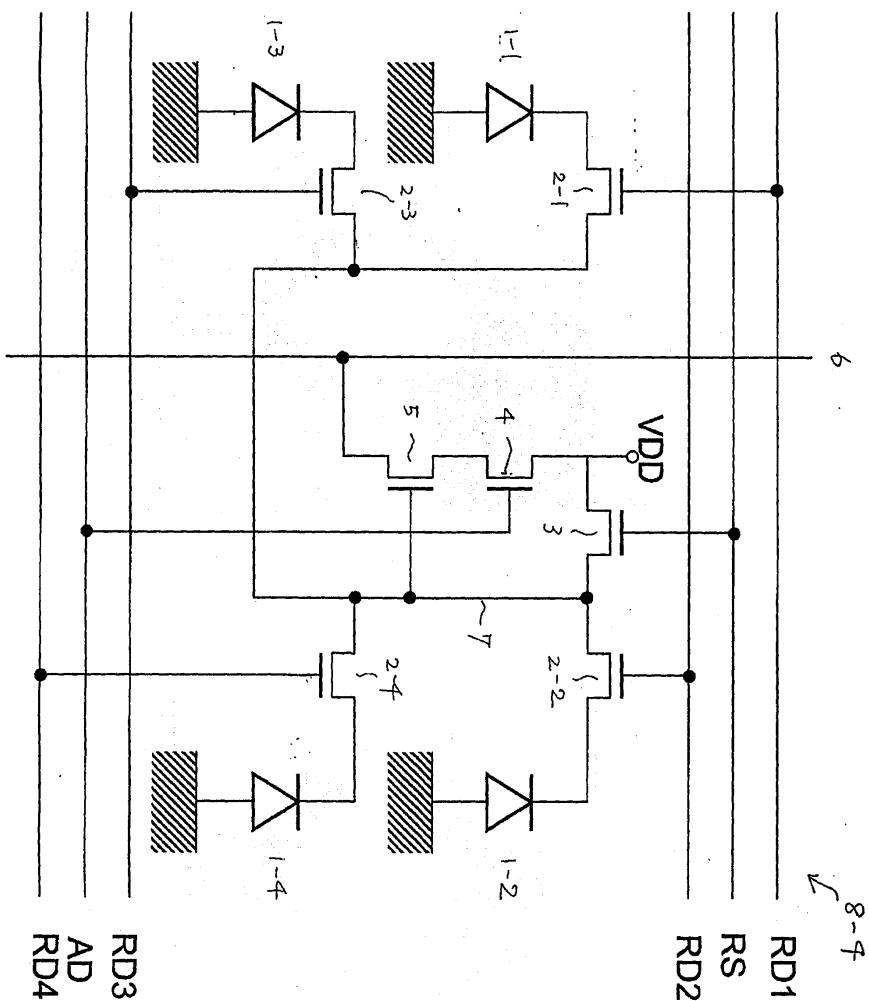
도면17



도면18



도면19



도면20

