



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I470401 B

(45)公告日：中華民國 104 (2015) 年 01 月 21 日

(21)申請案號：101107897

(22)申請日：中華民國 101 (2012) 年 03 月 08 日

(51)Int. Cl. : G06F1/08 (2006.01)

G06F13/14 (2006.01)

G06F13/38 (2006.01)

(30)優先權：2011/03/15 美國

13/048,227

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：蔣于明 JIANG, YUEMING (CN)；馬哈納菲路 瑞凡德安 MOHANAVELU, RAVINDRAN (IN)；歐特曼 麥克 ALTMANN, MICHAEL W. (CA)

(74)代理人：林志剛

(56)參考文獻：

TW 200935236A

TW 201104449A

US 2008/0297213A1

US 2010/0142610A1

審查人員：郭子意

申請專利範圍項數：20 項 圖式數：6 共 37 頁

(54)名稱

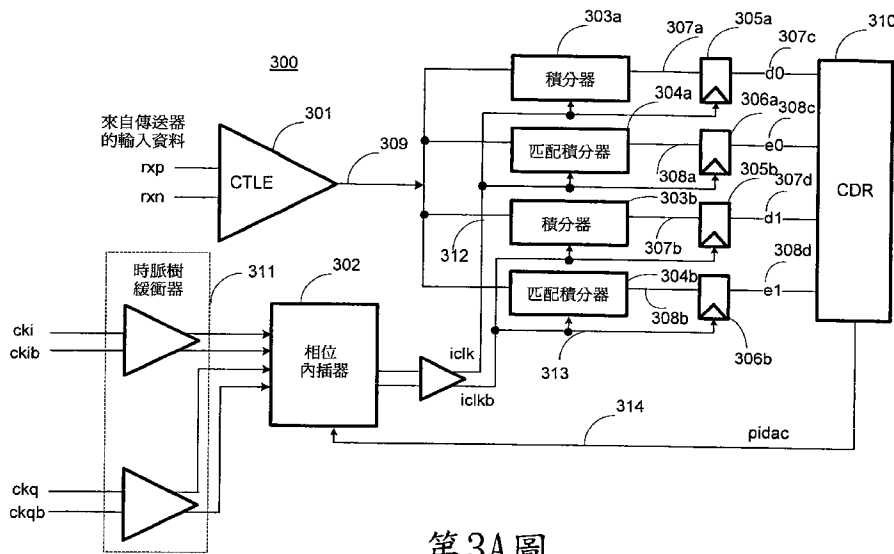
用於時序恢復之設備，系統，及方法

APPARATUS, SYSTEM, AND METHOD FOR TIMING RECOVERY

(57)摘要

在本文中說明透過消耗較少電力消耗且具有較低的位元錯誤率(BER)及較高的抖動容許度之經簡化的接收器架構在處理器中時序恢復之設備、系統、及方法。該設備包含產生時脈信號之相位內插器；在該時脈信號的一相位之持續時間上積分資料信號的第一部分之第一積分器；透過該時脈信號取樣該第一經積分部分的第一取樣器；儲存該資料信號的第一邊緣取樣之第一電路；透過該時脈信號取樣該已儲存的第一邊緣取樣的第二取樣器；及至少基於該資料信號之該經取樣的第一經積分部分及該經取樣的已儲存的第一邊緣取樣來更新該相位內插器之時脈資料恢復單元。

Described herein are an apparatus, system and method for timing recovery in processors by means of a simplified receiver architecture that consumes less power consumption, has lower bit error rate (BER), and higher jitter tolerance. The apparatus comprises a phase interpolator to generate a clock signal; a first integrator to integrate a first portion of a data signal over a duration of a phase of the clock signal; a first sampler to sample the first integrated portion by means of the clock signal; a first circuit to store a first edge sample of the data signal; a second sampler to sample the stored first edge sample by means of the clock signal; and a clock data recovery unit to update the phase interpolator based at least on the sampled first integrated portion and sampled stored first edge sample of the data signal.



第3A圖

- 300 . . . 接收器
- 301 . . . 等化器
- 302 . . . 相位內插器
- 303a . . . 積分器
- 303b . . . 積分器
- 304a . . . 匹配積分器
- 304b . . . 匹配積分器
- 305a . . . 取樣器
- 305b . . . 取樣器
- 306a . . . 取樣器
- 306b . . . 取樣器
- 307a . . . 輸出
- 307b . . . 輸出
- 307c . . . 資料取樣
- 307d . . . 資料取樣
- 308a . . . 第一邊緣
- 308b . . . 第二邊緣
- 308c . . . 取樣信號
- 308d . . . 取樣信號
- 309 . . . 單端經等化信號
- 310 . . . 時脈資料恢復單元
- 311 . . . 時脈緩衝器
- 312 . . . 時脈信號
- 313 . . . 時脈信號
- 314 . . . 控制/更新信號

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101107897

※申請日：101 年 03 月 08 日

※IPC 分類： G06F 1/08 (2006.01)
G06F 13/14 (2006.01)
G06F 13/58 (2006.01)

一、發明名稱：(中文／英文)

用於時序恢復之設備，系統，及方法

Apparatus, system, and method for timing recovery

二、中文發明摘要：

在本文中說明透過消耗較少電力消耗且具有較低的位元錯誤率 (BER) 及較高的抖動容許度之經簡化的接收器架構在處理器中時序恢復之設備、系統、及方法。該設備包含產生時脈信號之相位內插器；在該時脈信號的一相位之持續時間上積分資料信號的第一部分之第一積分器；透過該時脈信號取樣該第一經積分部分的第一取樣器；儲存該資料信號的第一邊緣取樣之第一電路；透過該時脈信號取樣該已儲存的第一邊緣取樣的第二取樣器；及至少基於該資料信號之該經取樣的第一經積分部分及該經取樣的已儲存的第一邊緣取樣來更新該相位內插器之時脈資料恢復單元。

三、英文發明摘要：

Described herein are an apparatus, system and method for timing recovery in processors by means of a simplified receiver architecture that consumes less power consumption, has lower bit error rate (BER), and higher jitter tolerance. The apparatus comprises a phase interpolator to generate a clock signal; a first integrator to integrate a first portion of a data signal over a duration of a phase of the clock signal; a first sampler to sample the first integrated portion by means of the clock signal; a first circuit to store a first edge sample of the data signal; a second sampler to sample the stored first edge sample by means of the clock signal; and a clock data recovery unit to update the phase interpolator based at least on the sampled first integrated portion and sampled stored first edge sample of the data signal.

四、指定代表圖：

(一) 本案指定代表圖為：第(3A)圖。

(二) 本代表圖之元件代表符號簡單說明：

300：接收器	301：等化器
302：相位內插器	303a：積分器
303b：積分器	304a：匹配積分器
304b：匹配積分器	305a：取樣器
305b：取樣器	306a：取樣器
306b：取樣器	307a：輸出
307b：輸出	307c：資料取樣
307d：資料取樣	308a：第一邊緣
308b：第二邊緣	308c：取樣信號
308d：取樣信號	309：單端經等化信號
310：時脈資料恢復單元	311：時脈緩衝器
312：時脈信號	313：時脈信號
314：控制/更新信號	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明的實施例主要有關於處理器的領域。詳言之，本發明的實施例有關於用於時序恢復之設備、系統、及方法以處理處理器中的資料信號。

【先前技術】

在典型的輸入－輸出（I/O）收發器中，處理器的接收器處理接收到的信號以確定接收到的信號中所含之資料。這種處理需要藉由至少兩個相位內插器（PI）來判定接收到的信號之資料和邊緣取樣，每一個相位內插器（PI）產生一對時脈信號。PI 的輸出為具有四個相位的正交時脈信號。四個相位的兩個用來取樣接收到的資料信號，而正交時脈信號之四個相位的其餘兩個用來取樣接收到的資料信號之邊緣。本文中「邊緣」一詞係指資料信號從邏輯低或邏輯高信號位準分別變遷到邏輯高或邏輯低信號位準之時間點。正交時脈信號的四個相位間的延遲上之任何不匹配會導致資料取樣相位的有效偏移，造成接收器之位元錯誤率（BER）的增加及抖動容許度的減少。

第 2 圖中顯示一個典型的接收器 200。接收器 200 從傳送器（例如，第 1 圖的 103）接收輸入信號 rx_p 及 rx_n 。在藉由任選的等化器等化過後由取樣器取樣接收到的信號 rx_p 及 rx_n 。取樣器從時脈分配網路接收四個相控的正交時脈信號，亦即， $iclk$ 、 $iclk_b$ 、 $qclk$ 、及 $qclk_b$ ，該時脈分配

網路從兩個 PI 分配正交時脈信號至取樣器。取樣器的輸出為資料及邊緣取樣（d0、d1、e0、及 e1），其接著被時脈及資料恢復（CDR）電路用來產生兩組碼（pidac1 及 pidac2）以命令該兩個 PI 調整至正交時脈信號之延遲。在 CDR 電路中，調整正交時脈信號的延遲，使得 iclk 信號在資料信號眼的中間取樣資料信號，且 qclk 信號在資料信號的變遷點取樣資料信號之邊緣。由透過一時脈分配網路接收時脈信號作為輸入之該兩個 PI 產生四個相控的正交時脈信號。輸入時脈信號 cki、ckib、ckq、及 ckqb（其被輸入至該兩個 PI）與四個相控的輸出正交時脈信號 iclk、iclkb、qclk、及 qclkb 之間的時序不匹配，導致資料取樣相位的偏移，因此增加 BER 並減少接收器的抖動容許度。

可能由用來實行該兩個 PI 之裝置中的系統性或隨機程序變異造成輸入與輸出時脈信號之間的這種時序不匹配—即使該兩個 PI 有相同的設計仍會造成電氣性能（例如，延遲，上升/下降時間等等）的不匹配。除了在兩個 PI 中之不匹配外，也可能由時脈分配網路中該四個相控正交時脈信號 iclk、iclkb、qclk、及 qclkb 之間的路由延遲不匹配而造成輸入（cki、ckib、ckq、及 ckqb）與輸出（iclkb、iclkb、qclk、及 qclkb）時脈信號之間的這種時序不匹配。該四個相控正交時脈信號 iclk、iclkb、qclk、及 qclkb 之間的這種不匹配係處理器中的接收器之性能（由 BER、時序邊限、抖動容許度等等所測量之性能）限制。

【發明內容】及【實施方式】

本發明的實施例有關於透過簡化的接收器架構在處理器中時序恢復之設備、系統、及方法，該簡化的接收器架構與第 2 圖的接收器架構相比，消耗較少電力消耗且具有較低的位元錯誤率（BER）及較高的抖動容許度。

在一實施例中，使用單一相位內插器（PI）來取代第 2 圖的兩個相位內插器（PI）。在一實施例中，該 PI 操作成產生時脈信號的兩個相位來取代第 2 圖的四個相控的正交時脈信號。在本文所述的實施例中，排除時脈信號的兩個相位間的不匹配來源，因為沒有額外的時脈信號可相匹配。輸入時脈信號（至 PI 的輸入）的任何不匹配不會導致 PI 之輸出時脈信號的不匹配，但影響 PI 輸出之相位步階的線性度。

在一實施例中，在取樣資料信號前使用積分器。在這一種實施例中，積分器允許接收器施加單一時脈邊緣來取樣接收到的資料信號之資料與邊緣取樣兩者。取樣資料信號之資料與邊緣取樣的單一取樣時脈邊緣排除有關於參考第 2 圖所討論之時脈不匹配的問題。因此，簡化接收器設計，造成時脈信號之兩相位的不匹配之最小來源，並因此具較高的抖動容許度及較低的 BER。在一實施例中，與需要兩個 PI 及提供至少兩個控制信號至該兩個 PI 之一複雜的時脈資料恢復（CDR）的第 2 圖之接收器架構相比，使用單一 PI 來產生時脈信號導致較少電力消耗以及簡化的

CDR 電路。

在下列說明中，討論各種細節以提供本發明之實施例的更詳盡之解釋。然而，對熟悉此技術人士而言明顯地可在無這些特定細節下實行本發明之實施例。在其他例子中，以區塊圖形式而非細節來顯示眾所週知的結構及裝置，以避免混淆本發明之實施例。

注意到在實施例的相應圖中，以線條代表信號。某些線條可能較粗以表示更多構成信號路徑，及/或在一或更多端具有箭頭以表示主要資訊流向。這種表示非意圖為作為限制。更確切地，連同一或更多示範實施例使用線條來促進電路或邏輯單元之更容易的理解。被設計需求或偏好所主宰之任何被表示的信號可實際上包含一或更多個信號，其可在任一方向中行進並可以任何適合的信號方案類型（例如，差動對、單端等等）加以實現。

第 1 圖繪示根據本發明之一實施例的具有含有時控電路 105 之接收器 104 的高階系統 100。在一實施例中，系統 100 包含處理器 101，其經由通訊鏈結 106 通訊式耦合到處理器 102。在一實施例中，通訊鏈結 106 為在母板（未圖示）上之導電跡線。在另一實施例中，通訊鏈結 106 為與通用序列匯流排（USB）接介之撓性導電電纜。在一實施例中，傳送器 103 及接收器 104（也稱為接收單元）為以 USB 為基之傳送器及接收器單元。在一實施例中，以 USB 為基之傳送器及接收器為以 USB3 為基之傳送器及接收器。在其他實施例中，傳送器 103 及接收器 104 相應

於其他 I/O 標準，比如序列先進技術附接（SATA）、周邊組件互連快速（PCI-E）等等。

在一實施例中，通訊鏈結 106 為無線傳輸媒體，如第 6 圖的無線天線 678 所示。在一實施例中，無線傳輸媒體耦合到一或更多無線私域網路（WPAN）、無線局部區域網路（WLAN）、及無線廣域網路（WWAN）。

參照回第 1 圖，在一實施例中，處理器 101 及 102 分別為一微處理器及一相應的晶片組處理器。在一實施例中，處理器 101 及 102 皆為微處理器（CPU）。在一實施例中，處理器 102 耦合到記憶體（第 6 圖的記憶體 630、660、及 662）。在一實施例中，該記憶體為動態隨機存取記憶體（DRAM）。在一實施例中，該記憶體為靜態隨機存取記憶體（SRAM）。參照回第 1 圖，雖處理器 102 顯示成具有接收器 104 且處理器 101 顯示成具有傳送器 103，在一實施例中，處理器 101 及 102 皆有傳送器及接收器於相同的晶粒上以在一或更多個通訊鏈結上發送並接收資料。

在一實施例中，接收器 104 包括邏輯單元 105，其操作成處理接收到的信號 107，使得邏輯單元 105 有增加的抖動容許度及減少的 BER。在一實施例中，接收器 104 在其時控邏輯單元 105 中使用單一 PI 來產生取樣時脈以取樣接收到的信號 107 之資料和邊緣取樣。在一實施例中，相同的取樣時脈信號變遷用來取樣接收到的信號 107 之資料和邊緣取樣兩者。參照第 3 至 6 圖討論時控邏輯單元

105 之細節。來自接收器 104 的輸出信號 108 由處理器 102 用於進一步處理（未圖示）。

第 3A 圖為根據本發明之一實施例的具有單一相位內插器及與第 2 圖的接收器架構相比為簡化之時脈信號分配網路的接收器 300（與第 1 圖的接收器 104 相同）之一部分。在一實施例中，接收器 300 包含等化器 301 以等化從傳送器，例如第 1 圖的傳送器 103，所接收到的輸入信號。在一實施例中，等化器 301 為線性等化器，比如連續時間線性等化器（CTLE）。在一實施例中，等化器 301 可操作成接收差動輸入信號 rxp 及 rxn 並輸出單端經等化信號 309。在其他實施例中，接收器 300 可操作成從傳送器（例如，第 1 圖的傳送器 103）接收單端信號而不改變本發明之實施例的本質。

在一實施例中，接收器 300 包含單一 PI 302，其可操作成透過由時脈緩衝器 311 表示之時脈樹接收輸入時脈信號 cki 、 $ckib$ 、 ckq 、及 $ckqb$ ，來產生兩個時脈信號 $iclk$ 312 及 $iclk_b$ 313。在一實施例中，輸入時脈信號 cki 、 $ckib$ 、 ckq 、及 $ckqb$ 為正交時脈信號。在一實施例中，PI 302 可操作成僅從該正交輸入時脈信號產生 $iclk$ 312 及其相反信號 $iclk_b$ 313。輸入時脈信號 cki 及 $ckib$ ，如同 ckq 及 $ckqb$ ，為彼此之相反者，亦即， cki 為 $ckib$ 的相反且 ckq 為 $ckqb$ 的相反，其中時脈信號 cki 及 ckq 為彼此互相呈 90 度之相位位移。在一實施例中，由鎖相迴路（PLL）產生輸入時脈信號 cki 、 $ckib$ 、 ckq 、及 $ckqb$ ，並未在此顯

示鎖相迴路以不混淆本發明之實施例。

在一實施例中，PI 302 可操作成從時脈資料恢復（CDR）單元 310 接收控制/更新信號 314。在一實施例中，CDR 310 命令 PI 302 相較於時脈信號 cki 及/或 ckq 延遲或修改其之輸出信號 iclk 312，使資料信號 309 可被取樣器 305a-b 及 306a-b 恰當取樣。

「恰當取樣」一詞，參照第 4A 圖，係指瞬時取樣資料信號 309 以產生資料信號 309 的邊緣取樣，同時在於資料信號的一相位（從資料變遷點開始的相位）上積分資料信號之後取樣資料信號以產生資料信號的資料取樣。在第 4B 圖中所示的替代實施例中，「恰當取樣」一詞係指取樣在資料信號的眼中間中的資料信號以產生資料信號的資料取樣，同時取樣經積分的資料信號，這係在從資料信號的中間開始之資料信號的相位上積分，來產生資料信號 309 的邊緣取樣。

參照回第 3A 圖，在一實施例中，在被取樣器 305a-b 取樣前，在資料信號 309 的一相位之一段時期上積分資料信號 309。在一實施例中，由積分器 303a（也稱為第一積分器）積分資料信號 309 的第一半部（亦即，資料信號 309 的第一相位）。在一實施例中，由積分器 303b（也稱為第二積分器）積分資料信號 309 的第二半部（亦即，資料信號 309 的第二相位）。在一實施例中，分別由取樣器 305a（也稱為第一取樣器）及取樣器 305b（也稱為第三取樣器）取樣積分器 303a 及 303b 的輸出 307a 及 307b 來產

生資料取樣 d0 307c 及 d1 307d。

在一實施例中，由取樣器 306a（也稱為第二取樣器）瞬時取樣資料信號 309 的第一邊緣 308a 來產生取樣信號 e0 308c，其中資料信號 309 的第一邊緣相應於資料信號 309 的第一半部的邊緣。在一實施例中，由取樣器 306b（也稱為第四取樣器）瞬時取樣資料信號 309 的第二邊緣 308b 來產生取樣信號 e1 308d，其中資料信號 309 的第二邊緣 e1 308d 相應於資料信號 309 的第二半部的邊緣。在一實施例中，在取樣資料信號 309 的第一和第二邊緣之前，使用匹配積分器 304a（也稱為第一電路）及 304b（也稱為第二電路），其中匹配積分器 304a 及 304b 可操作成分別匹配積分器 303a 及 303b 的延遲並允許取樣器 306a 及 306b 瞬時取樣資料信號 309。

「匹配延遲」一詞在本文中係指調整電路（例如，匹配積分器 304a）的延遲，使得那個電路的延遲實質上等於另一個電路（例如，積分器 303a）的延遲。「實質上等於」一詞在本文中係指兩個量（例如，以皮秒為單位的延遲）在彼此的 10%之內。

在一實施例中，將取樣器 305a、305b、306a、及 306b 實現為正反器。在另一實施例中，將取樣器 305a、305b、306a、及 306b 實現為取樣並保持電路。在其他實施例，其他種類的取樣器可用來取樣在資料及邊緣信號點的資料信號而不改變本發明之實施例的本質。

在本文中所討論的實施例中，藉由時脈信號 iclk 312

的相同變遷邊緣來履行取樣器 305a 及 306a 的資料和邊緣取樣。同樣地，藉由時脈信號 iclk 312 的相反，亦即，時脈信號 iclkb 313 的相同變遷邊緣來履行取樣器 305b 及 306b 的資料和邊緣取樣。藉由在時脈信號之相同變遷上履行資料和邊緣取樣，無需有如同在第 2 圖的情況中般的一額外的 PI 來產生四個相控正交時脈信號。在這一種實施例中，BER 減少同時接收器 300 的抖動容許度增加，因為在時脈信號 iclk 312 及 iclkb 313 之間的不匹配來源減少。在上述實施例中，一個 PI 的排除也減少接收器 300 之電力消耗及矽面積。

在一實施例中，與第 2 圖的 CDR 單元相比，CDR 單元 310 為簡化，因為 CDR 單元 310 可操作成僅產生一個控制（更新）信號 314 來分別基於資料及邊緣取樣 307c-d 及 308c-d 調整或更新時脈信號 iclk 312 及 iclkb 313 的相位。「調整」或「更新」一詞在本文中係指有效改變或修改相較於輸入時脈信號 cki 及 ckq 之時脈信號 iclk 312 及 iclkb 313 的延遲。

第 3B 圖為根據本發明之一實施例的用於第 1 圖及第 3A 圖的接收器中之一積分器 303a 及一相應的匹配電路 304a 的電晶體級電路 330。匹配電路 304a 的一個目的在於最小化（減少）積分器 303a 中之晶粒上程序變異的影響。在一實施例中，在取樣資料信號 309 的第一及第二邊緣之前使用匹配積分器 304a，其中匹配積分器 304a 可操作成匹配積分器 303a 的延遲。第 3B 圖的積分器 303a 當

iclk 312 在邏輯低位準時履行積分輸入資料信號 309 之程序，其中在 iclk 312 的上升邊緣由取樣器 305a 取樣積分器 303a 的輸出。

雖第 3B 圖的積分器 303a 為差動輸入積分器，可以單端輸入積分器取代，可操作成輸出差動或單端積分信號，而不改變本發明之實施例的本質。同樣地，可以 NMOS 輸入為基的積分器取代第 3B 圖之 PMOS 輸入為基的積分器 303a 而不改變本發明之實施例的本質。

在一實施例中，匹配積分器 304a 可操作成在 iclkb 313 的上升邊緣取樣輸入資料信號 309，其為 iclk 312 的下降邊緣。在一實施例中，由一或更多個電晶體 332 取樣資料信號 309 來產生經取樣信號 331。在一實施例中，當 iclk 312 在邏輯低位準時，積分經取樣信號 331，其中由取樣器 306a 取樣積分器 304a 的輸出。因為經取樣信號 331 的極性與經積分信號 308a 的極性相同，匹配積分器 304a 的效果為允許取樣器 306a 瞬時取樣資料信號 309 以透過取樣器 306a 產生邊緣取樣 e0 308c。在一實施例中，匹配積分器 304a 藉由具有與積分器 303a 的電路拓撲相同的電路拓撲而匹配積分器 303a 的延遲及特性。

第 4A 圖為根據本發明之一實施例的第 3A 圖之接收器 300 的時序圖 400。y 軸代表電壓而 x 軸代表時間。資料信號 309 之陰影區代表被積分器 303a 所積分之資料信號 309 的第一相位。在一實施例中，資料信號 309 的第一相位等於時脈信號 iclk 312 之一低或高相位的持續時間。

時脈信號 $iclk\ 312$ 在 $iclk\ 312$ 的上升邊緣（由 a_k 所示）取樣資料信號 309 來產生資料取樣 307c。時脈信號 $iclk\ 312$ 的相同上升邊緣取樣無經積分的資料信號 309（由 e_k 所示）來產生邊緣取樣 308c。

$iclkb\ 313$ 的上升邊緣（其為 $iclk\ 312$ 的下降邊緣）用來取樣資料信號 309 之經積分的第二相位（由 a_{k+1} 所示）以產生資料取樣 307d。 $iclkb\ 313$ 的相同上升邊緣用來取樣資料信號（由 e_{k+1} 所示）以產生邊緣取樣 308d。在一實施例中，資料信號 309 的第二相位等於時脈信號 $iclkb\ 313$ 之相反地一低或高相位的持續時間。雖以透過 $iclk\ 312$ 及 $iclkb\ 313$ 的上升邊緣取樣資料信號 309 來說明本發明的實施例，其他取樣替代例對閱讀過上述說明的熟悉此技術人士而言為顯而易知。例如， $iclk\ 312$ 的上升邊緣及 $iclk\ 312$ 的下降邊緣可用來產生信號 307c-d 及 308c-d。

第 5 圖為根據本發明之一實施例的從第 1 圖的接收到的信號 107 產生資料及時脈信號的方法流程圖 500。參照第 1 圖、第 3A 圖、及第 4A 圖討論方法 500。在區塊 501，透過相位內插器 302 產生時脈信號 $iclk\ 312$ 及 $iclkb\ 313$ 。在區塊 502，第一積分器 303a 在時脈信號 $iclk\ 312$ 的一相位之持續時間上積分資料信號 309 的第一部分。在區塊 503，透過時脈信號 $iclk\ 312$ 取樣資料信號 309 的經積分第一部分 d0 307c。在區塊 504，藉由匹配積分器 304a 匹配第一積分器 303a 的延遲來產生資料信號 309 的第一邊緣取樣 308a。在區塊 505，透過時脈信號 $iclk\ 312$ 取樣資

料信號 309 之第一邊緣取樣 e0 308c。在區塊 506，基於資料信號 309 之經取樣的第一積分部分 307c 及經取樣的第一邊緣取樣 308c 更新相位內插器 302，其中透過時脈信號 iclk 312 的相同變遷邊緣履行資料信號 309 之第一經積分部分 307c 及第一邊緣取樣 308c 之取樣。在一實施例中，藉由執行儲存在儲存媒體（例如，快閃驅動器）上的電腦可執行指令來實現第 5 圖之方法。

第 6 圖繪示根據本發明之一實施例的具有第 1 圖及第 3A 圖的接收器 104 之系統級圖。在一實施例中，系統 600 包括，但不限於，桌上型電腦、膝上型電腦、上網本、平板電腦、筆記型電腦、個人數位助理（PDA）、伺服器、工作站、蜂巢式電話、行動計算裝置、智慧型電話、網際網路用具、或任何其他類型的計算裝置。在另一實施例中，系統 600 實現本文中所揭露的方法並可為系統晶片（SOC）系統。

在一實施例中，處理器 610 具有一或更多個處理核心 612 及 612N，其中 612N 代表在處理器 610 內之第 N 個處理器核心，其 N 為正整數。在一實施例中，系統 600 包括多個處理器，包括 610 及 605，其中處理器 605 具有與處理器 610 之邏輯類似或相同的邏輯。在一實施例中，處理核心 612 包括，但不限於，提取指令之預取邏輯、解碼指令之解碼邏輯、執行指令的執行邏輯、及之類。在一實施例中，處理器 610 具有快取記憶體 616 以快取系統 600 的指令及/或資料。在一實施例中，該快取儲存指令以執行

第 5 圖之方法。在本發明的另一實施例中，快取記憶體 616 包括一階、二階、及三階快取記憶體，或在處理器 610 內之任何其他組態的快取記憶體。

在一實施例中，處理器 610 包括記憶體控制匯流排（MCH）614，其可操作成履行使處理器 610 得以存取記憶體 630 並與其通訊之功能，該記憶體 630 包括依電性記憶體 632 及/或非依電性記憶體 634。在一實施例中，處理器 610 包括第 1 圖及第 3A 圖的接收器 104。在一實施例中，處理器 610 使用第 1 圖的接收器 104 來與記憶體 630 及晶片組 620 通訊。在一實施例中，處理器 610 亦耦合到無線天線 678 以與組態成傳送及/或接收無線信號的任何裝置通訊。

在一實施例中，依電性記憶體 632 包括，但不限於，同步動態隨機存取記憶體（SDRAM）、動態隨機存取記憶體（DRAM）、RAMBUS 動態隨機存取記憶體（RDRAM）、及/或任何其他類型的隨機存取記憶體裝置。非依電性記憶體 634 包括，但不限於，快閃記憶體、相變記憶體（PCM）、唯讀記憶體（ROM）、可電性抹除可編程唯讀記憶體（EEPROM）、及/或任何其他類型的非依電性記憶體裝置。

記憶體 630 儲存將由處理器 610 執行的資訊及指令。在一實施例中，當處理器 610 正在執行指令時，記憶體 630 還可儲存臨時變數或其他中間資訊。在一實施例中，晶片組 620 經由點對點（PtP 或 P-P）介面 617 及 622 與

處理器 610 連接。在一實施例中，晶片組 620 使處理器 610 得以連接至系統 600 的其他模組。在本發明之實施例中，介面 617 及 622 根據 PtP 通訊協定操作，比如 Intel® QuickPath Interconnect (QPI) 或之類。

在一實施例中，處理器 610 包括第 1 圖及第 3A 圖的接收器 104。在一實施例中，晶片組 620 使用第 1 圖及第 3A 圖的接收器 104 與處理器 610 及 605N、顯示裝置 640、及其他裝置 672、676、674、660、662、664、666、677 等等通訊。在一實施例中，晶片組 620 還耦合至無線天線 678 以與組態成傳送及/或接收無線信號的任何裝置通訊。

在一實施例中，晶片組 620 經由介面 626 連接至顯示裝置 640。在一實施例中，顯示裝置 640 包括，但不限於，液晶顯示器（LCD）、電漿反應器、陰極射線管（CRT）顯示器、或任何其他形式的視覺顯示裝置。在本發明的一實施例中，處理器 610 及晶片組 620 合併到單一 SOC 中。另外，晶片組 620 連接至一或更多個匯流排 650 及 655，其互連各種模組 674、660、662、664、及 666。在一實施例中，若匯流排速度或通訊協定有不匹配的話，匯流排 650 及 655 可經由匯流排橋接器 672 互連在一起。在一實施例中，晶片組 620 經由介面 624 及/或 104 與非依電性記憶體 660、大量儲存裝置 662、鍵盤/滑鼠 664、及網路介面 666、智慧型電視 676、消費者電子裝置 677 耦合，但不限於這些。

在一實施例中，大量儲存裝置 662 包括，但不限於，

固態驅動機、硬碟驅動機、通用序列匯流排快閃記憶體驅動機、或任何其他形式的電腦資料儲存媒體。在一實施例中，由任何類型的眾所皆知的網路介面標準來實現網路介面 666，包括但不限於，乙太網路介面、通用序列匯流排（USB）介面、周邊組件互連（PCI）快速介面、無線介面、及/或任何其他適當類型的介面。在一實施例中，無線介面根據，但不限於，IEEE 802.11 標準及其相關系列、Home Plug AV（HPAV）、Ultra Wide Band（UWB）、藍芽、WiMax、或任何其他形式的通訊通訊協定操作。

雖第 6 圖中所示的模組描繪成在系統 600 內之分開的區塊，可將由這些區塊的一些所履行之功能整合在單一半導體電路中或可使用兩或更多個分開的積體電路加以實現。例如，雖快取記憶體 616 描繪成在處理器 610 之一分開的區塊，快取記憶體 616 可併入處理核心 612 之中。在一實施例中，系統 600 在本發明之另一實施例中可包括超過一個的處理器/處理核心。

在說明書中對於「實施例（an embodiment）」、「一實施例（one embodiment）」、「一些實施例」、「或其他實施例」的參照意指連同該些實施例所述的特定特徵、結構、或特性係包括在本發明之至少一些實施例中，但非一定在全部的實施例中。各處中「實施例」、「一實施例」、「或其他實施例」的出現並非一定皆參照相同的實施例。若說明書指出例如「可能（may，might）」、「或「可（can，could）」包括一組件、特徵、結構、特性，則

不需包括那個特定的組件、特徵、結構、特性。若說明書或申請專利範圍提及「一」元件，並不意指僅有該元件之一個。若說明書或申請專利範圍提及「一額外」元件，則不排除有該額外元件之超過一個。

雖已經連同本發明的特性實施例說明本發明，對閱讀過前述說明的此技術中具有通常知識者而言許多替代、修改、及變異將為顯而易見。例如，在一實施例中，第 3B 圖的積分器及相應之匹配電路可實現成單端電路，其可操作成接收差動或單端輸入並可操作成產生單端輸出。在一實施例中，第 3B 圖的積分器及相應之匹配電路可實現成 NMOS 差動輸入為基的積分器及相應的匹配電路來取代第 3B 圖的 PMOS 為基的實現。

第 4B 圖為根據本發明之一實施例的一替代接收器的時序圖 410。在這一種替代實施例中，第 3A 圖之經恢復的時脈信號 iclk 312 及 iclkb 313 對準至資料信號 309 的眼之中間以瞬時取樣資料信號 309 來產生經取樣的信號 d0 307c 及 d1 307d。在一實施例中，第 3A 圖之積分器 303a 及 303b 與第 3A 圖之匹配電路 304a 及 304b 對換。在這一種實施例，第 3A 圖之相同經恢復的時脈信號 iclk 312 及 iclkb 313 藉由取樣積分器 303a 及 303b（其之前為匹配電路 304a 及 304b）的經積分輸出而用來取樣資料信號 309 之邊緣。如同第 4A 圖，導致第 4B 圖的時序圖 410 之實施例，相同的時脈變遷邊緣用來取樣資料信號 309 的資料及邊緣兩者。

本發明之實施例意圖涵蓋落入所附之申請專利範圍的廣泛範疇內之所有這種替代、修改、及變異。

【圖式簡單說明】

將從詳細說明並從本發明的各種實施例之附圖更詳盡了解本發明之實施例，然而，詳細說明及附圖不應詮釋為限制本發明至特定實施例，而僅作為說明及理解用。

第 1 圖繪示根據本發明之一實施例的具有含有時控電路之接收器的高階系統。

第 2 圖為具有兩或更多個相位內插器及一複雜之時脈信號分配的傳統時脈資料恢復電路。

第 3A 圖為根據本發明之一實施例的具有單一相位內插器及一簡化之時脈信號分配網路的接收器。

第 3B 圖為根據本發明之一實施例的用於第 1 圖及第 3A 圖的接收器中之一積分器及一相應的匹配電路的實現。

第 4A 圖為根據本發明之一實施例的第 3A 圖之接收器的時序圖。

第 4B 圖為根據本發明之一實施例的一替代接收器設計的時序圖。

第 5 圖為根據本發明之一實施例的恢復接收器中之資料的方法流程圖。

第 6 圖為根據本發明之一實施例的具有執行第 5 圖之方法的指令且具有第 1 圖及第 3A 圖的接收器之系統級圖

【 主 要 元 件 符 號 說 明 】

100：系統

101：處理器

102：處理器

103：傳送器

104：接收器

105：時控電路

106：通訊鏈結

107：接收到的信號

108：輸出信號

200：接收器

300：接收器

301：等化器

302：相位內插器

303a：積分器

303b：積分器

304a：匹配積分器

304b：匹配積分器

305a：取樣器

305b：取樣器

306a：取樣器

306b：取樣器

307a : 輸出
 307b : 輸出
 307c : 資料取樣
 307d : 資料取樣
 308a : 第一邊緣
 308b : 第二邊緣
 308c : 取樣信號
 308d : 取樣信號
 309 : 單端經等化信號
 310 : 時脈資料恢復單元
 311 : 時脈緩衝器
 312 : 時脈信號
 313 : 時脈信號
 314 : 控制 / 更新信號
 330 : 電晶體級電路
 331 : 經取樣信號
 332 : 電晶體
 410 : 時序圖
 600 : 系統
 605 : 處理器
 610 : 處理器
 612 : 處理核心
 612N : 處理核心
 616 : 快取記憶體

617：點對點介面
620：晶片組
622：點對點介面
624：介面
626：介面
630：記憶體
632：依電性記憶體
634：非依電性記憶體
640：顯示裝置
650：匯流排
655：匯流排
660：非依電性記憶體
662：大量儲存裝置
664：鍵盤/滑鼠
666：網路介面
672：匯流排橋接器
676：智慧型電視
677：消費者電子產品
678：無線天線

七、申請專利範圍：

1. 一種用於時序恢復之設備，包含：
產生時脈信號之相位內插器；
在該時脈信號的一相位之持續時間上積分資料信號的第一部分之第一積分器；
透過該時脈信號取樣該第一經積分部分的第一取樣器；
儲存該資料信號的第一邊緣取樣之第一電路；
透過該時脈信號取樣該已儲存的第一邊緣取樣的第二取樣器；及
至少基於該資料信號之該經取樣的第一經積分部分及該經取樣的已儲存的第一邊緣取樣來更新該相位內插器之時脈資料恢復單元。
2. 如申請專利範圍第 1 項所述之設備，其中該相位內插器為單一相位內插器且進一步可操作成產生該時脈信號的相反。
3. 如申請專利範圍第 1 項所述之設備，其中該第一及第二取樣器可操作成透過該時脈信號的一相同變遷邊緣來取樣該資料信號之該第一經積分部分及該已儲存的第一邊緣取樣。
4. 如申請專利範圍第 1 項所述之設備，其中該時脈信號的該相位的該持續時間等於該時脈信號的一高或低相位的持續時間。
5. 如申請專利範圍第 2 項所述之設備，進一步包含：

在該時脈信號的該相反之一相位之持續時間上積分該資料信號的第二部分之第二積分器；

透過該時脈信號之該相反取樣該第二經積分部分的第三取樣器；

儲存該資料信號的第二邊緣取樣之第二電路；及

透過該時脈信號之該相反取樣該已儲存的第二邊緣取樣的第四取樣器，

其中該時脈資料恢復單元可進一步操作成基於該資料信號之該經取樣的第二經積分部分及該經取樣的已儲存的第二邊緣取樣來更新該相位內插器。

6.如申請專利範圍第 5 項所述之設備，其中該時脈信號的該相反之該相位的該持續時間等於該時脈信號的該相反之一高或低相位的持續時間。

7.如申請專利範圍第 5 項所述之設備，其中該些第一及第二電路可操作成分別匹配該第一及第二積分器的延遲。

8.如申請專利範圍第 5 項所述之設備，其中該些第三及第四取樣器可操作成透過該時脈信號的該相反之一相同變遷邊緣來取樣該資料信號之該第二經積分部分及該已儲存的第二邊緣取樣。

9.如申請專利範圍第 5 項所述之設備，其中該時脈資料恢復單元可操作成透過由該時脈資料恢復單元所產生之更新信號更新該相位內插器，且其中該更新信號代表該資料信號之該些經取樣的第一及第二經積分部分及該資料信

號之該些經取樣的第一及第二邊緣取樣之間的時序關係。

10.如申請專利範圍第 9 項所述之設備，其中該相位內插器可操作成接收該更新信號並修改該時脈信號及該時脈信號的該相反之延遲。

11.如申請專利範圍第 1 項所述之設備，其中該相位內插器可操作成接收正交時脈信號並僅輸出該時脈信號及該時脈信號的相反，且其中從該些正交時脈信號產生該時脈信號及該時脈信號的相反。

12.一種用於時序恢復之系統，包含：

記憶體；及

耦合到記憶體之處理器，包含接收器以接收傳輸媒體上之信號並從該接收到的信號產生資料信號，該接收器包含：

產生時脈信號之相位內插器；

在該時脈信號的一相位之持續時間上積分該資料信號的第一部分之第一積分器；

透過該時脈信號取樣該第一經積分部分的第一取樣器；

儲存該資料信號的第一邊緣取樣之第一電路；

透過該時脈信號取樣該已儲存的第一邊緣取樣的第二取樣器；及

至少基於該資料信號之該經取樣的第一經積分部分及該經取樣的已儲存的第一邊緣取樣來更新該相位內插器之時脈資料恢復單元。

13.如申請專利範圍第 12 項所述之系統，其中該相位內插器為單一相位內插器且進一步可操作成產生該時脈信號的相反。

14.如申請專利範圍第 12 項所述之系統，其中該第一及第二取樣器可操作成透過該時脈信號的一相同變遷邊緣來取樣該資料信號之該第一經積分部分及該已儲存的第一邊緣取樣。

15.如申請專利範圍第 12 項所述之系統，其中該時脈信號的該相位的該持續時間等於該時脈信號的一高或低相位的持續時間。

16.如申請專利範圍第 13 項所述之系統，進一步包含：

在該時脈信號的該相反之一相位之持續時間上積分該資料信號的第二部分之第二積分器；

透過該時脈信號之該相反取樣該第二經積分部分的第三取樣器；

儲存該資料信號的第二邊緣取樣之第二電路；及

透過該時脈信號之該相反取樣該已儲存的第二邊緣取樣的第四取樣器，

其中該時脈資料恢復單元可進一步操作成基於該資料信號之該經取樣的第二經積分部分及該經取樣的已儲存的第二邊緣取樣來更新該相位內插器。

17.如申請專利範圍第 16 項所述之系統，其中該第一及第二電路可操作成分別匹配該些第一及第二積分器的延

遲。

18.如申請專利範圍第 16 項所述之系統，其中該些第三及第四取樣器可操作成透過該時脈信號的該相反之一相同變遷邊緣來取樣該資料信號之該第二經積分部分及該已儲存的第二邊緣取樣。

19.一種用於時序恢復之方法，包含：

透過相位內插器產生時脈信號；

透過第一積分器在該時脈信號的一相位之持續時間上積分該資料信號的第一部分；

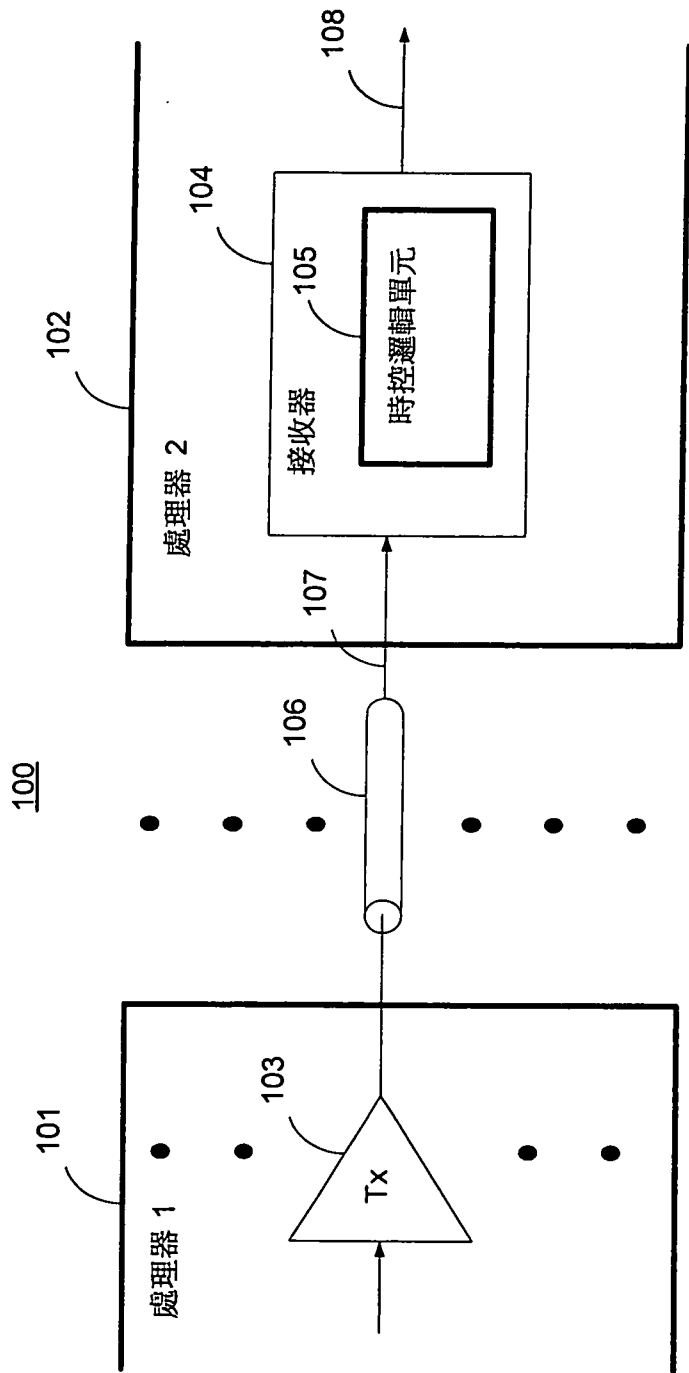
透過該時脈信號取樣該資料信號的該第一經積分部分；

匹配該第一積分器之延遲以產生該資料信號的第一邊緣取樣；

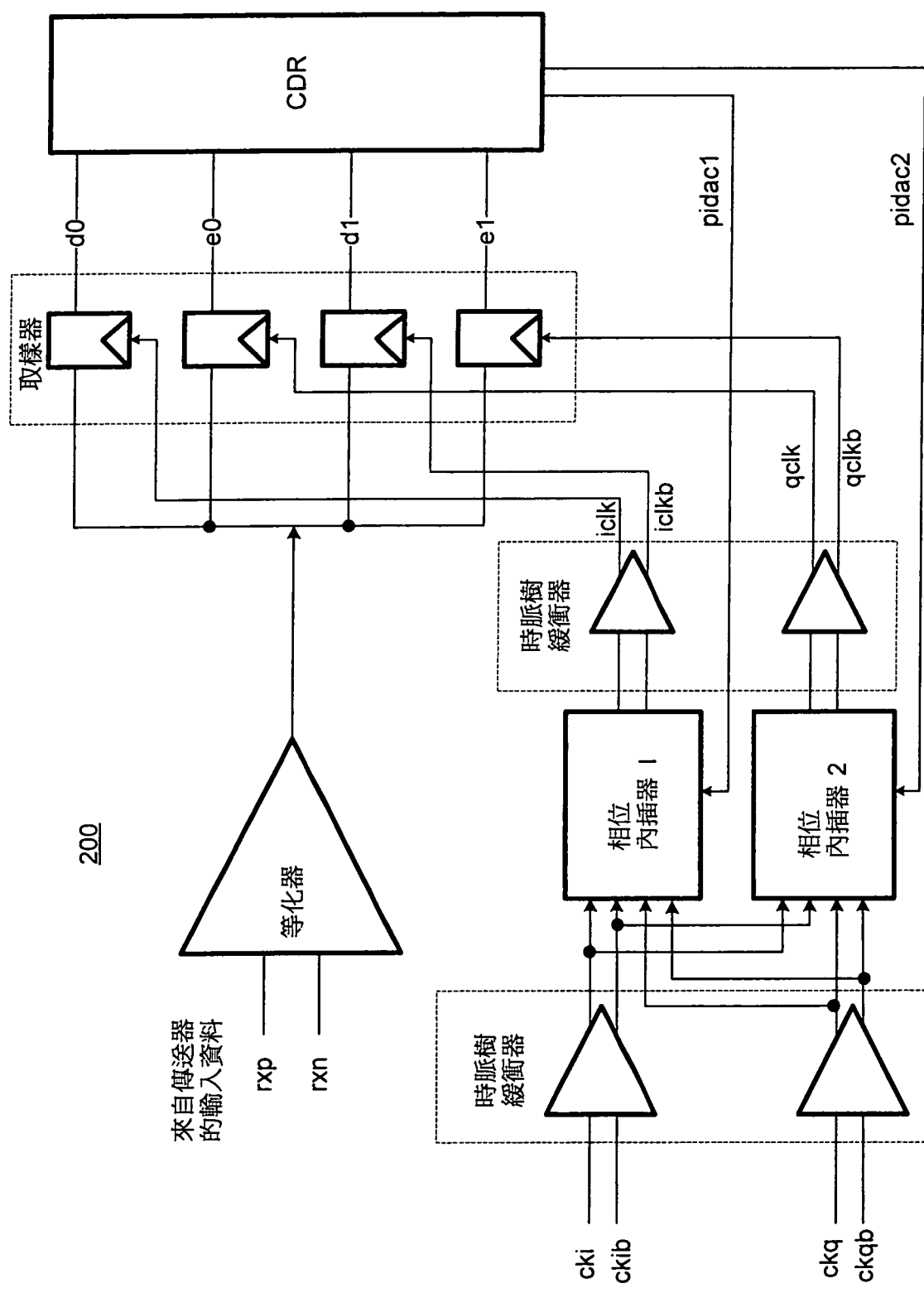
透過該時脈信號取樣該資料信號的該第一邊緣取樣；
及

至少基於該資料信號之該經取樣的第一經積分部分及該經取樣的第一邊緣取樣來更新該相位內插器。

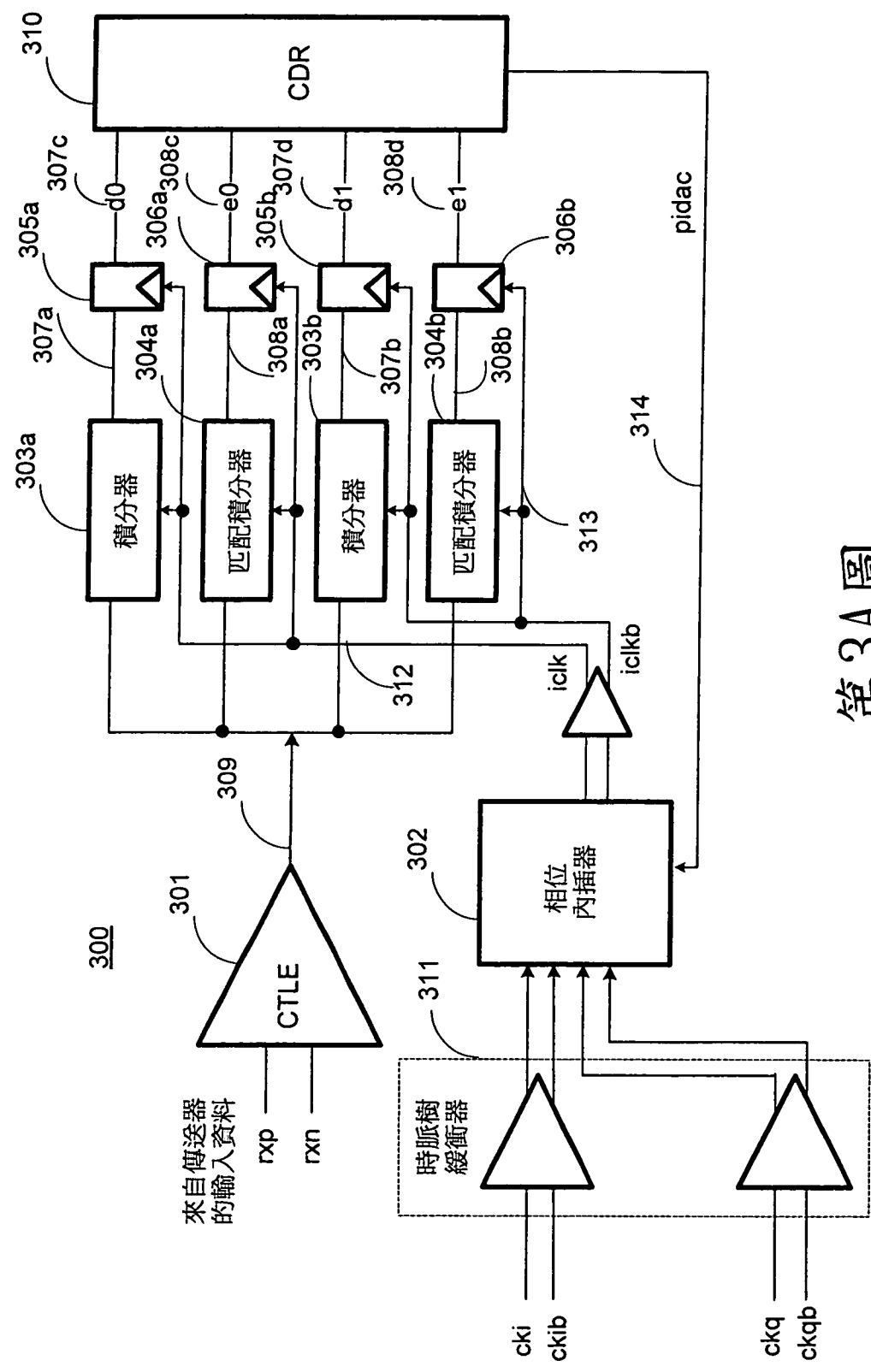
20.如申請專利範圍第 19 項所述之方法，其中該相位內插器為單一相位內插器，且其中透過該時脈信號的一相同變遷邊緣來履行該資料信號之該第一經積分部分及該第一邊緣取樣之取樣。



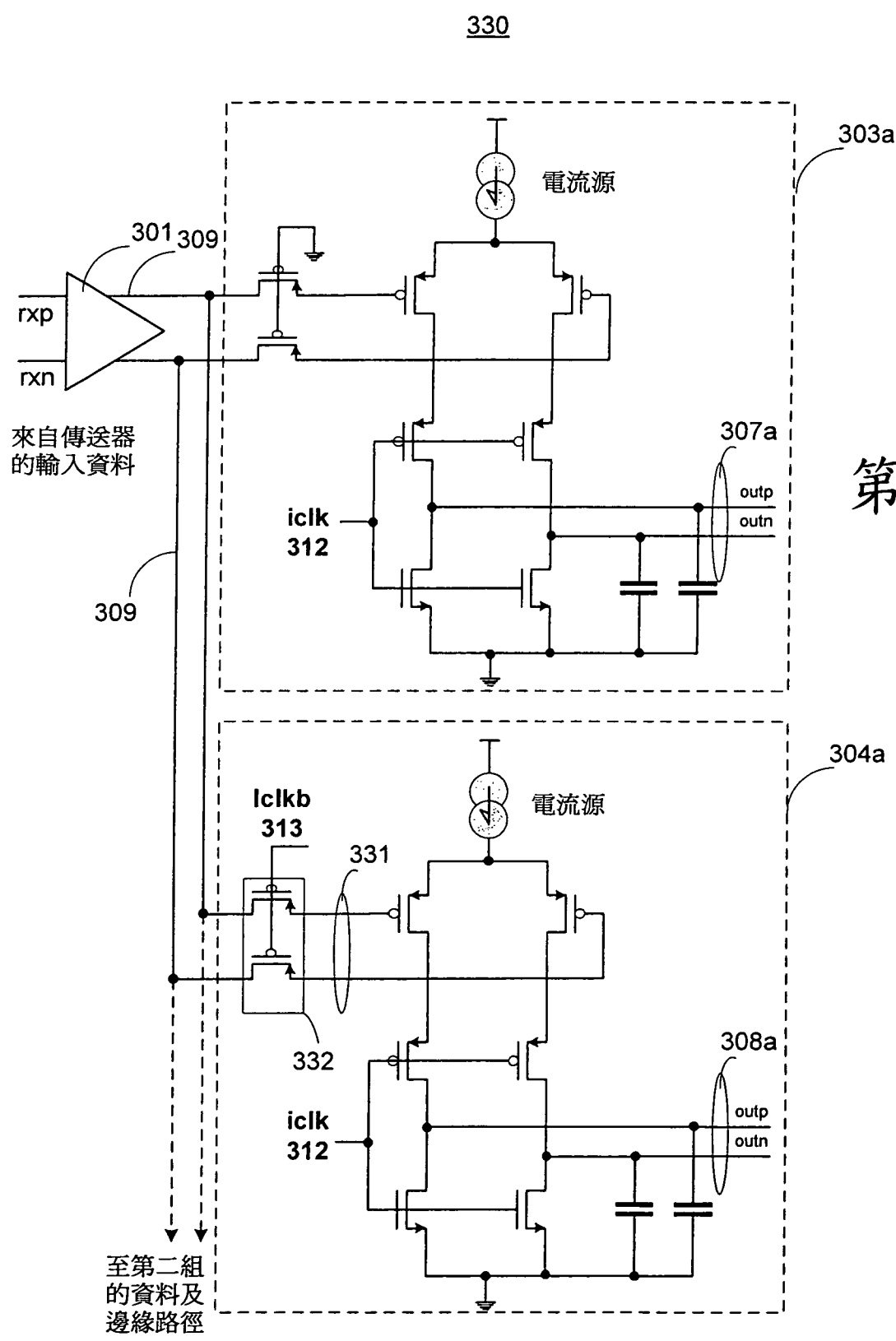
第1圖



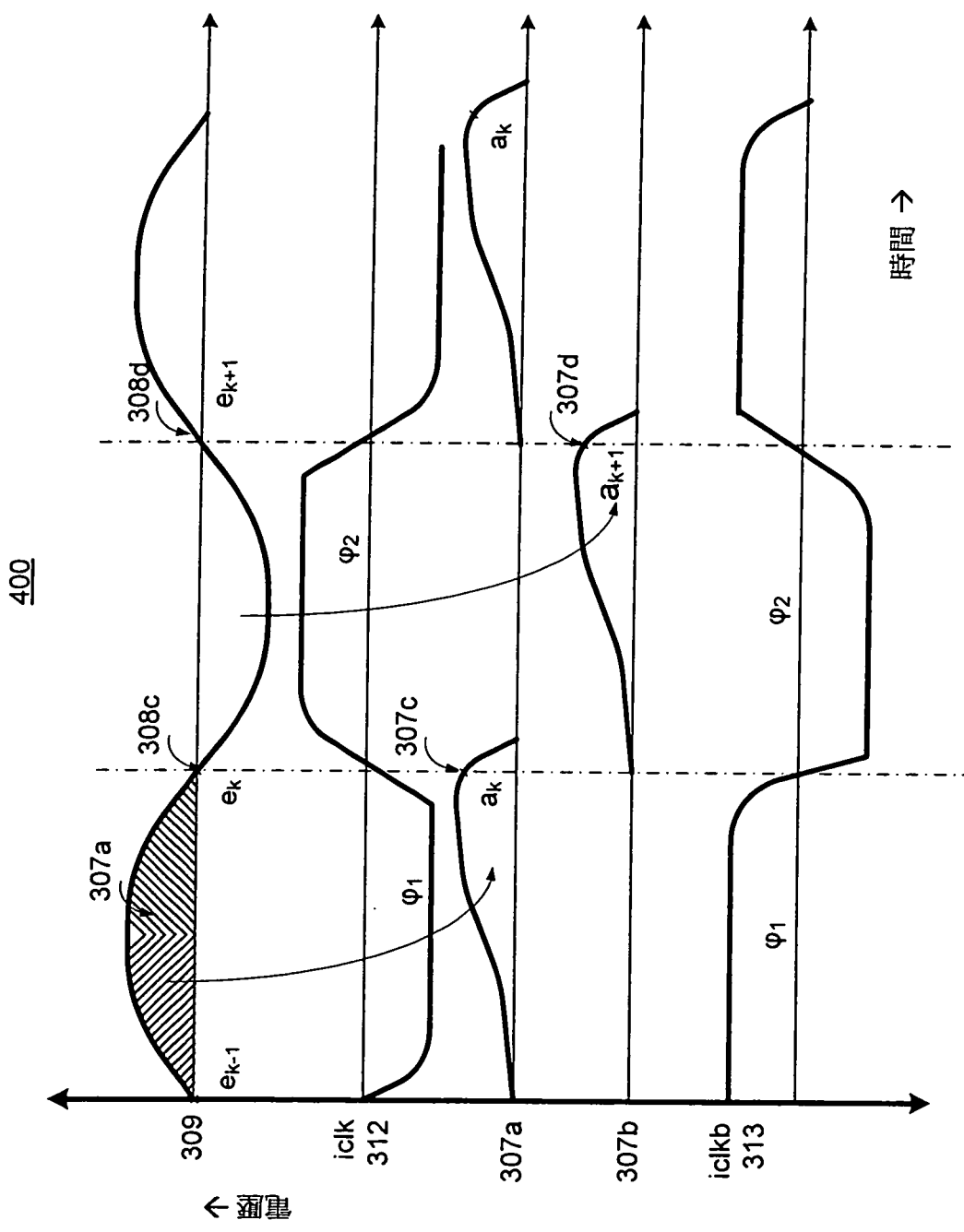
第2圖 (先前技術)



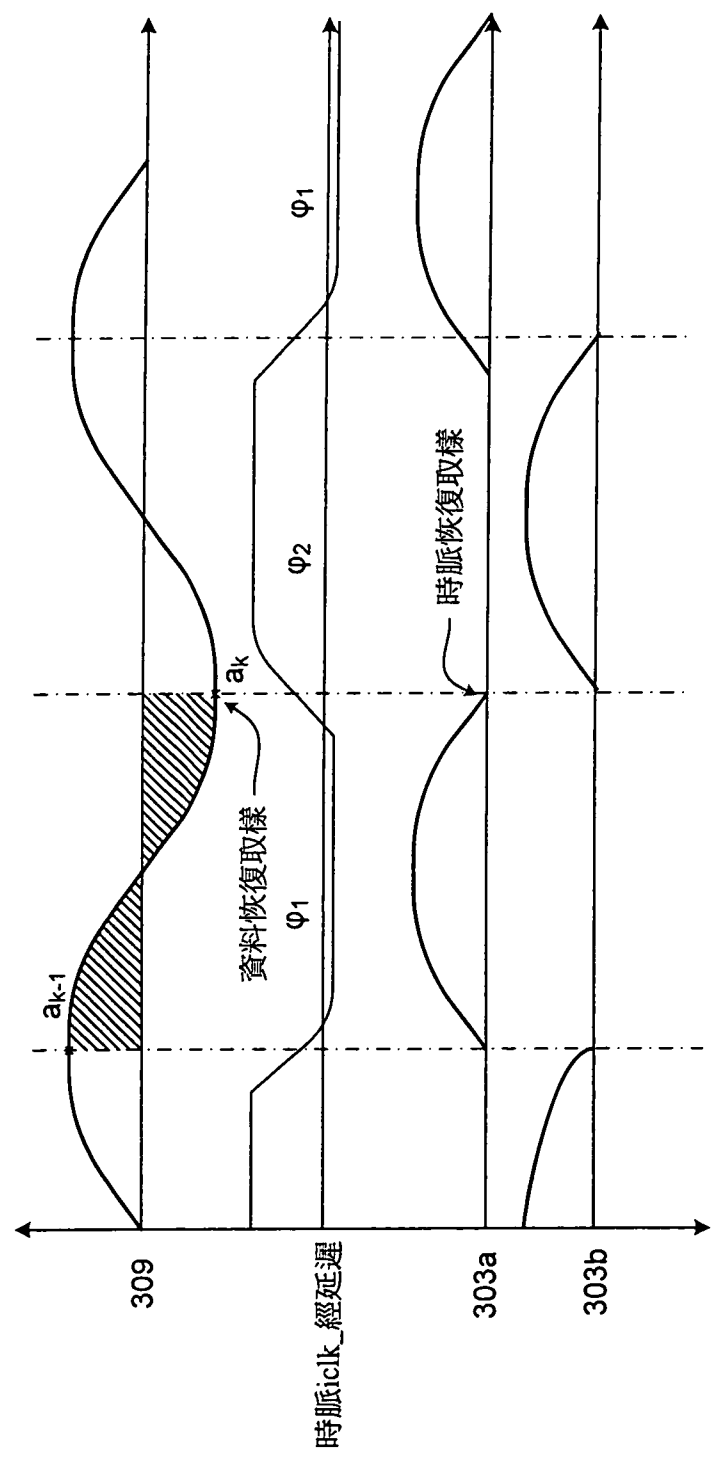
第3A圖



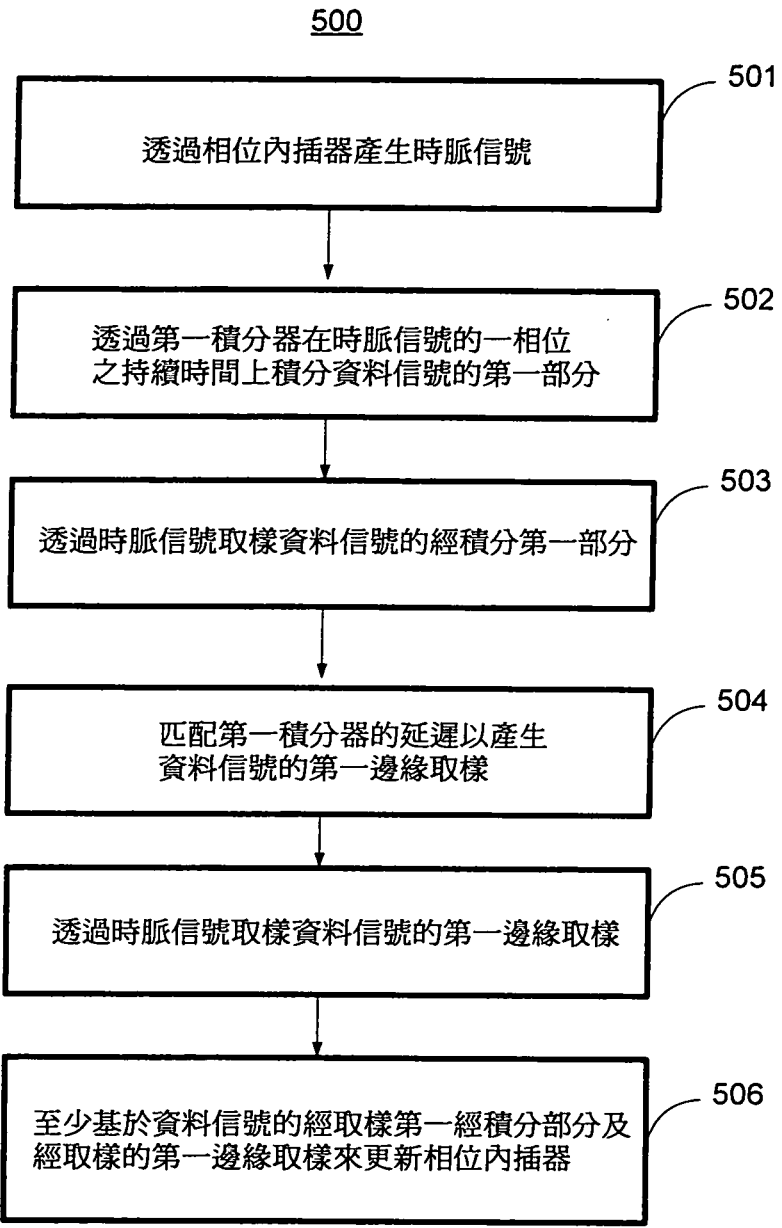
第3B圖



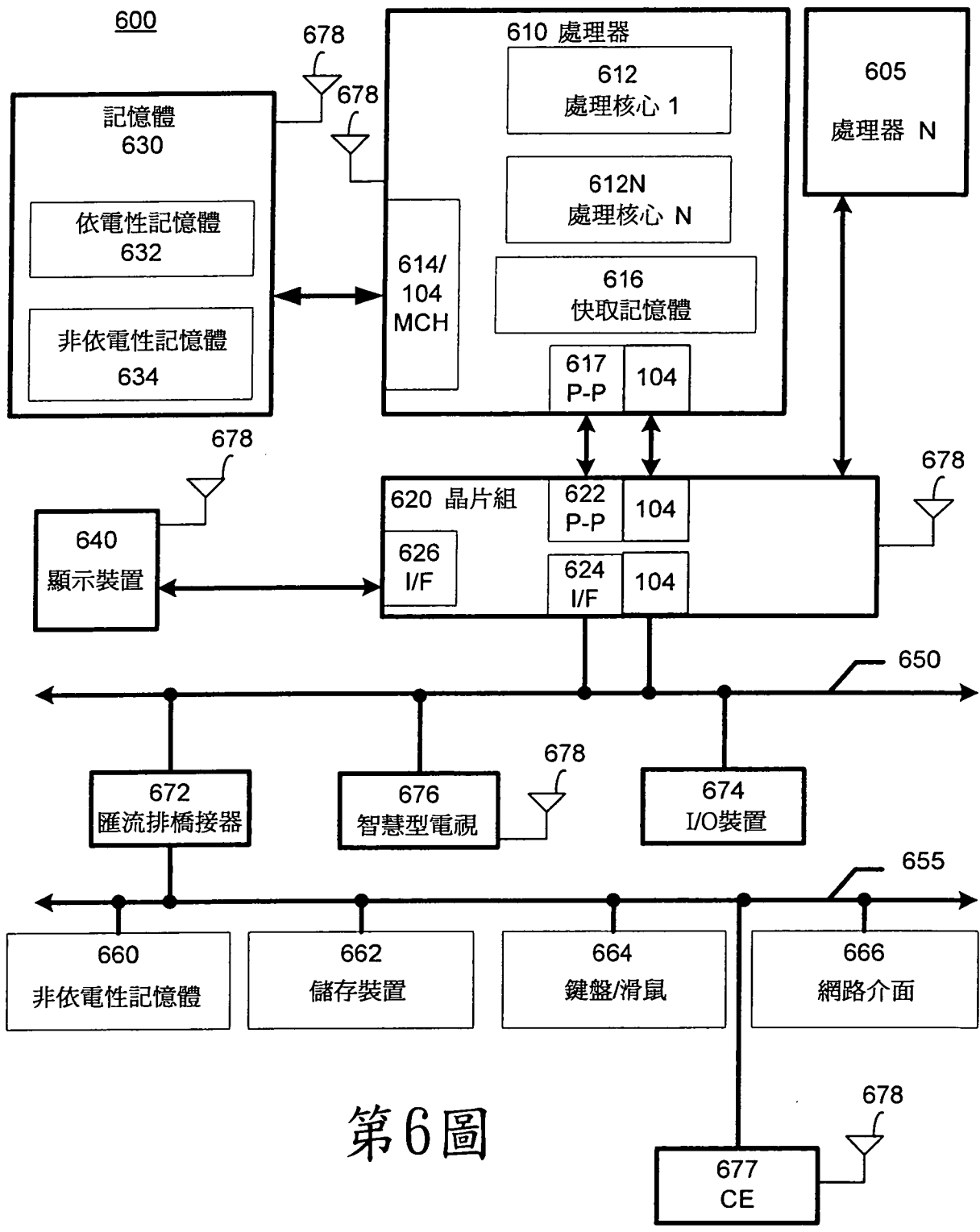
第4A圖



第4B圖



第5圖



第6圖