

公告本

申請日期	90.8.14
案 號	90119927
類 別	H01L 27/11

A4
C4

508813

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	非揮發性記憶體，製造方法及程式規劃方法
	英 文	"NON-VOLATILE MEMORY, METHOD OF MANUFACTURE, AND METHOD OF PROGRAMMING"
二、發明人 創作	姓 名	1.胡中友 CHUNG-YOU HU 3.柳威華 WEI-HUA LIU 2.張國棟 KUO-TUNG CHANG 4.大衛 布納特 DAVID DURNETT
	國 籍	1.2.中華民國 3.中國 4.美國
	住、居所	1.美國德州奧斯丁市灰石大道3543號1101室 2.美國德州奧斯丁市崔克頓路11219號 3.美國德州奧斯丁市克羅比希斯大道10500號 4.美國德州奧斯丁市月桂樹路3804號
	姓 名 (名稱)	美商摩托羅拉公司 MOTOROLA INC.
三、申請人	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代 表 人 名 姓	派翠西亞 S. 高達 PATRICIA S. GODDARD

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 2000年08月15日 09/639,195 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀
面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

先前應用參照

本專利申請於2000年8月15日提出美國專利申請，專利申請案號為09/639,195。

發明領域

本發明與半導體裝置有關，尤其，本發明與非揮發性記憶體及隔離通道程式規劃和陣列運作有關。

相關技藝

傳統記憶體陣列(如電氣可擦除式可程式規劃唯讀記憶體；(EEPROM)陣列)包含複數個單獨的記憶體單元。可針對所要的邏輯或記憶體狀態來程式規劃記憶體單元。在程式規劃陣列的過程中，每個單元必須具有高電壓或低電壓(即，開或關)狀態。期望的高電壓狀態會因耗電量考量及實體和材料限制條件而受到限制。同樣地，期望的低電壓狀態會因必須區別高電壓狀態，並且還不能導致在以緊密記憶體陣列單元分佈之鄰近單元之中的跨洩漏而受到限制。存取低電位狀態所需的電壓愈高，記憶體單元的耗電量也愈大。

按慣例，記憶體單元係以陣列分佈。圖1顯示此類陣列的簡化實例。圖1所示的示範性陣列只包括九個單獨的記憶體單元，而典型的記憶體陣列包括更多的單元。因此，圖1所示之示範性陣列中的少數量單元應識為僅供本文解說及討論的實例。實際上，本文中所說明的相同原理適用於各種大小的記憶體陣列，包括更大的記憶體單元陣列。

圖1所示的陣列包括九個單獨的記憶體單元，例如，記

五、發明說明 (2)

記憶體單元101至109。陣列之每個單元(例如,單元101)的閘極係連線至字線,例如,字線(W_1) 121連線至單元101的閘極。例如,其他的單元102和103係連線至字線121。基於參考用途,於圖1中,單元101、102、103係以陣列內的同「列」分佈。共同字線(如字線(W_1) 121、(W_2) 122和(W_3) 123)分別連接同列的單元(如單元101、102、103;單元104、105、106;及單元107、108、109)。

列中每個單元的汲極係連接分開的位元線,例如,單元101的汲極係連接位元線(B_1) 131。例如,同一位元線131連接陣列的其他單元104和107。基於參考用途,單元101、104、107係以陣列的同「行」分佈。共同位元線(如位元線131、132和133)分別連接同行的單元101、104、107;單元102、105、108;及單元103、106、109。

單元101的源極係連接至源極線125。源極線125也連接整個陣列所有其他單元101至109的源極。因此,如圖1所示,平行字線121至123分別連接至陣列中以同列方式分佈的單元101至103、104至106或107至109,而平行位元線131至133分別連接至陣列中以同行方式分佈的單元101、104、107;102、105、108;或103、106、109。陣列的所有單元101至109都是位於共同井區中,例如圖1的p井100。在這個排列中,陣列的每個單元101至109共用源極線125及p井100。

在程式規劃前述之單元101至109陣列的過程中,會將正電壓供應給所選記憶體單元字線及所選記憶體單位元

五、發明說明 (3)

線。接著，經由熱載流子注入(hotcarrier injection；HCI)來程式規劃所選記憶體單元，藉此改變所選記憶體單元的門限電壓(即，改變浮動閘極中儲存的電荷量)。於程式規劃事件期間會週期性感測門限電壓的變化，以偵測陣列中的所選記憶體單元是否已到達目標門限電壓。在擦除前述之單元101至109陣列的過程中，擦除整個陣列的方式是，將負電壓供應給每個字線，並將正電壓供應給源極線125或共同p井100。在這個方法中，同時將陣列中所有記憶體單元的浮動閘極相應地充電為低門限電壓狀態。

請參考圖2，圖中顯示在高門限電壓狀態與低門限電壓狀態(即，對應於「關」或「開」狀態)下，陣列之記憶體單元101至109所表示之位元之間的門限電壓。請注意，高電壓狀態與低電壓狀態實際上分別是特定目標高電壓與目標低電壓附近的電壓位準範圍。圖2所示的電壓範圍是解說傳統陣列程式規劃所呈現的分佈類型，其中所有的單元均共用共同井區，例如p井100。在圖2的分佈中，高門限電壓集中在介於(例如)5至6伏特之間相當窄的分佈區域中。但是，低門限電壓狀態的門限電壓分佈區域非常寬廣，例如0.5伏特至2.5伏特。較低門限電壓狀態的門限電壓分佈區域較寬廣的主因為，由於所有位元單元均位於共同p井中，所以會同時擦除所有的記憶體單元。與較高門限狀態相比，較低門限狀態的 V_t 分佈區域較寬廣的主要原因包括：製程變化、材料缺陷及材料特性降級。於讀取操作期間，較寬廣的 V_t 分佈區域導致需要高字線電壓，以確

五、發明說明 (4)

保低 V_i 狀態位元單元讀取存取成功。

呈現的問題包括，因需要較高字線電壓，所以會消耗大量功率，以確保達成低門限狀態讀取存取。另外，為了達到較高的字線電壓，可能需要從低電壓電源供應升壓，以達到所要的字線電壓。如果只採用低功率，為了達到所要的字線電壓，甚至從低電壓電源供應升壓，因為升壓緩慢，所以需要非常長的時間。其優點為，以低門限電壓位準控制單元陣列之中的電壓範圍分佈，以便降低讀取存取所需的字線電壓。然而，當陣列的所位單元均位於共同 p 井中時，控制較低電壓範圍分佈區域會導致鄰近單元之間的跨洩漏問題。

本發明是技藝及技術方面的重大改良及優勢，因為本發明提供將較低門限電壓分佈區域限制在較窄的範圍，並且進一步能夠使用較低字線電壓迅速存取。

圖式簡單說明

本發明將藉由實例及附圖來進行解說，但本發明未限定在這些實例及附圖內，其中相似的參照代表相似的元件，並且其中：

圖 1 顯示以共同 p 井組態之傳統記憶體單元陣列的圖式；

圖 2 顯示低門限電壓位準與高門限電壓位準之陣列之記憶體單元閘電極電壓分佈區域的圖式；

圖 3 顯示根據本發明明具體實施例之單獨位元線及陣列之記憶體單元的隔離 p 井圖式；

圖 4 顯示沿著圖 3 所示之陣列隔離 p 井長度之半導體裝置

五、發明說明 (5)

的斷面圖；

圖5顯示橫跨圖3所示之各自鄰近隔離p井之鄰近單元之半導體裝置的斷面圖；

圖6顯示具有圖5所示之方位之半導體裝置工作部件的斷面圖，其顯示鄰近隔離p井的渠構形態；

圖7顯示圖6所示之裝置之p井及深n井隔離植入的圖式；

圖8顯示圖7所示之裝置深n井隔離及n井中p井擴散的圖式，接著閘極氧化物形成及多晶沈澱及模製；

圖9顯示圖8所示之裝置蝕刻之後剩餘之多晶1，接著氧化物氮化物氧化物(ONO)層及多晶2沈澱的圖式；

圖10A至E顯示關於擦除及程式規劃陣列之陣列隔離p井之示範性電壓梯級，以及記憶體單元於各級電壓的典型閘極電壓分佈區域；以及

圖11顯示具有隔離p井排列並且包括無觸點源極之半導體裝置替代具體實施例的斷面圖。

熟知技藝人士應明白，圖中的元件是簡化的圖解，並且不需要按比例繪製。例如，相對於其他元件，圖中部份元件的尺寸可能過度放大，以利於更容易瞭解本發明的具體實施例。

詳細說明

根據本發明一項具體實施例，非揮發性記憶體(NVM)陣列(如電氣可擦除式可程式規劃唯讀記憶體；(EEPROM)陣列)包含於分開p井區中形成的數行記憶體單元，以降低陣列中所選記憶體單元的程式規劃門限電壓分佈寬度。例

五、發明說明 (6)

如，在井區(如p井區)內形成共用共同位元線的複數個記憶體單元。在一項具體實施例中，每個隔離p井在陣列中形成一行記憶體單元。P井區係利用淺渠溝隔離(STI)結構來互相電氣隔離。分開之p井區內形成的記憶體單元共用一條共同位元線及共同源極線。將記憶體陣列隔離成分開的p井可提供改良的程式規劃控制，其方式是允許將陣列中的記憶體單元PC成位於更緊密的門限電壓分佈區域。

請參考圖3，記憶體單元陣列30包括記憶體單元311至316、321至326及331至336。因為陣列可包括比如圖所示之記憶體單元更多或較少的單獨記憶體單元，所以記憶體單元陣列30是用來作為示範，並且單元可用各種共列、並行或其他相對位置的任一種排列來分佈。在陣列中，記憶體單元311至316形成第一行、記憶體單元321至326形成第二行及記憶體單元331至336形成第三行。

每行記憶體單元都是藉由一條共同位元線來連接其各自的汲極(或汲極區)，例如，記憶體單元311至316藉由位元線3091連接、記憶體單元321至326藉由位元線3092連接及記憶體單元331至336藉由位元線3093連接。相鄰行中對應的單元(如記憶體單元311、321、331)都是藉由共同字線來連接控制閘極，例如字線3071連接記憶體單元311、321、331之每個記憶體單元的控制閘極；字線3072連接記憶體單元312、322、332之每個記憶體單元的控制閘極；字線3073連接記憶體單元313、323、333之每個記憶體單元的控制閘極；字線3074連接記憶體單元314、324、334之每

五、發明說明(7)

個記憶體單元的控制閘極；字線3075連接記憶體單元315、325、335之每個記憶體單元的控制閘極；及字線3076連接記憶體單元316、326、336之每個記憶體單元的控制閘極。根據一項具體實施例，每行記憶體單元(例如，記憶體單元311至316)都是位於共同井區內，如p井301。記憶體單元321至326係位於p井302內，而記憶體單元331至336係位於p井303內。每行記憶體單元係經淺渠溝隔離結構(圖3中未顯示)與相鄰行的記憶體單元電氣隔離。

一條源極線電氣耦合至各自行之每個記憶體單元的源極區，如第一列的記憶體單元311至316係連接至源極線3051。根據一項具體實施例，將源極線3051及p井區301電氣耦合，以便具有同等電壓，如電氣條3011及3012所示。陣列30的其他隔離p井302、303分包括記憶體單元321至326或記憶體單元331至336之記憶體單元行，並且記憶體單元321至326或記憶體單元331至336的源極區係電氣耦合至源極線3052或3053。連接3021、3022標示源極線3052與p井302的電氣耦合(因此具有同等電壓)，而連接3031、3032標示源極線3053與p井303的電氣耦合(因此具有同等電壓)。雖然圖3標示的源極線3051與p井301的連接是每隔四個單元出現，即在記憶體單元312至315序列的任一端上的連接3011、3012，但是這個序列及連接之間的記憶體單元數量僅供示範用途，並且各種記憶體單元的任一種均可在連接3011與3012之間、連接3021與3022之間及連接3031與3032之間仲裁。例如，如期望，可在每隔16個單元、32個

五、發明說明(8)

單元、64個單元或視陣列、架構及想要的排列而定的其他方式出現連接。

電氣條(如3011及3012)所提供的連接有助於確保p井電位於讀取及寫入操作期間仍然維持穩定。P井深度通常不會超過淺渠溝隔離結構的深度。因此，P井的薄片阻抗通常會隨著淺渠溝隔離結構深度遞減而遞增。如果p井中有任何洩漏電流，則會導致p井電位不穩定。不穩定的p井電位會相應產生不要的門限電壓不穩定。因此，電氣條(如3011及3012)有助於確保供應至源極線(及p井)的電位會平均分佈在整個p井區，藉由改良p井中記憶體單元的門限電壓穩定度。

請參考圖4，半導體裝置的斷面包含圖3所示的陣列，並且包括在深N井401中形成的p井301。記憶體單元源極區及汲極區係經由傳導填塞物402分別連接至源極線3051及位元線3091。源極區包括擴散區3112、3122；3132、3142；及3152、3162。汲極區包括擴散區3111、3121；3131、3141；及3151、3161。P井電氣條的來源包括p型摻雜區3011及3012。根據一項具體實施例，所選源極區係藉由覆蓋所選源極區3112、3122、3152和3162及p井電氣條3011和3012之半導體基板矽化物部份電氣短路至p井電氣條，如矽化物區32所示。在替代具體實施例中，可將p井區301電氣連接至所選源極區，其方式是將所選源極區矽化，直到直接短路至p井區的程度，或者，藉由過度蝕刻所選源極區傳導填塞物的接觸開孔，直到傳導填塞物電氣短路至

五、發明說明(9)

選擇性源極區及p井區的程度。

如圖4所示，各自源極區及汲極區係藉由記憶體單元311、312、313、314、315和316的通道區域將之分開。根據一項具體實施例，記憶體單元包括位於通道區域上的隧穿氧化物、位於隧穿氧化物上的浮動閘極電極、位於浮動閘極電極上的控制閘極電介質以及位於控制閘極電介質上的控制閘極電極。傳導填塞物402及互相連接(圖中未顯示)連接各自的源極區及汲極區與來自於位元線3091(就汲極區而言)或源極線3051(就源極區而言)的電子信號。雖然圖4中將位元線3091及源極線3051標示為電氣佈線，但是應知道，適當的半導體互相連接係以相同或不同等級的裝置所製作，以構成各自的位元線3091及源極線3051，並且使用電氣佈線的圖解僅供解說及瞭解連接和排列的電氣傳導效應之用。

請參考圖5，圖4的半導體裝置具有圖3所示之陣列30電子組態，圖5顯示大體上沿著切割線305之橫跨相鄰p井301和302的斷面圖。根據一項具體實施例，深n井區401係在半導體裝置基板內形成，並且用來形成記憶體單元陣列的p井行係在配置於深n井區內。如圖5斷面圖所示，淺渠溝隔離結構501和深n井區401電氣隔離p井區301和302。記憶體單元311及321分別覆蓋p井區301及302。記憶體單元311及321包括隧穿氧化物502、浮動閘極電極503和504、控制閘極電介質層505以及從圖3所示之字線3071部份形成的控制閘極電極。此外，字線3071互相連接及記憶體單元311

五、發明說明 (10)

及321。

如圖5的斷面圖所示，p井301與p井302隔離。由此可知，因為隔離，所以與p井301關聯之記憶體單元的偏壓電位不一定相同，並且非相依於與p井302關聯之記憶體單元的偏壓電位。換言之，每個分開的p井行在與陣列30中的其他p井行隔離。從下文中的說明將會更明白，這些隔離的p井促使陣列程式規劃能夠以低及高門限電壓位準來實現較窄的門限電壓分佈區域。另外，隔離的p井還具有某些其他優點，包括降低相鄰單元之間跨洩漏的可能性，同樣從下文中的說明將會更明白。

請參考圖6到9，其中更詳盡說明與形成圖5所示之裝置的步驟。圖6顯示半導體裝置基板601。半導體裝置基板601可能是單結晶半導體晶圓、絕緣體上半導體(SOI)基板，或適合用來形成半導體裝置的任何其他基板。在一項特定具體實施例中，半導體裝置基板是矽基板。在半導體裝置基板601內形成隔離結構501。在一項特定具體實施例中，隔離結構501是淺渠溝隔離結構。或者，隔離結構501可包括矽之局部氧化(local oxidation of silicon; LOCOS)結構，或熟知技藝人士已知的其他隔離結構。淺渠溝隔離結構501係用來隔離大體上形成於基板601內的p井區。在一項具體實施例中，淺渠溝隔離結構的深度約0.35至0.65微米深的範圍內，或者，適合應用的其他深度及參數。

請參考圖7，形成淺渠溝隔離結構501之後，執行p井植入，以在基板601內形成摻雜區701和702。根據一項具體

五、發明說明 (11)

實施例，使用硼或其他p型摻雜物以植入基板601，以形成p摻雜區701和702。形成p摻雜區701和702之後，再次使用磷或其他n型摻雜物以植入基板601，以形成深n摻雜區703。熟知技藝人士應知道，用來形成深N摻雜區703的植入能量高於用來形成p摻雜區701和702的植入能量。

形成p摻雜區701和702及深n摻雜區703之後，在基板表面上形成隧穿氧化物502，如圖8所示。(注意，當在本文中使用时，「基板表面」包括半導體裝置基板及在半導體裝置基板上製造的所有層，直到討論中的處理點。因此，基板表面代表基板的最上層表面，包括在基板上形成的所有結構)。根據一項具體實施例，隧穿氧化物是熱生長式二氧化矽層。或者，隧穿氧化物可包括高電介質常數材料，或熱生長式二氧化矽層與高電介質常數材料的組合(基於本說明書的用途，高電介質常數(高k)材料是電介質常數大於二氧化矽電介質常數的材料)。

根據一項具體實施例，然後使用傳統退火製程來退火半導體基板，以擴散及活化基板601中的摻雜物(即，p摻雜區701和702及深n摻雜區703)，藉此形成p井區301和302及深n井區401，如圖8所示。然後，形成第一傳導層801以覆蓋基板表面。根據一項具體實施例，第一傳導層801是多晶矽層。之後，沈澱及模製抗蝕層(resist layer)以覆蓋第一傳導層801，如圖8所示。然後蝕刻第一傳導層801及基礎隧穿氧化物層502，以形成浮動閘極503和504，如圖9所示。

五、發明說明 (12)

接著參考圖9，形成浮動閘極電極503和504之後，形成控制閘極電介質層505以覆蓋浮動閘極電極503和504。根據一項具體實施例，控制閘極電介質層505是氧化物氮化物氧化物(ONO)層，其大約10到15毫微米(nm)的同等氧化物厚度(EOT)。之後，若需要，沈澱、模製並蝕刻第二傳導層，以形成字線3071，還形成記憶體單元311和321的控制閘極。根據一項具體實施例，第二傳導層是多晶矽層。字線3071通常連接記憶體單元311和321(如圖3所示)。形成字線3071及其他字線(圖中未顯示)之後，在基板表面上沈澱中間電介質(ILD)層901，如使用tetraethoxysilane (TEOS)作為來源氣體(或其他類似材料)形成的化學蒸汽化澱積(chemical vapor deposition; CVD)氧化矽。雖然圖9未顯示，形成半導體裝置的後續步驟包括形成連至其他陣列元件的接觸點及互相連接。

在替代具體實施例中，雖然技術持續調整記憶體單元的特徵大小，圖5至9所發表之深n井排列的區域可能太大，並且導致高電壓寫入及擦除操作的充電/放電時間減速。為了克服這個缺點，本發明人已發現淺渠溝隔離可取代深渠溝結構，使每行完全隔離p井及n井。其優點為降低每條單獨位元線之n井至p井基板的接合電容，進而縮短寫入/擦除操作的充電/放電時間。此外，可藉由增加渠溝隔離結構的深度來增加p井深度。增加p井深度有數項優點。第一，降低p井薄片阻抗，進而有助於降低p井電位的不穩定性(如上文所述)。第二，因為較深的渠溝隔離結構可縮短

五、發明說明 (13)

相鄰位元線之間的洩漏路徑，所以藉由減少控制p井中的硼摻雜曲線的需求，可改良半導體裝置的可製造性。第三，較深的p井/渠溝隔離結構還降低n+(源極和汲極)/p井/n井寄生電晶體的雙極性作用。圖9的虛線902標示這個深渠溝的實例。如圖9所示，深渠溝隔離結構的深度深於深n井區401的深度。深渠溝隔離結構的深度最好在大約0.6至1.1微米的範圍內。深渠溝隔離結構的深度在大約0.8至1.0微米的範圍內最佳。

現在請參考圖10A至E，圖中發表程式規劃具有隔離p井排列之記憶體單元的具體實施例。圖10A至E的左方都包括X-Y標繪圖，用以顯示包括圖3所示之三個記憶體單元311、321和331之陣列30的門限電壓(V_T)與位元數量的比對，以及圖式的右方顯示圖3所示之陣列30的簡化圖，用以顯示用來程式規劃記憶體單元的偏壓電位。圖10A至E都是用來說明如何使用本發明具體實施例(即，使用隔離的p井來形成記憶體陣列中的行)，將陣列中的記憶體單元程式規劃為具有比先前技藝記憶體陣列更緊密之 V_T 分佈區域的低門限電壓狀態。關於三個記憶體單元311、321和331的程式規劃、陣列30的剩餘記憶體單元及特定偏壓電位均不是用來限制本發明，而是僅供解說用途。熟知技藝人士應明白，可程式規劃陣列中任何數量的記憶體單元，並且可使用其他的偏壓電位來程式規劃記憶體單元。

根據一項具體實施例，將記憶體單元的門限電壓從高門限電壓狀態變更為低門限電壓狀態，以程式規劃記憶體單

五、發明說明 (14)

元。高門限電壓狀態及低門限電壓狀態都具有建構其各自門限電壓目標的範圍。例如，在本文說明的具體實施例中，高門限電壓目標是從約4.0伏特至約5.0伏特的範圍內；低門限電壓目標是從約1.0伏特至約1.5伏特的範圍內，並且讀取電壓位準大約是3.3伏特。請注意，本文說明之具體實施例所使用的低門限電壓目標比先前技藝記憶體陣列之前可獲得低門限電壓目標更緊密。隔離p井允許在每個p井中分開偏壓記憶體單元。分開偏壓記憶體單元的功能改良將記憶體單元精確程式規劃至所要的門限電壓範圍內的功能，其方式是提供在獲取該記憶體單元的所要門限電壓之後，取消選擇特定p井中記憶體單元的功能。

請參考圖10A，X-Y標繪圖解說當擦除至高門限電壓狀態時，圖3所示之記憶體單元的門限電壓分佈區域。此外，在X-Y標繪圖的旁邊提供圖3所示之記憶體陣列30的簡化圖。簡化圖標示供應至3091、3092、3093、源極線3051、3052、3053及字線3071至3076的各自電壓。由於連接3011、3012；3021、3022；及3031、3032，以相同電位將隔離p井301、302和303(如圖3所示)偏壓成爲各自的源極線3051、3052和3053。根據一項具體實施例，如圖10A所示，在程式規劃陣列中的記憶體單元之前，會經由Fowler-Nordheim隧穿將之擦除，其方式是將電壓(例如，-8伏特)供應至位元線3091、3092、3093及源極線3051、3052、3053，並且將10伏特供應至陣列的字線3071、3072、3073、3074、3075、3076。偏壓作業結果會擦除陣列中記

五、發明說明 (15)

憶體單元，而成爲介於大約4.0至5.0伏特電壓的高門限電壓狀態。曲線1001給定門限電壓分佈區域。如圖10A所示，記憶體單元311、321和331的擦除門限電壓在曲線1001分佈區域的範圍內。

請參考圖10B至E，擦除記憶體單元而成爲高門限電壓狀態之後，根據一項特定具體實施例，以梯級方式將記憶體單元311和321程式規劃成爲低門限電壓狀態。熟知技藝人士應明白，如上文所述，記憶體單元311和321的特定程式規劃序列會依據所要的特定門限電壓狀態，而因陣列記憶體單元而異。在圖10A至E的實例中，陣列中記憶體單元的目標門限電壓狀態分別是開或程式規劃(即，低門限電壓狀態)及關或擦除(即，高門限電壓狀態)。

現在請參考圖10B所示的簡化圖，如圖10A所示擦除陣列中的記憶體單元之後，以大約-10V將字線3071偏壓，並且從大約+4伏特至大約+8伏特以遞增方式偏壓位元線3091和3092及源極線3051和3052，例如從+4伏特至+5伏特使用0.2伏特增量以移除記憶體單元311和321的浮動閘極的電荷，藉此降低記憶體單元311和321的門限電壓。字線3072至3076、位元線3093及源極線3053都是以大約0伏特偏壓，使得陣列中的所有其他記憶體單元(包括記憶體單元331)以高門限電壓狀態維持擦除。如圖10B的X-Y標繪圖所示，記憶體單元311和321的門限電壓從分佈區域1001範圍內往目標程式規劃 V_T 範圍(Target Programmed V_T Range)偏移，並且記憶體單元331的門限電壓維持不變，仍然在分

五、發明說明 (16)

佈區域1001範圍內。

請參考圖10C，再次增加位元線3091、3092及源極線3051、3052的偏壓，例如，從大約+5伏特至+6伏特，使用0.2伏特增量，同時將字線3071的偏壓維持在-10伏特。這會繼續降低記憶體單元311和321的門限電壓，如其位置在圖10B與圖10C之間X-Y標繪圖的相對變化所示。字線3072至3076、位元線3093及源極線3053都是以大約0伏特偏壓，使得陣列中的所有其他記憶體單元(包括記憶體單元331)維持在高門限電壓狀態(即，擦除)。如圖所示，例如在圖10C的X-Y標繪圖中，由於偏壓作業，使得記憶體單元311的門限電壓遞減至目標程式規劃 V_T 範圍內，並且記憶體單元321的門限電壓遞減至接近但不屬於目標程式規劃 V_T 範圍內。

請參考圖10D，記憶體單元311的門限電壓遞減至目標程式規劃 V_T 範圍內之後，位元線3091及源極線3051(由於源極性連至p井電氣條3011及3012，所以與源極線3051關聯的隔離各自p井301，如圖3所示)的偏壓降至0伏特。以此方式將記憶體單元311的 V_T 狀態維持在所要的低 V_T 範圍內，而不會進一步變更。因為與記憶體單元311關聯的p井301與其他p井(例如，圖3所示的302和303)，所以位元線3091及源極線3051及p井301的偏壓變化(即，供應0伏特)有效停止記憶體單元311的門限電壓偏移，並且使記憶體單元311的門限電壓維持在目標程式規劃 V_T 範圍內。這是在不影響程式規劃陣列中與其他p井關聯的其他記憶體單元

五、發明說明 (17)

之功能的情況下達成，例如，在本實例中，相鄰的記憶體單元321及相鄰的p井(圖3所示的p井302)。

請參考圖10E，繼續以遞增方式增加位元線3092及源極線3052的偏壓，例如，從大約+6伏特至+7伏特，使用0.2伏特增量，同時將字線3071的偏壓維持在-10伏特，直到記憶體單元321的門限電壓減至目標程式規劃 V_T 範圍內，如圖10E所示。應知道，因為根據本文說明的具體實施例之各自記憶體單元311、321、331的隔離井，所以可將每個各自隔離井中的記憶體單元程式規劃為適當的門限電壓狀態，而不會影響其他相鄰隔離井中之記憶體單元的門限電壓狀態。圖10E的X-Y標繪圖顯示記憶體單元311和321的門限電壓在目標程式規劃 V_T 範圍內，並且記憶體單元331與陣列中其他記憶體單元的門限電壓在高門限電壓分佈區域範圍內。這是所期望的記憶體單元311、321、331(及記憶體陣列中其餘記憶體單元)程式規劃狀態。雖然已具體說明圖3所示之陣列之記憶體單元程式規劃實例，但是熟知技藝人士應知道且瞭解可配合陣列及其他陣列和裝置來採用其他的程式規劃步驟、偏壓範圍、處理程序等等，全部都與陣列或其他裝置的各種單元或位置的隔離井區觀念一致。

本發明具有優點先前技藝的數項優點。本發明適用於操作記憶體陣列的陣列架構，其方式是針對通道Fowler-Nordheim隧穿以非相依方式偏壓每行通道電壓，以針對低電壓/低功率及高效能應用實現緊密 V_T 分佈區域。藉由使

五、發明說明 (18)

用 Fowler-Nordheim 隧穿來程式規劃及/或擦除通過位單元 (bitcell) 通道區域，可避免先前技藝所使用的高驅動電流 (即，熱電子注射) 及 band-to-band 隧穿電流 (即，源極/汲極邊緣程式規劃/擦除)。可按比例縮小通道長度，而不需要高 V_{ds} 條件及深接合。此外，擦除至高門限電壓狀態及程式規劃以確定低門限電壓狀態，可避免由於過度擦除低 V_T 狀態而空乏位元 (即， V_T 小於或大約等於零伏特)。另外，本發明具體實施例的優點為，減少於讀取操作期間需要使用 V_{dd} 升級或電荷幫浦來升壓字線電壓。此外，本發明具體實施例很容易使用現有的材料來併入現行的處理程序，而不需要開發新或複雜的處理程序。

請參考圖 11，圖中發表替代具體實施例的斷面圖，其中隔離 p 井中每個記憶體單元的源極區係經由介於每個源極區與隔離 p 井區之間的電氣條連接至隔離 p 井區。這個具體實施例的優點為，不需要形成源極互相連接及接觸點來耦合每個記憶體單元的源極區，進而顯示縮小記憶體單元的大小。實現記憶體單元源極區偏壓的方式為，經由電氣互相連接 117、電氣接觸點 118 及 p 摻雜區 119 將電位供應至 p 井區 1101。當以所要的電位偏壓隔離 p 井時，會經由電氣連接 (包括 p 摻雜區 1120、1121、1122 及矽化物區 1123、1124 和 1125) 以類似的電位相應偏壓每個記憶體單元的源極區。在一項具體實施例中，n 型源極區 1126 和 1127、1128 和 1129、1130 和 1131 分別經由 p 摻雜區 1120、1121、1122 電氣耦合至隔離 p 井區 1101。根據一項特定具體實施

五、發明說明 (19)

例，n型源極區1126和1127、1128和1129、1130和1131係藉由覆蓋n型源極區1126和1127、1128和1129、1130和1131及p摻雜區1120、1121和1122之基板1123、1124和1125的矽化部份電氣短路至p摻雜區1120、1121和1122，如圖11所示。

根據一項具體實施例，位元線1132係電氣耦合至記憶體單元111、112、113、114、115和116的汲極區1133、1134、1135、1136，並且在隔離p井區1101之下形成深n井區1102。熟知技藝人士應知道，可使用其他方法來電氣耦合隔離p井區1101與源極區1126、1127、1128、1129、1130和1131。在這個方法中，記憶體陣列程式規劃可使用如上文所述的隔離p井觀念。程式規劃及擦除裝置的方法大體上類似於前文中配合圖10A至10E所說明的方法。

雖然已針對特定傳導類型或電位雙極性來說明本發明，熟知技藝人士應明白傳導類型或電位雙極性可相反。於前面的說明書中，已參考特定具體實施例來說明本發明。然而，熟知技藝人士應明白本發明的各種修改並且容易修改，而不會脫離如下文中申請專利範例所提供之本發明的範疇與精神。因此，說明書暨附圖應視為解說，而不應視為限制，並且所有此類的修改皆屬本發明範疇內。

已說明關於特定具體實施例的優勢、其他優點及問題解決方案。但是，可導致任何優勢、優點及解決方案發生或更顯著的優勢、優點、問題解決方案及任何元件不應被理解為任何或所有申請專利範例的關鍵、必要項或基本功能

五、發明說明 (20)

或元件。本文中所使用的術語「包括」、「包含」或其任何其他的变化都是用來涵蓋非專有內含項，使得包括元件清單的方法、方法、物品或裝置不僅包括這些元件，而且還包括未明確列出或此類方法、方法、物品或裝置原有的其他元件。

裝

訂

線

四、中文發明摘要 (發明之名稱： 非揮發性記憶體，製造方法及程式規劃方法)

本發明揭示一種包含一非揮發性記憶體(如記憶體單元的電氣可擦除式可程式規劃唯讀記憶體；(EEPROM)陣列)的半導體裝置。記憶體係以行列方法排列成單元陣列。陣列的p井區係藉由淺渠溝圖樣所間隔及電氣隔離。每行單元係位於各自的隔離p井區內。連續對應於陣列之記憶體單元列的控制閘極係藉由共用字線來電氣耦合。位元線電氣耦合位於記憶體單元陣列各行中每個記憶體單元的汲極區。源極線電氣耦合位於陣列之各列中每個記憶體單元的源極區。源極線及陣列中每列中的至少一記憶體單元係電氣耦合至對應於行源極線和單元的p井區。因此，陣列的每行係位於隔離井中，由行中的單元共用，但與其化行的其中井區隔離。程式規劃陣列的方式是，運用每行隔離結果，針對每行用脈衝產生電位。

英文發明摘要 (發明之名稱： "NON-VOLATILE MEMORY, METHOD OF MANUFACTURE, AND METHOD OF PROGRAMMING")

A semiconductor device includes a non-volatile memory, such as an electrically erasable programmable read only memory (EEPROM) array of memory cells. The memory is arranged as an array of cells in rows and columns. P-well regions of the array are spaced apart and electrically isolated by shallow trench features. The cells of each column are positioned within a respective isolated p-well region. Control gates of sequentially corresponding memory cells in rows of the array are electrically coupled by common wordlines. Bitlines electrically couple drain regions of each memory cell in the respective columns of the memory cell array. Source lines electrically couple source regions of each memory cell in the respective columns of the array. The source lines and at least one memory cell in each

四、中文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫此欄)

裝

訂

線

英文發明摘要 (發明之名稱：)

column of the array are electrically coupled to the p-well region corresponding to the column of the source line and cell. Each column of the array is therefore located within an isolated well, common to the cells in the column but isolated from other wells of other columns. The array is programmed by pulsing potentials as to each column, with isolation of results for each column.

六、申請專利範圍

1. 一種具有一包含記憶體單元行列之電氣可擦除式可程式規劃唯讀記憶體 (EEPROM) 陣列之半導體裝置，該半導體裝置包括：

一第一 p 井區及一第二 p 井區位於一半導體基板內，其中該第一 p 井區與該第二 p 井區相間隔且電氣隔離；

一第一行記憶體單元，其位於該第一 p 井區內；

一第二行記憶體單元，其位於該第二 p 井區內；

一位於該第一行記憶體單元中之第一記憶體單元的第一控制閘極，以及一位於該第二行記憶體單元中之第二記憶體單元的第二控制閘極，其中該第一控制閘極及該第二控制閘極位於同一列，並且經由一共同字線電氣耦合；

一第一位元線，其電氣耦合至該第一行記憶體單元中每個記憶體單元的汲極區；

一第二位元線，其電氣耦合至該第二行記憶體單元中每個記憶體單元的汲極區；

一第一源極線，其電氣耦合至該第一行記憶體單元中每個記憶體單元的源極區，其中該第一源極線及一該第一行記憶體單元中至少一記憶體單元的源極區係電氣耦合至該第一 p 井區；以及

一第二源極線，其電氣耦合至該第二行記憶體單元中每個記憶體單元的源極區，其中該第二源極線及一該第二行記憶體單元中至少一記憶體單元的源極區係電氣耦合至該第二 p 井區。

六、申請專利範圍

2. 如申請專利範圍第1項之半導體裝置，其中該源極區的進一步特徵為矽化物n型摻雜源極區，並且其中該第一源極線係經由一位於鄰近一與該第一行記憶體單元中至少一記憶體單元關聯之源極區的矽化物p型摻雜區，電氣耦合至該第一行記憶體單元中至少一記憶體單元的第一p井區。
3. 如申請專利範圍第1項之半導體裝置，其中該第一p井區與該第二p井區係藉由一渠溝隔離圖樣所間隔及電氣絕緣。
4. 如申請專利範圍第3項之半導體裝置，該半導體裝置進一步包括一n井區，其位於隔離該第一p井區與該第二p井區的淺渠溝隔離圖樣之下。
5. 一種具有一包含記憶體單元行列之電氣可擦除式可程式規劃唯讀記憶體(EEPROM)陣列之半導體裝置，該半導體裝置包括：
 - 一p井區，其形成於一半導體基板內；
 - 一行記憶體單元，其中每個記憶體單元都具有一源極區及位於該p井區內的一汲極區，其中每個源極區係電氣耦合至該p井區；
 - 複數條字線，其中每條字線係電氣耦合至該行記憶體單元中一記憶體單元的控制閘極；以及
 - 一位元線，其電氣耦合至該行記憶體單元中每個記憶體單元的汲極區。
6. 如申請專利範圍第5項之半導體裝置，其中每個記憶體

六、申請專利範圍

單元的源極區是矽化物，並且經由一矽化物p型摻雜區電氣耦合至該p井區。

7. 一種形成一電氣可擦除式可程式規劃唯讀記憶體(EEPROM)陣列之方法，該方法包括下列步驟：

於一半導體基板內形成一第一p井區及一第二p井區位，其中該第一p井區與該第二p井區藉由一淺渠溝隔離圖樣隔開；

形成一第一行記憶體單元，其位於該第一p井區內；

形成一第二行記憶體單元，其位於該第二p井區內，其中一位於該第一行記憶體單元中之第一記憶體單元的第一控制閘極及一位於該第二行記憶體單元中之第二記憶體單元的第二控制閘極係經由一共同字線電氣耦合；

形成一第一位元線，其中該第一位元線係電氣耦合至該第一行記憶體單元中每個記憶體單元的汲極區；

形成一第二位元線，其中該第二位元線係電氣耦合至該第二行記憶體單元中每個記憶體單元的汲極區；

形成一第一源極線，其中該第一源極線係電氣耦合至該第一行記憶體單元中每個記憶體單元的源極區，並且其中該第一源極線及一該第一行記憶體單元中至少一記憶體單元的源極區係電氣耦合至該第一p井區；以及

形成一第二源極線，其中該第二源極線係電氣耦合至該第二行記憶體單元中每個記憶體單元的源極區，並且其中該第二源極線及一該第二行記憶體單元中至少一記憶體單元的源極區係電氣耦合至該第二p井區。

六、申請專利範圍

8. 如申請專利範圍第7項之方法，其中該源極區的是n型摻雜源極區，並且其中該第一源極線係經由一p型摻雜區及形成於該第一行記憶體單元中至少一記憶體單元之源極區內的矽化物，電氣耦合至該第一p井區。
9. 如申請專利範圍第7項之方法，該方法進一步包括形成一n型隔離區，其位於該第一p井區與該第二p井區及該淺渠溝隔離區之下。
10. 一種程式規劃一包含記憶體單元行列之電氣可擦除式可程式規劃唯讀記憶體(EEPROM)陣列之方法，該方法包括下列步驟：

每列記憶體單元均包含一字線；

每行記憶體單元均包含一源極線及一位元線，並且每行記憶體單元均位於一分開的p井內；

其中相鄰的分開p井係互相電氣隔離，每行記憶體單元的源極線經由一位於鄰近每行記憶體單元中至少一記憶體單元之源極區的p型區電氣連接至其各自的p井；

包括：

選取一第一行中的至少一第一位元，及一第二行中的至少一第二位元，其方式為：

將一所選字線電位供應至該第一行中的至少一第一位元及該第二行中的至少一第二位元；

將一第一所選位元線電位及一第一所選源極線電位供應至該第一行中的至少一第一位元；

將一第二所選位元線電位及一第二所選源極

六、申請專利範圍

線電位供應至該第二行中的至少一第二位元；

用脈衝產生該第一所選位元線電位與該第一所選源極線電位的至少一電位，以將至少一第一位元的一第一門限電壓從一第一門限電壓電位往一目標門限電壓電位偏移；

用脈衝產生該第二所選位元線電位與該第二所選源極線電位的至少一電位，以將至少一第二位元的一第二門限電壓從一第二門限電壓電位往一目標門限電壓電位偏移；

當繼續用脈衝產生該第二所選位元線電位與該第二所選源極線電位的至少一電位，以繼續從該第二門限電壓電位偏移至該目標門限電壓電位時，在該第一門限電壓電位偏移至該目標門限電壓電位之後，取消選取該至少一第一位元；以及

在該第二門限電壓電位偏移至該目標門限電壓電位之後，取消選取該至少一第二位元。

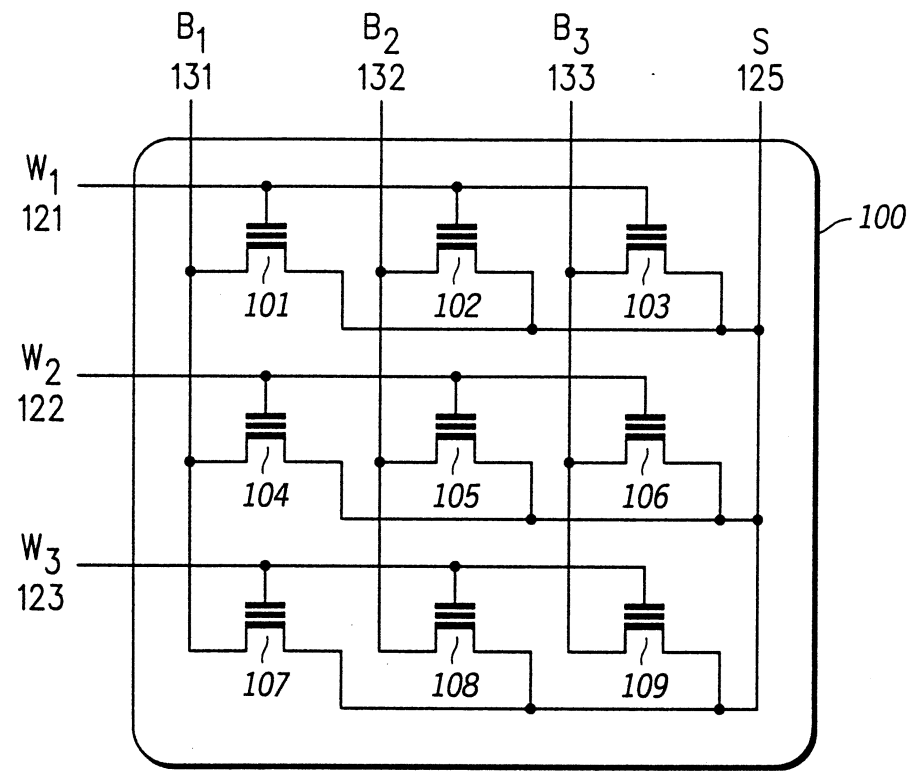


圖 1
- 先前技藝 -

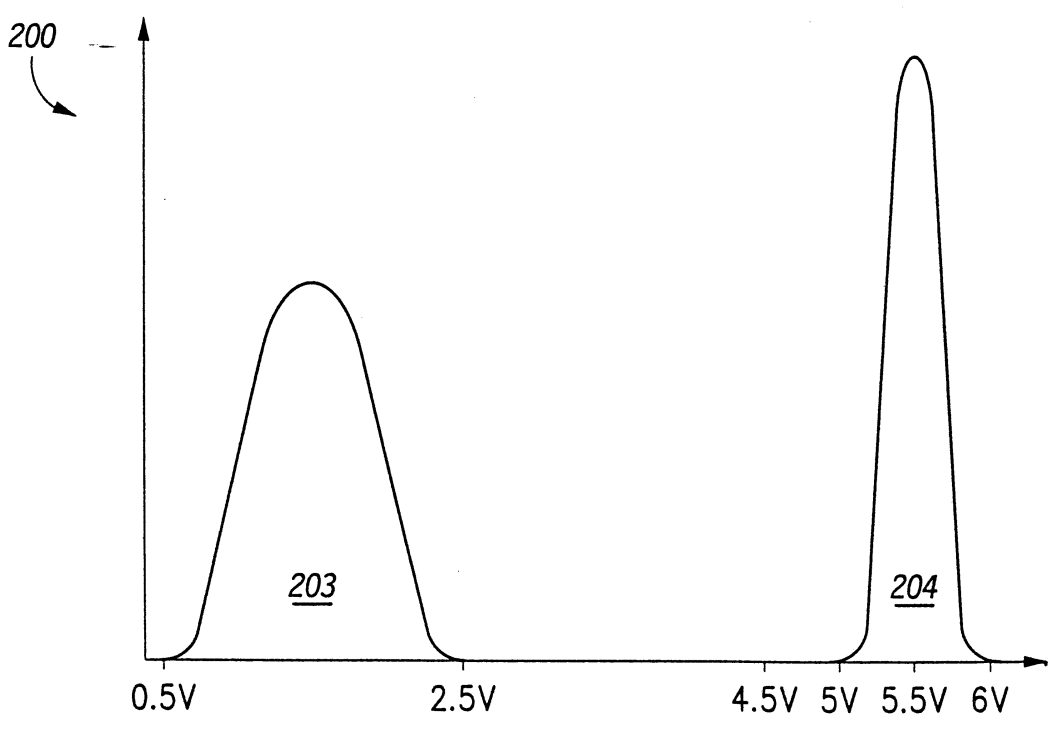


圖 2
- 先前技藝 -

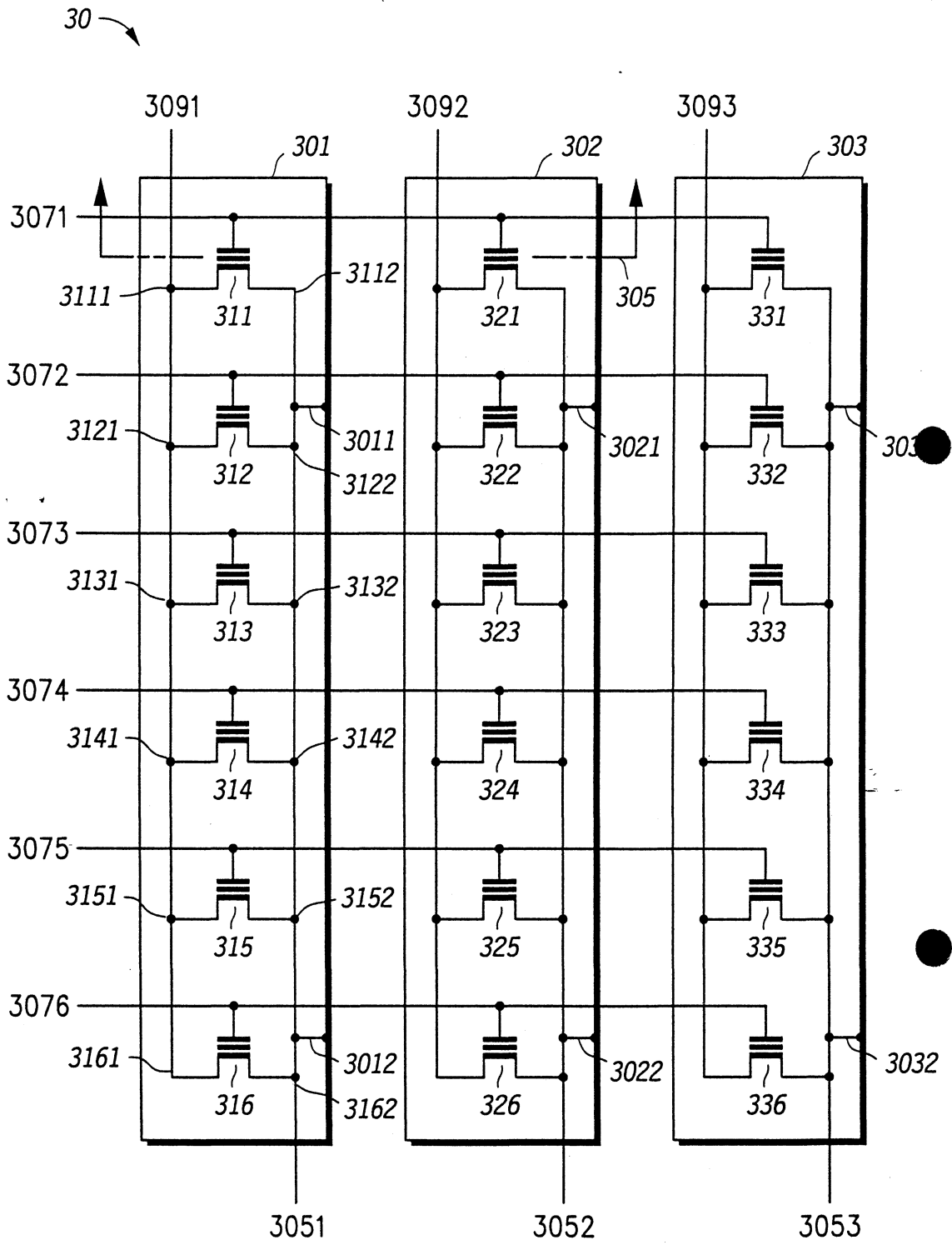


圖 3

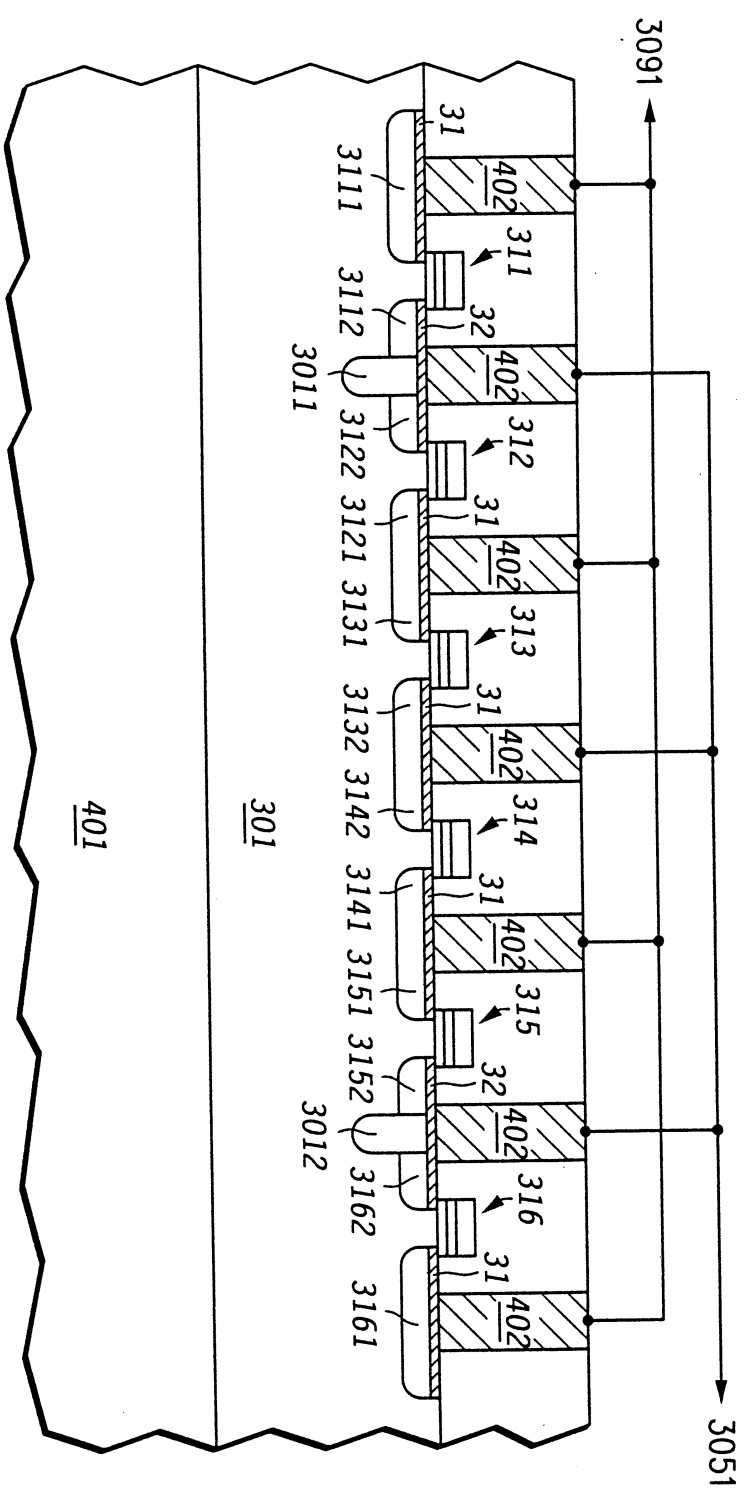


圖 4

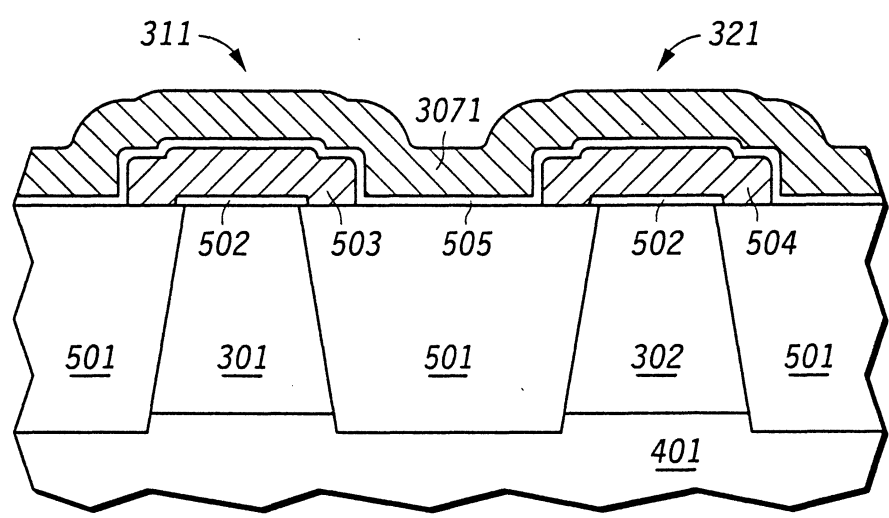


圖 5

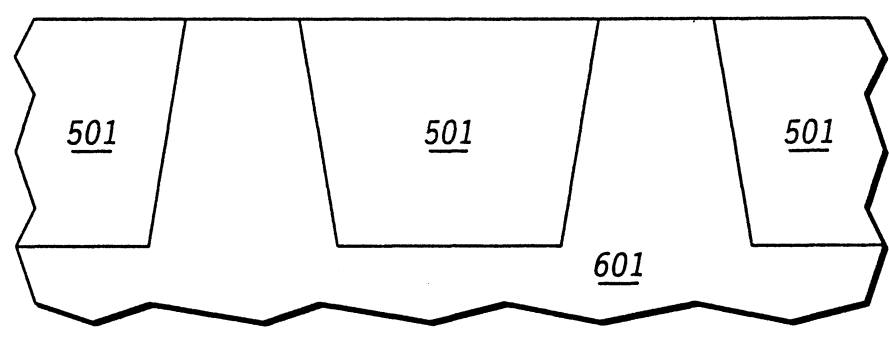


圖 6

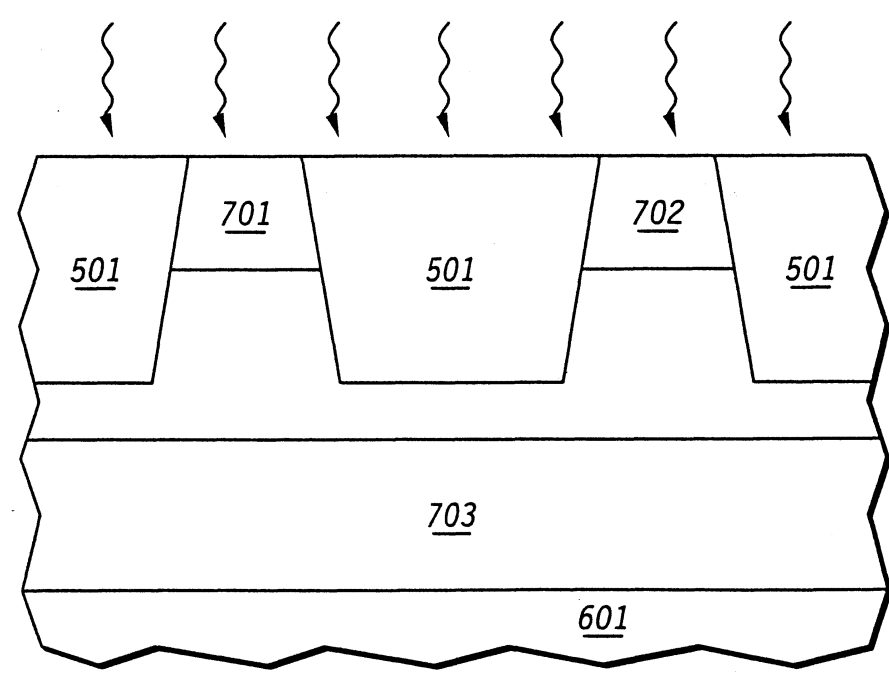


圖 7

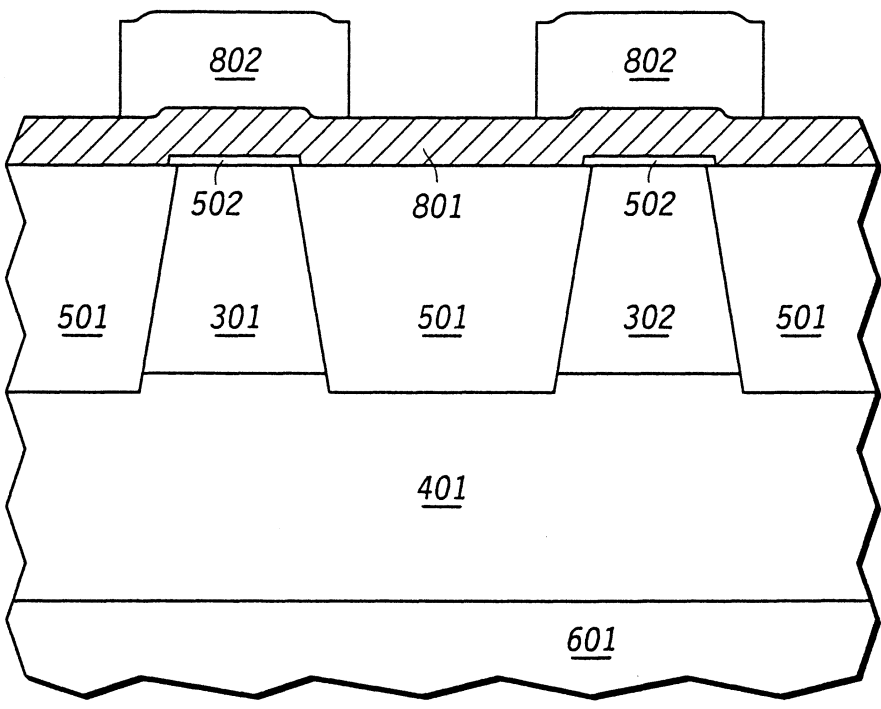


圖 8

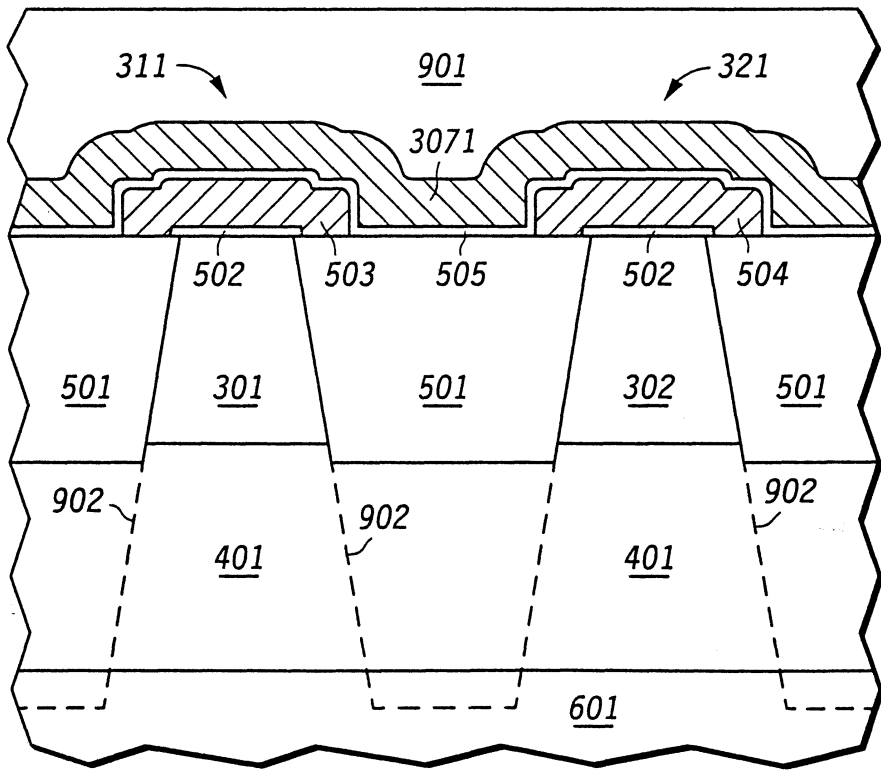


圖 9

位元數量

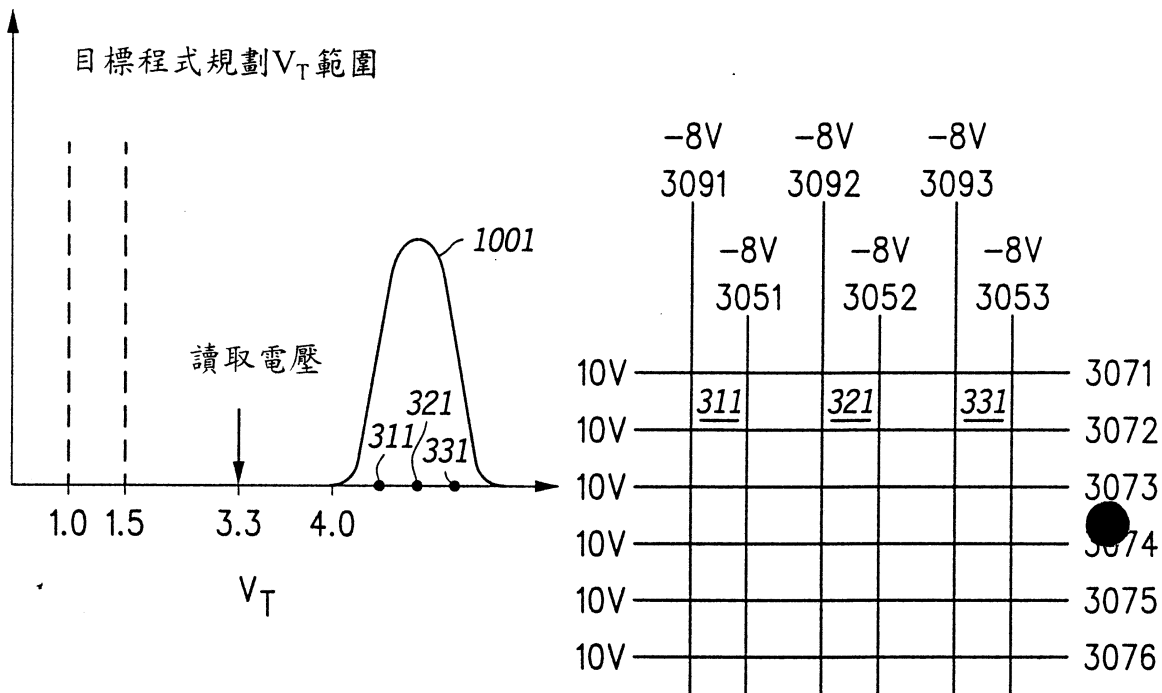


圖 10 A

位元數量

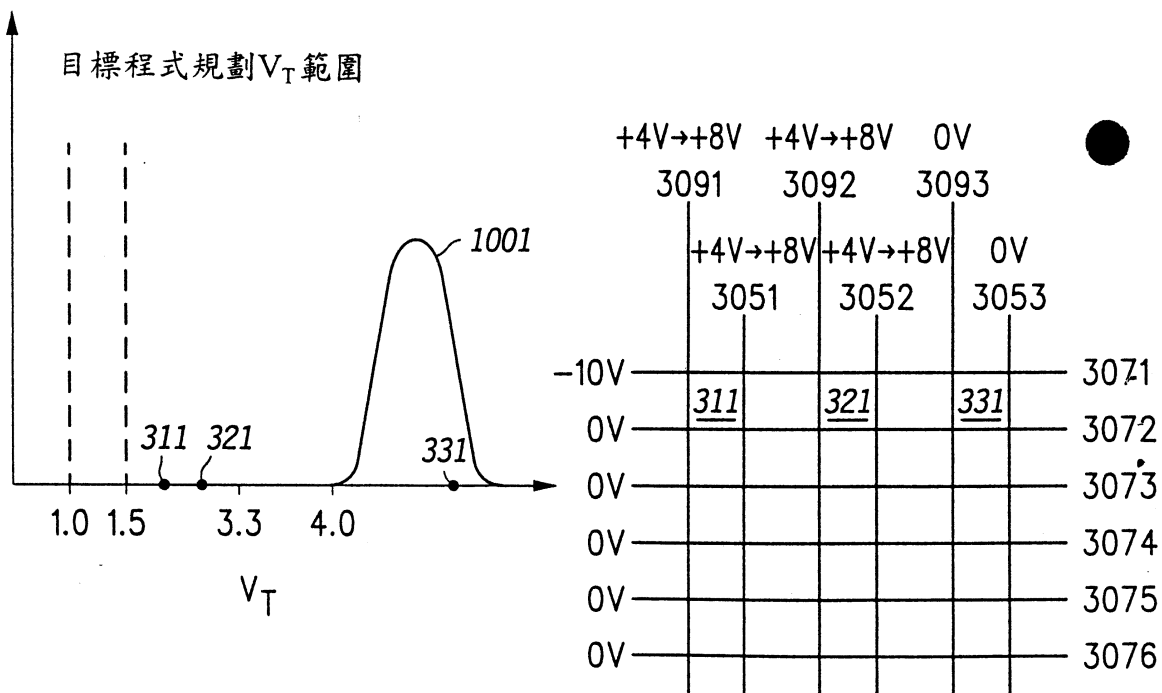


圖 10 B

位元數量

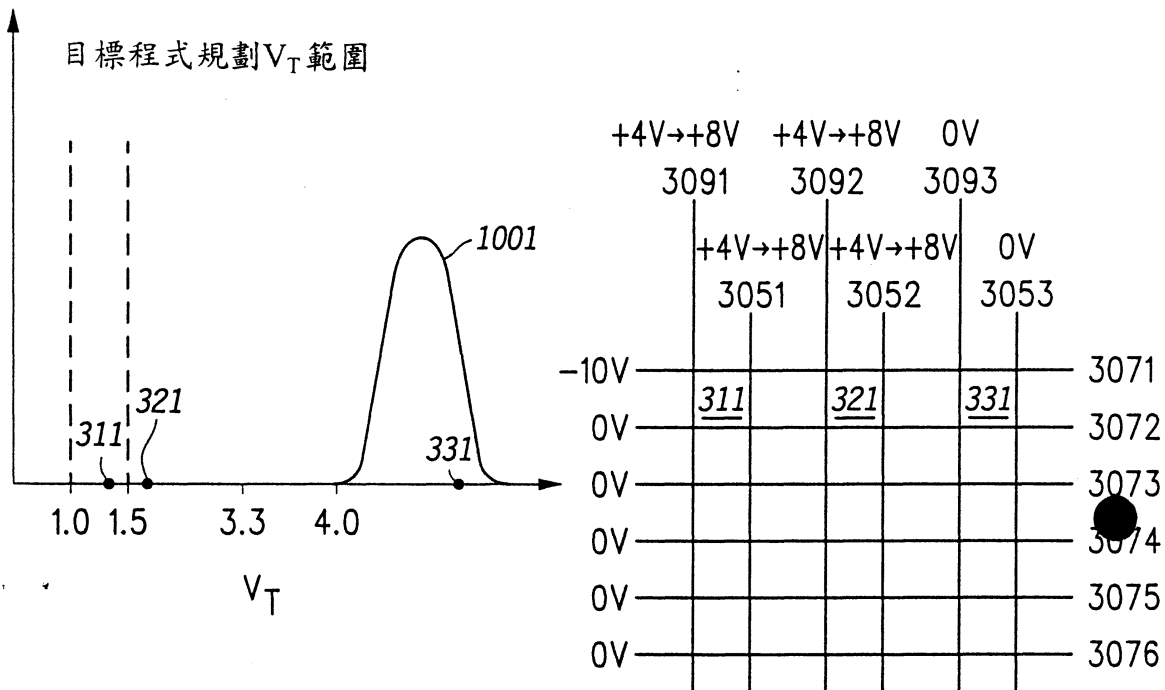


圖 10 C

位元數量

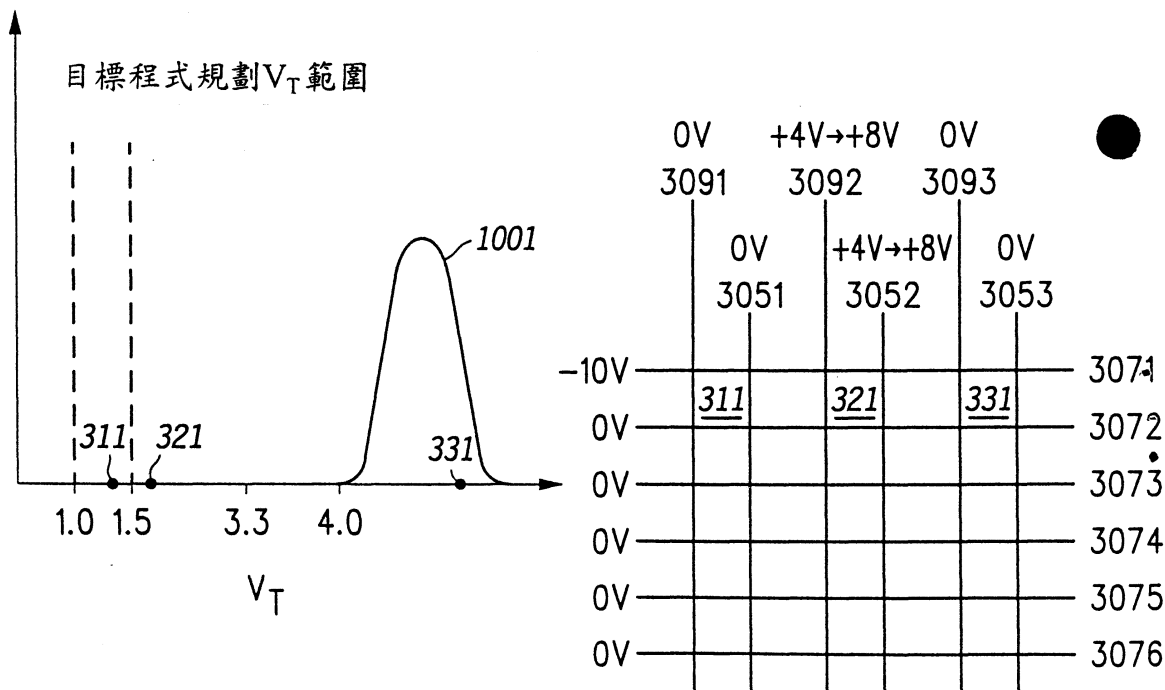


圖 10 D

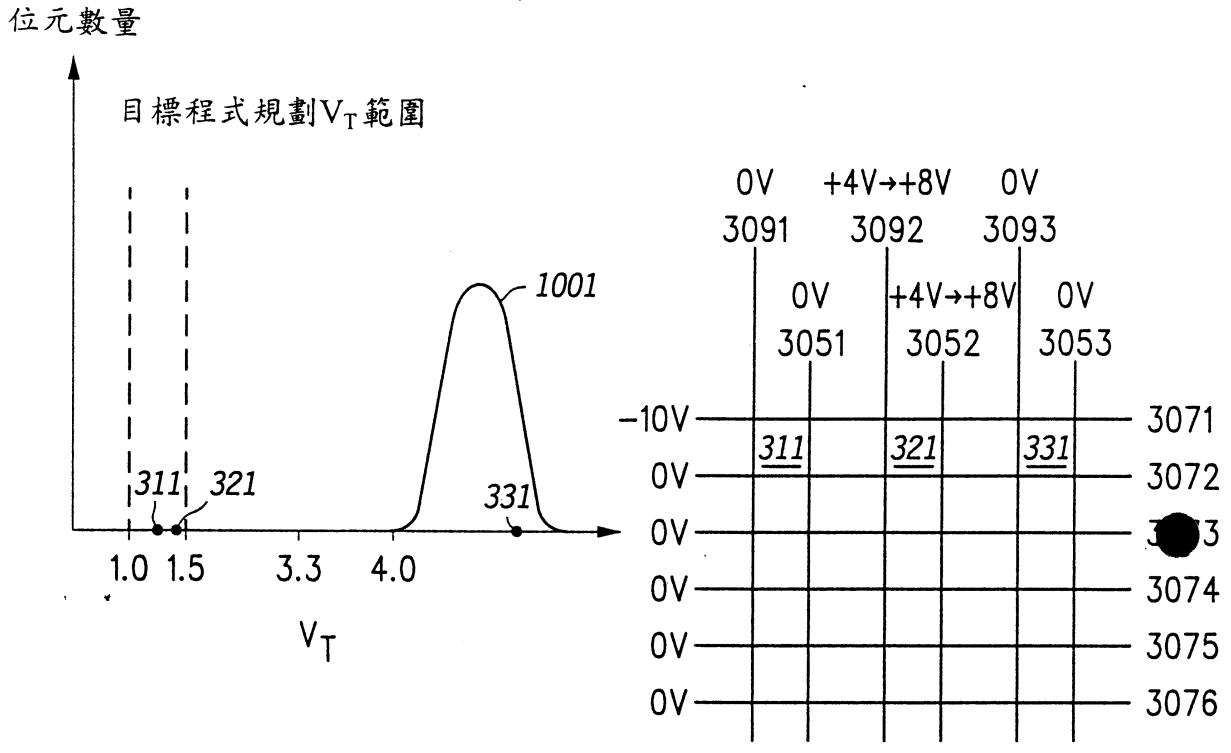


圖 10E

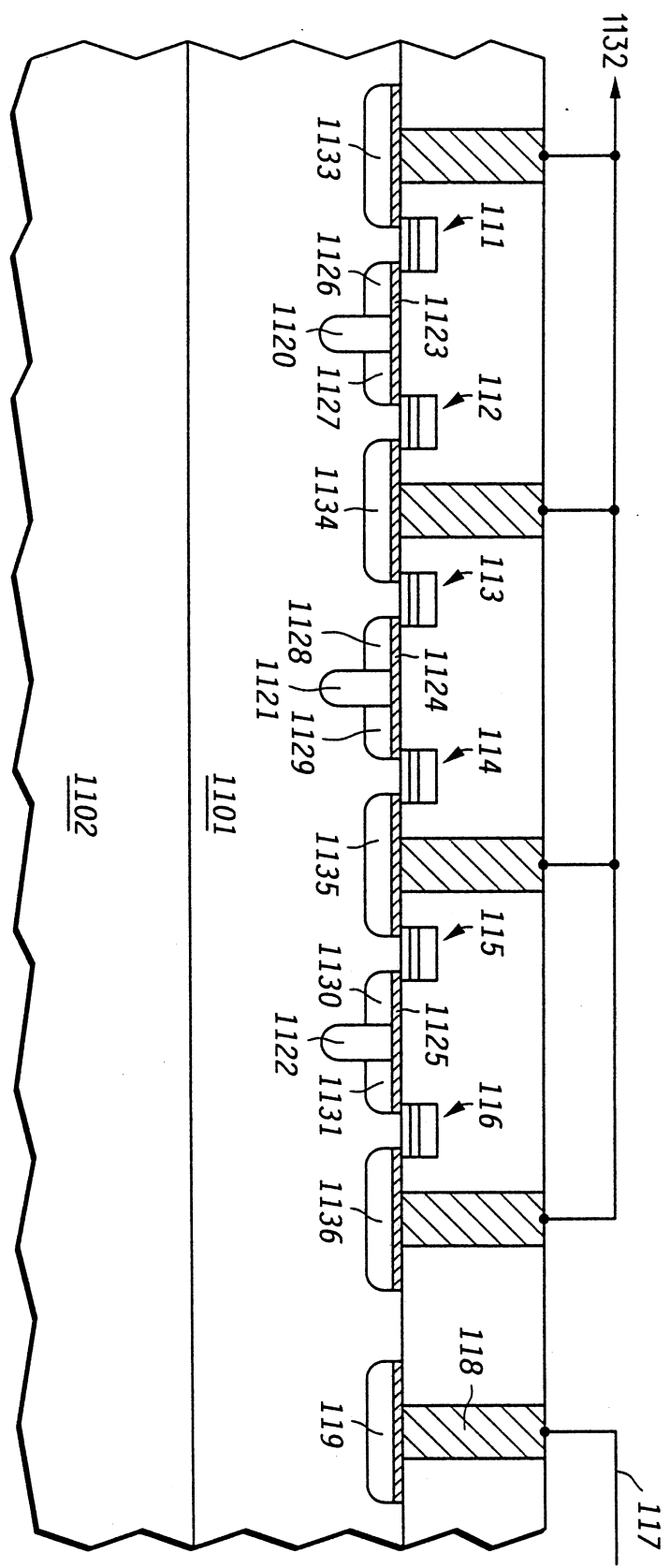


圖 11