

(此處由本局於收
文時黏貼條碼)

756160

公告本

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94105056

※申請日期：94年02月21日

※IPC分類：

H01L21/60

一、發明名稱：

(中) 半導體晶片、半導體裝置、半導體裝置之製造方法及電子機器

(英) Semiconductor chip, semiconductor device, method for producing semiconductor device, and electronic equipment

二、申請人：(共 1 人)

1. 姓 名：(中) 精工愛普生股份有限公司
(英) SEIKO EPSON CORPORATION

代表人：(中) 1. 草間三郎
(英) 1. KUSAMA, SABURO

地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號
(英) 4-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811
Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 今井英生
(英) IMAI, HIDEO

國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/03/26 ; 2004-091171 ☒ 有主張優先權

2. 日本 ; 2004/11/02 ; 2004-319480 ☒ 有主張優先權

(此處由本局於收
文時黏貼條碼)

756160

公告本

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94105056

※申請日期：94年02月21日

※IPC分類：

H01L21/60

一、發明名稱：

(中) 半導體晶片、半導體裝置、半導體裝置之製造方法及電子機器

(英) Semiconductor chip, semiconductor device, method for producing semiconductor device, and electronic equipment

二、申請人：(共 1 人)

1. 姓 名：(中) 精工愛普生股份有限公司
(英) SEIKO EPSON CORPORATION

代表人：(中) 1. 草間三郎
(英) 1. KUSAMA, SABURO

地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號
(英) 4-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811
Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 今井英生
(英) IMAI, HIDEO

國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/03/26 ; 2004-091171 ☒ 有主張優先權

2. 日本 ; 2004/11/02 ; 2004-319480 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明，係有關半導體晶片，半導體裝置，半導體裝置之製造方法及電子機器，尤其有關於適合面朝下（face down）安裝（亦稱為 flip chip 翻轉晶片安裝）之半導體晶片等。

【先前技術】

近年來，伴隨行動電話或筆記型電腦等之小型化，而有要求半導體裝置之小型化、高積體化。故作為半導體晶片之安裝方法，開發有可高密度積體之面朝下（face down）安裝（亦稱為 flip chip 翻轉晶片安裝），而使用於許多行動室電子機器。

使用先前之翻轉晶片安裝之半導體裝置的連接方法中，以鎳及金形成半導體晶片之突塊，經由異向性導電性樹脂，而謀求半導體晶片之突塊和印刷配線板之電極端子的電性連接（例如參考專利文件 1）。

【專利文件 1】日本特開 2000-286299 號公報（第 1 圖）

【發明內容】

發明所欲解決之課題

但是，使用先前之翻轉晶片安裝之半導體裝置的連接方法中，為了將異向性導電性樹脂層中之導電性粒子，充

(2)

分壓入覆蓋在半導體晶片之突塊表面的金中，金之膜厚必須相當厚而有高成本之問題。又，半導體晶片之突塊之內部，係以高硬度之鎳所構成，故金之膜厚為薄時，導電性粒子則無法充分侵入突塊中，而有降低連接可靠度之問題點。

本發明之目的，係提供一種低成本且高連接可靠度之半導體晶片，及具有此半導體晶片之半導體裝置，及半導體裝置之製造方法，及具有此半導體裝置之電子機器。

用以解決課題之手段

本發明之半導體裝置，係具有含突塊（bump）之半導體晶片，和具備突起（land）之配線基板，而突塊和突起係以分散於絕緣性材料之導電性粒子所連接的半導體裝置；其中突塊，係具有第1導電層，和接觸該第1導電層之第2導電層，和接觸該第2導電層之第3導電層，而導電性粒子係以侵入第3導電層之狀態，造成電性連接。

因導電性粒子係以侵入第3導電層之狀態造成電性連接，故半導體晶片之突塊和配線基板之突起之間挾持有導電性粒子，而保持安定狀態，進而可廉價提供電性連接之可靠度優良的半導體裝置。

又本發明之半導體裝置中，上述第3導電層之厚度，係使上述導電性粒子之直徑 $1/4$ 以上，侵入上述第3導電層地而形成者。

一般來說，半導體晶片之突塊表面和配線基板之突起

(3)

表面並非平坦，而有微小之凹凸。假設侵入第 3 導電層之量不滿直徑之 $1/4$ ，則會因凹凸之分佈狀態，使接觸面積部充分而有無法取得足夠之電性導通的疑慮。但是，若導電性粒子之直徑 $1/4$ 以上侵入第 3 導電層，則可吸收上述凹凸之影響，確保與配線基板之突起間的良好電性連接，而提高連接可靠度。

又本發明之半導體裝置中，上述第 3 導電層之厚度，係使導電性粒子之直徑 $1/2$ 以上，侵入上述第 3 導電層，且使突塊和突起直接接觸地而形成者。

因將第 3 導電層之厚度，形成為使導電性粒子之直徑 $1/2$ 以上，侵入上述第 3 導電層，且使突塊和突起直接接觸，故導電性粒子可確實被挾持於第 3 導電層和配線基板之突起間而保持接觸狀態，故可確保優良電性連接而提高可靠度。

又本發明之半導體裝置中，上述第 1 導電層和第 2 導電層及／或第 2 導電層和第 3 導電層之間，係具有觸媒。

依照材料之組合（例如鎳和銅或銅和錫），若使第 1 導電層和第 2 導電層或第 2 導電層和第 3 導電層直接接觸，則密合性會不良，且依情況不同將產生第 2 導電層或第 3 導電層之剝落等不良情況。但是，若使第 1 導電層和第 2 導電層及／或第 2 導電層和第 3 導電層之間具有觸媒，則可藉由適當選擇觸媒之材料，而提高第 1 導電層和第 2 導電層及／或第 2 導電層和第 3 導電層的密合性。

又本發明之半導體裝置中，外部連接電極上，具有具

(4)

備開口部之鈍化膜；上述第 1 導電層，係不接觸除了鈍化膜之側面以外的表面地，形成於開口部之部分者。

假設第 1 導電層亦形成於鈍化膜之表面，而第 1 導電層之材料為硬材料時，則對半導體晶片並安裝於配線基板上時，作用力會集中於鈍化膜而有產生龜裂之虞。但是，若第 1 導電層，係不接觸除了鈍化膜之側面以外的表面地而形成，則因鈍化膜上僅形成第 2 導電層及第 3 導電層，故對半導體晶片加壓而安裝時，對鈍化膜施加之作用力可以第 2 導電層及第 3 導電層所具有的柔軟性加以緩和。從而，可防止鈍化膜產生龜裂之損傷，而實現高連接可靠度之半導體晶片。

又本發明之半導體裝置中，上述導電性粒子，係以硬度較第 3 導電層更高之物質所構成者。

因導電性粒子，係以硬度較第 3 導電層更高之物質所構成，故導電性粒子可確實侵入第 3 導電層，而提高電性連接之可靠度。

又本發明之半導體裝置中，上述導電性粒子係由鎳構成或最少包含鎳者。

因鎳之硬度比較高，故導電性粒子可確實侵入例如錫所構成之第 3 導電層，而提高電性連接之可靠度。又若使用高硬度之鎳所構成的導電性粒子，則導電性粒子亦可侵入配線基板，而更加提高半導體裝置之電性連接之可靠度。

又本發明之半導體裝置中，第 1 導電層中第 2 導電層

(5)

側之一部分係成為輔助導電層，該輔助導電層，係以硬度較第 1 導電層之輔助導電層以外之部分之硬度為低的物質所構成者。

因第 1 導電層中第 2 導電層側之一部分，係成為低硬度之物質所構成的輔助導電層，故可有效防止半導體晶片之矽部分發生龜裂。

又本發明之半導體裝置中，上述輔助導電層係由金構成者。

因金之硬度為低，故可有效防止半導體晶片之矽部分發生龜裂。

本發明之半導體晶片，係具備基材；和形成於該基材上之外部電極；和與該外部電極電性連接，並具有第 1 導電層、及設於該第 1 導電層上之第 2 導電層、及設於該第 2 導電層上之第 3 導電層的突塊；和於外部連接電極上具有開口部之鈍化膜；第 1 導電層，係於鈍化膜之開口部之內側，與外部電極之上面接觸，且除了鈍化膜之側面以外之表面皆不接觸地被設置。

假設，第 1 導電層亦形成於鈍化膜之表面，而第 1 導電層之材料為硬材料時，則對半導體晶片並安裝於配線基板上時，作用力會集中於鈍化膜而有產生龜裂之虞。但是，若第 1 導電層，係不接觸除了鈍化膜之側面以外的表面地而形成，則因鈍化膜上僅形成第 2 導電層及第 3 導電層，故對半導體晶片加壓而安裝時，對鈍化膜施加之作用力可以第 2 導電層及第 3 導電層所具有的柔軟性加以緩和。

(6)

從而，可防止鈍化膜產生龜裂之損傷，而實現高連接可靠度之半導體晶片。

又本發明之半導體晶片中，上述第 3 導電層，係由錫所構成者。

因錫之硬度為低，故導電性粒子可充分侵入第 3 導電層，而可廉價提供高連接可靠度之半導體晶片。

又本發明之半導體晶片中，上述第 2 導電層，係由銅所構成者。

以銅形成第 2 導電層，則可以無電解電鍍法形成錫所構成之第 3 導電層，而廉價提供高連接可靠度之半導體晶片。

又本發明之半導體晶片中，上述外部連接電極之厚度，係在 $0.2\ \mu\text{m}$ 以上者。

使鋁等金屬所構成之外部接電極的厚度在 $0.2\ \mu\text{m}$ 以上，則例如於將半導體晶片黏合於配線基板時，可防止半導體晶片之矽部分（基材）發生龜裂。

又本發明之半導體晶片中，上述第 1 導電層中第 2 導電層側之一部分係成為輔助導電層，該輔助導電層，係以硬度較第 1 導電層之輔助導電層以外之部分之硬度為低的物質所構成者。

因第 1 導電層中第 2 導電層側之一部分，係成為低硬度之物質所構成的輔助導電層，故可有效防止半導體晶片之矽部分發生龜裂。

又本發明之半導體晶片中，上述輔助導電層係由金構

(7)

成者。

因金之硬度為低，故可有效防止半導體晶片之矽部分發生龜裂。

本發明之半導體裝置之製造方法，係將具有突塊之半導體晶片，和具有突起之配線基板，加以連接之半導體裝置之製造方法；其中具有接觸突塊之第 1 導電層地而形成第 2 導電層的工程，和接觸該第 2 導電層地而形成第 3 導電層的工程；又具有於配線基板或半導體晶片，配置分散了導電性粒子之絕緣性材料的工程，和將突塊或突起壓入絕緣性材料，使導電性粒子侵入第 3 導電層，而電性連接突塊和突起的工程。

以上述製造方法所製造之半導體裝置，其突塊和配線基板之突起之間，可挾持導電性粒子而保持安定之電性連接狀態。故，可廉價，且以簡單方法提供電性連接之可靠度優良的半導體裝置。

又本發明之半導體裝置之製造方法中，係具有於上述第 1 導電層和第 2 導電層及／或第 2 導電層和第 3 導電層之間，置入觸媒的工程者。

藉由適當選擇觸媒之材料，可提高第 1 導電層和第 2 導電層及／或第 2 導電層和第 3 導電層的密合性。

又本發明之半導體裝置之製造方法中，係以無電解電鍍法，形成上述第 1 導電層、第 2 導電層及第 3 導電層中最少 1 層者。

若使用無電解電鍍法，則可形成高度不平均為小的安

(8)

定突塊，故可廉價提供可靠度高之半導體裝置。

又本發明之半導體裝置之製造方法中，將第 1 導電層中第 2 導電層側之一部分形成為輔助導電層，該輔助導電層，係以硬度較第 1 導電層之輔助導電層以外之部分之硬度為低的物質所構成者。

因第 1 導電層中第 2 導電層側之一部分，係成為低硬度之物質所構成的輔助導電層，故可有效防止半導體晶片之矽部分發生龜裂。

本發明之電子機器，係具有上述任一項之半導體裝置。

因具有上述之高連接可靠度的半導體裝置，故可以廉價實現高可靠度之電子機器。

【實施方式】

實施方式 1.

第 1 圖，係表示本發明之實施方式 1 之半導體裝置的縱剖面示意圖。另外第 1 圖中，係表示半導體裝置之一部分。

本實施方式 1 之半導體裝置 1，係由半導體晶片 2，和設有 1 或複數之突起 3 的配線基板 4，和分散有導電性粒子 5 的異向導電性樹脂層 6，所構成。又半導體晶片 2，係由基材 7、鈍化膜 9、突塊 10 所構成；此突塊 10 係由第 1 導電層 11、第 2 導電層 12 及第 3 導電層 13 所構成。另外半導體裝置 1，亦可追加第 1 圖所示之構成要素

(9)

以外的構成要素。

第 2 圖，係於第 1 圖所示之半導體裝置 1 中，表示於配線基板 4 安裝半導體晶片 2 以前之狀態的縱剖面示意圖。另外，有關於配線基板 4 安裝半導體晶片 2 之方法，於後說明。

半導體晶片 2，係例如於形成有積體電路（未圖示）之矽構成的基材 7 之一方之面，形成 1 或複數之外部連接電極 8，而使接觸此外部連接電極 8 地形成突塊 10。突塊 10，係由第 1 導電層 11、第 2 導電層 12 及第 3 導電層 13 所構成；第 1 導電層 11，係例如由鎳構成，厚度約形成為 $10\ \mu\text{m}$ 。又，第 2 導電層係例如以銅構成，厚度約形成為 $5\ \mu\text{m}$ ；第 3 導電層係例如以錫構成，厚度約形成為 $5\ \mu\text{m}$ 。另外本實施方式 1 中，第 1 導電層 11 為鎳，第 2 導電層 12 為銅，而第 3 導電層係為錫所構成者。又外部連接電極 8 係由鋁或銅等形成，而作為與基材 7 所形成之積體電路所電性連接者。

又，基材 7 中形成外部連接電極 8 之面，係形成有例如矽氧化膜所構成之鈍化膜 9。此鈍化膜 9，係設有使外部電極 8 之一部分露出的開口部 9a。此時，鈍化膜 9 係成為跨上外部連接電極 8 之端部的狀態。另外，一般來說開口部 9a，係使外部連接電極 8 之中央部開口地，而被形成。如此，基材 7 中形成外部連接電極 8 之面，除了開口部 9a 以外的部分，係形成有鈍化膜 9。

第 1 導電層 11，係以覆蓋開口部 9a 之狀態，和外部

(10)

連接電極 8 接觸而形成。又第 2 導電層 12，係以覆蓋第 1 導電層 11 之狀態而接觸第 1 導電層 11；第 3 導電層 13，係以覆蓋第 2 導電層 12 之狀態而接觸第 2 導電層 12。另外第 2 導電層 12 或第 3 導電層 13，並不需完全覆蓋第 1 導電層 11 或第 2 導電層 12 來形成。

更且，第 1 導電層 11 和第 2 導電層 12 及／或第 2 導電層 12 和第 3 導電層 13 之間，係例如塗佈有鈰所構成之觸媒（未圖示）。此觸媒，具有提高鎳構成的第 1 導電層 11 和銅構成的第 2 導電層 12 及／或銅構成的第 2 導電層 12 和錫構成的第 3 導電層 13 之密合性，而可提高連接可靠度。

配線基板 4，係例如由 PET（聚對苯二甲酸乙二酯 Poly-ethelene Terephthalate）基板所構成；於該一方之面所形成之 1 或複數之突起 3，係以銀或銅等金屬形成。另外配線基板 4，亦可使用聚醯亞胺樹脂、聚酯薄膜等可彎式基板，或玻璃環氧基板，陶瓷基板等剛性基板。又突起 3，亦可由銀或銅之外的金屬形成。

異向導電性樹脂層 6 除了導電性粒子 5 以外的部分，係由具有熱硬化性之環氧樹脂等絕緣性材料所構成。此異向導電性樹脂層 6，係被挾持在半導體晶片 2 中形成突塊 10 之面，和配線基板 4 中形成突起 3 之面的中間，而將半導體晶片 2 和配線基板 4 之間加以密封黏著。

又導電性粒子 5，係較第 3 導電層 13 硬度更高之物質，例如以鎳構成，其直徑為 $0.2 \sim 5 \mu\text{m}$ 左右，一般為 4

(11)

μm 。另外導電性粒子 5，可於樹脂中包含鎳，或將金加以塗佈之粒子等最少包含鎳者，又或可使用其他金屬。

第 1 圖所示之本實施方式 1，其將半導體晶片 2 安裝於配線基板 4 而形成半導體裝置 1 的狀態下，使突塊 10 最外部之第 3 導電層 13 接觸突起 3，而被挾持於第 3 導電層 13 和突起 3 之間的導電性粒子 5，係侵入第 3 導電層 13。此係因例如以高硬度之鎳所構成的導電性粒子 5，係容易侵入低硬度之錫所構成的第 3 導電層 13 之故。又，亦有穿破銀或銅等所構成之突起 3 表面的氧化膜（未圖示），而提高連接可靠度的效果。

在此，導電性粒子 5，係最少將其直徑之 $1/4$ 以上侵入第 3 導電層 13 為佳。這是因為半導體晶片之突塊表面及配線基板之突起表面並不平坦，而有微小之凹凸；若侵入第 3 導電層之量未滿直徑 $1/4$ ，則會因凹凸之分佈狀態，造成接觸面積不足，而有無法取得充分電性導通之虞。又如本實施方式 1 般，在第 3 導電層 13 和突起 3 接觸之狀態下，可使導電性粒子 5 以直徑之 $1/2$ 以上侵入第 3 導電層 13。依此，因導電性粒子確實的被挾持於第 3 導電層 13 和配線基板 4 之突起 3 之間，保持電性之連接狀態，故可確保良好之電性連接。如此藉由導電性粒子 5，係造成突塊 10 和突起 3 之電性連接。

第 3 圖及第 4 圖，係表示本發明之實施方式 1 中半導體裝置之製造工程的縱剖面示意圖。另外第 3 圖及第 4 圖中，係表示將第 2 圖所示之半導體晶片 2 安裝於配線基板

(12)

4，而製造第 1 圖所示之半導體裝置 1 的工程。

首先，準備形成有積體電路（未圖示）之矽等所構成的基材 7。另外，於基材 7 之一方之面，係預先設有 1 或複數之外部連接電極 8。此外外部連接電極 8，係由鋁或銅等所形成，而電性連接形成於基材 7 之積體電路。

其次，於基材 7 中形成有外部連接電極 8 之面，形成鈍化膜 9（第 3 圖（a））。此鈍化膜 9，係可由氧化矽、氮化矽、聚醯亞胺屬之等形成。另外如上述般，於鈍化膜 9 係使外部連接電極 8 之一部分露出而形成有開口部，而鈍化膜 9 矽成爲跨上外部連接電極 8 之端部的狀態。

然後，在與外連接電極 8 接觸而覆蓋開口部之狀態下，以無電解電鍍法形成例如鎳所構成之第 1 導電層（第 3 圖（b））。另外外部連接電極 8 爲鋁所構成時，則在第 1 導電層 11 形成之前，對外部連接電極 8 之表面進行鋅酸鹽（zincate）處理，將鋁替換析出爲鋅，而預先形成鋅所構成之金屬覆蓋膜（未圖示）。此第 1 導電層 11，係可將被施加鋅酸鹽處理之外部連接電極 8 浸泡於無電解鍍鎳溶液中，藉由鋅構成之金屬覆蓋膜和鎳之替換效應的無電解電鍍法而形成。又第 1 導電層 11，係形成爲厚度約 $10\ \mu\text{m}$ 。另外本實施方式 1 中，雖不使用阻劑等掩模而形成蘑菇型之突塊 10（第 1 導電層 11、第 2 導電層 12 及第 3 導電層 13），但亦可使用阻劑等掩模形成直牆型之突塊 10。

之後，於第 1 導電層 11 之表面塗佈觸媒（未圖示）

(13)

。作為此觸媒，例如可使用鈀。又對塗佈觸媒來說，可使用二液法（sensitizing-activation）或催化加速法（catalyst-accelerator）。

接著，以覆蓋第 1 導電層 11 之狀態來接觸第 1 導電層 11 地，以無電解電鍍法形成銅所構成之第 2 導電層 12（第 3 圖（c））。此第 2 導電層 12，係可將第 1 導電層 11 浸泡於鍍銅液中，以塗佈於第 1 導電層之表面的鈀作為觸媒來析出銅而形成。藉由如此塗佈觸媒，可提高第 1 導電層 11 和第 2 導電層 12 之密合性。另外第 2 導電層 12，係形成為厚度約 $5\mu\text{m}$ 。

其次，以覆蓋第 2 導電層 12 之狀態來接觸第 2 導電層 12 地，以無電解電鍍法形成錫所構成之第 3 導電層 13（第 3 圖（d））。此第 3 導電層 13，因第 2 導電層 12 為銅所構成，故可以相同於第 1 導電層 11 或第 2 導電層 12 之無電解電鍍法來形成。另外為了提高第 2 導電層 12 和第 3 導電層 13 之密合性，亦可預先於第 2 導電層 12 之表面塗佈觸媒。

藉由以上第 3 圖（a）～第 3 圖（d）之工程，可於外部連接電極 8 上，形成由第 1 導電層 11、第 2 導電層 12 及第 3 導電層 13 所構成之突塊 10，而完成半導體晶片 2。

另一方面，準備與半導體晶片 2 不同，形成有 1 或複數之突起 3 的配線基板 4，而於配線基板 4 中形成有突起 3 之面，形成異向導電性樹脂層 6（第 4 圖（e））。配線

(14)

基板 4，可由 PET 基板或聚醯亞胺樹脂、聚酯薄膜等可彎式基板，或玻璃環氧基板，陶瓷基板等剛性基板所構成。又突起 3，亦可由銀或銅之外的金屬形成。另外異向導電性樹脂層 6 中，係分散有導電性粒子 5。

異向導電性樹脂層 6 除了導電性粒子 5 以外的部分，係由具有熱硬化性之環氧樹脂等絕緣性材料所構成，而由網版印刷法或分配法（dispense）形成於配線基板 4 中形成有突起 3 之面。異向導電性樹脂層 6 中所分散支導電性粒子 5，係直徑為 $0.2 \sim 5 \mu\text{m}$ 左右之鎳，或於樹脂中包含鎳，及將金加以塗佈之粒子。另外，亦可將分散有導電性粒子 5 之薄膜，黏貼在配線基板 4 之表面而形成異向導電性樹脂層 6。

然後，使第 3 圖（d）所示之半導體晶片 2 中形成突塊 10 之側的面，和配線基板 4 中形成異向導電性樹脂層 6 之面相對，使突塊 10 和突起 3 對準地，將半導體晶片 2 和配線基板 4 定位。另外，形成於半導體晶片 2 之突塊 10（外部連接電極 8）和形成於配線基板 4 之突起 3，係形成為定位時可對準者。

之後，用一方之面為平坦之熱壓合裝置 20，將異向導電性樹脂層 6 加熱至硬化溫度左右，使熱壓合裝置 20 之平坦面，接觸半導體晶片 2 中形成突塊 10 之面的相反面，而將突塊 10 壓入異向導電性樹脂層 6（第 4 圖（f））。

另外本實施方式 1 中，雖將異向導電性樹脂層 6 形成

(15)

於配線基板 4 側，而將突塊 10 壓入，但亦可將異向導電性樹脂層 6 形成於半導體晶片 2 側，而將突起 3 壓入異向導電性樹脂層。

如第 4 圖 (f) 所示，以熱壓合裝置 20 將突塊 10 壓入異向導電性樹脂層 6，則突塊 10 將壓開配線基板 4 表面之異向導電性樹脂層 6 而接觸突起 3。依此，突塊 10 最外周邊之第 3 導電層 13 和突起 3 之間，係挾持有分散於異向導電性樹脂層 6 的導電性粒子 5。此時，因導電性粒子 5 係以硬度較第 3 導電層 13 為高之鎳等所構成，故會侵入第 3 導電層 13。另外導電性粒子 5，係如上述般其直徑 $1/4$ 侵入第 3 導電層 13。又，在第 3 導電層 13 和突起 3 接觸之狀態下，係可使導電性粒子 5 之直徑 $1/2$ 以上侵入第 3 導電層 13。以此，導電性粒子可確實的被挾持於第 3 導電層 13 和配線基板 4 之突起 3 之間，而確保良好之電性連接。又，亦有不曾因振動或溫度變化，而受到絕緣材料之膨脹收縮等影響的效果。

之後，以熱壓合裝置 20 使異向導電性樹脂層 6 硬化，而將半導體晶片 2 和配線基板 4 之間密封黏合，以完成半導體裝置 1 (第 4 圖 (g))。

另外，以本實施方式 1 之第 4 圖 (f) 之工程，將突塊 10 壓入異向導電性樹脂層 6 中時，亦可施加超音波等微小之振動。藉由如此施加超音波等微小振動，則不會損傷錫所構成之第 3 導電層 13 及突起 3 表面之氧化膜，而可提高連接可靠度。

(16)

本實施方式 1 中，因使導電性粒子 5 侵入第 3 導電層 13 中而確保電性連接，故導電性粒子 5 和第 3 導電層 13 不僅僅有接觸，而是導電性粒子 5 侵入第 3 導電層 13 來加寬接觸面積，而可達成低電阻之電性連接。又，因第 3 導電層 13 係由硬度低之錫所構成，故難以因振動或溫度變化，而受到絕緣材料之膨脹收縮等影響，進而可廉價的提供連接可靠度高之半導體晶片。

又，以銅形成第 2 導電層 12，可使錫所構成之第 3 導電層 13 以無電解電鍍法來形成，進而可廉價的提供連接可靠度高之半導體晶片。

實施方式 2.

第 5 圖，係於本發明實施方式 2 之半導體裝置中，表示將半導體晶片 2 安裝於配線基板 4 之前之狀態的縱剖面示意圖。另外第 5 圖所示之半導體裝置中，第 1 導電層 11，係形成於鈍化膜 9 之開口部 9a 的部分，除了鈍化膜 9 之側面外並不接觸表面。其他部分，係與實施方式 1 之第 2 圖所示的半導體裝置相同，而與實施方式 1 相同之部分係附加相同符號。又製造工程，亦與實施方式 1 之第 3 圖及第 4 圖所示者幾乎相同。

本實施方式 2 中，由第 1 導電層 11、第 2 導電層 12 及第 3 導電層 13 所構成的突塊 10，其第 1 導電層 11 係僅形成於鈍化膜 9 之開口部 9a，而不接觸鈍化膜 9 之表面。另外亦可如第 5 圖所示，接觸鈍化膜 9 之開口部 9a

(17)

的側面。又，亦可將第 1 導電層 11，形成在鈍化膜 9 之膜厚以下。

本實施方式 2 中，因第 1 導電層 11，係形成為不接觸鈍化膜 9 之側面以外的表面，而鈍化膜 9 之表面僅形成有第 2 導電層 12 和第 3 導電層 13，故可藉由第 2 導電層 12 和第 3 導電層 13 所具有的柔軟性，來緩和加壓安裝半導體晶片 2 時對鈍化膜 9 施加之作用力。從而，可防止鈍化膜 9 發生龜裂等損傷，而實現高連接可靠度之半導體晶片。

實施方式 3.

第 6 圖，係於本發明實施方式 3 之半導體裝置中，表示將半導體晶片 2 安裝於配線基板 4 之前之狀態的縱剖面示意圖。另外第 6 圖所示之半導體裝置中，和實施方式 2 之半導體裝置相同，第 1 導電層 11 係形成於鈍化膜 9 之開口部 9a，而不接觸鈍化膜 9 之側面以外的表面。又第 6 圖所示之半導體裝置中，第 1 導電層 11 中第 2 導電層 12 側之一部分，係成為輔助導電層 11a；此輔助導電層 11a，係以較第 1 導電層 11 中輔助導電層 11a 以外之部分（由鎳所構成）硬度為低的金所構成。另外本實施方式 3 中，雖以金形成輔助導電層 11a，但亦可以例如其他硬度較鎳為低之金屬形成。此輔助導電層 11a，可例如形成第 1 導電層 11 中輔助導電層 11a 以外的部分，之後藉由替換電鍍而以 $0.1 \sim 3.0 \mu\text{m}$ 之厚度鍍上金層來形成之（參考第

(18)

3 圖 (b)) 。輔助導電 11a，雖以 $0.2 \sim 1.0 \mu m$ 之厚度來形成者為佳，但要將輔助導電層 11a 形成為厚時，可於替換電鍍之後進行化學還原電鍍來形成之。

關於其他部分，係和實施方式 2 之第 5 圖所示者相同，而與實施方式 2 相同之部分係附加相同符號。

另外本實施方式 3 中，輔助導電層 11a，雖形成為不接觸鈍化膜 9 之側面以外的表面，但因金之硬度較低，較無對鈍化膜 9 造成龜裂之虞，故亦可使金所構成之輔助導電層 11a 接觸鈍化膜 9 的表面。

又本實施方式 3 中，外部連接電極 8，係形成為 $0.2 \mu m$ 以上之厚度。藉由將外部連接電極 8 形成為 $0.2 \mu m$ 以上之厚度，則例如於將半導體晶片 2 黏合於配線基板 4 時，可防止半導體晶片 2 之基材 7 (由矽所構成) 發生龜裂。

另外於實施方式 1 及實施方式 2 之半導體裝置中，亦可藉由將外部連接電極 8 形成為 $0.2 \mu m$ 以上之厚度，而得到與上述相同之效果。

本實施方式 3 中，因將第 1 導電層 11 中第 2 導電層 12 側的一部分，作為金所構成之輔助導電層 11a，故可有效防止半導體晶片 2 之基材 7 發生龜裂。

又，因將鋁所構成之外部連接電極 8 形成為 $0.2 \mu m$ 以上之厚度，故例如於將半導體晶片 2 黏合於配線基板 4 時，可有效防止半導體晶片 2 之基材 7 發生龜裂。

(19)

實施方式 4.

第 7 圖，係表示本發明之實施方式 4 中電子機器之例的立體示意圖。另外第 7 圖所示之電子機器 100 係行動電話，而裝載有本發明之實施方式 1、實施方式 2 或實施方式 3 所示之半導體裝置。

本發明之實施方式 1、實施方式 2 或實施方式 3 中的半導體裝置，係不僅如第 7 圖所示之行動電話，而亦可使用於筆記型個人電腦、電子記事本、電子計算機、液晶投影機、印表機等各種電子機器。

【圖式簡單說明】

〔第 1 圖〕係表示本發明之實施方式 1 之半導體裝置的縱剖面示意圖。

〔第 2 圖〕係於第 1 圖所示之半導體裝置 1 中，表示於配線基板 4 安裝半導體晶片 2 以前之狀態的縱剖面示意圖。

〔第 3 圖〕係表示本發明之實施方式 1 中半導體裝置之製造工程的縱剖面示意圖。

〔第 4 圖〕係表示第 3 圖之後續工程的縱剖面示意圖。

〔第 5 圖〕係於本發明實施方式 2 之半導體裝置中，表示將半導體晶片 2 安裝於配線基板 4 之前之狀態的縱剖面示意圖。

〔第 6 圖〕係於本發明實施方式 3 之半導體裝置中，

(20)

表示將半導體晶片 2 安裝於配線基板 4 之前之狀態的縱剖面示意圖。

[第 7 圖] 係表示本發明之實施方式 4 中電子機器之例的立體示意圖。

【主要元件符號說明】

- 1：半導體裝置
- 2：半導體晶片
- 3：突起
- 4：配線基板
- 5：導電性粒子
- 6：異向導電性樹脂層
- 7：基材
- 8：外部連接電極
- 9：鈍化膜
- 10：突塊
- 11：第 1 導電層
- 11a：輔助導電層
- 12：第 2 導電層
- 13：第 3 導電層
- 20：熱壓合裝置
- 100：電子機器

五、中文發明摘要

發明名稱：半導體晶片、半導體裝置、半導體裝置之製造方法及電子機器

本發明之課題

提供一種低成本且高連接可靠度之半導體晶片，及具有此半導體晶片之半導體裝置，及半導體裝置之製造方法，及具有此半導體裝置之電子機器。

本發明之解決手段

係具有含突塊 (bump) 10 之半導體晶片 2，和具備突起 (land) 3 之配線基板 4，而突塊 10 和突起 3 係以分散於絕緣性材料之導電性粒子 5 所連接的半導體裝置 1；其中突塊 10，係具有第 1 導電層 11，和接觸該第 1 導電層 11 之第 2 導電層 12，和接觸該第 2 導電層 12 之第 3 導電層 13，而導電性粒子 5 係以侵入第 3 導電層 13 之狀態，造成電性連接。

六、英文發明摘要

發明名稱：

SEMICONDUCTOR CHIP, SEMICONDUCTOR DEVICE, METHOD FOR PRODUCING SEMICONDUCTOR DEVICE, AND ELECTRONIC EQUIPMENT

A semiconductor device includes a semiconductor chip having a bump and a wiring substrate having a land, wherein the bump and the land are connected through conductive particles dispersed in an insulating material. The bump includes a first conductive layer, a second conductive layer that is in contact with the first conductive layer, and a third conductive layer that is in contact with the second conductive layer. The conductive particles are inserted in the third conductive layer to establish the electrical connection.

(1)

十、申請專利範圍

1. 一種半導體裝置，係具有含突塊（bump）之半導體晶片，和具備突起（land）之配線基板，而上述突塊和上述突起係以分散於絕緣性材料之導電性粒子所連接的半導體裝置；其特徵係

上述突塊，係具有第 1 導電層，和接觸該第 1 導電層之第 2 導電層，和接觸該第 2 導電層之第 3 導電層，而上述導電性粒子係以侵入上述第 3 導電層之狀態，造成電性連接。

2. 如申請專利範圍第 1 項所記載之半導體裝置，其中，上述第 3 導電層之厚度，係使上述導電性粒子之直徑 $1/4$ 以上，侵入上述第 3 導電層地而形成者。

3. 如申請專利範圍第 1 項所記載之半導體裝置，其中，上述第 3 導電層之厚度，係使上述導電性粒子之直徑 $1/2$ 以上，侵入上述第 3 導電層，且使上述突塊和上述突起直接接觸地而形成者。

4. 如申請專利範圍第 1 項至第 3 項之任一項所記載之半導體裝置，其中，上述第 1 導電層和上述第 2 導電層及／或上述第 2 導電層和上述第 3 導電層之間，係具有觸媒。

5. 如申請專利範圍第 1 項至第 3 項之任一項所記載之半導體裝置，其中，外部連接電極上，具有具備開口部之鈍化膜；上述第 1 導電層，係不接觸除了上述鈍化膜之側面以外的表面地，形成於上述開口部之部分者。

(2)

6. 如申請專利範圍第 1 項至第 3 項之任一項所記載之半導體裝置，其中，上述導電性粒子，係以硬度較上述第 3 導電層更高之物質所構成者。

7. 如申請專利範圍第 6 項所記載之半導體裝置，其中，上述導電性粒子係由鎳構成或最少包含鎳者。

8. 如申請專利範圍第 1 項至第 3 項之任一項所記載之半導體裝置，其中，上述第 1 導電層中第 2 導電層側之一部分係成為輔助導電層，該輔助導電層，係以硬度較上述第 1 導電層之輔助導電層以外之部分之硬度為低的物質所構成者。

9. 如申請專利範圍第 8 項所記載之半導體裝置，其中，上述輔助導電層係由金構成者。

10. 一種半導體晶片，其特徵係具備
基材，

和形成於該基材上之外部連接電極，

和與該外部連接電極電性連接，並具有第 1 導電層、及設於該第 1 導電層上之第 2 導電層、及設於該第 2 導電層上之第 3 導電層的突塊，

和於上述外部連接電極上具有開口部之鈍化膜，

上述第 1 導電層，係於上述鈍化膜之開口部之內側，與上述外部電極之上面接觸，且除了上述鈍化膜之側面以外之表面皆不接觸地被設置。

11. 如申請專利範圍第 10 項所記載之半導體晶片，其中，上述第 3 導電層係由錫所構成者。

(3)

12. 如申請專利範圍第 11 項所記載之半導體晶片，其中，上述第 2 導電層係由銅所構成者。

13. 如申請專利範圍第 10 項至第 12 項之任一項所記載之半導體晶片，其中，上述外部連接電極之厚度，係在 $0.2\ \mu\text{m}$ 以上者。

14. 如申請專利範圍第 10 項至第 12 項之任一項所記載之半導體晶片，其中，上述第 1 導電層中第 2 導電層側之一部分係成為輔助導電層，該輔助導電層，係以硬度較上述第 1 導電層之輔助導電層以外之部分之硬度為低的物質所構成者。

15. 如申請專利範圍第 14 項所記載之半導體晶片，其中，上述輔助導電層係由金所構成者。

16. 一種半導體裝置之製造方法，係將具有突塊之半導體晶片，和具有突起之配線基板，加以連接之半導體裝置之製造方法；其特徵係具有接觸上述突塊之第 1 導電層地而形成第 2 導電層的工程，和接觸該第 2 導電層地而形成第 3 導電層的工程；又具有於上述配線基板或上述半導體晶片，配置分散了導電性粒子之絕緣性材料的工程，和將上述突塊或上述突起壓入絕緣性材料，使上述導電性粒子侵入上述第 3 導電層，而電性連接上述突塊和上述突起的工程。

17. 如申請專利範圍第 16 項所記載之半導體裝置之製造方法，其中，係具有於上述第 1 導電層和上述第 2 導電層及／或上述第 2 導電層和上述第 3 導電層之間，置入

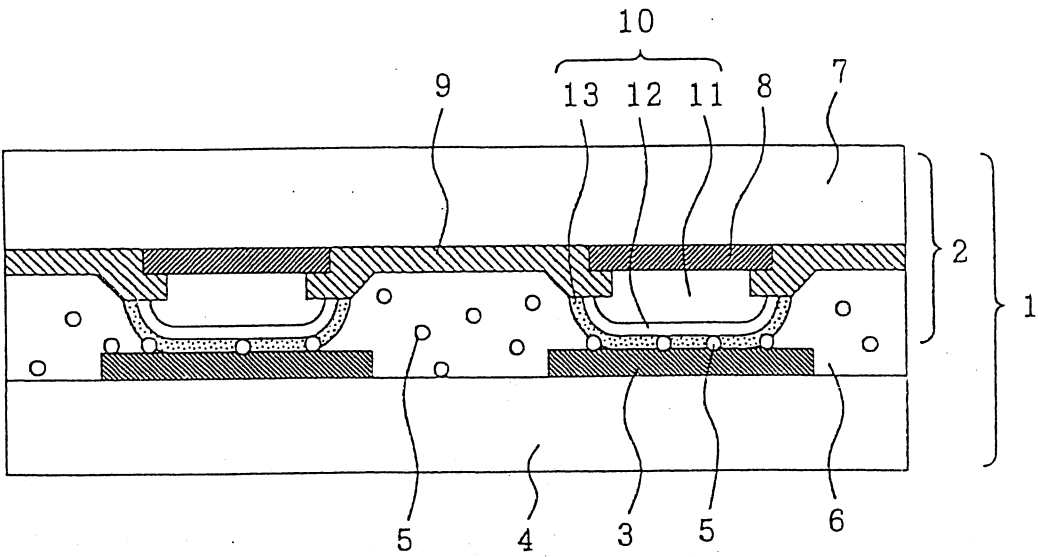
(4)

觸媒的工程者。

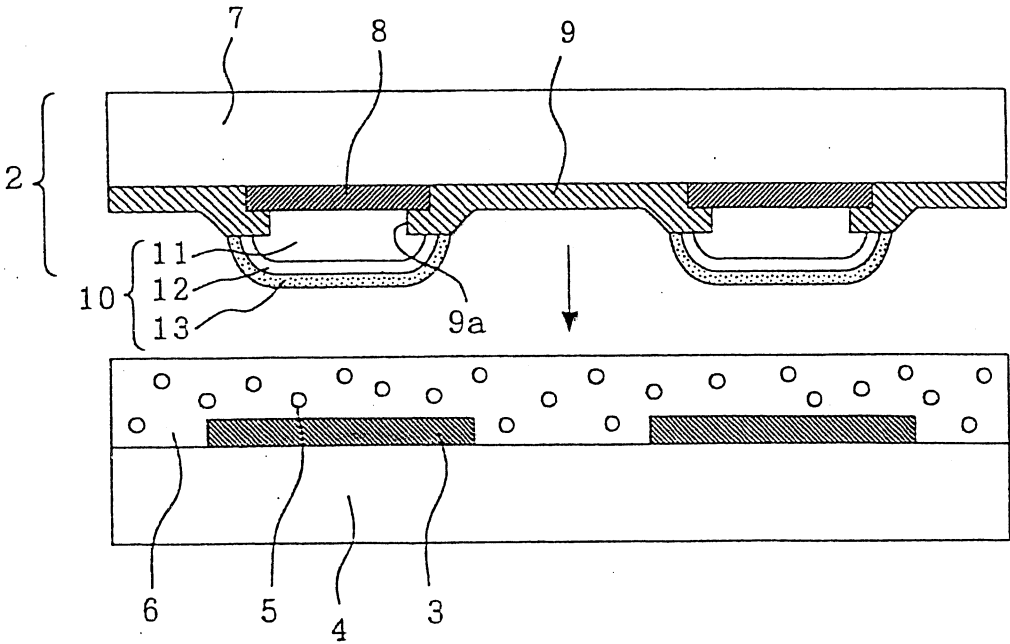
18. 如申請專利範圍第 16 項或第 17 項所記載之半導體裝置之製造方法，其中，係以無電解電鍍法，形成上述第 1 導電層、上述第 2 導電層及上述第 3 導電層中最少 1 層者。

19. 如申請專利範圍第 16 項或第 17 項所記載之半導體裝置之製造方法，其中，將上述第 1 導電層之第 2 導電層側之一部分形成為輔助導電層，該輔助導電層，係以硬度較上述第 1 導電層之輔助導電層以外之部分之硬度為低的物質所構成者。

20. 一種電子機器，其特徵係具有如申請專利範圍第 1 項至第 9 項之任一項所記載之半導體裝置。

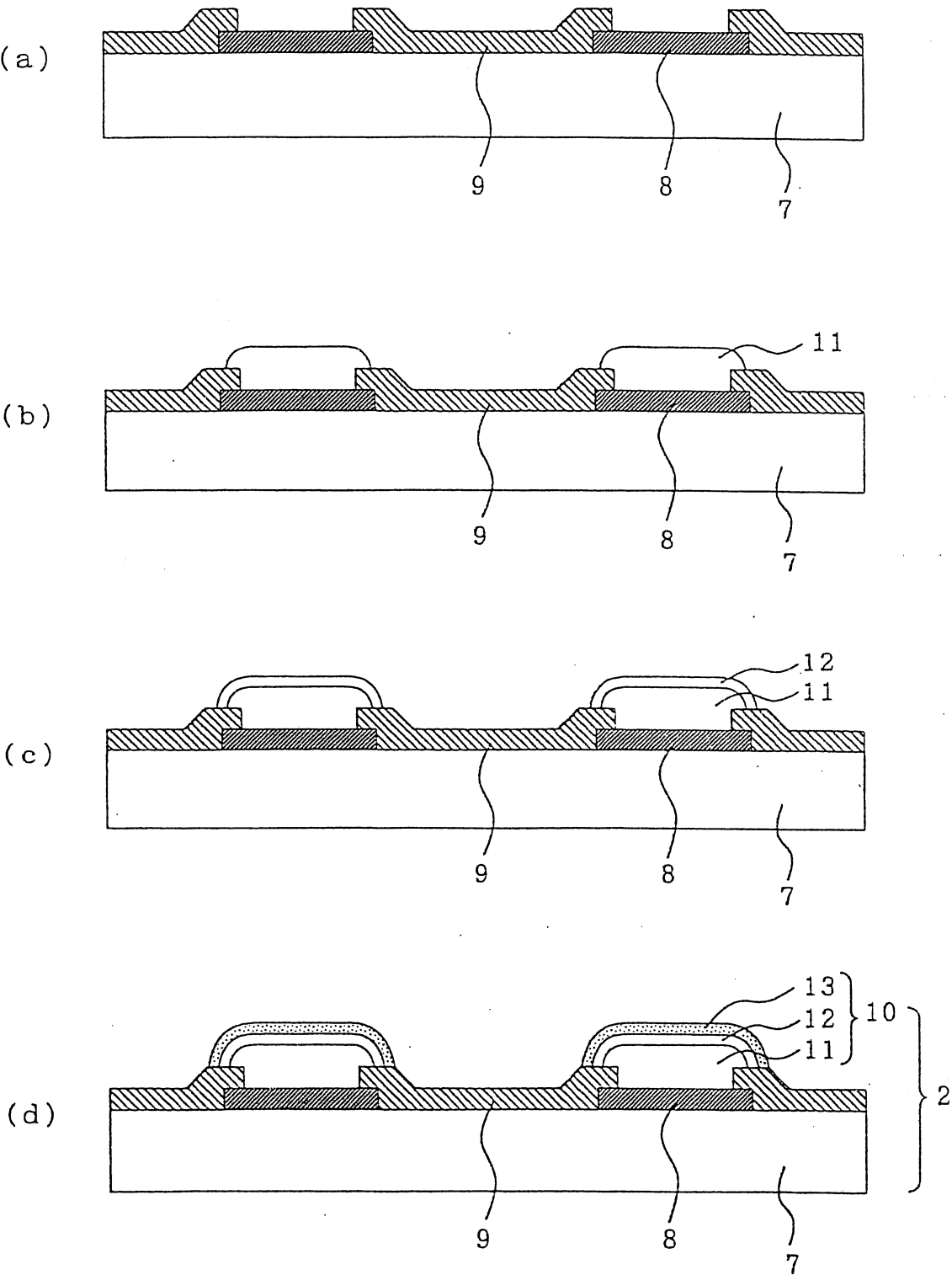


第1圖

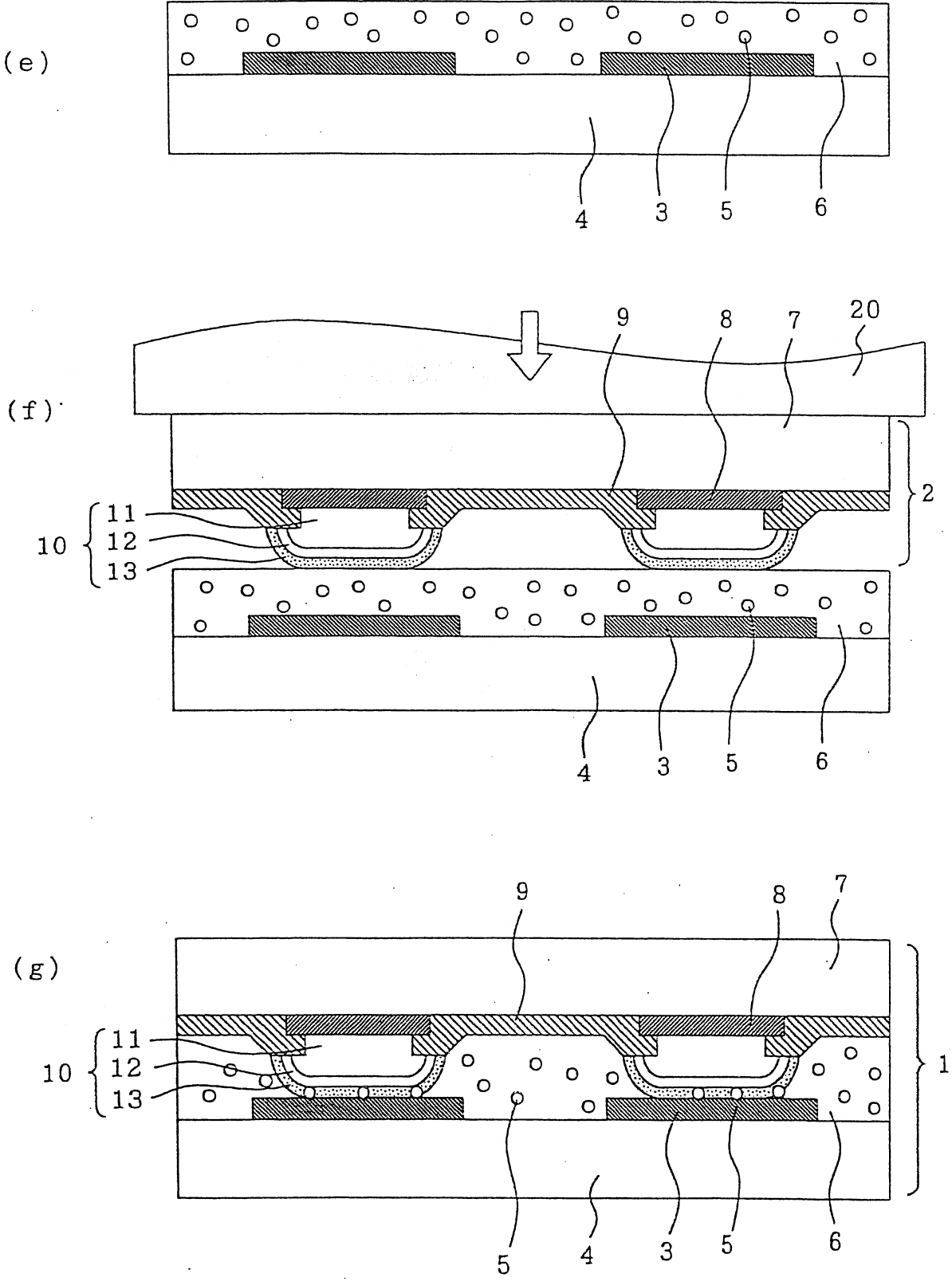


第2圖

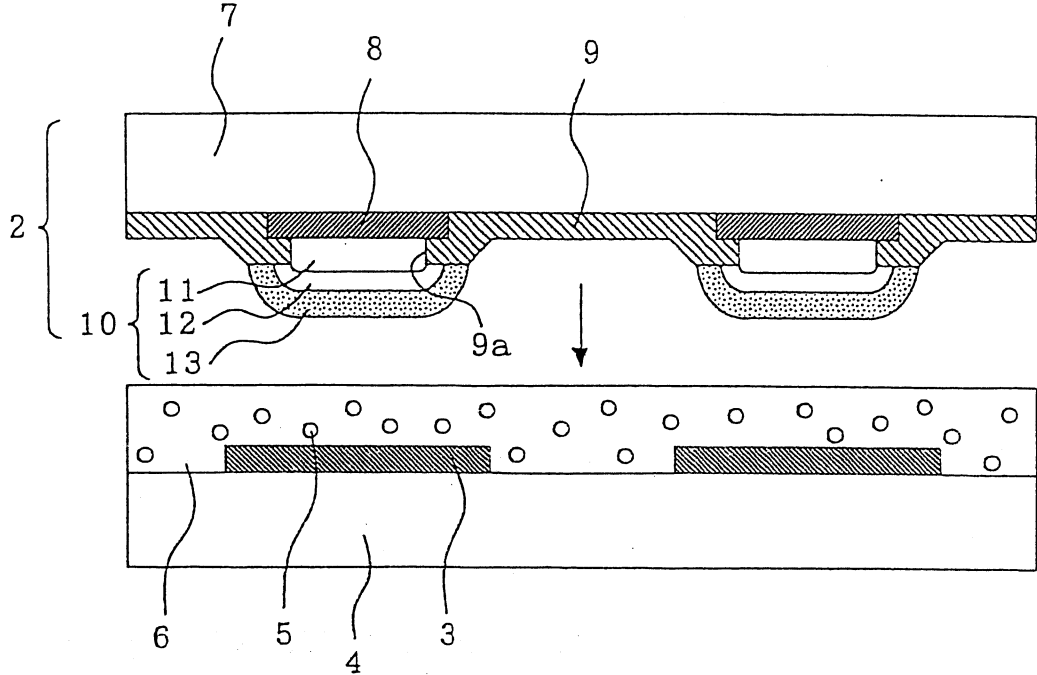
第3圖



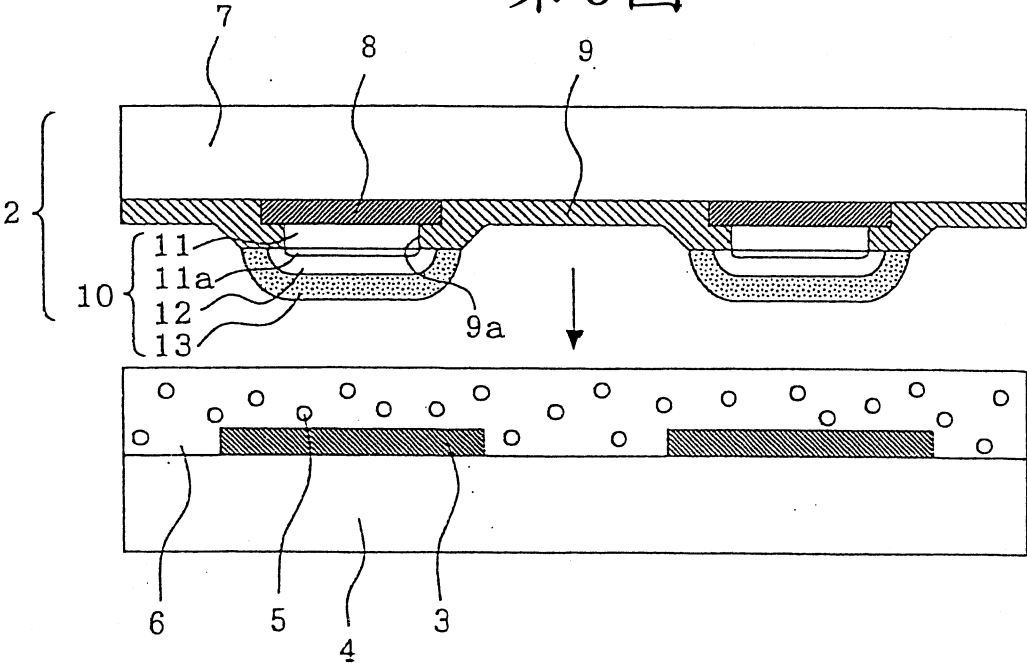
第4圖



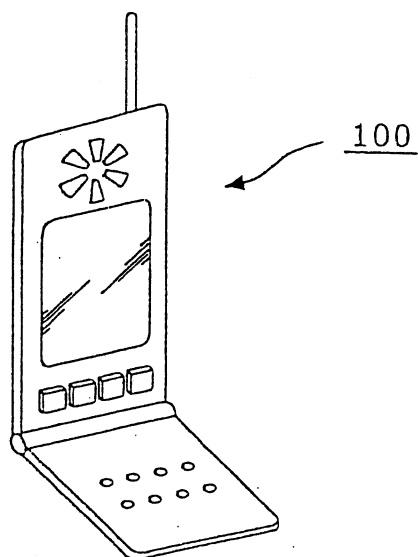
第5圖



第6圖



第7圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

- 1：半導體裝置
- 2：半導體晶片
- 3：突起
- 4：配線基板
- 5：導電性粒子
- 6：異向導電性樹脂層
- 7：基材
- 8：外部連接電極
- 9：鈍化膜
- 10：突塊
- 11：第 1 導電層
- 12：第 2 導電層
- 13：第 3 導電層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：