

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6471237号
(P6471237)

(45) 発行日 平成31年2月13日(2019.2.13)

(24) 登録日 平成31年1月25日(2019.1.25)

(51) Int.Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 3 3 8
G09F 9/00 (2006.01)	G09F 9/00 3 3 8
G02F 1/1368 (2006.01)	G02F 1/1368
G02F 1/1345 (2006.01)	G02F 1/1345
H01L 29/786 (2006.01)	H01L 29/78 6 1 8 E
請求項の数 8 (全 19 頁) 最終頁に続く	

(21) 出願番号	特願2017-538802 (P2017-538802)	(73) 特許権者	512225287
(86) (22) 出願日	平成27年9月10日 (2015.9.10)		堺ディスプレイプロダクト株式会社
(86) 国際出願番号	PCT/JP2015/075759		大阪府堺市堺区匠町 1 番地
(87) 国際公開番号	W02017/042941	(74) 代理人	110001896
(87) 国際公開日	平成29年3月16日 (2017.3.16)		特許業務法人朝日奈特許事務所
審査請求日	平成30年3月8日 (2018.3.8)	(72) 発明者	石田 茂
			大阪府堺市堺区匠町 1 番地 堺ディスプレイプロダクト株式会社内
		(72) 発明者	野寺 伸武
			大阪府堺市堺区匠町 1 番地 堺ディスプレイプロダクト株式会社内
		(72) 発明者	高倉 良平
			大阪府堺市堺区匠町 1 番地 堺ディスプレイプロダクト株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置及び表示装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 薄膜トランジスタを有する絵素と、第 2 薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置において、

前記第 1 薄膜トランジスタおよび前記第 2 薄膜トランジスタは、それぞれ、ゲート電極と、前記ゲート電極を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成されている第 1 のアモルファスシリコン層と、前記第 1 のアモルファスシリコン層を覆う第 2 のアモルファスシリコン層と、前記第 2 のアモルファスシリコン層の上側に積層されていて所定の間隔を挟んで離隔されているソース電極およびドレイン電極と、を含み、

前記第 1 薄膜トランジスタは第 1 チャネル領域を有し、前記第 2 薄膜トランジスタは第 2 チャネル領域を有しており、

前記第 1 チャネル領域および前記第 2 チャネル領域は、前記第 1 のアモルファスシリコン層における上面視で前記ソース電極と前記ドレイン電極とに挟まれた領域を含み、

前記第 1 チャネル領域は前記第 1 のアモルファスシリコン層における上面視で前記ソース電極と前記ドレイン電極とに挟まれた領域においてアモルファスシリコン領域及びポリシリコン領域を含み、

前記第 2 チャネル領域は前記第 1 のアモルファスシリコン層における上面視で前記ソース電極と前記ドレイン電極とに挟まれた領域においてアモルファスシリコン領域を含まずにポリシリコン領域を含み、

前記第 1 チャネル領域及び前記第 2 チャネル領域は、電気的特性が相違することを特徴

10

20

とする表示装置。

【請求項 2】

前記第 1 チャンネル領域に含まれる第 1 ポリシリコン領域は離隔された 2 ヶ所であり、一方の前記第 1 ポリシリコン領域は、前記積層の方向にて、前記ソース電極と重なっており、

他方の前記第 1 ポリシリコン領域は、前記積層の方向において、前記ドレイン電極と重なっていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 チャンネル領域に含まれる第 1 ポリシリコン領域は前記ソース電極及び前記ドレイン電極の離隔の方向に長く、

前記第 1 ポリシリコン領域の両端側が、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端の一部と夫々重なっていることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記第 1 ポリシリコン領域は、前記ソース電極及び前記ドレイン電極の両対向端の間にて、前記離隔の方向と直交する方向の寸法が大きくなることを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記第 1 チャンネル領域に含まれる第 1 ポリシリコン領域は 1 ヶ所であって、前記ソース電極及び前記ドレイン電極の両対向端の間に介在し、

前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端と重なっていないことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記第 1 チャンネル領域に含まれる第 1 ポリシリコン領域と、前記第 2 チャンネル領域に含まれる第 2 ポリシリコン領域とは、ポリシリコンの結晶性が異なることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

第 1 薄膜トランジスタを有する複数の画素と、第 2 薄膜トランジスタを有し、該画素を駆動する駆動回路とを備える表示装置の製造方法において、

複数のゲート電極に係るゲート電極絶縁層を形成する工程と、

該ゲート電極絶縁層の上にアモルファスシリコン層を形成する工程と、

前記第 1 薄膜トランジスタに係る第 1 チャンネル領域を形成するチャンネル工程と、

ソース電極及びドレイン電極を形成する工程と、を含み、

前記チャンネル工程では、前記アモルファスシリコン層における前記ゲート電極の上側であって上面視で前記ソース電極および前記ドレイン電極の間となるべき前記第 1 チャンネル領域にポリシリコン領域が選択的に形成されることを特徴とする表示装置の製造方法。

【請求項 8】

前記チャンネル工程では

前記アモルファスシリコン層にエネルギービームを部分的に照射してポリシリコン層に変化させるアニール工程と、

前記ポリシリコン層を覆って他のアモルファスシリコン層を形成する工程と、

前記他のアモルファスシリコン層の表面に n + シリコン層を形成する工程と

を含むことを特徴とする請求項 7 に記載の表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第 1 薄膜トランジスタを有する絵素と、第 2 薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置及び該表示装置の製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

近年、液晶パネル等を有する表示装置においては、薄膜トランジスタ（TFT：Thin Film Transistor）が主に用いられる。具体的には、アモルファスシリコン（amorphous silicon）をチャネル領域に用いたa-Si TFT、又はポリシリコン（poly-crystalline silicon）をチャネル領域に用いたP-Si TFTが用いられる。また、P-Si TFTは、基板全面にレーザーを照射後、パターニングを行うレーザーアニール方式により製造される。

【0003】

特許文献1には、ゲート電極を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたポリシリコン膜と、前記ポリシリコン膜の端部の上方に形成されたソース電極と、前記ポリシリコン膜における前記ソース電極が形成された端部と対向する端部の上方に形成され、前記ソース電極と離間しているドレイン電極とを具備する薄膜トランジスタにおいて、前記ポリシリコン膜におけるソース電極又はドレイン電極が形成されている前記ポリシリコン膜の端部から、前記ポリシリコン膜におけるソース電極又はドレイン電極が形成されていない前記ポリシリコン膜の中央部に向かって、前記ポリシリコン膜の結晶化率が小さくなることについて開示されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-114131号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

一方、ピクセル（絵素）を駆動する周辺回路又は駆動回路は、回路として駆動する為に高いオン電流が要求される。一方、ピクセルでは頻繁にオン・オフのスイッチングが行われることから、オフ電流が低い方が望ましい。

【0006】

これに対して、上述したP-Si TFTは、オン時に流れる電流（オン電流）、及び、オフ時に流れる電流（オフ電流）が共に高いという特性を有している。従って、周辺回路又は駆動回路用のTFTには適しているものの、ピクセル用のTFTには好ましくない。

30

【0007】

このように、同一基板上、又は同一装置内においても、その機能に応じて、電子移動度（電気的特性）の異なる複数種のTFTが要求されている。しかしながら、従来のレーザーアニール方式を用いて斯かる複数種のTFTを設けることは複雑な工程であり、手間の掛かるものである。また、このような問題に対して、特許文献1に係る薄膜トランジスタにおいては工夫も言及もされていない。

【0008】

本発明は、斯かる事情に鑑みてなされたものであり、その目的とするところは、第1薄膜トランジスタを有する絵素と、第2薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置において、前記第1薄膜トランジスタに係る第1チャネル領域、及び、前記第2薄膜トランジスタに係る第2チャネル領域を、電気的特性（例えば、電子移動度）が相違するように構成することにより、第1薄膜トランジスタ及び第2薄膜トランジスタが夫々の役割に適した作動ができる表示装置及び該表示装置の製造方法を提供することにある。

40

【課題を解決するための手段】

【0009】

本発明に係る表示装置は、第1薄膜トランジスタを有する絵素と、第2薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置において、前記第1薄膜トランジスタは第1チャネル領域を有し、前記第2薄膜トランジスタは第2チャネル領域を有しており、前記第1チャネル領域はアモルファスシリコン領域及びポリシリコン領域を含

50

み、前記第1チャネル領域及び前記第2チャネル領域は、電気的特性が相違することを特徴とする。

【0010】

本発明にあっては、例えば、前記第1チャネル領域はアモルファスシリコン領域及びポリシリコン領域を含み、前記第2チャネル領域はポリシリコン領域のみを含むように構成することにより、前記第1チャネル領域及び前記第2チャネル領域において、電気的特性が相違するように構成する。

【0011】

本発明に係る表示装置は、前記第1薄膜トランジスタでは、ゲート電極の上側に、前記第1チャネル領域を挟んで、ソース電極及びドレイン電極が所定の間隔を離れて積層されており、前記第1チャネル領域には、アモルファスシリコン領域及びポリシリコン領域が混在してあることを特徴とする。

10

【0012】

本発明にあっては、前記第1薄膜トランジスタでは、前記第1チャネル領域にアモルファスシリコン領域及びポリシリコン領域が混在してある。

【0013】

本発明に係る表示装置は、前記ポリシリコン領域は離隔された2ヶ所であり、一方のポリシリコン領域は、前記積層の方向にて、前記ソース電極と重なっており、他方のポリシリコン領域は、前記積層の方向において、前記ドレイン電極と重なっていることを特徴とする。

20

【0014】

本発明にあっては、前記2ヶ所のポリシリコン領域うち一方のポリシリコン領域は、前記積層の方向にて、前記ソース電極と重なっており、他方のポリシリコン領域は、前記積層の方向において、前記ドレイン電極と重なっている。換言すれば、前記2ヶ所のポリシリコン領域は夫々ソース電極及びドレイン電極周囲に形成されている。

【0015】

本発明に係る表示装置は、前記ポリシリコン領域は前記ソース電極及び前記ドレイン電極の離隔の方向に長く、前記ポリシリコン領域の両端側が、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端の一部と夫々重なっていることを特徴とする。

【0016】

本発明にあっては、前記ポリシリコン領域の両端側が、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端の一部と夫々重なっており、前記ソース電極及び前記ドレイン電極に隣接する領域又は近傍の領域をアモルファスシリコン領域とする。

30

【0017】

本発明に係る表示装置は、前記ポリシリコン領域は、前記ソース電極及び前記ドレイン電極の両対向端の中間にて、前記離隔の方向と直交する方向の寸法が大きくなることを特徴とする。

【0018】

本発明にあっては、前記ポリシリコン領域は斯かる両端側が、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端の一部と夫々重なっており、前記ソース電極及び前記ドレイン電極の両対向端の中間にて、前記離隔の方向と直交する方向の寸法が大きくなる。従って、前記ソース電極及び前記ドレイン電極に隣接する領域又は近傍の領域がアモルファスシリコン領域となる。

40

【0019】

本発明に係る表示装置は、前記ポリシリコン領域は1ヶ所であって、前記ソース電極及び前記ドレイン電極の両対向端の間に介在し、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端と重なっていないことを特徴とする。

【0020】

本発明にあっては、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端と重ならないように、前記ポリシリコン領域が、前記ソース電極及び前記ドレイン電

50

極の両対向端の間に介在し、前記ソース電極及び前記ドレイン電極に隣接する領域又は近傍の領域をアモルファスシリコン領域とする。

【0021】

本発明に係る表示装置は、前記第1薄膜トランジスタ及び前記第2薄膜トランジスタ夫々は、ゲート電極の上側に、前記第1チャンネル領域又は前記第2チャンネル領域を挟んで、ソース電極及びドレイン電極が所定の間隔を離れて積層されており、前記第1チャンネル領域及び前記第2チャンネル領域にはポリシリコン領域のみが存在し、前記第1チャンネル領域と、前記第2のチャンネル領域とは、ポリシリコンの結晶性が異なることを特徴とする。

【0022】

本発明にあつては、前記第1チャンネル領域及び前記第2チャンネル領域にはポリシリコン領域のみが存在し、前記第1チャンネル領域と、前記第2のチャンネル領域とは、ポリシリコンの結晶性が異なる。

【0023】

本発明に係る表示装置の製造方法は、第1薄膜トランジスタを有する複数の画素と、第2薄膜トランジスタを有し、該画素を駆動する駆動回路とを備える表示装置の製造方法において、複数のゲート電極に係るゲート電極絶縁層を形成する工程と、該ゲート電極絶縁層の上にアモルファスシリコン層を形成する工程と、前記第1薄膜トランジスタに係る第1チャンネル領域を形成するチャンネル工程を含み、前記チャンネル工程では、前記アモルファスシリコン層にポリシリコン領域が選択的に形成されることを特徴とする。

【0024】

本発明にあつては、複数のゲート電極に係るゲート電極絶縁層が形成された後、該ゲート電極絶縁層の上にアモルファスシリコン層が形成され、以後、該アモルファスシリコン層にポリシリコン領域が選択的に形成されて、前記第1薄膜トランジスタに係る第1チャンネル領域が形成される。

【0025】

本発明に係る表示装置の製造方法は、前記チャンネル工程では前記アモルファスシリコン層にエネルギービームを部分的に照射してポリシリコン層に変化させるアニール工程と、前記ポリシリコン層を覆って他のアモルファスシリコン層を形成する工程と、前記他のアモルファスシリコン層の表面に $n+$ シリコン層を形成する工程とを含むことを特徴とする。

【0026】

本発明にあつては、前記チャンネル工程で、前記アモルファスシリコン層にエネルギービームを部分的に照射してポリシリコン層に変化させた後、前記ポリシリコン層を覆って他のアモルファスシリコン層が形成され、該他のアモルファスシリコン層の表面に $n+$ シリコン層が形成される。

【発明の効果】

【0027】

本発明によれば、オフ電流を下げる必要のあるピクセル（絵素）に対しては、前記第1薄膜トランジスタがオフ電流を確実に抑えることができ、オン電流を高める必要のある駆動回路（周辺回路）に対しては、前記第2薄膜トランジスタがオン電流を確実に高めることができるので、前記第1薄膜トランジスタ及び前記第2薄膜トランジスタが夫々の役割に適した作動を行うことが出来る。

【図面の簡単な説明】

【0028】

【図1】実施の形態1のテレビジョン受信機の要部構成を示す機能ブロック図である。

【図2A】本実施の形態1に係るテレビジョン受信機の駆動回路及びピクセルに用いられる薄膜トランジスタの一例を模式的に示す模式図である。

【図2B】本実施の形態1に係るテレビジョン受信機の駆動回路及びピクセルに用いられる薄膜トランジスタの一例を模式的に示す模式図である。

【図3】図2AのI-I線による要部断面図である。

10

20

30

40

50

【図 4】図 2 B の II - II 線による要部断面図である。

【図 5】本実施の形態 1 に係るテレビジョン受信機のピクセル薄膜トランジスタの製造方法の一例を示す製造工程図である。

【図 6】本実施の形態に係る部分照射型レーザーの構成の一例を示す模式図である。

【図 7】本実施の形態 2 に係るテレビジョン受信機のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図である。

【図 8】図 7 の IV - IV 線による要部断面図である。

【図 9】本実施の形態 3 に係るテレビジョン受信機のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図である。

【図 10】図 9 の VI - VI 線による要部断面図である。

10

【図 11】本実施の形態 4 に係るテレビジョン受信機のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図である。

【図 12】図 11 の VII - VII 線による要部断面図である。

【図 13】本実施の形態 5 に係るテレビジョン受信機のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図である。

【図 14】レーザーアニール積算エネルギー密度及び移動度の関係を説明するグラフである。

【図 15】第 1 チャネル領域及び第 2 チャネル領域の電気的特性が相違するように構成した場合における、オン・オフ時の電流値変化を示すグラフである。

【発明を実施するための形態】

20

【0029】

以下に、本発明の実施の形態に係る表示装置及び該表示装置の製造方法を、いわゆる液晶パネルを有するテレビジョン受信機に適用した場合を例として、図面に基づいて詳述する。

【0030】

(実施の形態 1)

図 1 は実施の形態 1 のテレビジョン受信機 100 の要部構成を示す機能ブロック図である。

【0031】

テレビジョン受信機 100 は、TVSoC (System on a Chip) 10 (送信部) と、TVSoC 10 からデータを受信する Tcon (Timing Controller) 20 と、更に Tcon 20 からデータを受信するソースドライバ 30 及びゲートドライバ 40 とを備えており、ソースドライバ 30 及びゲートドライバ 40 は斯かるデータに基づいて画像が表示される液晶表示パネル 50 に接続されている。

30

【0032】

請求の範囲に記載の駆動回路は、例えば、ソースドライバ 30 又はゲートドライバ 40 である。

【0033】

TVSoC 10 はいわゆるテレビ受信回路であり、CVBS 信号、HDMI (登録商標) 信号などを受け取ってテレビ映像を生成し、テレビ画像信号、水平同期信号、垂直同期信号、及びクロックを含む画像信号を、例えば、V-by-One 信号規格を用いて Tcon 20 に出力する。

40

【0034】

Tcon 20 は、TVSoC 10 からの信号に基づいて、デジタル画像信号、液晶表示パネル 50 の駆動回路の動作を制御するための制御信号等を生成する。そして、Tcon 20 は、デジタル画像信号及び制御信号をソースドライバ 30 及びゲートドライバ 40 に送信する。すなわち Tcon 20 は、TVSoC 10 からの垂直同期信号、水平同期信号、データイネーブル信号、クロック信号などのタイミング信号を用いて、ソースドライバ 30 の動作タイミングを制御するためのソースタイミング制御信号と、ゲートドライバ 40 の動作タイミングを制御するためのゲートタイミング制御信号を発生する。

50

【 0 0 3 5 】

また、T c o n 2 0 及びソースドライバ 3 0 の間は、例えば 2 4 本のバスによって接続されている。

【 0 0 3 6 】

液晶表示パネル 5 0 の図示しない各ピクセル（絵素）は、ソースライン及びゲートラインを介して、ソースドライバ 3 0 及びゲートドライバ 4 0 に接続されている。

【 0 0 3 7 】

図 2 は本実施の形態 1 に係るテレビジョン受信機 1 0 0 の駆動回路及びピクセルに用いられる薄膜トランジスタ（T F T とも称する）の一例を模式的に示す模式図である。図 2 A はテレビジョン受信機 1 0 0 のピクセルに用いられる薄膜トランジスタ（以下、ピクセル薄膜トランジスタと称する）を示し、図 2 B はテレビジョン受信機 1 0 0 の駆動回路（周辺回路）に用いられる薄膜トランジスタ（以下、駆動回路薄膜トランジスタと称する）を示している。

10

【 0 0 3 8 】

また、図 3 は図 2 A の I - I 線による要部断面図であり、図 4 は図 2 B の II - II 線による要部断面図である。

【 0 0 3 9 】

図 3 及び図 4 に示すように、夫々の薄膜トランジスタは、ガラス基板 1（基板とも称する）の表面にゲート電極 2 を積層してあり、ゲート電極 2 を覆ってゲート絶縁膜 3（例えば、S i O₂ 膜、S i O₂ / S i N 膜積層、S i N 膜、S i O N 膜など）を積層してある。

20

【 0 0 4 0 】

また、図 2 ~ 図 4 に示すように、ゲート絶縁膜 3 の表面であってゲート電極 2 の上側には、ポリシリコン層 5（p - S i 膜とも称する。なお、ポリシリコン層には多結晶だけでなく、多結晶よりも比較的結晶粒径の小さい微結晶、あるいは、より結晶性の高い単結晶も含む）を積層してある。また、ポリシリコン層 5（ポリシリコン領域）を取り囲むように第 1 のアモルファスシリコン層 4（a - S i 膜とも称する）が形成され、ポリシリコン層 5 及び第 1 のアモルファスシリコン層 4 を覆うように第 2 のアモルファスシリコン層 6（a - S i 膜とも称する）を積層してある。以下においては、第 1 のアモルファスシリコン層 4 及び第 2 のアモルファスシリコン層 6 を纏めてアモルファスシリコン層とも称する。

30

【 0 0 4 1 】

第 2 のアモルファスシリコン層 6 の表面の所要位置には、n + シリコン層 7（n + S i 膜）を積層してある。n + シリコン層 7 は、ソース電極 8 及びドレイン電極 9 とのコンタクト層であり、リンなどの不純物濃度が高い半導体層である。

【 0 0 4 2 】

n + シリコン層 7 の表面、第 2 のアモルファスシリコン層 6 及び第 1 のアモルファスシリコン層 4 の側面、ゲート絶縁膜 3 の表面には、所要のパターンを有するソース電極 8 及びドレイン電極 9 を形成してある。

【 0 0 4 3 】

第 1 のアモルファスシリコン層 4 及び第 2 のアモルファスシリコン層 6 は、抵抗が大きくオフ電流（漏れ電流）が小さい。また、ポリシリコン層 5 は、アモルファスシリコン層に比べて電子の移動度が格段に大きい。

40

【 0 0 4 4 】

ソース電極 8 とドレイン電極 9 とは夫々の一端が対向するように、所定の間隔を挟んで離隔されており、ソース電極 8 とドレイン電極 9 との間はいわゆるチャネル領域に該当し、キャリア（電子又はホール）の移動が生じる。すなわち、斯かるチャネル領域は、前記積層方向において、ソース電極 8 とドレイン電極 9 との間隔に該当する部分であり、ポリシリコン層 5 と、第 1 のアモルファスシリコン層 4 及び第 2 のアモルファスシリコン層 6 とで構成されている。以下においては、前記ピクセル薄膜トランジスタ（第 1 薄膜トラン

50

ジスタ)に係るチャネル領域を第1チャネル領域C1といい、前記駆動回路薄膜トランジスタ(第2薄膜トランジスタ)に係るチャネル領域を第2チャネル領域C2という。

【0045】

ソース電極8及びドレイン電極9を覆うようにして、TFT全体には、例えば、SiNで構成されるパッシベーション膜10を形成してあり、パッシベーション膜10の表面には有機膜11を形成して表面を平坦化している。パッシベーション膜10及び有機膜11の所要の位置には、スルーホールを形成してあり、当該スルーホールを通して画素電極12とドレイン電極9とが導通するようにしてある。画素電極12は、透明導電膜(例えば、ITO)により形成されている。

【0046】

10

図2A及び図2Bでは、第1のアモルファスシリコン層4、ポリシリコン層5、ソース電極8及びドレイン電極9を基板1の表面に射影した射影状態を模式的に示す。なお、図2A及び図2Bでは、説明の便宜上、第2のアモルファスシリコン層6及び他の構成の図示を省略している。

【0047】

本実施の形態に係るテレビジョン受信機100においては、第1チャネル領域C1及び第2チャネル領域C2は、電気的特性が相違するように構成されている。以下、詳しく説明する。

【0048】

前記ピクセル薄膜トランジスタにおいては、図2Aに示すように、第1チャネル領域C1がアモルファスシリコン領域及びポリシリコン領域を含むように構成されている。すなわち、前記ピクセル薄膜トランジスタでは、第1チャネル領域C1のうち、ソース電極8とドレイン電極9との間隔に対応する部分に、第1のアモルファスシリコン層4に係る領域及びポリシリコン層5に係る領域が共に混在してある。

20

【0049】

図2Aのピクセル薄膜トランジスタにおいては、図面視、矩形の領域であるポリシリコン層5が夫々2ヶ所に形成されており、ソース電極8とドレイン電極9との離隔方向に沿って離隔されている。換言すれば、図2Aの図面視、第1のアモルファスシリコン層4内の離れた2ヶ所には、ポリシリコン層5が形成されている。

【0050】

30

以下においては、説明の便宜上、図面視、2つのポリシリコン層5の離隔方向(又は並設方向)を横方向、該離隔方向に直交する方向を縦方向と称する。

【0051】

2つのポリシリコン層5のうち、一方のポリシリコン層5は、前記積層の方向にて、ソース電極8の端部81と重なっており、他方のポリシリコン層5は、前記積層の方向において、ドレイン電極9の端部91と重なっている。

【0052】

また、図2Aに示すように、前記2つのポリシリコン層5の縦方向の寸法dは、ソース電極8及びドレイン電極9の縦方向の寸法Wより大きい。一方、前記2つのポリシリコン層5の間には第1のアモルファスシリコン層4が介在している。

40

【0053】

このように、2つのポリシリコン層5が夫々離隔され、これらの間には第1のアモルファスシリコン層4が介在する。すなわち、第1チャネル領域C1としては、抵抗が大きいアモルファスシリコン層4の領域がポリシリコン層5の領域の間に介在するので、第1のアモルファスシリコン層4が介在しない場合に比べて、オフ電流を確実に抑えることができる。一方、各ポリシリコン層5の一部と、ソース電極8及びドレイン電極9の相互対向する両端部81、91とが前記積層の方向にて重なるようにしてあるので、オン電流の低下を抑制することもできる。

【0054】

また、図3に示すように、アモルファスシリコン層は、ポリシリコン層5の周囲に形成

50

され、ポリシリコン層 5 と同程度の厚みを有する第 1 のアモルファスシリコン層 4 と、ポリシリコン層 5 及び第 1 のアモルファスシリコン層 4 の表面に形成された第 2 のアモルファスシリコン層 6 とを有する。

【 0 0 5 5 】

すなわち、ポリシリコン層 5 は、ゲート電極 2 の上側に形成された第 1 のアモルファスシリコン層 4 のうち、斯かるチャンネル領域の一部の領域を多結晶状態であるポリシリコン層 5 に変化させたものであり、該チャンネル領域を形成するために、露光、現像及びエッチング処理の各処理を行っていないことが分かる。また、第 2 のアモルファスシリコン層 6 は、ソース電極 8 及びドレイン電極 9 とチャンネル領域とが直接接触しないようにするためのもので、オフ電流（漏れ電流）が小さい特性を用いている。これにより、オフ電流をより低減することができる。

10

【 0 0 5 6 】

一方、前記駆動回路薄膜トランジスタにおいては、図 2 B に示すように、第 2 チャンネル領域 C 2 がポリシリコン領域のみを含むように構成されている。すなわち、前記駆動回路薄膜トランジスタでは、第 2 チャンネル領域 C 2 のうち、ソース電極 8 とドレイン電極 9 との間隔に対応する部分には、アモルファスシリコン領域が存在していない。

【 0 0 5 7 】

図 2 B の駆動回路薄膜トランジスタにおいては、第 1 のアモルファスシリコン層 4 内に、ポリシリコン層 5 が、ソース電極 8 とドレイン電極 9 との両対向端部 8 1 , 9 1 に亘って、第 2 チャンネル領域 C 2 より広い領域にて形成されている。

20

【 0 0 5 8 】

このように、第 2 チャンネル領域 C 2 としては、第 1 のアモルファスシリコン層 4 に比べて抵抗が小さいポリシリコン層 5 の領域がソース電極 8 とドレイン電極 9 との両対向端部 8 1 , 9 1 に亘って形成されているので、換言すれば第 2 チャンネル領域 C 2 がポリシリコン層 5 の領域のみからなるので、第 1 のアモルファスシリコン層 4 が存在する場合に比べて、オン電流を確実に高めることができる。一方、ポリシリコン層 5 の一部と、ソース電極 8 及びドレイン電極 9 の対向する両端部 8 1 , 9 1 とが前記積層の方向にて重なるようにしてあるので、オン電流の増加を一層高めることができる。

【 0 0 5 9 】

図 2 A 及び図 2 B においては、説明の便宜上、第 1 チャンネル領域 C 1 及び第 2 チャンネル領域 C 2 を図示しているが、これによって本発明に係る第 1 チャンネル領域 C 1 及び第 2 チャンネル領域 C 2 が定義されるものでない。

30

【 0 0 6 0 】

また、一般に、斯かるチャンネル領域は、ドレイン電極 9 及びソース電極 8 の間の距離であるチャンネル長と、該チャンネル長に直交する方向における、ドレイン電極 9 及びソース電極 8 の寸法であるチャンネル幅によって定義することができる。

【 0 0 6 1 】

図 5 は本実施の形態 1 に係るテレビジョン受信機 1 0 0 のピクセル薄膜トランジスタの製造方法の一例を示す製造工程図である。以下、本実施の形態 1 のピクセル薄膜トランジスタの製造工程について説明する。図 5 に示すように、ガラス基板 1 上にゲート電極 2 を形成し（S 1 1）、ゲート電極 2 を覆ってガラス基板 1 の表面にゲート絶縁膜 3 を形成する（S 1 2）。

40

【 0 0 6 2 】

ゲート絶縁膜 3 が形成されたガラス基板 1 の表面に第 1 のアモルファスシリコン層としての a - S i 膜 4 を形成する（S 1 3）。

以後、チャンネル領域（第 1 チャンネル領域 C 1）を形成する工程が行われ、上述したように、第 1 チャンネル領域 C 1 内にポリシリコン層 5 の領域を選択的に形成する。

【 0 0 6 3 】

まず、a - S i 膜 4 をレーザーアニールするために、脱水素アニール処理を行い（S 1 4）、レーザー前洗浄を行う（S 1 5）。次に、部分照射型レーザーによる a - S i 膜 4

50

の結晶化を行う（S16）。結晶化の工程は、アニール工程（レーザーアニール工程とも称する）であり、例えば、a-Si膜4の所要箇所マルチレンズアレイを介してエネルギービームを照射して当該所要箇所をポリシリコン層5（p-Si膜）に変化させる。所要箇所は、ゲート電極2の上側であり、ソース・ドレイン間の第1チャネル領域C1である。これにより、第1のアモルファスシリコン層4に図2Aに示すように、離隔された2つのポリシリコン層5が形成される。エネルギービームは、例えば、アモルファスシリコン層（a-Si膜）の吸収の大きい紫外光のエキシマレーザーを用いることができる。

【0064】

図6は本実施の形態に係る部分照射型レーザーの構成の一例を示す模式図である。図6に示すように、a-Si膜4が表面に形成されたガラス基板1は載置台（図示せず）に載置され、図6中の矢印の方向に所要の速度で平行移動するようにしてある。ガラス基板1の上方には、ガラス基板1の移動方向と交差する方向に沿って個々のレンズが適長離隔して並んだマルチレンズアレイを配置してある。レーザー光源（図示せず）からのレーザー光をマルチレンズアレイへ入射することにより、レーザー光は、レンズ毎に異なる光路を経由して離隔した複数の所要箇所に対して部分照射される。すなわち、部分レーザーアニールを行うことができる。これにより、a-Si膜4のうち、チャネル領域の所要の領域だけを選択的にポリシリコン層5（p-Si膜）に変化させる。

【0065】

次に、成膜前洗浄を行い（S17）、アニール工程により多結晶状態となったポリシリコン層5及び第1のa-Si膜4を覆って第2のアモルファスシリコン層としてのa-Si膜6を形成する（S18）。また、a-Si膜6の表面にn+S i膜（n+シリコン層）7を形成する（S19）。n+S i膜7は、ソース電極8及びドレイン電極9とのコンタクト層であり、リンなどの不純物濃度が高い半導体層である。

【0066】

次に、a-Si膜4、a-Si膜6及びn+S i膜7に対してエッチングが施され、例えば、矩形の島状に形成される。

【0067】

そして、n+S i膜7の上にソース・ドレイン用の金属の成膜が行われ、斯かる金属膜に対してエッチングが施され、ソース電極8及びドレイン電極9が形成される（S20）。

【0068】

以降、半導体層を所要の構造とするために、ソース電極8及びドレイン電極9をマスクとしてチャンネル部分に係るn+S i膜7及びa-Si膜6に対して、その厚み方向に、a-Si膜6の途中までエッチングを施す（S21）。これによってチャンネル領域が形成される。

【0069】

以上では、a-Si膜4、a-Si膜6及びn+S i膜7を島状に形成する工程を含む場合について説明したが、本発明はこれに限るものでない。マスク枚数を減らすために斯かる工程を省いて、所定のパターンにて前記ソース・ドレイン用の金属膜をエッチングし、引き続いてn+S i膜7及びa-Si膜6に対して、その厚み方向にエッチングを施すようにしても良い。

【0070】

本実施の形態の製造方法によれば、基板全面にエネルギービーム（例えば、レーザー）を照射するのではなく、a-Si膜4のうち、該ポリシリコン層5となるべき領域だけにエネルギービームを部分的に照射し、アニール工程だけで第1チャネル領域C1を形成することが出来る。このため、第1チャネル領域C1を形成するため、基板表面全体に結晶化されたポリシリコン層を形成し、該ポリシリコン層に対して露光処理、現像処理及びエッチング処理の各工程が不要となり、製造工程を短縮することができる。

【0071】

以上においては、ピクセル薄膜トランジスタに対して、図5に示したように、部分照射

10

20

30

40

50

型レーザーによる a - S i 膜 4 の選択的結晶化を行う場合を例に挙げて説明したが、本発明はこれに限るものでない。斯かる結晶化の処理を駆動回路薄膜トランジスタに対して行うようにしても良い。

【 0 0 7 2 】

以上のような構成を有することから、本実施の形態 1 に係るテレビジョン受信機 1 0 0 においては、前記第 1 チャンネル領域 C 1 及び前記第 2 チャンネル領域 C 2 が、電気的特性が相違し、ピクセル薄膜トランジスタは画像表示が行われるピクセルに適したトランジスタとして作動し、駆動回路薄膜トランジスタは該ピクセルの駆動回路に適したトランジスタとして作動する。

【 0 0 7 3 】

すなわち、オフ電流を下げる必要のあるピクセルに対しては、前記ピクセル薄膜トランジスタ（第 1 チャンネル領域 C 1 ）が上述したような構成を有することから、オン電流の低下を抑制しつつ、オフ電流を確実に抑えることができる。また、オン電流を高める必要のある駆動回路（周辺回路）に対しては、前記駆動回路薄膜トランジスタ（第 2 チャンネル領域 C 2 ）が上述したような構成を有することから、オン電流を確実に高めることができる。

【 0 0 7 4 】

（実施の形態 2 ）

本発明は実施の形態 1 の記載に限るものでない。実施の形態 2 に係るテレビジョン受信機 1 0 0 においては、ピクセル薄膜トランジスタ（第 1 チャンネル領域 C 1 ）の構成が実施の形態 1 とは異なるものの、実施の形態 1 と同様、斯かる第 1 チャンネル領域 C 1 及び斯かる第 2 チャンネル領域 C 2 は、電気的特性が相違するように構成されている。以下、詳しく説明する。

【 0 0 7 5 】

図 7 は本実施の形態 2 に係るテレビジョン受信機 1 0 0 のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図であり、図 8 は図 7 の IV - IV 線による要部断面図である。また、図 7 の III - III 線による要部断面図は図 4 と同様であり、省略する。なお、実施の形態 2 に係る駆動回路薄膜トランジスタについては、実施の形態 1 と同様であり、詳しい説明を省略する。

【 0 0 7 6 】

実施の形態 2 に係るピクセル薄膜トランジスタにおいては、図 7 に示すように、第 1 チャンネル領域 C 1 がアモルファスシリコン領域及びポリシリコン領域を含むように構成されている。すなわち、前記ピクセル薄膜トランジスタでは、第 1 チャンネル領域 C 1 のうち、ソース電極 8 とドレイン電極 9 との間隔に対応する部分に、アモルファスシリコン層 4 に係る領域及びポリシリコン層 5 に係る領域が共に混在してある。

【 0 0 7 7 】

図 7 及び図 8 に示すように、本実施の形態 2 のピクセル薄膜トランジスタにおいては、ポリシリコン層 5 が、ソース電極 8 の端部 8 1 からドレイン電極 9 の端部 9 1 に亘って、横方向に細長く形成されている。

【 0 0 7 8 】

すなわち、ポリシリコン層 5 に係る領域は、図面視短冊状をなしており、ポリシリコン層 5 の両端のうち、一方は、前記積層の方向にて、ソース電極 8 の端部 8 1 と重なっており、他方は、前記積層の方向において、ドレイン電極 9 の端部 9 1 と重なっている。より詳しくは、ポリシリコン層 5 の両端部は、前記縦方向におけるソース電極 8 及びドレイン電極 9 の中間部にて夫々ソース電極 8 の端部 8 1 又はドレイン電極 9 の端部 9 1 と重なっている。

【 0 0 7 9 】

換言すれば、ポリシリコン層 5 の縦方向の寸法 d は、ソース電極 8 及びドレイン電極 9 の縦方向の寸法 W より小さく、ポリシリコン層 5 の両端部は、前記積層の方向においてソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 と夫々部分的に重なっている。

10

20

30

40

50

【 0 0 8 0 】

本実施の形態 2 に係るテレビジョン受信機 1 0 0 においては、斯かるピクセル薄膜トランジスタ（第 1 チャネル領域 C 1 ）が上述したような構成を有することから、オフ電流を下げる必要のあるピクセル用薄膜トランジスタに適したトランジスタとして作動する。

【 0 0 8 1 】

すなわち、ポリシリコン層 5 の縦方向の寸法 d をソース電極 8 及びドレイン電極 9 の縦方向の寸法 W より小さくすることにより、第 1 チャネル領域 C 1 のうち、ソース電極 8 及びドレイン電極 9 に隣接する領域又は近傍の領域をアモルファスシリコン層 4 にすることができ、オフ電流を抑えることができる。

【 0 0 8 2 】

実施の形態 1 と同様の部分については、同一の符号を付して詳細な説明を省略する。

【 0 0 8 3 】

（実施の形態 3 ）

本発明は実施の形態 1、2 の記載に限るものでない。実施の形態 3 に係るテレビジョン受信機 1 0 0 においては、ピクセル薄膜トランジスタ（第 1 チャネル領域 C 1 ）の構成が実施の形態 1、2 とは異なるものの、実施の形態 1、2 と同様、斯かる第 1 チャネル領域 C 1 及び斯かる第 2 チャネル領域 C 2 は、電気的特性が相違するように構成されている。以下、詳しく説明する。

【 0 0 8 4 】

図 9 は本実施の形態 3 に係るテレビジョン受信機 1 0 0 のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図であり、図 1 0 は図 9 の VI - VI 線による要部断面図である。また、図 9 の V - V 線による要部断面図は図 4 と同様であり、省略する。なお、実施の形態 3 に係る駆動回路薄膜トランジスタについては、実施の形態 1 と同様であり、詳しい説明を省略する。

【 0 0 8 5 】

実施の形態 3 に係るピクセル薄膜トランジスタにおいては、図 9 に示すように、第 1 チャネル領域 C 1 がアモルファスシリコン領域及びポリシリコン領域を含むように構成されている。すなわち、前記ピクセル薄膜トランジスタでは、第 1 チャネル領域 C 1 のうち、ソース電極 8 とドレイン電極 9 との間隔に対応する部分に、アモルファスシリコン層 4 に係る領域及びポリシリコン層 5 に係る領域が共に混在してある。

【 0 0 8 6 】

図 9 及び図 1 0 に示すように、本実施の形態 3 のピクセル薄膜トランジスタにおいては、ポリシリコン層 5 が、ソース電極 8 の端部 8 1 からドレイン電極 9 の端部 9 1 に亘って、横方向に細長く形成されている。また、ポリシリコン層 5 は、横方向における中間部にて、換言すればソース電極 8 及びドレイン電極 9 の両対向端部 8 1 , 9 1 の中間にて、縦方向に寸法が大きくなるように形成されている。

【 0 0 8 7 】

すなわち、ポリシリコン層 5 に係る領域は、図面視十字状をなしており、横方向に沿うポリシリコン層 5 の両端のうち、一方は、前記積層の方向にて、ソース電極 8 の端部 8 1 と重なっており、他方は、前記積層の方向において、ドレイン電極 9 の端部 9 1 と重なっている。より詳しくは、横方向に沿うポリシリコン層 5 の両端部は、前記縦方向におけるソース電極 8 及びドレイン電極 9 の中間部にて夫々ソース電極 8 の端部 8 1 又はドレイン電極 9 の端部 9 1 と重なっている。

【 0 0 8 8 】

換言すれば、ポリシリコン層 5 の縦方向の寸法 d 1 は、ソース電極 8 及びドレイン電極 9 の縦方向の寸法 W より小さく、横方向に沿うポリシリコン層 5 の両端部は、前記積層の方向においてソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 と部分的に重なっている。また、ポリシリコン層 5 の縦方向に延びる部分においても、横方向の寸法 d 2 はソース電極 8 及びドレイン電極 9 の縦方向の寸法 W より小さくなるように構成しても良い。

【 0 0 8 9 】

本実施の形態 3 に係るテレビジョン受信機 100 においては、斯かるピクセル薄膜トランジスタ（第 1 チャネル領域 C 1）が上述したような構成を有することから、オフ電流を下げる必要のあるピクセル用薄膜トランジスタに適したトランジスタとして作動する。

【0090】

すなわち、ポリシリコン層 5 の縦方向の寸法 d 1 をソース電極 8 及びドレイン電極 9 の縦方向の寸法 W より小さくすることにより、第 1 チャネル領域 C 1 のうち、ソース電極 8 及びドレイン電極 9 に隣接する領域又は近傍の領域をアモルファスシリコン層 4 にすることができ、オフ電流を抑えることができる。

【0091】

一方、ポリシリコン層 5 に係る領域が図面視十字状をなしているので、ポリシリコン層 5 の縦方向の寸法 d 1 は、横方向におけるポリシリコン層 5 の中間部にて拡大される。従って、オン電流の増加を図ることが出来る。

【0092】

実施の形態 1 と同様の部分については、同一の符号を付して詳細な説明を省略する。

【0093】

（実施の形態 4）

本発明は実施の形態 1 ～ 3 の記載に限るものでない。実施の形態 4 に係るテレビジョン受信機 100 においては、ピクセル薄膜トランジスタ（第 1 チャネル領域 C 1）の構成が実施の形態 1 ～ 3 とは異なるものの、実施の形態 1 ～ 3 と同様、斯かる第 1 チャネル領域 C 1 及び斯かる第 2 チャネル領域 C 2 は、電気的特性が相違するように構成されている。以下、詳しく説明する。

【0094】

図 11 は本実施の形態 4 に係るテレビジョン受信機 100 のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図であり、図 12 は図 11 の VII - VII 線による要部断面図である。また、実施の形態 4 に係る駆動回路薄膜トランジスタについては、実施の形態 1 と同様であり、詳しい説明を省略する。

【0095】

実施の形態 4 に係るピクセル薄膜トランジスタにおいては、図 11 に示すように、第 1 チャネル領域 C 1 がアモルファスシリコン領域及びポリシリコン領域を含むように構成されている。すなわち、前記ピクセル薄膜トランジスタでは、第 1 チャネル領域 C 1 のうち、ソース電極 8 とドレイン電極 9 との間隔に対応する部分に、アモルファスシリコン層 4 に係る領域及びポリシリコン層 5 に係る領域が共に混在してある。

【0096】

図 11 及び図 12 に示すように、本実施の形態 4 のピクセル薄膜トランジスタにおいては、ポリシリコン層 5 が、ソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 の間に、1ヶ所に形成されている。

【0097】

すなわち、ポリシリコン層 5 に係る領域は矩形状をなしており、ソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 の間に、ソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 から離れて形成されている。

【0098】

ポリシリコン層 5 の縦方向の寸法 d は、ソース電極 8 及びドレイン電極 9 の縦方向の寸法 W より大きいが、ポリシリコン層 5 は前記積層の方向においてソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 と重なっていない。

【0099】

本実施の形態 4 に係るテレビジョン受信機 100 においては、斯かるピクセル薄膜トランジスタ（第 1 チャネル領域 C 1）が上述したような構成を有することから、オフ電流を下げる必要のあるピクセル用薄膜トランジスタに適したトランジスタとして作動する。

【0100】

上述したように、本実施の形態 4 に係るピクセル薄膜トランジスタにおいては、ポリシ

10

20

30

40

50

リコン層 5 に係る領域が、第 1 のアモルファスシリコン層 4 に係る領域を挟んで、ソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 の間に形成されている。すなわち、ポリシリコン層 5 に係る領域と、ソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 との間には、抵抗が大きいアモルファスシリコン層 4 の領域が夫々形成されている。従って、第 1 チャネル領域 C 1 のうち、ソース電極 8 及びドレイン電極 9 に隣接する領域又は近傍の領域をアモルファスシリコン層 4 にすることができ、オフ電流を抑えることができる。

【 0 1 0 1 】

実施の形態 1 と同様の部分については、同一の符号を付して詳細な説明を省略する。

【 0 1 0 2 】

(実施の形態 5)

本発明は実施の形態 1 ～ 4 の記載に限るものでない。実施の形態 5 に係るテレビジョン受信機 1 0 0 においては、ピクセル薄膜トランジスタ (第 1 チャネル領域 C 1) の構成が実施の形態 1 ～ 4 とは異なるものの、実施の形態 1 ～ 4 と同様、斯かる第 1 チャネル領域 C 1 及び斯かる第 2 チャネル領域 C 2 は、電気的特性が相違するように構成されている。以下、詳しく説明する。

【 0 1 0 3 】

図 1 3 は本実施の形態 5 に係るテレビジョン受信機 1 0 0 のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図であり、図 1 3 の VIII - VIII 線による要部断面図は図 4 と同様であり、図示を省略する。また、実施の形態 4 に係る駆動回路薄膜トランジスタについては、実施の形態 1 (図 2 B) と同様であり、詳しい説明を省略する。

【 0 1 0 4 】

実施の形態 5 に係るピクセル薄膜トランジスタにおいては、図 1 3 及び図 2 B に示すように、第 1 チャネル領域 C 1 及び第 2 チャネル領域 C 2 には、すなわち、ソース電極 8 の端部 8 1 及びドレイン電極 9 の端部 9 1 間の間隔に対応する部分にはポリシリコン層 5 に係る領域のみが形成されている。

【 0 1 0 5 】

このように、実施の形態 5 に係るピクセル薄膜トランジスタにおいては、第 1 チャネル領域 C 1 及び第 2 チャネル領域 C 2 が同一の構成を有するものの、斯かるポリシリコン層 5 の結晶性が異なるように構成されている。

【 0 1 0 6 】

より詳しくは、図 5 の S 1 6 の工程において、例えば、ハーフトーンマスクを用いることにより、又は、エネルギービーム (レーザー) のパワー密度、照射回数を変更することにより、第 1 チャネル領域 C 1 のポリシリコン層 5 の結晶性を低く形成し、第 2 チャネル領域 C 2 のポリシリコン層 5 の結晶性を高く (少なくとも、第 1 チャネル領域 C 1 より高く) 形成する。該ハーフトーンマスクは、レーザー光の透過部及び遮光部の他に、前記透過部の光透過率及び遮光部の透過率と異なる、例えば、半透過部を備えたマスクである。

【 0 1 0 7 】

これによって、実施の形態 5 に係るピクセル薄膜トランジスタにおいては第 1 チャネル領域 C 1 及び第 2 チャネル領域 C 2 における電子 (又はホール) の移動度を適宜制御することが出来る。

【 0 1 0 8 】

図 1 4 はレーザーアニール積算エネルギー密度及び移動度の関係を説明するグラフである。一般に、レーザーアニール積算エネルギー密度が高い場合、すなわち、アモルファスシリコンのレーザーアニール時にレーザーアニール積算エネルギー密度を高くした場合、ポリシリコンの結晶性が高くなる。ここで、レーザーアニール積算エネルギー密度は、レーザーパワー密度に照射回数をかけた値である。

【 0 1 0 9 】

図 1 4 に示しているように、レーザーアニール積算エネルギー密度が高いほど、換言すれば、レーザーアニールによるポリシリコンの結晶性が高いほど、電子 (ホール) の移動

10

20

30

40

50

度が高いことが見て取れる。

【 0 1 1 0 】

以上のように、本実施の形態 5 に係るテレビジョン受信機 1 0 0 においては、前記第 1 チャンネル領域 C 1 及び前記第 2 チャンネル領域 C 2 における電子移動度（電気的特性）が相違するように構成し、ピクセル薄膜トランジスタは画像表示が行われるピクセルに適したトランジスタとして作動し、駆動回路薄膜トランジスタは該ピクセルの駆動回路に適したトランジスタとして作動する。

【 0 1 1 1 】

すなわち、オフ電流を下げる必要のあるピクセルに対しては、第 1 チャンネル領域 C 1 のポリシリコン層 5 の結晶性を低くすることから、オフ電流を確実に抑えることができる。また、オン電流を高める必要のある駆動回路（周辺回路）に対しては、第 2 チャンネル領域 C 2 のポリシリコン層 5 の結晶性を高くすることから、オン電流を確実に高めることができる。

10

【 0 1 1 2 】

実施の形態 1 と同様の部分については、同一の符号を付して詳細な説明を省略する。

【 0 1 1 3 】

図 1 5 は、上述したように、第 1 チャンネル領域 C 1 及び第 2 チャンネル領域 C 2 の電気的特性が相違するように構成した場合における、オン・オフ時の電流値変化を示すグラフである。すなわち、図 1 5 はいわゆる T F T 特性カーブを示している。図 1 5 において、実線はアモルファスシリコン（a - S i）のみからなる薄膜トランジスタの場合、太線はピクセル薄膜トランジスタの場合、点線は駆動回路薄膜トランジスタの場合を示す。

20

【 0 1 1 4 】

図 1 5 に示すように、駆動回路薄膜トランジスタにおいては、オン・オフ時の電流値が共に高い特性を示している。一方、ピクセル薄膜トランジスタにおいては、オン・オフ時の電流値が、特にオフ時の電流値が駆動回路薄膜トランジスタの場合に比べて大きく下がっている。また、ピクセル薄膜トランジスタでは、アモルファスシリコンのみからなる薄膜トランジスタの場合に比べてオン時の電流値が高いことが見てとれる。

【 0 1 1 5 】

以上の記載においては、ピクセル薄膜トランジスタ又は駆動回路薄膜トランジスタに対して部分照射型レーザーによる a - S i 膜 4 の結晶化を行うことにより、第 1 チャンネル領域 C 1 及び第 2 チャンネル領域 C 2 の電気的特性が相違するように構成する場合を例として説明した。しかし、本発明はこれに限るものでない。

30

【 0 1 1 6 】

すなわち、基板表面の全体に形成されたアモルファスシリコン層に対してエネルギービーム（例えば、レーザー）を基板全面に照射してポリシリコン層に変化させた後、ポリシリコン層に対して露光、現像及びエッチング処理の各工程を行ってチャンネル領域を形成するようにしても良い。

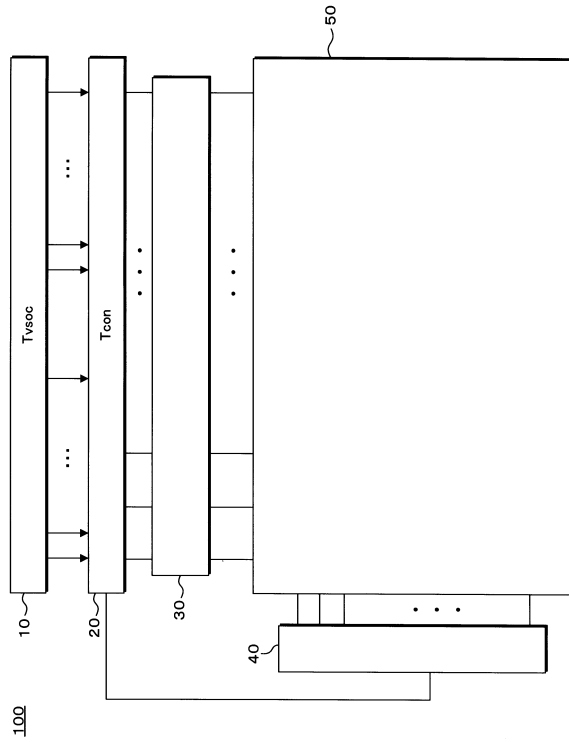
【 符号の説明 】

【 0 1 1 7 】

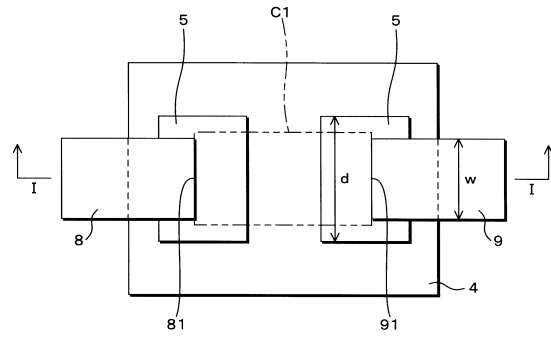
- 4 アモルファスシリコン層
- 5 ポリシリコン層
- 8 ソース電極
- 9 ドレイン電極
- 8 1 端部
- 9 1 端部
- 1 0 0 テレビジョン受信機
- C 1 第 1 チャンネル領域
- C 2 第 2 チャンネル領域

40

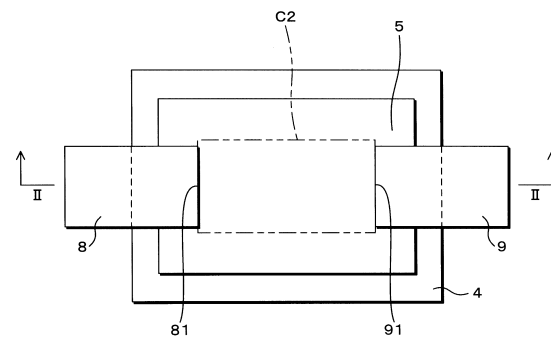
【 図 1 】



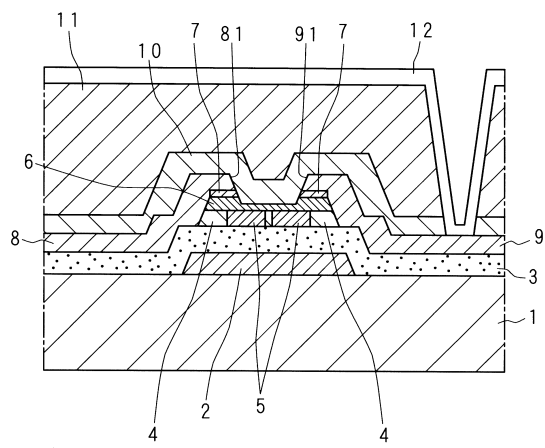
【 図 2 A 】



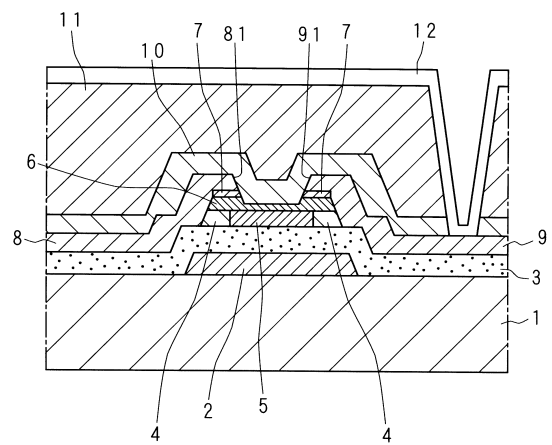
【 圖 2 B 】



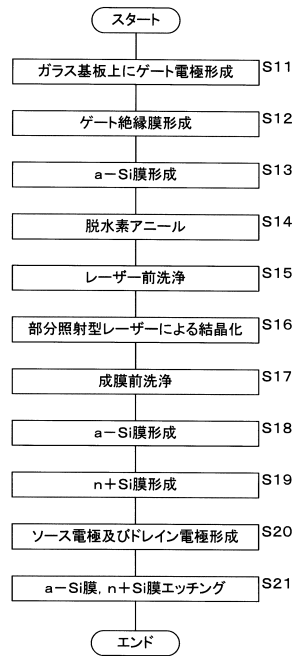
【 図 3 】



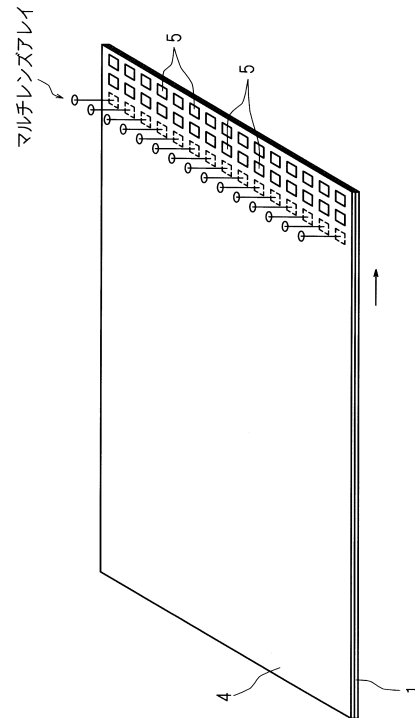
【 図 4 】



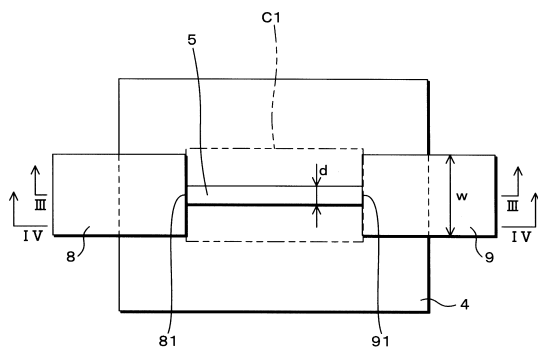
【図 5】



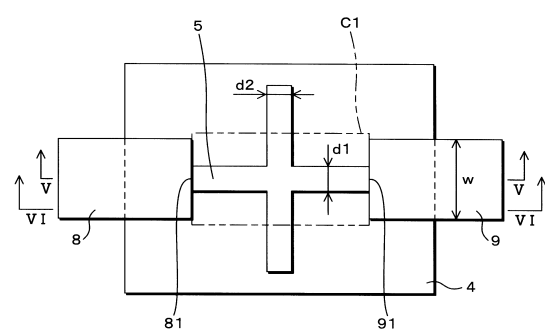
【図 6】



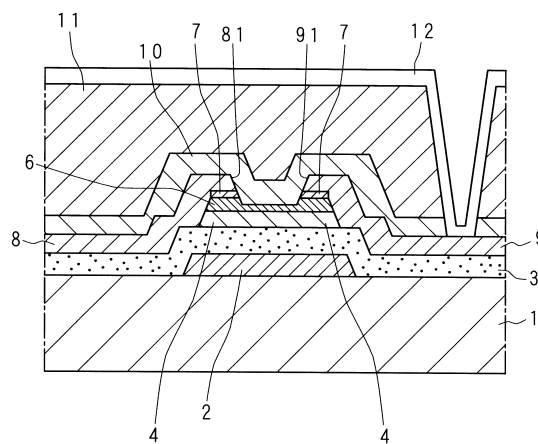
【図 7】



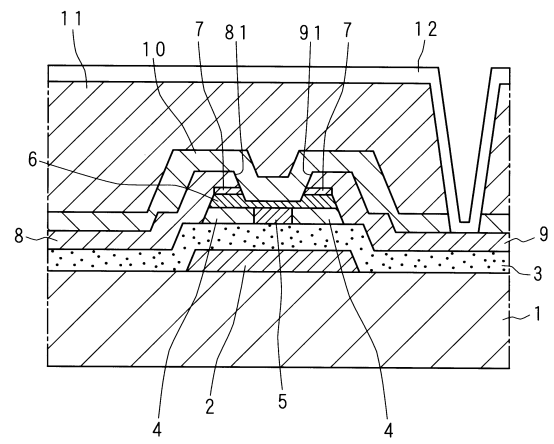
【図 9】



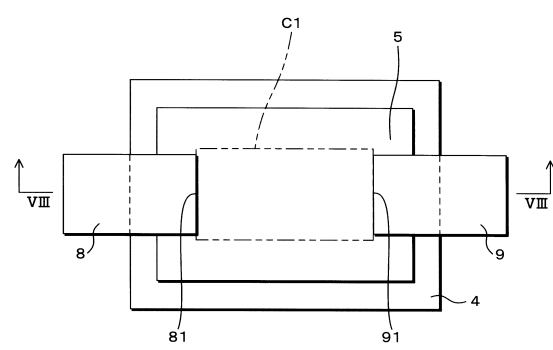
【図 8】



【図 10】



【 図 1 3 】



【 図 1 4 】

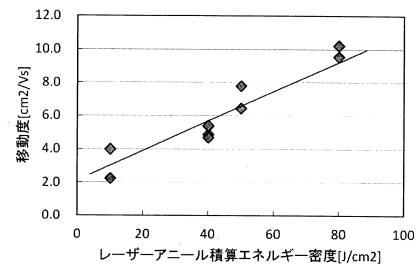


Figure 1 is a graph showing the transfer characteristics of the TFTs. The Y-axis represents the drain current (I_{ds}) in Amperes (A) on a logarithmic scale, ranging from $1E-13$ to $1E-04$. The X-axis represents the gate voltage (V_{gs}) in Volts (V), ranging from -20 to 30. The legend indicates three types of TFTs: a-Si (solid line), driving circuit thin film transistor (dashed line), and pixel thin film transistor (thick solid line). The driving circuit TFT shows the highest current, followed by the pixel TFT, and then the a-Si TFT.

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 8 C
H 0 1 L 21/20 (2006.01) H 0 1 L 29/78 6 1 2 B
H 0 1 L 29/78 6 2 7 G
H 0 1 L 21/20

(72)発明者 松島 吉明
大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内
(72)発明者 松本 隆夫
大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内
(72)発明者 小林 和樹
大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内
(72)発明者 桶谷 大亥
大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内

審査官 小野 博之

(56)参考文献 特開平5 - 2 2 6 6 5 6 (J P , A)
特開平5 - 5 5 5 7 0 (J P , A)
特開2 0 0 9 - 9 9 6 3 6 (J P , A)
特開平7 - 3 8 1 1 0 (J P , A)
特開平1 0 - 1 9 7 8 9 6 (J P , A)
特開2 0 0 9 - 2 6 0 2 7 7 (J P , A)
特開2 0 1 3 - 1 6 1 9 6 3 (J P , A)
特開2 0 0 7 - 2 7 2 0 2 (J P , A)
特開2 0 1 0 - 2 4 5 4 8 0 (J P , A)
特開2 0 0 9 - 1 6 3 2 4 7 (J P , A)

(58)調査した分野(Int.Cl. , D B名)
G 0 9 F 9 / 0 0 - 4 6
G 0 2 F 1 / 1 3 - 1 / 1 3 3 5
1 / 1 3 3 6 3 - 1 / 1 4 1
H 0 1 L 2 7 / 3 2
3 3 / 0 0 - 3 3 / 6 4
5 1 / 5 0
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8