

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4536186号  
(P4536186)

(45) 発行日 平成22年9月1日(2010.9.1)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl. F I  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 6 A  
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 7 L

請求項の数 7 (全 39 頁)

<p>(21) 出願番号 特願平11-321793                  (22) 出願日 平成11年11月11日(1999.11.11)                  (65) 公開番号 特開2000-216397(P2000-216397A)                  (43) 公開日 平成12年8月4日(2000.8.4)                  審査請求日 平成18年10月25日(2006.10.25)                  (31) 優先権主張番号 特願平10-325719                  (32) 優先日 平成10年11月16日(1998.11.16)                  (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000153878                  株式会社半導体エネルギー研究所                  神奈川県厚木市長谷398番地                  (72) 発明者 山崎 舜平                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  (72) 発明者 大谷 久                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  (72) 発明者 中嶋 節男                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  審査官 綿引 隆</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面を有する基板の上に半導体層を形成し、  
 前記半導体層を覆うゲート絶縁膜を形成し、  
 前記ゲート絶縁膜上に第1のゲート電極を形成し、  
 前記第1のゲート電極をマスクとして、前記半導体層に周期律表の15族に属する元素を添加し、  
 前記第1のゲート電極を覆う半導体膜を形成し、  
 前記半導体膜上にフォトレジスト膜を形成し、前記半導体膜をエッチングして第2のゲート電極を形成し、  
 前記フォトレジスト膜をマスクとして、前記半導体層に周期律表の15族に属する元素を添加し、  
 前記フォトレジスト膜をマスクとして、前記第2のゲート電極をサイドエッチングすることを特徴とする半導体装置の作製方法。

【請求項2】

絶縁表面を有する基板の上に半導体層を形成し、  
 前記半導体層を覆うゲート絶縁膜を形成し、  
 前記ゲート絶縁膜上に第1のゲート電極を形成し、  
 前記第1のゲート電極をマスクとして、前記半導体層に周期律表の15族に属する元素を添加し、

前記第 1 のゲート電極を覆う半導体膜を形成し、

前記半導体膜上に第 1 のフォトリソ膜を形成し、前記半導体膜をエッチングして第 2 のゲート電極を形成し、

前記第 2 のゲート電極をマスクとして、前記半導体層に周期律表の 15 族に属する元素を添加し、

裏面露光法により前記第 2 のゲート電極をマスクとして前記第 2 のゲート電極上に第 2 のフォトリソ膜を形成し、

前記第 2 のフォトリソ膜をマスクとして、前記第 2 のゲート電極をエッチングすることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のゲート電極をマスクとして周期律表の 15 族に属する元素が添加された前記半導体層と同時に形成された半導体層でなる下部電極と、

前記ゲート絶縁膜と同時に形成された絶縁膜と、

前記半導体膜と同時に形成された半導体膜でなる上部電極とで付加容量部を形成することを特徴とする半導体装置の作製方法。

【請求項 4】

絶縁表面を有する基板上に第 1 の半導体層及び第 2 の半導体層を形成し、

前記第 1 の半導体層及び前記第 2 の半導体層を覆うゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第 1 のゲート電極を形成し、

前記第 1 のゲート電極をマスクとして、前記第 1 の半導体層及び前記第 2 の半導体層に周期律表の 15 族に属する元素を添加し、

前記ゲート絶縁膜を介して、前記第 1 の半導体層上に第 1 のフォトリソ膜を形成し、

前記第 1 のフォトリソ膜及び前記第 1 のゲート電極をマスクとして、前記第 2 の半導体層に周期律表の 13 族に属する元素を添加し、

前記第 1 のフォトリソ膜を除去し、

前記第 1 のゲート電極を覆う半導体膜を形成し、

前記半導体膜上に第 2 のフォトリソ膜を形成し、前記半導体膜をエッチングして第 2 のゲート電極を形成し、

前記第 2 のフォトリソ膜をマスクとして、前記第 1 の半導体層及び前記第 2 の半導体層に周期律表の 15 族に属する元素を添加し、

前記第 2 のフォトリソ膜をマスクとして、前記第 2 のゲート電極をサイドエッチングすることを特徴とする半導体装置の作製方法。

【請求項 5】

絶縁表面を有する基板上に第 1 の半導体層及び第 2 の半導体層を形成し、

前記第 1 の半導体層及び前記第 2 の半導体層を覆うゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第 1 のゲート電極を形成し、

前記第 1 のゲート電極をマスクとして、前記第 1 の半導体層及び前記第 2 の半導体層に周期律表の 15 族に属する元素を添加し、

前記ゲート絶縁膜を介して、前記第 1 の半導体層上に第 1 のフォトリソ膜を形成し、

前記第 1 のフォトリソ膜及び前記第 1 のゲート電極をマスクとして、前記第 2 の半導体層に周期律表の 13 族に属する元素を添加し、

前記第 1 のフォトリソ膜を除去し、

前記第 1 のゲート電極を覆う半導体膜を形成し、

前記半導体膜上に第 2 のフォトリソ膜を形成し、前記半導体膜をエッチングして第 2 のゲート電極を形成し、

前記第 2 のゲート電極をマスクとして、前記第 1 の半導体層及び前記第 2 の半導体層に周期律表の 15 族に属する元素を添加し、

10

20

30

40

50

裏面露光法により前記第2のゲート電極をマスクとして前記第2のゲート電極上に第3のフォトリソ膜を形成し、

前記第3のフォトリソ膜をマスクとして、前記第2のゲート電極をエッチングすることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記第1のゲート電極は、第1の導電層及び該第1の導電層を覆う第2の導電層とで形成され、

前記第1の導電層として、珪素膜を用い、

前記第2の導電層として、アルミニウム又は銅を含む合金膜を用いることを特徴とする半導体装置の作製方法。

10

【請求項7】

請求項1乃至請求項6のいずれか一において、

前記半導体膜として、導電性珪素膜を用いることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置に関する。例えば、液晶表示装置やEL表示装置に代表される電気光学装置及び本願発明の電気光学装置を用いた電気器具（電子機器）の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電気器具も半導体装置である。

20

【0002】

【従来の技術】

薄膜トランジスタ（以下、TFTと呼ぶ）は透明なガラス基板に形成することができるので、アクティブマトリクス型液晶表示装置への応用開発が積極的に進められてきた。結晶質半導体膜を利用したTFT（結晶性TFT）は高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0003】

アクティブマトリクス型液晶表示装置は、画面の解像度が高精細になるに従い、画素だけでも100万個のTFTが必要になってくる。さらに機能回路を付加すると、それ以上の数のTFTが必要になり、液晶表示装置を安定に動作させるためには、個々のTFTの信頼性を確保して安定に動作させる必要があった。

30

【0004】

ところが、TFTは必ずしも信頼性の面で単結晶半導体基板に作製されるMOSトランジスタと同等ではないとされている。TFTはオフ電流（リーク電流）が大きくなり易く、長期にわたって動作させると、移動度やオン電流が低下するといった現象がしばしば観測された。このような現象がおこる原因の一つとして、チャネル電界の増大に伴って発生するホットキャリアによる特性の劣化が考えられた。

【0005】

一方、MOSトランジスタでは、信頼性を向上させる技術として、LDD（Lightly Doped Drain）構造が良く知られている。この構造は、ソース・ドレイン領域の内側に、さらに低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。この構造はTFTでも採用されている。従来技術では、ゲート電極をマスクとして、第1の不純物添加の工程によりLDD領域となる低濃度不純物領域を形成しておき、その後異方性エッチングの技術を利用してゲート電極の両側にサイドウォールを形成し、ゲート電極とサイドウォールをマスクとして第2の不純物添加の工程によりソース・ドレイン領域となる高濃度不純物領域を形成するものである。

40

【0006】

さらにMOSトランジスタでは、ゲート絶縁膜を介して、LDD領域をゲート電極とある

50

程度オーバーラップさせる構造が知られている。この構造を形成する方法は幾つかあるが、例えば、G O L D (Gate-drain Overlapped LDD) や、L A T I D (Large-tilt-angle implanted drain) として知られている。このような構造とすることで、L D D 領域の不純物濃度を低減することが可能となり、電界の緩和効果が大きくなってホットキャリア耐性を高めることができた。

【 0 0 0 7 】

また、こういった M O S F E T の構造を T F T に応用しようという試みもなされている。例えば、「M.Hatano,H.Akimoto,and T.Sakai,IEDM97 TECHNICAL DIGEST,p523-526,1997」という発表論文ではシリコンで形成したサイドウォールを用いてGOLD構造を実現している。

10

【 0 0 0 8 】

しかしながら、同論文に公開された構造では通常の L D D 構造に比べてオフ電流 ( T F T がオフ状態にある時に流れる電流 ) が大きくなってしまおうという問題があり、そのための対策が必要であった。

【 0 0 0 9 】

【発明が解決しようとする課題】

M O S トランジスタの技術分野であるように、T F T で高い信頼性を達成するためには素子の構造面からの検討が必要であった。しかし、前述にある従来の方法では、自己整合的に L D D 領域を形成することができるが、サイドウォール用の膜を異方性エッチングする工程は、ゲート絶縁膜を選択性良く残すことが困難であり、特性バラツキの原因となった。

20

【 0 0 1 0 】

本発明はこのような問題点を克服するための技術を提供するものであり、ゲート電極と L D D 領域とをオーバーラップさせた新たな構造の T F T を提供することを目的とする。その目的を達成するために、従来技術よりも簡便な方法で、ゲート電極と L D D 領域とをオーバーラップさせた構造の T F T を作製する技術を提供することを目的としている。そして、高い信頼性を有する T F T で回路を形成した信頼性の高い半導体装置を提供することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

本願発明では、nチャネル型 T F T のゲート電極を、第1のゲート電極と該第1のゲート電極を覆うように形成された第2のゲート電極で形成する。このとき、第1のゲート電極としてあらゆる導電膜を用いることができるが、本願発明では第2のゲート電極として半導体膜を用いる点に特徴がある。

30

【 0 0 1 2 】

第2のゲート電極は、ゲート電極としての機能だけでなく、第1のゲート電極を保護する役割も果たす。

【 0 0 1 3 】

また、本願発明ではnチャネル型 T F T の半導体層 ( 活性層 ) が、チャネル形成領域、該チャネル形成領域に接して形成された第1の不純物領域及び該第1の不純物領域に接して形成された第2の不純物領域からなっている。前記第2のゲート電極は第1のゲート電極を覆うように形成されるが、さらに第1の不純物領域にも一部が重なるように形成される。

40

【 0 0 1 4 】

第1の不純物領域はソース領域またはドレイン領域となる第2の不純物領域よりも含まれる不純物元素 ( nチャネル型 T F T なので周期律表の15族に属する元素 ) の濃度が低い領域であり、低濃度不純物領域または L D D 領域と呼ばれる。本願発明では第2のゲート電極をゲート絶縁膜を介して第1の不純物領域に重ねることで、ホットキャリア注入を抑制し、劣化を防ぐ効果を得ている。

【 0 0 1 5 】

50

さらに、第1の不純物領域には、第2のゲート電極が重ならない領域もあり、その部分が抵抗体として働くため、オフ電流も抑制することができる。

【0016】

【発明の実施の形態】

本発明の実施の形態について図1(A)を用いて説明する。101は絶縁表面を有する基板である。例えば、酸化珪素膜を設けたガラス基板、ステンレス基板、プラスチック基板、セラミックス基板またはシリコン基板を用いることができる。またその他に石英基板を用いても良い。

【0017】

前記基板上に形成される半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザー結晶化法や熱処理による固相成長法で結晶化した結晶質半導体で形成することが望ましい。前記成膜法で形成される微結晶半導体を用いることも可能である。ここで適用できる半導体材料は、珪素、ゲルマニウム、また珪素とゲルマニウム合金、炭化珪素であり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

10

【0018】

図1(A)では前記基板上に形成された、nチャネル型及びpチャネル型TFETの断面構造を示している。nチャネル型TFET及びpチャネル型TFETのゲート電極は、第1のゲート電極と第2のゲート電極とから成っている。nチャネル型TFETの第1のゲート電極はゲート絶縁膜112に接して設けられた第1の導電層113と第1の導電層113に接して設けられた第2の導電層114とからなり、pチャネル型TFETの第1のゲート電極はゲート絶縁膜112に接して設けられた第1の導電層116と第1の導電層116に接して設けられた第2の導電層117とからなる。

20

【0019】

そして、第2のゲート電極115は、nチャネル型TFETの第1のゲート電極を覆って、さらにゲート絶縁膜112に接して設けられている。また、第2のゲート電極118は、pチャネル型TFETの第1のゲート電極を覆って、さらにゲート絶縁膜112に接して設けられている。

【0020】

第1のゲート電極は珪素(Si)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、アルミニウム(Al)または銅(Cu)から選ばれた元素からなる薄膜、それら薄膜を積層した膜、或いはそれら元素のいずれかを含む合金膜で形成されている。

30

【0021】

また、第1のゲート電極を構成する第1の導電層113、116は、珪素、チタン、タンタルなどの元素か、これらの元素を主成分とする合金材料で形成されている。また、第2の導電層114、117は抵抗率の低い、アルミニウム(Al)や銅(Cu)を用いれば良い。ただし、銅を用いる場合は銅を窒化珪素膜で囲んで銅元素の拡散を防ぐ構造とする必要がある。

【0022】

なお、珪素を用いる場合には珪素膜に対して不純物元素を添加することによって導電性を持たせ、導電性を有する珪素膜(以下、導電性珪素膜という)として用いることになる。

40

【0023】

ここで第2の導電層は、液晶表示装置のような大面積の基板に本願発明のTFETを形成することを考慮して、ゲート電極の抵抗を低くする目的で設けられるものである。従って、用途によっては、第1のゲート電極を前記第1の導電層のみで形成しても良い。また、第2の導電層の上にさらに他の導電層を積層しても良い。

【0024】

第2のゲート電極115、118は、前記第1のゲート電極と電氣的に導通している。本願発明では第2のゲート電極として半導体膜(具体的には導電性珪素膜)を用いる。導電

50

性珪素膜を用いた場合、様々な利点がある。

【0025】

まず、第2のゲート電極として珪素膜を用いた場合の優位点として、第1のゲート電極に対する被覆性が高い点、ファインパターンが得やすいという点、絶縁膜（特にゲート絶縁膜）中へ拡散する恐れがない点などが挙げられる。また、周期律表の13族または15族に属する元素、炭素、窒素、酸素といった元素を添加することで容易に導電性を調節できる点も優位点の一つである。

【0026】

なお、珪素膜としては、非晶質珪素膜、結晶質珪素膜（多結晶珪素膜と単結晶珪素膜を含む）または微結晶珪素膜を用いることができる。また、珪素膜だけでなく、シリコンゲルマニウム膜などの珪素を主成分とする半導体膜を用いることも可能である。

10

【0027】

そして、第2のゲート電極は第1のゲート電極を完全に覆っていて、さらにゲート絶縁膜112に延在している。図11に示すように第1のゲート電極の長さ（線幅）を $L_1$ 、第2のゲート電極の長さ（線幅）を $L_2$ とすると、 $L_1 < L_2$ の関係が保たれていれば良い。具体的には、 $L_1$ を $0.1 \sim 10 \mu\text{m}$ （代表的には $0.2 \sim 5 \mu\text{m}$ ）とし、 $L_2$ を $0.3 \sim 14 \mu\text{m}$ （代表的には $0.8 \sim 8 \mu\text{m}$ ）とするのが好ましい。

【0028】

しかし、次に述べるように、第1のゲート電極と第2のゲート電極は、半導体層に不純物を添加してソース領域、ドレイン領域またはLDD領域を形成するためのマスクとして機能するので、その点を考慮して $L_1$ 、 $L_2$ の値を決める必要がある。

20

【0029】

nチャンネル型TFTの半導体層は、チャネル形成領域102と、前記チャネル形成領域の両側に接して設けられた第1の不純物領域103、104と、前記第1の不純物領域103、104に接して設けられた第2の不純物領域105、106とから成っている。第1の不純物領域103、104は、ゲート絶縁膜112を介して、第2のゲート電極115がゲート絶縁膜と接している領域に重なって設けられている。

【0030】

ただし、本願発明の最大の特徴は、第1の不純物領域103、104は全域が第2のゲート電極に重なっているのではなく、その一部のみが重なっているという点にある。即ち、第1の不純物領域は、ゲート絶縁膜112を介して第2のゲート電極と重なっている部分（ゲート電圧が印加される部分）と、重なっていない部分（ゲート電圧が印加されない部分）とを含む。

30

【0031】

この様子を図1(B)に示す。なお、図1(B)の符号は図1(A)の符号に対応している。図1(B)に示すように、第1の不純物領域（本明細書中では低濃度不純物領域またはLDD領域ともいう）104は、第2のゲート電極115とゲート絶縁膜112を介して重なっている部分（Gate-overlapped LDD領域104a）と重なっていない部分（non-Gate-overlapped LDD領域104b）とに区別される。

【0032】

この様子を上面から見ると図1(C)に示すようになる。図1(C)において、半導体層125と第2のゲート配線126とが交差する部分を特に第2のゲート電極115と呼び、この交差によって形成された第2のゲート電極115の端部127は、第1の不純物領域104上に位置する。

40

【0033】

本願発明では、Gate-overlapped LDD領域104aの長さ（図11の $L_4$ に相当する）を $0.1 \sim 2 \mu\text{m}$ （代表的には $0.3 \sim 1.5 \mu\text{m}$ ）とし、non-Gate-overlapped LDD領域104b（図11の $L_5$ に相当する）を $0.1 \sim 2 \mu\text{m}$ （代表的には $0.3 \sim 1 \mu\text{m}$ ）とするのが好ましいと考えている。

【0034】

50

なお、第1の不純物領域103、104は、 $0.2 \sim 4 \mu\text{m}$ 、代表的には $0.6 \sim 2.5 \mu\text{m}$ の長さ（図11のL6に相当する）を有し、n型を付与する不純物元素（周期律表の15族に属する元素、代表的にはリン又は砒素）の濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ 、代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ である。また、ソース領域105とドレイン領域106の不純物濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ 、代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ とすれば良い。

【0035】

この時、チャネル形成領域102は真性な半導体層、またはあらかじめ $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でボロンが添加された半導体層で構成される。このボロンはしきい値電圧を制御するために添加されるものであり、同様の効果が得られるものであれば他の元素で代用することもできる。

10

【0036】

一方、pチャネル型TFETの不純物領域108～111（これらをまとめて第3の不純物領域という）には、同じ濃度でp型を付与する不純物元素（周期律表の13族に属する元素、代表的にはボロン）が添加されている。そして、前記nチャネル型TFETのソース領域105とドレイン領域106に添加される不純物濃度の1.5～3倍の濃度でp型を付与する不純物元素が添加されている。

【0037】

また、本願発明の作製方法で形成すると、不純物領域110、111には、前記nチャネル型TFETの第2の不純物領域105、106と同一濃度の不純物元素（n型を付与する不純物元素）が含まれている。即ち、第3の不純物領域の一部に第2の不純物領域と同一濃度で周期律表の15族に属する元素含まれていることになる。

20

【0038】

以上示したように本願発明はTFETの構造において、ゲート電極を第1のゲート電極と、第1のゲート電極を覆って第2のゲート電極を設けたものであり、図1で示すように第2のゲート電極は、第1のゲート電極とゲート絶縁膜とに接して設けられている。

【0039】

そして、ゲート絶縁膜を介して半導体層に設けられた第1の不純物領域と、第2のゲート電極がゲート絶縁膜に接している領域とが、部分的に重なって設けられている構造に特徴があり、また、その作製方法に特徴がある。

30

【0040】

図1に示すTFETは、特にnチャネル型TFETにおいて、いわゆるLDD領域として機能する第1の低濃度不純物領域103、104が、ゲート絶縁膜を介して第2のゲート電極と重なって設けられた構造となっているので、MOSトランジスタのGOLD構造やLATID構造の如き利点を得ることが可能である。さらに、第1の不純物領域103、104は前記第2のゲート電極と重ならない部分もあるので、その部分は実質的に抵抗体として機能する。

【0041】

一方、pチャネル型TFETはこうしたLDD構造となる低濃度不純物領域は設けないものとする。勿論、低濃度不純物領域を設ける構造としても良いが、pチャネル型TFETはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFETとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本願発明の構造をpチャネル型TFETに適用しても何ら問題はない。

40

【0042】

こうしてnチャネル型TFET及びpチャネル型TFETが完成したら、第1の層間絶縁膜119で覆い、ソース領域105、111、ドレイン領域106、110とコンタクトをとったソース電極120、122、とドレイン電極121とを設ける。図1の構造では、これらを設けた後でパッシベーション膜123として窒化珪素膜を設けている。さらに樹脂材料でなる第2の層間絶縁膜124が設けられている。第2の層間絶縁膜は、樹脂材料に

50

限定される必要はないが、例えば、液晶表示装置に応用する場合には、表面の平坦性を確保するために樹脂材料を用いることが好ましい。

【0043】

図1では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせで成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素部に本願発明を適用することもできる。

【0044】

(本願発明のnチャネル型TFT構造の利点)

本願発明のnチャネル型TFTは第1の不純物領域(LDD領域)の一部に対してゲート電極をオーバーラップさせ、LDD領域の中にゲート電圧が印加される部分と印加されない部分とを形成するという点に特徴がある。

10

【0045】

ここで本願発明の優位性を従来の構造と比較して説明する。図13(I)の(A)、(B)はLDD構造のないnチャネル型TFT(以下、NTFTという)とその電気特性(ゲート電圧Vg対ドレイン電流Id特性)である。同様に、図13(II)の(A)、(B)は通常のLDD構造の場合を、図13(III)の(A)、(B)はゲート電極をオーバーラップさせたLDD構造の場合を、そして図13(IV)の(A)、(B)には本願発明のnチャネル型TFTの場合を示す。

【0046】

なお、図面中においてn<sup>+</sup>はソース領域またはドレイン領域を、channelはチャネル形成領域を、n<sup>-</sup>はLDD領域を指す。また、Idはドレイン電流、Vgはゲート電圧である。

20

【0047】

図13(I)の(A)、(B)に示すようにLDD構造がない場合、オフ電流は高く、オン電流(TFTがオン状態にある時のドレイン電流)もオフ電流も非常に劣化しやすい。

【0048】

次に、図13(II)の(A)、(B)に示すLDD構造の場合、オフ電流はかなり抑えられ、オン電流もオフ電流もある程度は劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。

【0049】

次に、図13(III)の(A)、(B)に示すLDD領域とゲート電極とがオーバーラップした構造であるが、この構造はオン電流の劣化を抑制することに重点を置いた構造となっている。

30

【0050】

この場合、オン電流の劣化を十分に抑えることができる反面、通常のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた論文はこの構造を採用しており、本願発明はこのオフ電流が高いという問題を認識した上で、解決するための構造を模索したものである。

【0051】

そして、本願発明の構造は図13(IV)の(A)、(B)に示すように、LDD領域の中に、ゲート電極とオーバーラップさせた部分と、オーバーラップさせない部分とを形成するような構造とした。この構造を採用することで、オン電流の劣化を十分に抑制し、且つ、オフ電流を低減することが可能となった。

40

【0052】

以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0053】

[実施例1]

本実施例では、本願発明の構成を液晶表示装置に適用した例を示し、画素部とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について、図2と図3を用いて説明する。

【0054】

50

なお、画素部を形成する画素TFTとして本実施例ではnチャネル型TFTを用いる。また、オフ電流(TFTがオフ状態にある時に流れてしまう電流)を低減するためにはダブルゲート構造またはトリプルゲート構造等のマルチゲート構造とするのが好ましい。本実施例の場合、図面上では簡略化してシングルゲート構造で図示しているが、実際にはダブルゲート構造を採用する。

**【0055】**

まず基板201には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いる。そして、基板201のTFTが形成される表面に、酸化珪素で成る下地膜202を200nmの厚さに形成する。下地膜202は、さらに窒化珪素膜を積層させても良いし、窒化珪素膜のみであっても良い。

10

**【0056】**

次に、この下地膜202の上に50nmの厚さで、非晶質珪素膜をプラズマCVD法で形成する。非晶質珪素膜の含有水素量にもよるが、好ましくは400~500に加熱して脱水素処理を行い、非晶質珪素膜の含有水素量を5atm%以下として、結晶化の工程を行って結晶質珪素膜とする。

**【0057】**

この結晶化の工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質珪素膜に照射して、結晶質珪素膜とする。

**【0058】**

尚、本実施例では初期膜を非晶質珪素膜として用いたが、初期膜として微結晶珪素膜を用いても構わないし、直接結晶質珪素膜を成膜しても良い。

20

**【0059】**

こうして形成された結晶質珪素膜をパターニングして、島状の半導体層(以下、半導体層という)203~205を形成する。

**【0060】**

次に、半導体層203~205を覆って、酸化珪素膜、窒化酸化珪素膜、窒化珪素膜またはそれらの積層膜でなるゲート絶縁膜206を形成する。ここではプラズマCVD法で窒化酸化珪素膜を100nmの厚さに形成する。そして、図では説明しないが、ゲート絶縁膜206の表面に第1のゲート電極を構成する、第1の導電層として導電性珪素膜を10~200nm(本実施例では50nm)に形成し、さらに第2の導電層としてチタン/アルミニウム/チタンの三層構造からなる積層膜を100~1000nm(本実施例では200nm)の厚さで形成する。

30

**【0061】**

そして、公知のパターニング技術により、第1のゲート電極を構成する第1の導電層207~210と、第2の導電層の211~214が形成される。なお、図2(A)では第2の導電層を簡略化して単層で図示しているが、実際にはアルミニウム膜の上面及び下面をチタンで挟んだ構造となっている。

**【0062】**

また、この時、図11で示した第1のゲート電極の長さL1は2 $\mu$ mとなるようにパターニングする。

40

**【0063】**

第1のゲート電極を構成する第2の導電層として、アルミニウムを用いる場合には、純アルミニウムを用いても良いし、チタン、珪素、スカンジウム、ネオジウムから選ばれた元素が0.1~5atm%添加されたアルミニウム合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜206の表面に窒化珪素膜を設けておくと好ましい。

**【0064】**

また、図2では画素部を構成するnチャネル型TFTのドレイン側に付加容量部を設ける構造となっている。このとき、付加容量部の配線電極は第1の導電層210及び第2の導電層214とで形成される。

50

## 【0065】

こうして図2(A)に示す構造が形成されたら、1回目のn型不純物を添加する工程を行う。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法で行う。この工程では、ゲート絶縁膜206を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定する。

## 【0066】

また、こうして形成された不純物領域は、後に示すnチャネル型TFETの第1の不純物領域241、242を形成することになり、LDD領域として機能する部分である。従ってこの領域のリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm<sup>3</sup>の範囲にするのが好ましく、ここでは $1 \times 10^{18}$ atoms/cm<sup>3</sup>とする。本明細書中では、こうして形成された不純物領域をn<sup>-</sup>領域と呼ぶ。

10

## 【0067】

また、半導体層中に添加された前記不純物元素は、レーザーアニール法や、熱処理により活性化させる必要がある。この工程は、ソース・ドレイン領域を形成する不純物添加の工程のあと実施しても良いが、この段階でレーザーアニール法により活性化させることは効果的である。

## 【0068】

この工程で、第1のゲート電極を構成する第1の導電層207~210と第2の導電層211~214は、リンの添加に対してマスクとして機能する。即ち、ゲート絶縁膜を介して存在する半導体層において、第1のゲート電極の真下にあたる領域にはリンは添加されない。そして、図2(B)に示すように、リンが添加された低濃度不純物領域215~220が形成される。

20

## 【0069】

なお、ここで形成された低濃度不純物領域220は後に付加容量部の下部電極として機能することになる。本願発明の作製方法では付加容量部の下部電極としてn<sup>-</sup>領域を用いることができる。また、本明細書中では付加容量の電極を全て容量電極と呼ぶが、説明の必要に応じて「上部電極」または「下部電極」と使い分けることにする。

## 【0070】

通常、半導体層を付加容量部の電極として用いる場合には、電圧を加えて半導体層を反転させて電極として機能させなければならない。従来は半導体層が真性であったため比較的大きな電圧をかけなければならないが、本願発明ではn型半導体層を用いることとなるため必要な電圧が小さくて済む(消費電力が小さい)という利点が見られる。

30

## 【0071】

次にフォトリソ膜221、222でnチャネル型TFETを形成する領域を覆って、pチャネル型TFETが形成される領域に、p型を付与する不純物添加の工程を行う。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)が知られているが、ここではボロンをその不純物元素として、イオンドープ法でジボラン(B<sub>2</sub>H<sub>6</sub>)を用いて添加する。

## 【0072】

ここでも加速電圧を80keVとして、 $2 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度にボロンを添加する。そして、図2(C)に示すようにボロンが高濃度に添加された領域223、224が形成される。この領域は後にpチャネル型TFETのソース領域またはドレイン領域となる。

40

## 【0073】

そして、レジストマスク221、222を除去した後、第2のゲート電極を形成する工程を行う。ここでは、第2のゲート電極の材料に第1の導電層と同一材料である導電性珪素膜を用い、100~1000nm(本実施例では200nm)の厚さに形成する。また、第2のゲート電極の線幅(図11のL3に相当する)を5μmとする。即ち、第1のゲート電極に重ならない部分(図11のL6に相当する)が1.5μmとなるように調節する。

50

## 【0074】

なお、本願発明ではL3を0.5～18 μm(代表的には1.4～10 μm)、L6を0.2～4 μm(代表的には0.6～2.5 μm)の範囲から選択すると良い。

## 【0075】

また、本実施例では第1のゲート電極に対する被覆性を高めるために、減圧熱CVD法により導電性珪素膜(本実施例ではリンを添加した非晶質珪素膜)を形成する。減圧熱CVD法で作製された導電性珪素膜はパターン側面に対する被覆性が高いため、本願発明のような構造を実現するには適している。勿論、プラズマCVD法、スパッタ法を用いても構わないが、第1のゲート電極の側面で断線しないように注意が必要である。

## 【0076】

そして、公知の技術によりパターンニングを行ってフォトレジスト膜225～228を形成し、導電性珪素膜をエッチングして第2のゲート電極229～232が形成される。この時、前述のように第2のゲート電極は、第1のゲート電極の両側にそれぞれ1.5 μmの長さ(図11のL6に相当する)でゲート絶縁膜と接する領域が形成されるようにパターンニングする。

## 【0077】

また、画素部を構成するnチャネル型TFETのドレイン側に付加容量部が設けられるが、この付加容量部の電極(上部電極)232は第2のゲート電極と同時に形成される。

## 【0078】

そして、フォトレジスト膜225～228をマスクとして、2回目のn型を付与する不純物元素の添加工程を行い、不純物領域233～238を形成する。ここでは前述のリン添加工程と同様に、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法で行う。この工程でも、ゲート絶縁膜206を通してその下の半導体層にリンを添加するために、加速電圧は80 keVと高めに設定する。

## 【0079】

そして、ここでリンが添加される領域は、nチャネル型TFETでソース領域またはドレイン領域として機能させるため、この領域のリンの濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>とするのが好ましく、ここでは $5 \times 10^{20}$  atoms/cm<sup>3</sup>とする。本明細書中ではこの不純物領域をn<sup>+</sup>領域と呼ぶ。

## 【0080】

こうしてnチャネル型TFETのソース領域233、237(または238)及びドレイン領域234、238(または237)が形成される。また、nチャネル型TFETのチャネル形成領域239、240、低濃度不純物領域(LDD領域ともいう。図1の第1の不純物領域に相当する)241、242が画定し、付加容量部の下部電極243が画定する。

## 【0081】

さらに、pチャネル型TFETのチャネル形成領域244も画定する。また、pチャネル型TFETのドレイン領域223とソース領域224にもnチャネル型TFETのソース領域及びドレイン領域と同一濃度でリンが添加される(不純物領域235、236)が、前の工程でその4倍の濃度でボロンが添加されているため、導電型は反転せず、pチャネル型TFETの動作上何ら問題はない。また、不純物領域(図1の第2の不純物領域に相当する)245は図2(B)の工程で添加された濃度のリンと、図2(C)の工程で添加された濃度のボロンのみを含む領域となる。

## 【0082】

こうして図2(D)の状態が得られたら、フォトレジスト膜225～228をマスクとして第2のゲート電極229～231及び上部電極232の等方性エッチング)を行う。エッチングはヒドラジン、エチレンジアミン、ピロカテコール水溶液(EPW)、水酸化カリウムまたはTMAH(水酸化テトラメチルアンモニウム)等のエッチャントを用いたウェットエッチング法によっても良いし、CF<sub>4</sub>+O<sub>2</sub>等の混合ガスを用いたドライエッチング法によっても良い。本明細書中ではこの工程をサイドエッチング工程という。(図2(E))

10

20

30

40

50

## 【0083】

このサイドエッチング工程によって形成された第2のゲート電極246~248及び上部電極249は、端部が後退して $\mu\text{m}$ だけ短くなる。第2のゲート電極はもともと図11のL3に相当する線幅(0.5~18 $\mu\text{m}$ 、代表的には1.4~10 $\mu\text{m}$ )で形成されていたが、この工程によって図11のL2に相当する線幅(0.3~14 $\mu\text{m}$ 、代表的には0.8~8 $\mu\text{m}$ )となる。

## 【0084】

本願発明ではこの距離(図11のL5に相当する)を0.1~2 $\mu\text{m}$ (好ましくは0.3~1 $\mu\text{m}$ )で制御する。本実施例ではサイドエッチングを $=0.5\mu\text{m}$ で行ったため、図11に示したL4は1 $\mu\text{m}$ となる。

10

## 【0085】

即ち、nチャネル型TFTのLDD領域241、242のうち、チャネル形成領域239、240に近い部分では1 $\mu\text{m}$ にわたって第2のゲート電極246、248と重なり、残りの0.5 $\mu\text{m}$ は第2のゲート電極246、248とは重ならない状態となる。こうして図1で説明したようなnチャネル型TFTを実現することができる。

## 【0086】

次に、それぞれの濃度で添加されたn型またはp型を付与する不純物元素は、このままでは活性化せず有効に作用しないので、活性化の工程を行う必要がある。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行うことができる。

20

## 【0087】

熱アニール法では、窒素雰囲気中において500、2時間の加熱処理をして活性化を行う。本実施例では、第1のゲート電極を構成する第2の導電層にアルミニウムを用いたが、導電性珪素膜で形成された第1の導電層と同じく導電性珪素膜で形成された第2のゲート電極がアルミニウム膜(実際にはチタンで挟まれたアルミニウム膜)を覆って形成されているため、導電性珪素膜がブロッキング層として機能して、ヒロックの発生やアルミニウム原子の他の領域への拡散等を防ぐことができる。

## 【0088】

また、レーザーアニール法では、パルス発振型のKrFエキシマレーザー光を線状に集光して照射することにより活性化を行う。また、レーザーアニール法を実施した後に熱アニール法を実施すると、さらに良い結果が得られる。またこの工程は、イオンドーピングによって結晶性が破壊された領域をアニールする効果も兼ね備えていて、その領域の結晶性を改善することもできる。

30

## 【0089】

次に、第1の層間絶縁膜250を1 $\mu\text{m}$ の厚さに形成する。第1の層間絶縁膜250としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜、有機樹脂膜、またはそれらの積層膜をもちいることができる。本実施例では、図示しないが、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とする。

## 【0090】

第1の層間絶縁膜250を形成したら、次にパターニングでそれぞれのTFTのソース領域と、ドレイン領域にコンタクトホールを形成する。そして、ソース配線(またはソース電極)251~253とドレイン配線(またはドレイン電極)254、255を形成する。図示していないが、本実施例ではこの電極を、チタン膜を100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の膜を、パターニングして形成する。

40

## 【0091】

次に、ソース配線251~253とドレイン配線254、255と、第1の層間絶縁膜250を覆ってパッシベーション膜(窒化珪素膜)256を形成する。パッシベーション膜256は、窒化珪素膜で300nmの厚さで形成する。さらに、有機樹脂からなる第2の

50

層間絶縁膜 257 を約 2  $\mu\text{m}$  の厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。

【0092】

有機性樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機性樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 で焼成して形成する。

【0093】

次に、第2の層間絶縁膜 257 の上に、遮光層 258 を形成する。遮光層 258 は金属膜や顔料を含ませた有機樹脂膜で形成すれば良いものである。ここでは、チタン膜をスパッタ法で形成する。

10

【0094】

遮光膜 258 を形成したら、第3の層間絶縁膜 259 を形成する。この第3の層間絶縁膜 259 は、第2の層間絶縁膜 257 と同様に、有機樹脂膜を用いて形成すると良い。そして、第2の層間絶縁膜 257 と第3の層間絶縁膜 259 とにドレイン配線 255 に達するコンタクトホールを形成し、画素電極 260 を形成する。

【0095】

画素電極 260 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウムと酸化スズとの化合物膜（ITO膜）を 100 nm の厚さにスパッタ法で形成し、画素電極 260 を形成する。

20

【0096】

図3(A)の状態が形成されたら、配向膜 261 を形成する。本実施例では配向膜 261 としてポリイミド膜を用いる。対向側の基板 262 には、透明導電膜 263 と、配向膜 264 とを形成する。配向膜 261、264 は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにする。

【0097】

上記の工程を経て、画素部と、CMOS回路が形成された基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（ともに図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料 265 を注入し、図示しない封止剤（シール剤）によって完全に封入する。よって図3(B)に示すアクティブマトリクス型液晶表示装置が完成する。

30

【0098】

図10は完成したアクティブマトリクス型液晶表示装置の外観を表している。基板 1001 には画素部 1002、信号線駆動回路（ソースドライバー回路）1003、走査線駆動回路（ゲートドライバー回路）1004、信号処理回路（信号分割回路、DAコンバータ回路、補正回路等）1005が形成され、FPC（フレキシブルプリントサーキット）1006が取り付けられている。なお、1007は対向基板である。

【0099】

次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図4と図5を用いて説明する。図4は本実施例のアクティブマトリクス基板の斜視図である。アクティブマトリクス基板は、ガラス基板 400 上に形成された、画素部 401 と、走査線駆動回路（ゲートドライバー回路）402 と、信号線駆動回路（ソースドライバー回路）403 で構成される。

40

【0100】

これら駆動回路はCMOS回路を基本として構成されている。走査線駆動回路 402 と、信号線駆動回路 403 はそれぞれゲート配線（走査線）502 とソース配線（信号線）503 で画素部 401 に接続されている。また、ゲート配線 502 とソース配線 503 との各交点に画素 TFT 500 が配置され、その画素 TFT 500 には直列に付加容量 506 が接続される。さらに、画素 TFT 500 及び付加容量 506 と直列に画素電極 504 が

50

接続される。

【0101】

図5(A)は画素部401の上面図であり、ほぼ一つの画素の上面図である。画素部にはダブルゲート構造の画素TF T(nチャネル型TF T)500が設けられている。なお、ゲート配線502が図示されていないゲート絶縁膜を介してその下の半導体層501と交差している部分を本明細書中ではゲート電極508と呼ぶ。

【0102】

また、図5(A)に示した画素TF T500をA-A'で切断した断面図は図3(B)に示した画素部の断面図に相当する。図3(B)の場合、シングルゲート構造で図示されているので実際の断面とは異なるが、本願発明を理解するのに妨げとはならない。

10

【0103】

また、図4に示した付加容量506は半導体層501と容量線505とでゲート絶縁膜(図示せず)を挟んで形成される。なお、容量配線505において実質的に付加容量の上部電極(容量電極)として機能する部分が図2(E)の容量電極249である。この容量配線505は第2のゲート電極と同時に形成され、第2のゲート電極と平行に設けられる。

【0104】

なお、507で示されるのはドレイン電極であり、画素TF T500と画素電極504とを接続する際に、オーミック接触をとりやすくするために形成された電極である。

【0105】

一方、図5(B)に示すCMOS回路をB-B'に沿った断面は、図1に示すCMOS回路の断面図となる。なお、図1に対応する部分には同一の符号を付した。図5(B)において、ゲート電極510は、図1における第1の導電層113と第2の導電層114からなる第1のゲート電極及び第2のゲート電極115で構成される。また、ゲート電極511は、図1における第1の導電層116と第2の導電層117からなる第1のゲート電極及び第2のゲート電極118で構成される。

20

【0106】

なお、本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

30

【0107】

[実施例2]

本実施例では、実施例1において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0108】

ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合の例を図6に示す。まず基板601に酸化珪素膜602を設け、その上に非晶質珪素膜603を形成する。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層604を形成する。(図6(A))

40

【0109】

次に、500、1時間の脱水素工程の後、500~650で4~24時間(本実施例では550、14時間)の熱処理を行い、結晶質珪素膜605を形成する。こうして得られた結晶質珪素膜605は非常に優れた結晶性を有する。(図5(B))

【0110】

また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について、図7で説明する。

【0111】

まず、ガラス基板701に酸化珪素膜702を設け、その上に非晶質珪素膜703、酸化

50

珪素膜 704 を連続的に形成する。この時、酸化珪素膜 704 の厚さは 150 nm とする。

【0112】

次に酸化珪素膜 704 をパターンニングして、選択的に開孔部 705 を形成し、その後、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層 706 が形成され、ニッケル含有層 706 は開孔部 705 の底部のみで非晶質珪素膜 702 と接触する。(図 7 (A))

【0113】

次に、500 ~ 650 で 4 ~ 24 時間(本実施例では 580 、14 時間)の熱処理を行い、結晶質珪素膜 707 を形成する。この結晶化の過程では、ニッケルが接した非晶質珪素膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質珪素膜 707 は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0114】

尚、上記 2 つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素を用いても良い。

【0115】

以上のような技術を用いて結晶質半導体膜(結晶質珪素膜や結晶質シリコンゲルマニウム膜などを含む)を形成し、パターンニングを行えば、TFTの半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製されたTFTは、優れた特性が得られるが、そのため高い信頼性を要求されていた。しかしながら、本願発明のTFT構造を採用することで、本実施例の技術を最大限に生かしたTFTを作製することが可能となる。

【0116】

[実施例 3]

本実施例は、実施例 1 で用いられる半導体層を形成する方法として、実施例 2 のように非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平 10 - 135468 号公報または特開平 10 - 135469 号公報に記載された技術を用いる。

【0117】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下、好ましくは  $1 \times 10^{16}$  atoms/cm<sup>3</sup> にまで低減することができる。

【0118】

本実施例の構成について図 8 を用いて説明する。ここではコーニング社の 1737 基板に代表される無アルカリガラス基板を用いた。図 8 (A) では、実施例 2 で示した結晶化の技術を用いて、下地膜 802、結晶質珪素膜 803 が形成された状態を示している。そして、結晶質珪素膜 803 の表面にマスク用の酸化珪素膜 804 が 150 nm の厚さに形成され、パターンニングにより開孔部が設けられ、結晶質珪素膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質珪素膜にリンが添加された領域 805 が設けられる。

【0119】

この状態で、窒素雰囲気中で 550 ~ 800 、5 ~ 24 時間(本実施例では 600 、12 時間)の熱処理を行うと、結晶質珪素膜にリンが添加された領域 805 がゲッターリングサイトとして働き、結晶質珪素膜 803 に残存していた触媒元素はリンが添加された領域 805 に移動させることができる。

10

20

30

40

50

## 【0120】

そして、マスク用の酸化珪素膜804と、リンが添加された領域805とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下にまで低減された結晶質珪素膜を得ることができる。この結晶質珪素膜はそのまま実施例1で示した本願発明のTF Tの半導体層として使用することができる。

## 【0121】

## [実施例4]

本実施例では、実施例1で示した本願発明のTF Tを作製する工程において、半導体層とゲート絶縁膜を形成する他の実施形態を示す。そして、本実施例の構成を図9で説明する。

10

## 【0122】

ここでは、少なくとも700~1100程度の耐熱性を有する基板が必要であり、石英基板901が用いられる。そして実施例2及び実施例3で示した技術を用い、結晶質半導体膜が形成され、これをTF Tの半導体層にするために、島状にパターンニングして半導体層902、903を形成する。そして、半導体層902、903を覆って、ゲート絶縁膜904を、珪素を主成分とする膜で形成する。本実施例では、プラズマCVD法で窒化酸化珪素膜を70nmの厚さで形成する。(図9(A))

## 【0123】

そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行う。本実施例では、950、30分とした。尚、処理温度は700~1100の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良い。(図9(B))

20

## 【0124】

その結果、本実施例の条件では、半導体層902、903とゲート絶縁膜904との界面で熱酸化膜が形成され、ゲート絶縁膜907が形成される。

## 【0125】

以上の工程で作製されたゲート絶縁膜907は、絶縁耐圧が高く半導体層905、906とゲート絶縁膜907の界面は非常に良好なものである。本願発明のTF Tの構成を得るためには、以降の工程は実施例1に従えば良い。

## 【0126】

勿論、本実施例に実施例2や実施例3を組み合わせることは実施者が適宜決定すれば良い。

30

## 【0127】

## [実施例5]

本実施例では、実施例1と異なる工程順序で結晶質TF Tを作製する例を図14に示す。具体的には実施例3で示したリンによるゲッターリング工程の別形態について説明する。なお、基本的な工程は図1に従うものであるので、相違点のみに着目して説明する。

## 【0128】

まず、実施例1の工程に従って図2(E)の状態を得る。図14(A)は図2(E)の状態からフォトリソ膜225~228を除去した状態を表している。ただし、TF Tの活性層となる半導体層の形成には実施例2に示した熱結晶化技術を用いている。

40

## 【0129】

この時、nチャネル型TF Tのソース領域233、237及びドレイン領域234、238、並びにpチャネル型TF Tのソース領域236及びドレイン領域235には $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>(好ましくは $5 \times 10^{20}$ atoms/cm<sup>3</sup>)の濃度でリンが含まれている。

## 【0130】

本実施例ではこの状態で、窒素雰囲気中で500~800、1~24時間、例えば600、12時間の加熱処理の工程を行う。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができた。さらに、結晶化工程の後残存していた触媒元素(本実施例ではニッケル)が矢印の方向に移動し、前述のソース領域及びドレイン領

50

域に含まれたリンの作用によって同領域にゲッターリング（捕獲）することができる。その結果、チャンネル形成領域からニッケルを  $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下にまで低減することができる。

【0131】

図14(B)の工程が終了したら、以降の工程は実施例1の工程に従い、図3(B)に示すようなアクティブマトリクス基板を作製することができる。

【0132】

なお、本実施例の構成は実施例1～実施例4のいずれの構成とも自由に組み合わせることが可能である。

【0133】

[実施例6]

本実施例では実施例1において図2(E)に示したサイドエッチング工程を異なる方法で行った場合について説明する。説明には図15を用いる。

【0134】

まず実施例1の工程によって図2(D)の工程までを終了させる。次に、フォトレジスト膜1500を形成し、基板側から光を照射してフォトレジスト膜1500の一部を感光させる。この工程は公知の裏面露光法を用いれば良い。

【0135】

この時、第2のゲート電極229～231及び容量電極232がマスクとなって未感光領域1501が形成される。未感光領域1501は光の回り込みによって第2のゲート電極よりも内側に形成される。光の回り込み量は露光条件で制御ができるが、この回り込み量が図2(E)に示した距離(μm)を決めることになる。

【0136】

なお、本実施例の場合、第2のゲート電極229～231及び容量電極232を裏面露光用のマスクとして機能させなければならない。そのため、材料の選択と裏面露光用光源を慎重に組み合わせることが必要である。ただし、通常の露光装置に使われるi線、g線やエキシマレーザー光を用いるとすると、その波長の光が吸収される材料を用いることになる。

【0137】

露光光源としてどのような波長の光を用いるかによって適切な材料は異なるが、少なくともTFTの半導体層とは異なる材料を選択する必要がある。本実施例ではTFTの半導体層が結晶質珪素膜であるため、第2のゲート電極の材料として非晶質珪素膜を用いる。

【0138】

非晶質珪素膜中に不純物元素を添加して、露光光を吸収しうるエネルギーバンドギャップをもたせることも有効である。そのような不純物元素としては、リン、ボロン、炭素、酸素または窒素等の元素が挙げられる。

【0139】

こうして図15(A)の状態が得られたら、フォトレジスト膜1500を現像してパターン化されたフォトレジスト膜1502～1505を形成する。そして、これらのフォトレジスト膜をマスクとして第2のゲート電極229～231及び容量電極232をエッチングする。

【0140】

このエッチング工程によって新たに第2のゲート電極1506～1508及び容量電極1509が形成される。(図15(B))

【0141】

この後、実施例1の工程に従えば図3(B)に示したような構造のアクティブマトリクス基板が完成する。本実施例の構成は実施例1～5のいずれの構成とも自由に組み合わせることが可能である。

【0142】

[実施例7]

10

20

30

40

50

本実施例では実施例 1 と異なる工程でアクティブマトリクス基板を作製する場合について説明する。なお、基本的には実施例 1 と同様であるので、相違点のみに注目して説明する。

【 0 1 4 3 】

まず、実施例 1 の工程に従って図 2 ( A ) の状態を得た後、p チャネル型 T F T を隠すようにフォトリソ膜 6 0 を形成する。次に、図 2 ( B ) と同様の条件でリンを添加し、第 1 の不純物領域となる不純物領域 6 1 ~ 6 4 を形成する。( 図 1 6 ( A ) )

【 0 1 4 4 】

次に、図 2 ( D ) の工程に示したようにフォトリソ膜 6 5 ~ 6 8 を形成し、さらに第 2 のゲート電極 6 9 ~ 7 1 及び容量電極 7 2 を形成する。その後、図 2 ( D ) の工程と同様の条件でリンを添加し、高濃度にリンが添加された不純物領域 7 3 ~ 7 8 を形成する。( 図 1 6 ( B ) )

【 0 1 4 5 】

次に、図 2 ( E ) に示した工程に従って電極の端部をエッチングし、第 2 のゲート電極 7 9 ~ 8 1 及び容量電極 8 2 を形成する。( 図 1 6 ( C ) )

【 0 1 4 6 】

次に、n チャネル型 T F T となる領域をフォトリソ膜 8 3、8 4 で隠し、図 2 ( C ) の工程と同様の条件でボロンを添加した。この工程により p チャネル型 T F T の第 3 の不純物領域 ( ソース領域 8 5 及びドレイン領域 8 6 ) とチャネル形成領域 8 7 が画定する。( 図 1 6 ( D ) )

【 0 1 4 7 】

この後、実施例 1 の工程に従えば図 3 ( B ) に示したような構造のアクティブマトリクス基板が完成する。本実施例の構成は実施例 2 ~ 6 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 4 8 】

[ 実施例 8 ]

本実施例では、実施例 1 において第 1 のゲート電極と第 2 のゲート電極との組み合わせについて例を示す。説明には図 1 7 を用いる。

【 0 1 4 9 】

図 1 7 ( A ) は第 1 の導電層として導電性珪素膜 1 7 0 1 を用い、第 2 の導電層としてチタン ( T i ) 膜 1 7 0 2、アルミニウムを主成分とする膜 ( 代表的にはアルミニウムに 0 . 1 ~ 5 wt% のチタン、スカンジウムまたはネオジウムを添加した膜 ) 1 7 0 3、チタン膜 1 7 0 4 とを積層した積層膜を用いて第 1 のゲート電極とする。そして、第 1 のゲート電極を覆う第 2 のゲート電極として導電性珪素膜 1 7 0 5 を用いる。

【 0 1 5 0 】

図 1 7 ( B ) は第 1 の導電層として導電性珪素膜 1 7 0 1 を用い、第 2 の導電層としてモリブデンとタングステンが 1 : 1 に混合された合金膜 ( 以下、M o - W 膜という ) 1 7 0 6 を用いて第 1 のゲート電極とする。そして、第 1 のゲート電極を覆う第 2 のゲート電極として導電性珪素膜 1 7 0 5 を用いる。なお、M o - W 膜の代わりにタングステンをタンタルに置き換えた M o - T a 膜を用いても良い。

【 0 1 5 1 】

図 1 7 ( C ) は第 1 の導電層として導電性珪素膜 1 7 0 1 を用い、第 2 の導電層として銅または銅 ( C u ) を主成分とする膜 ( 代表的には銅に 0 . 1 ~ 5 wt% の他元素を添加した膜 ) 1 7 0 7 とチタン膜 1 7 0 8 とを積層した積層膜を用いて第 1 のゲート電極とする。そして、第 1 のゲート電極を覆う第 2 のゲート電極として導電性珪素膜 1 7 0 5 を用いる。

【 0 1 5 2 】

この場合、銅の拡散を防ぐために上記どちらの導電性珪素膜にも窒素を含有させておくことが好ましい。または、第 1 のゲート電極と第 2 のゲート電極との間または第 1 の導電層と第 2 の導電層に、電極間または導電層間の導通を妨げない程度の膜厚で窒化珪素膜を設

10

20

30

40

50

けておくことも有効である。その場合の膜厚は1～10nm(代表的には2～5nm)としておく。

【0153】

図17(D)は第1の導電層としてチタン膜1702を用い、第2の導電層としてアルミニウムを主成分とする膜1703、チタン膜1704とを積層した積層膜を用いて第1のゲート電極とする。そして、第1のゲート電極を覆う第2のゲート電極として導電性珪素膜1705を用いる。

【0154】

以上の組み合わせは代表例であって本願発明に適用できる組み合わせは本実施例に限定されるものではない。例えば、図17(D)において、第1のゲート電極として下層にタンタル膜を設け、上層にアルミニウムを主成分とする膜を設けた構成なども可能である。

10

【0155】

また、本実施例に示した導電性珪素膜は周期律表の13族または15族に属する元素によって導電性が付与されているが、炭素、酸素または窒素といった元素を添加してあっても構わない。

【0156】

また、第1の導電層は、好ましくは導電性珪素膜であるが、他の金属膜(代表的にはチタン膜またはタンタル膜)で代用することは可能である。第1の導電層は第2の導電層の元素がゲート絶縁膜中へと拡散することを防ぐ保護膜も兼ねているので、そのような効果を失わない組み合わせであれば良い。

20

【0157】

なお、本実施例の構成は実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

【0158】

[実施例9]

本実施例では第1のゲート電極の構造に関する一実施例を図18に示す。図18(A)は第1のゲート電極として、導電性珪素膜(第1の導電層)1801とアルミニウムを主成分とする膜(第2の導電層)1802との積層膜を用い、第2のゲート電極として導電性珪素膜1803を用いた例である。

【0159】

この時、図18(A)に示すように第2の導電層1802の幅を第1の導電層1801の幅よりも狭くすることによって、第1のゲート電極を階段状に形成することができる。こうすることによって第2のゲート電極の被覆性が高まり、断線等の不良を防ぐことができる。

30

【0160】

なお、本実施例では段差は一つしか形成されていないが、多数の段差を形成した多段階形状であるとさらに良い。

【0161】

図18(A)に示したような形状は、第2の導電層1802をフォトリソ膜(図示せず)を用いてエッチングした後で、オーバーエッチングを行うことにより膜の側面を横方向にエッチング(サイドエッチング)してフォトリソ膜よりも細かいパターンを形成すれば良い。この時、前述のフォトリソ膜は傘のように第2の導電層上に残る。これをそのまま用いて導電性珪素膜をエッチングすれば図18(A)の形状が得られる。

40

【0162】

次に、図18(B)に示す構造は、図18(A)に示した構造において第1の導電層である導電性珪素膜をテーパ状にエッチングした場合の例である。この形状は、図18(A)の際に説明したように第2の導電層1802をサイドエッチングした後、傘のように残ったフォトリソ膜を使ってエッチングを行えば、導電性珪素膜1801にテーパを形成することができる。

【0163】

50

この時、テーパ角は $8 \sim 40^\circ$ （好ましくは $10 \sim 30^\circ$ ）とすれば良い。さらに、図18(A)、(B)の構造において第2の導電層をテーパ形状に形成しても有効である。

【0164】

なお、本実施例の構成は実施例1～8のいずれの構成とも自由に組み合わせることが可能である。

【0165】

[実施例10]

本実施例では図1(B)に示したLDD領域の構造をドレイン側（ドレイン電極が接続される側）のみに設けた場合の例を図19に示す。本実施例の実施する場合、実施例1の図2(D)の工程で、第2のゲート電極を形成する際のパターニングマスクを変更するだけで良い。

10

【0166】

図19に示すように第2のゲート電極1901、1902はドレイン側のLDD領域のみに第2のゲート電極1901、1902が重なるように形成されている。そのため、ソース側（ソース電極が接続される側）はLDD領域が形成されない。

【0167】

また、画素部に用いられる画素TFEはソース領域とドレイン領域の機能が逆になる場合もあるので、本実施例の構成は採用しない方が好ましい。

【0168】

20

なお、本実施例の構成は実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

【0169】

[実施例11]

本実施例では画素部の付加容量の下部電極として機能する不純物領域を、p型を付与する不純物元素を添加して形成する場合について説明する。説明には図20を用いる。

【0170】

図20(A)は実施例1の図2(C)の工程に相当する工程であり、フォトリジスト膜222の形状を異ならせた状態である。即ち、本実施例ではフォトリジスト膜222を付加容量部に重ならないように形成する。

30

【0171】

この状態でボロンを添加することによって、第3の不純物領域223、224と同一濃度でボロンが添加された不純物領域21が形成される。本実施例ではこの不純物領域21を容量電極（下部電極）ともいう。

【0172】

次に実施例1に従って図2(D)に示した工程を行い、第2のゲート電極と同時に容量電極（上部電極）232を形成する。

【0173】

こうして容量電極（下部電極）21と絶縁膜（ゲート絶縁膜から延在する）と容量電極（上部電極）232とで付加容量が形成される。この付加容量は画素TFEと直列に接続される。

40

【0174】

この後の工程を実施例1に従えば、図3(B)に示すような構造のアクティブマトリクス型基板が完成する。図3(B)との違いは付加容量の下部電極がp型不純物領域で形成されている点である。

【0175】

なお、本実施例の構成は実施例1～10に示した構成のいずれとも自由に組み合わせることが可能である。

【0176】

[実施例12]

50

本実施例では、実施例 1 において  $n^+$  領域（第 2 不純物領域）を異なる工程で形成する場合について図 2 1 を用いて説明する。

【0177】

まず、実施例 1 の工程に従って図 2 (D) に示したリンの添加工程の直前まで行う。そして、リンを添加する前に第 2 のゲート電極のサイドエッチング工程を行い、図 2 1 (A) の状態を得る。この時、図 2 1 (A) で用いている符号は図 2 (D)、(E) で用いた符号に対応する。

【0178】

次に、フォトリソ膜 2 2 5 ~ 2 2 8 をマスクとしてゲート絶縁膜のエッチングを行い、パターン化されたゲート絶縁膜 3 1 ~ 3 3 を形成する。ゲート絶縁膜のエッチングには公知のドライエッチング法を用いれば良い。この時、絶縁膜 3 4 はゲート絶縁膜 3 1 ~ 3 3 と同時に形成された膜であるが、付加容量用の絶縁体として機能するため、厳密にはゲート絶縁膜ではない。

10

【0179】

こうして図 2 1 (B) の状態を得たら、フォトリソ膜 2 2 5 ~ 2 2 8 を除去し、第 2 のゲート電極 2 4 6 ~ 2 4 8 及び容量電極（上部電極）2 4 9 をマスクとして  $n$  型を付与する不純物の添加工程を行う。本実施例では  $n$  型を付与する不純物としてリンを用いる。（図 2 1 (C)）

【0180】

こうして  $n$  チャネル型 TFT のソース領域またはドレイン領域として機能する第 2 の不純物領域 3 5 ~ 3 8 及び  $p$  チャネル型 TFT のソース領域またはドレイン領域として機能する第 3 の不純物領域 3 9、4 0 が形成される。

20

【0181】

このあとの工程は実施例 1 に従えば良い。完成した液晶表示装置の完成図は図 3 (B) とほぼ同様（ゲート絶縁膜がパターンニングされているかないかの違いがあるのみ）なので説明は省略する。

【0182】

なお、不純物領域 3 5 ~ 4 0 を形成した後で、公知のシリサイド形成工程を行い、不純物領域 3 5 ~ 4 0 の表面近傍または全体をシリサイド化することも有効である。図示していないが、本実施例では図 2 1 (C) の工程の後、コバルト膜を形成してコバルトシリサイド層を形成する。

30

【0183】

こうすることで TFT と配線間の接触抵抗を低減することが可能である。また、その際、第 2 のゲート電極の表面近傍（または全体）もシリサイド化するので、低抵抗化されてゲート電極としての機能が向上するとともに、ゲート電極と他の配線とのオーミック接触をとる際に接触抵抗を低減することができるという利点がある。

【0184】

なお、本実施例の構成は実施例 1 ~ 実施例 1 1 のいずれの構成とも自由に組み合わせることが可能である。

40

[実施例 1 3]

本実施例では、図 1 1 の L 4 に相当する長さを TFT 形成部と配線部とで異ならせる場合について図 2 2 を用いて説明する。

【0185】

図 2 2 において、半導体層 4 1 上には第 1 のゲート配線（第 1 のゲート電極含む）4 2 及び第 2 のゲート配線（第 2 のゲート電極含む）4 3 が形成されている。この時、第 2 のゲート配線 4 3 は第 1 のゲート配線 4 2 を覆い隠すように形成されるが、本明細書中では第 1 のゲート配線 4 2 と重ならない部分の長さを L 4 と定義している（図 1 1 参照）。

【0186】

本実施例の場合、TFT 形成部（半導体層の上）では L 4 の長さ（ここでは  $W_{LDD}$  と表す）を  $0.1 \sim 2 \mu\text{m}$ （代表的には  $0.3 \sim 1.5 \mu\text{m}$ ）とする。そして、配線部（半導体層

50

の上以外)では $L_4$ 'の長さ(ここでは $W_L$ と表す)を $0.05 \sim 0.5 \mu\text{m}$ (代表的には $0.1 \sim 0.3 \mu\text{m}$ )とする。

【0187】

即ち、本実施例はTFT形成部よりも配線形成部の方において第2のゲート配線の線幅を狭くすることに特徴がある。なぜならば配線形成部では $L_4$ に相当する領域は必要なく、却って配線の高密度集積化を妨げる要因となってしまうため、可能な限り線幅を狭くした方が好ましいからである。

【0188】

従って、本実施例の構成を用いることで配線の高密度集積化が容易となり、延いては半導体装置の高密度集積化が可能となる。なお、本実施例の構成は実施例1~12のいずれの構成とも自由に組み合わせることが可能である。

10

【0189】

[実施例14]

本願発明のTFT構造は液晶表示装置のような電気光学装置だけでなく、あらゆる半導体回路に用いることが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器(携帯電話、PHS、モバイルコンピュータ)用の高周波回路に用いても良い。

【0190】

さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI構造(単結晶半導体薄膜を用いたTFT構造)に本願発明を用いても良い。

20

【0191】

また、本実施例の半導体回路は実施例1~11のどのような組み合わせからなる構成を用いても実現することができる。

【0192】

[実施例15]

本実施例では、本願発明を用いてEL(エレクトロルミネッセンス)表示装置を作製した例について説明する。

30

【0193】

図23(A)は本願発明を用いたEL表示装置の上面図である。図23(A)において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0194】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材7000、密封材(第2のシーリング材)7001が設けられている。

40

【0195】

また、図23(B)は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。

【0196】

本願発明は、駆動回路用TFT4022、画素部用TFT4023に用いることができる。本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレイ

50

ンと電氣的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0197】

次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

10

【0198】

本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0199】

EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

20

【0200】

なお、本実施例では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

30

【0201】

4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4028のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

40

【0202】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0203】

さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材(第2のシーリング材)7001が形成される。

【0204】

このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機

50

能する。充填材 6004 としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。この充填材 6004 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0205】

また、充填材 6004 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0206】

スペーサーを設けた場合、パッシベーション膜 6003 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

10

【0207】

また、カバー材 6000 としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6004 として PVB や EVA を用いる場合、数十  $\mu\text{m}$  のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0208】

但し、EL 素子からの発光方向 (光の放射方向) がカバー材側へ向かう場合は、カバー材 6000 は透光性を有する必要がある。

20

【0209】

また、配線 4016 はシーリング材 7000 および密封材 7001 と基板 4010 との間を通って FPC 4017 に電氣的に接続される。なお、ここでは配線 4016 について説明したが、他の配線 4014、4015 も同様にしてシーリング材 7000 および密封材 7001 の下を通って FPC 4017 に電氣的に接続される。

【0210】

以上のような構成でなる EL 表示装置において、本願発明を用いることができる。本願発明を用いることで、信頼性の高い EL 表示装置が得られる。なお、本実施例の構成に実施例 1 ~ 実施例 14 のいずれの構成を組み合わせても構わない。

30

【0211】

[実施例 16]

本実施例では、本願発明を用いて実施例 15 とは異なる形態の EL 表示装置を作製した例について、図 24 (A)、24 (B) を用いて説明する。図 23 (A)、23 (B) と同じ番号のものは同じ部分を指しているので説明は省略する。

【0212】

図 24 (A) は本実施例の EL 表示装置の上面図であり、図 24 (A) を A-A' で切断した断面図を図 24 (B) に示す。

【0213】

実施例 15 に従って、EL 素子の表面を覆ってパッシベーション膜 6003 までを形成する。

40

【0214】

さらに、EL 素子を覆うようにして充填材 6004 を設ける。この充填材 6004 は、カバー材 6000 を接着するための接着剤としても機能する。充填材 6004 としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。この充填材 6004 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0215】

また、充填材 6004 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

50

## 【0216】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

## 【0217】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu\text{m}$ のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

10

## 【0218】

但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

## 【0219】

次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面(露呈面)を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材(接着剤として機能する)6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

20

## 【0220】

また、配線4016はシーリング材6002と基板4010との隙間を通過してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通過してFPC4017に電氣的に接続される。

## 【0221】

以上のような構成でなるEL表示装置において、本願発明を用いることができる。本願発明を用いることで、信頼性の高いEL表示装置が得られる。なお、本実施例の構成に実施例1~実施例14のいずれの構成を組み合わせても構わない。

30

## 【0222】

## [実施例17]

実施例15および16のような構成からなるEL表示パネルにおいて、本願発明を用いることができる。ここで画素部のさらに詳細な断面構造を図25に、上面構造を図26(A)に、回路図を図26(B)に示す。図25、図26(A)及び図26(B)では共通の符号を用いるので互いに参照すれば良い。

## 【0223】

図25において、基板3501上に設けられたスイッチング用TF T3502は図1(A)に示した本願発明のnチャンネル型TF Tを用いて形成される。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTF Tが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、スイッチング用TF T3502を図1(A)のpチャンネル型TF Tを用いて形成しても構わない。

40

## 【0224】

また、電流制御用TF T3503は図1(A)に示した本願発明のnチャンネル型TF Tを用いて形成される。このとき、スイッチング用TF T3502のドレイン配線3601は配線3602によって電流制御用TF Tのゲート電極3603に電氣的に接続されている

50

。また、3604で示される配線は、スイッチング用TF T 3502のゲート電極3605を電氣的に接続するゲート配線である。

【0225】

このとき、電流制御用TF T 3503が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TF TはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TF Tのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0226】

また、本実施例では電流制御用TF T 3503をシングルゲート構造で図示しているが、複数のTF Tを直列につなげたマルチゲート構造としても良い。さらに、複数のTF Tを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0227】

また、図26(A)に示すように、電流制御用TF T 3503のゲート電極3603となる配線は3504で示される領域で、電流制御用TF T 3503のドレイン配線3606と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TF T 3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線3606は電流供給線(電源線)3506に接続される。

【0228】

スイッチング用TF T 3502及び電流制御用TF T 3503の上には第1パッシベーション膜3607が設けられ、その上に樹脂絶縁膜でなる平坦化膜3608が形成される。平坦化膜3608を用いてTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0229】

また、3609は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TF T 3503のドレインに電氣的に接続される。画素電極3609としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0230】

また、絶縁膜(好ましくは樹脂)で形成されたバンク3610により形成された溝(画素に相当する)の中に発光層3611が形成される。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0231】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0232】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。

【0233】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせることでEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0234】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0235】

本実施例では発光層3611の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層3612を設けた積層構造のEL層としている。そして、正孔注入層3612の上には透明導電膜でなる陽極3613が設けられる。本実施例の場合、発光層3611で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0236】

陽極3613まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）3607、発光層3611、正孔注入層3612及び陽極3613で形成されたコンデンサを指す。図26（A）に示すように画素電極3609は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0237】

ところで、本実施例では、陽極3613の上にさらに第2パッシベーション膜3614を設けている。第2パッシベーション膜3614としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0238】

以上のように本願発明のEL表示装置は図25のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0239】

以上のような構成でなるEL表示装置において、本願発明を用いることができる。本願発明を用いることで、信頼性の高いEL表示装置が得られる。なお、本実施例の構成に実施例1～実施例16のいずれの構成を組み合わせても構わない。

【0240】

〔実施例18〕

本実施例では、実施例17に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図27を用いる。なお、図25の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0241】

図27において、電流制御用TFT3503は図1（A）のpチャネル型TFTを用いて形成される。作製プロセスは実施例1を参照すれば良い。

【0242】

本実施例では、画素電極（陽極）3616として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

10

20

30

40

50

## 【 0 2 4 3 】

そして、絶縁膜でなるバンク 3 6 1 7 が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 3 6 1 8 が形成される。その上にはアルカリ金属錯体（好ましくはカリウムアセチルアセトネート）でなる電子注入層 3 6 1 9、アルミニウム合金でなる陰極 3 6 2 0 が形成される。この場合、陰極 3 6 2 0 がパッシベーション膜として機能する。こうして E L 素子 3 7 0 1 が形成される。

## 【 0 2 4 4 】

本実施例の場合、発光層 3 6 1 8 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。

## 【 0 2 4 5 】

以上のような構成でなる E L 表示装置において、本願発明を用いることができる。本願発明を用いることで、信頼性の高い E L 表示装置が得られる。なお、本実施例の構成に実施例 1 ~ 実施例 1 6 のいずれの構成を組み合わせて実施しても構わない。

## 【 0 2 4 6 】

## 〔 実施例 1 9 〕

本実施例では、図 2 6 ( B ) に示した回路図とは異なる構造の画素とした場合の例について図 2 8 ( A ) ~ ( C ) に示す。なお、本実施例において、3 8 0 1 はスイッチング用 T F T 3 8 0 2 のソース配線、3 8 0 3 はスイッチング用 T F T 3 8 0 2 のゲート配線、3 8 0 4 は電流制御用 T F T、3 8 0 5 はコンデンサ、3 8 0 6、3 8 0 8 は電流供給線、3 8 0 7 は E L 素子とする。

## 【 0 2 4 7 】

図 2 8 ( A ) は、二つの画素間で電流供給線 3 8 0 6 を共通とした場合の例である。即ち、二つの画素が電流供給線 3 8 0 6 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

## 【 0 2 4 8 】

また、図 2 8 ( B ) は、電流供給線 3 8 0 8 をゲート配線 3 8 0 3 と平行に設けた場合の例である。なお、図 2 8 ( B ) では電流供給線 3 8 0 8 とゲート配線 3 8 0 3 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 3 8 0 8 とゲート配線 3 8 0 3 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

## 【 0 2 4 9 】

また、図 2 8 ( C ) は、図 2 8 ( B ) の構造と同様に電流供給線 3 8 0 8 をゲート配線 3 8 0 3 と平行に設け、さらに、二つの画素を電流供給線 3 8 0 8 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 3 8 0 8 をゲート配線 3 8 0 3 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

## 【 0 2 5 0 】

なお、本実施例の構成は、実施例 1 ~ 1 8 の構成と自由に組み合わせて実施することが可能である。

## 【 0 2 5 1 】

## 〔 実施例 2 0 〕

実施例 1 7 に示した図 2 6 ( A )、2 6 ( B ) では電流制御用 T F T 3 5 0 3 のゲートにかかる電圧を保持するためにコンデンサ 3 5 0 4 を設ける構造としているが、コンデンサ 3 5 0 4 を省略することも可能である。実施例 1 7 の場合、電流制御用 T F T 3 5 0 3 として実施例 1 ~ 1 2 に示すような本願発明の n チャネル型 T F T を用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 3 5 0 4 の代わりとして積極的に用いる点に特徴がある。

10

20

30

40

50

## 【0252】

この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

## 【0253】

また、実施例19に示した図28(A)~(C)の構造においても同様に、コンデンサ3805を省略することは可能である。

## 【0254】

なお、本実施例の構成は、実施例1~19の構成と自由に組み合わせて実施することが可能である。

10

## [実施例21]

本願発明の電気光学装置、具体的には本願発明の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

20

## 【0255】

また、等方相-コレステリック相-カイラルスメクティック相転移系列を示す強誘電性液晶(FLC)を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティック相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図29に示す。

## 【0256】

図29に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図29に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Half-V字スイッチングモード」については、寺田らの「Half-V字スイッチングモードFLCD」、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの「強誘電性液晶による時分割フルカラーLCD」、液晶第3巻第3号第190頁に詳しい。

30

## 【0257】

図29に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることわかる。本願発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

## 【0258】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。

40

## 【0259】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

## 【0260】

なお、このような無しきい値反強誘電性混合液晶を本願発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

50

## 【0261】

なお、本実施例に示す液晶は、実施例1～14のいずれの構成を有する液晶表示装置においても用いることが可能である。

## 【0262】

## [実施例22]

本願発明を実施して形成されたTFTは様々な電気光学装置や半導体回路に用いることができる。即ち、電気光学装置や半導体回路を部品として組み込んだ電気器具全てに本願発明は用いることができる。

## 【0263】

上記電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、カーナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはコンパクトディスク(CD)、レーザーディスク(LD)又はデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら電気器具の具体例を図12、図30、31に示す。

10

## 【0264】

図12(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本願発明の電気光学装置は表示部2004に、本願発明の半導体回路は音声出力部2002、音声入力部2003またはCPUやメモリ等に用いることができる。

20

## 【0265】

図12(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明の電気光学装置は表示部2102に、本願発明の半導体回路は音声入力部2103またはCPUやメモリ等に用いることができる。

## 【0266】

図12(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明の電気光学装置は表示部2205に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

30

## 【0267】

図12(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本願発明の電気光学装置は表示部2302に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

## 【0268】

図12(E)はリアプロジェクター(プロジェクションTV)であり、本体2401、光源2402、液晶表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は液晶表示装置2403に用いることができ、本願発明の半導体回路はCPUやメモリ等に用いることができる。

40

## 【0269】

図12(F)はフロントプロジェクターであり、本体2501、光源2502、液晶表示装置2503、光学系2504、スクリーン2505で構成される。本発明は液晶表示装置2502に用いることができ、本願発明の半導体回路はCPUやメモリ等に用いることができる。

## 【0270】

図30(A)はパーソナルコンピュータであり、本体2601、映像入力部2602、表示部2603、キーボード2604等を含む。本願発明の電気光学装置は表示部2603に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

50

## 【0271】

図30(B)は電子遊戯機器(ゲーム機器)であり、本体2701、記録媒体2702、表示部2703及びコントローラ2704を含む。この電子遊戯機器から出力された音声や映像は筐体2705及び表示部2706を含む表示ディスプレイにて再生される。コントローラ2704と本体2701との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線センサ部2707、2708で検知する構成となっている。本願発明の電気光学装置は表示部2703、2706に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

## 【0272】

図30(C)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤー(画像再生装置)であり、本体2801、表示部2802、スピーカ部2803、記録媒体2804及び操作スイッチ2805を含む。なお、この画像再生装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の電気光学装置は表示部2802やCPUやメモリ等に用いることができる。

## 【0273】

図30(D)はデジタルカメラであり、本体2901、表示部2902、接眼部2903、操作スイッチ2904、受像部(図示せず)を含む。本願発明の電気光学装置は表示部2902やCPUやメモリ等に用いることができる。

## 【0274】

なお、図12(E)のリアプロジェクターや図12(F)のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図31に示す。なお、図31(A)は光学エンジンであり、図31(B)は光学エンジンに内蔵される光源光学系である。

## 【0275】

図31(A)に示す光学エンジンは、光源光学系3001、ミラー3002、3005~3007、ダイクロイックミラー3003、3004、光学レンズ3008、3009、3011、液晶表示装置3010、投射光学系3012を含む。投射光学系3012は、投射レンズを備えた光学系である。本実施例は液晶表示装置3010を三つ使用する三板式の例を示したが、単板式であってもよい。また、図31(A)中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくはIRフィルム等を設けてもよい。

## 【0276】

また、図31(B)に示すように、光源光学系3001は、光源3013、3014、合成プリズム3015、コリメータレンズ3016、3020、レンズアレイ3017、3018、偏光変換素子3019を含む。なお、図31(B)に示した光源光学系は光源を2つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくはIRフィルム等を設けてもよい。

## 【0277】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1~21のどのような組み合わせからなる構成を用いても実現することができる。

## 【0278】

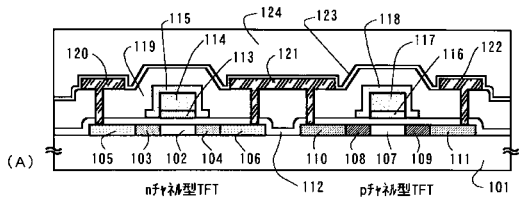
## 【発明の効果】

本願発明を実施することによってあらゆる半導体装置に用いられるnチャンネル型TFTの信頼性を高めることが可能となる。その結果、TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の画素部や、その周辺に設けられる駆動回路の信頼性を高めることができる。延いては、nチャンネル型TFTを回路に含む半導体回路や上記液晶表示装置を部品として組み込んだ電気器具の信頼性も向上する。

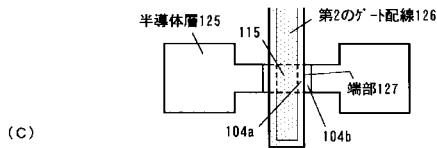
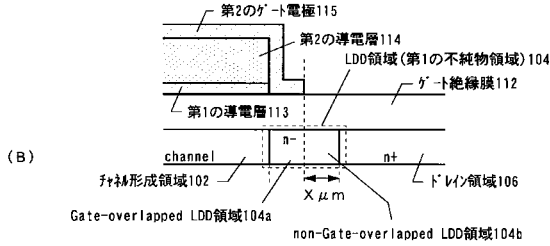
## 【図面の簡単な説明】

- 【図 1】 本実施形態の T F T の断面図。
- 【図 2】 T F T の作製工程を示す断面図。
- 【図 3】 T F T の作製工程を示す断面図。
- 【図 4】 アクティブマトリクス基板の斜視図。
- 【図 5】 画素部と C M O S 回路の上面図。
- 【図 6】 結晶性珪素膜の作製工程を示す図。
- 【図 7】 結晶性珪素膜の作製工程を示す図。
- 【図 8】 結晶性珪素膜の作製工程を示す図。
- 【図 9】 結晶性珪素膜の作製工程を示す図。 10
- 【図 10】 液晶表示装置の外観を示す図。
- 【図 11】 本発明のゲート電極の構成を示す図。
- 【図 12】 電気器具の一例を示す図。
- 【図 13】 各種 T F T 構造における電気特性の特徴を示す図。
- 【図 14】 T F T の作製工程を示す断面図。
- 【図 15】 T F T の作製工程を示す断面図。
- 【図 16】 T F T の作製工程を示す断面図。
- 【図 17】 ゲート電極の構造を示す図。
- 【図 18】 ゲート電極の構造を示す図。
- 【図 19】 画素部と C M O S 回路の断面図。 20
- 【図 20】 付加容量の作製工程を示す断面図。
- 【図 21】 T F T の作製工程を示す断面図。
- 【図 22】 ゲート配線（ゲート電極含む）の構成を示す上面図。
- 【図 23】 E L 表示装置の外観を示す図。
- 【図 24】 E L 表示装置の外観を示す図。
- 【図 25】 E L 表示装置の画素部の断面構造を示す図。
- 【図 26】 E L 表示装置の画素部の上面構造及び回路図を示す図。
- 【図 27】 E L 表示装置の画素部の断面構造を示す図。
- 【図 28】 E L 表示装置の画素部の回路図を示す図。
- 【図 29】 液晶の光学応答特性を示す図。 30
- 【図 30】 電気器具の一例を示す図。
- 【図 31】 光学エンジンの構成を示す図。

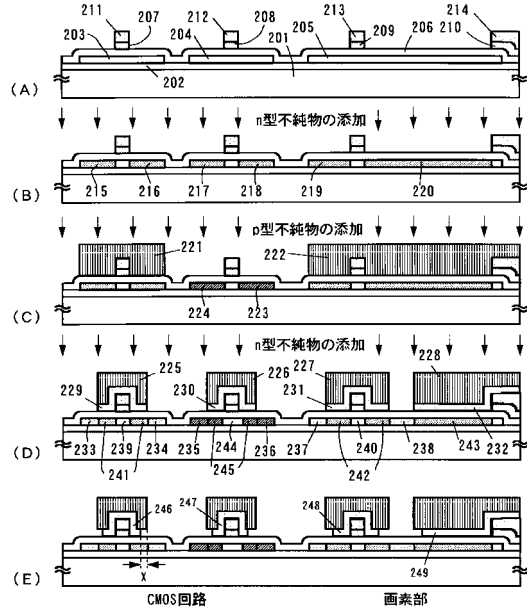
【図1】



101:基板、102、107:チャネル領域、103、104:第1の不純物領域(n型)、105、106:第2の不純物領域(n型)、108、109:第3の不純物領域(p型)、112:ゲート絶縁膜、113、116:第1の導電層、114、117:第2の導電層、115、118:第2のゲート電極、119:第1の層間絶縁膜、120、122:ソース電極、121:ドレイン電極、123:ハットパターンの膜、124:第2の層間絶縁膜

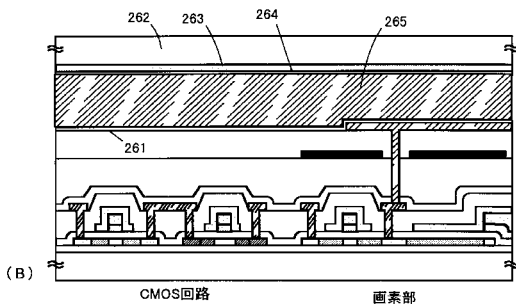
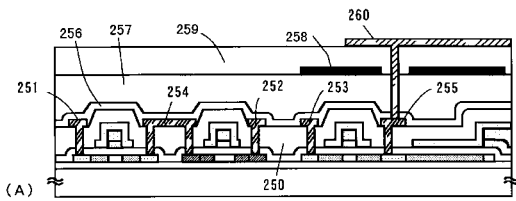


【図2】



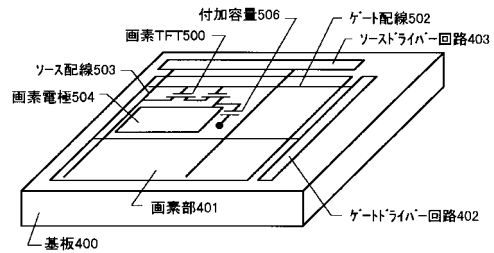
201:基板、202:下地膜、203~205:半導体膜、206:ゲート絶縁膜、207~210:第1の導電膜、211~214:第2の導電膜、n領域:215~220、221、222、225~228:レジスタマスク、223:ソース領域(p型)、224:ドレイン領域(p型)、229~231(246~248):第2のゲート電極、233、237:ソース領域(n型)、234、238:ドレイン領域(n型)、239、240:チャネル形成領域(n型)、241~243:低濃度不純物領域(n型)、244:チャネル形成領域(p型)、245:不純物領域(p型)、232(249):容量電極

【図3】

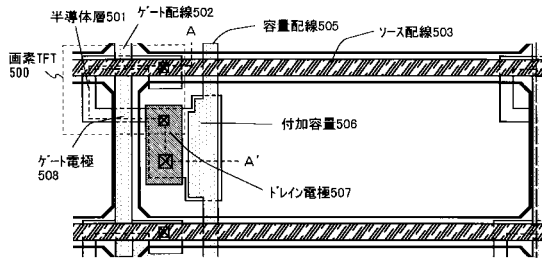


250:第1の層間絶縁膜、251~253:ソース配線、254、255:ドレイン配線、256:ハットパターンの膜、257:第2の層間絶縁膜、258:遮光膜、259:第3の層間絶縁膜、260:画素電極、261、264:配向膜、262:対向基板、263:透明導電膜、265:液晶材料

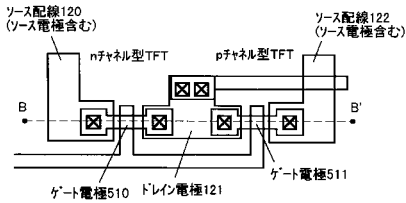
【図4】



【図5】

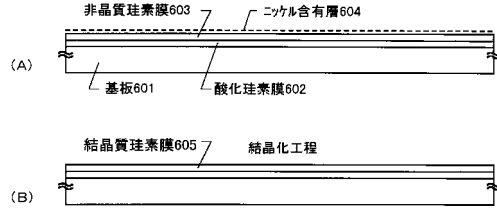


(A) 画素部上面図

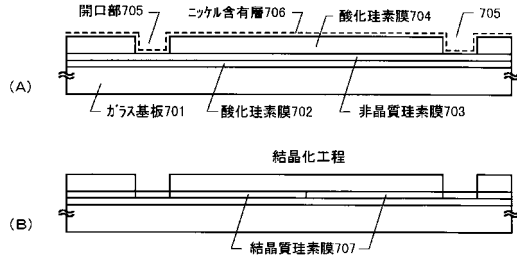


(B) CMOS回路上面図

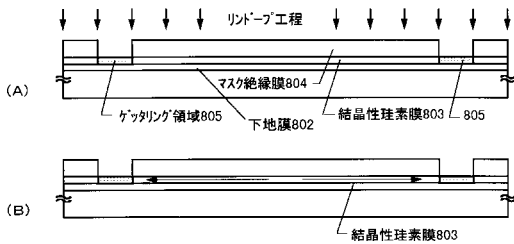
【図6】



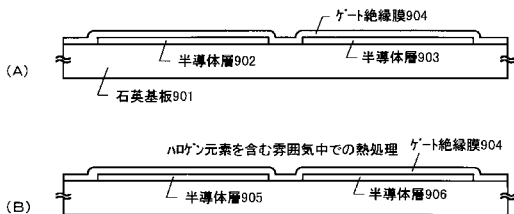
【図7】



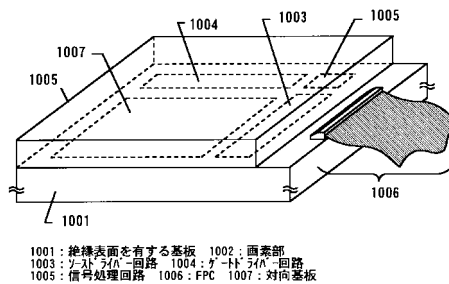
【図8】



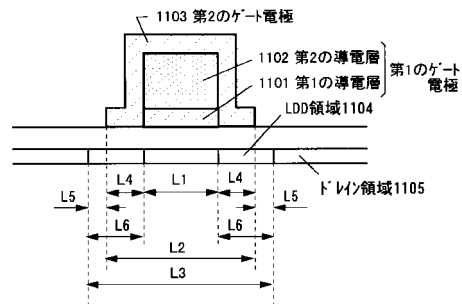
【図9】



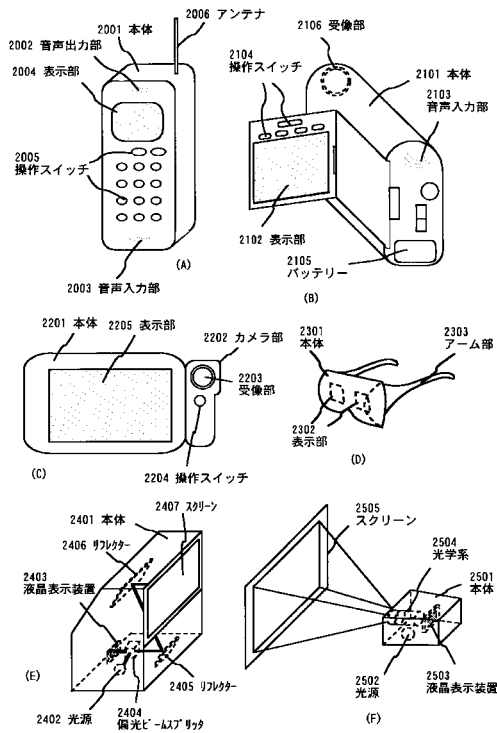
【図10】



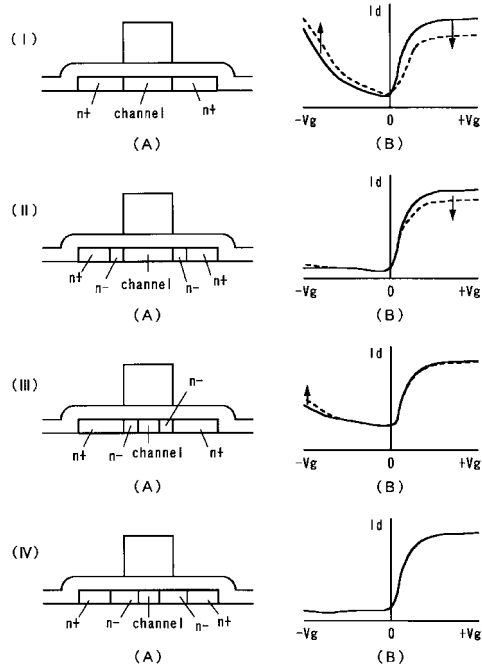
【図11】



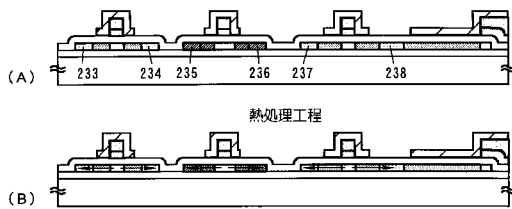
【図12】



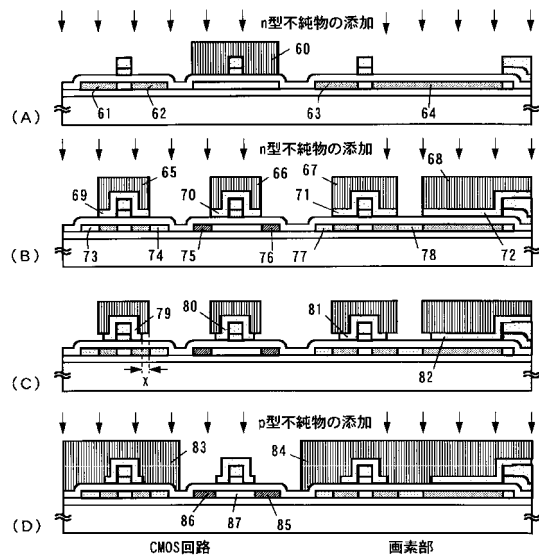
【図13】



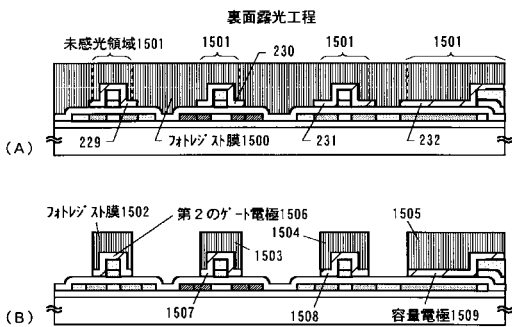
【図14】



【図16】

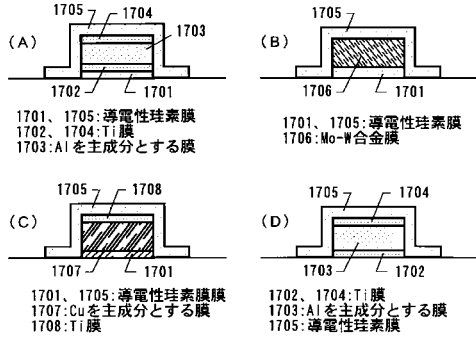


【図15】

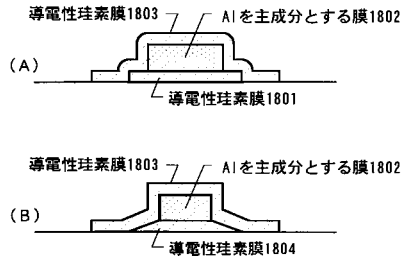


60, 65~68, 83, 84: フォトリソ膜, 61~64: n-領域  
 73, 77: n-領域 (n型), 74, 78: p-領域 (p型)  
 69~71 (79~81): 第2のゲート電極, 72, 82: 容量電極  
 85: n-領域 (n型), 86: p-領域 (p型), 87: 形成領域

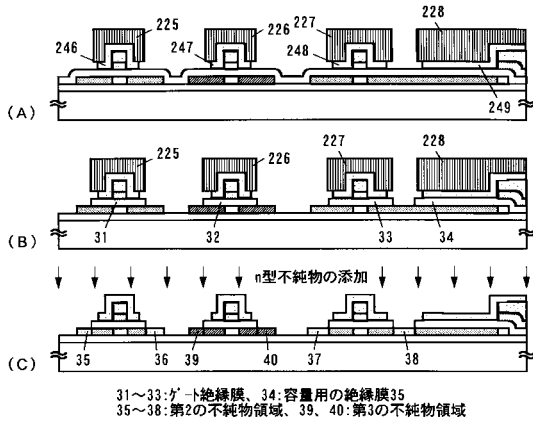
【図17】



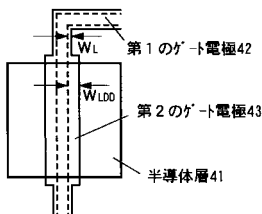
【図18】



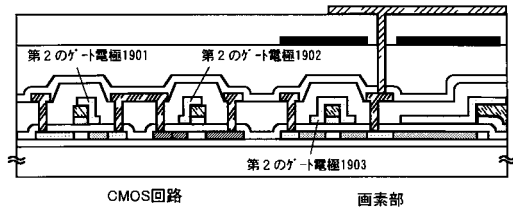
【図21】



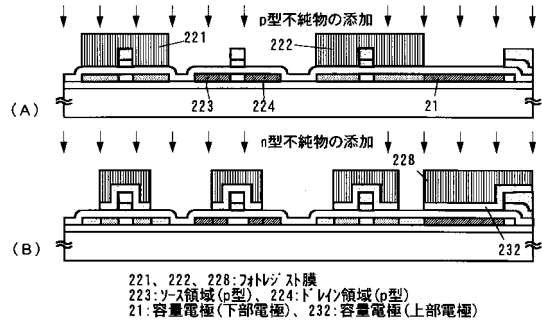
【図22】



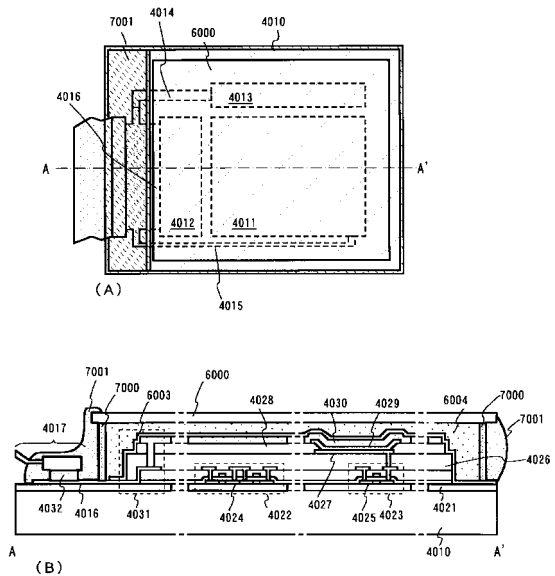
【図19】



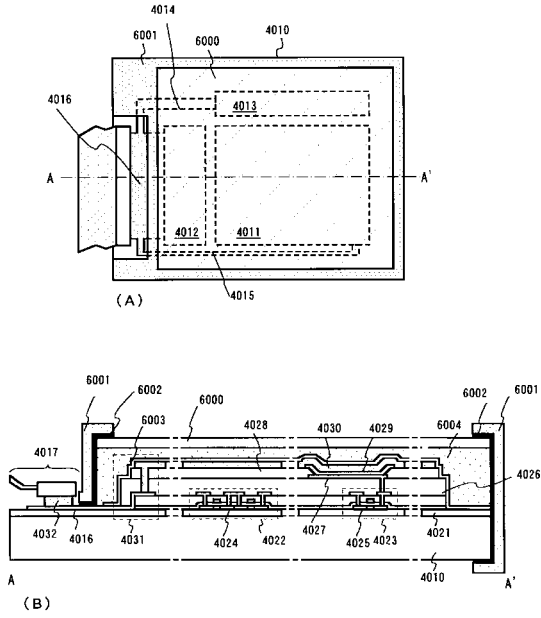
【図20】



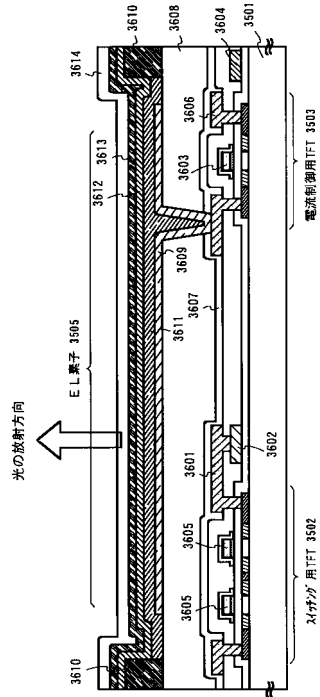
【図23】



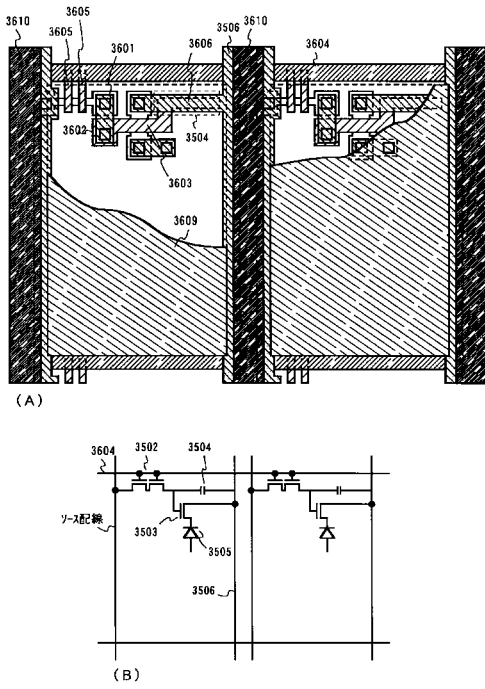
【図24】



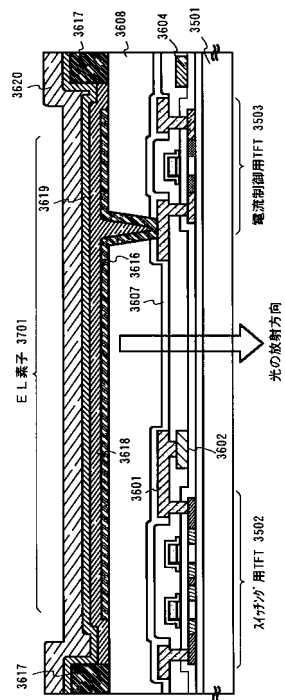
【図25】



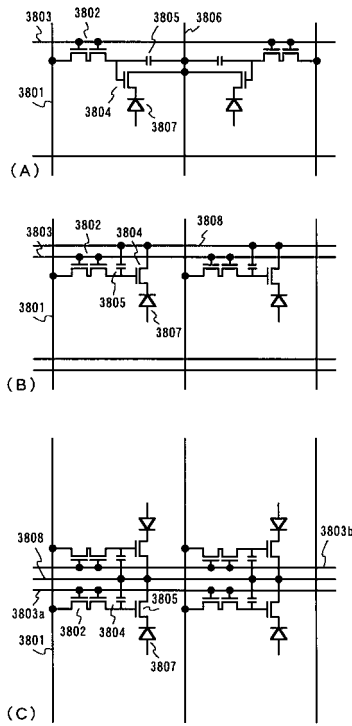
【図26】



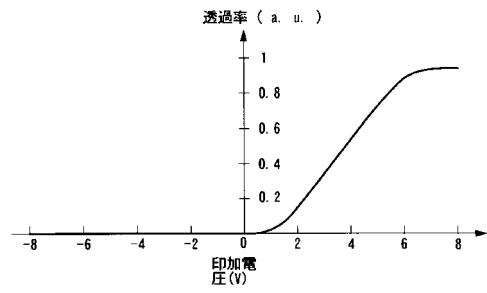
【図27】



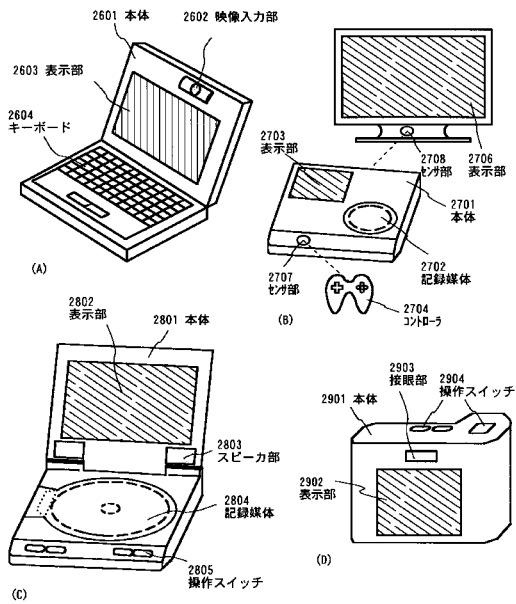
【図28】



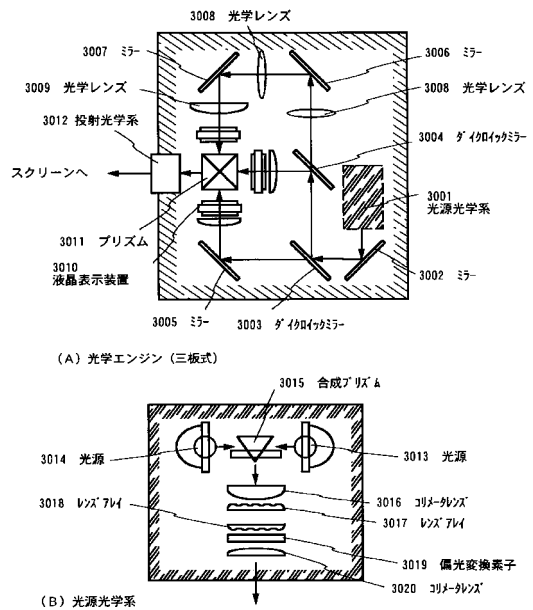
【図29】



【図30】



【図31】



---

フロントページの続き

- (56)参考文献 特開平06-260645(JP,A)  
特開平06-260646(JP,A)  
国際公開第94/000882(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 29/786