

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成19年1月11日(2007.1.11)

【公表番号】特表2005-531934(P2005-531934A)  
 【公表日】平成17年10月20日(2005.10.20)  
 【年通号数】公開・登録公報2005-041  
 【出願番号】特願2004-519678(P2004-519678)  
 【国際特許分類】

**H 0 1 L 21/8234 (2006.01)**  
**H 0 1 L 27/088 (2006.01)**  
**H 0 1 L 29/78 (2006.01)**  
**H 0 1 L 21/8244 (2006.01)**  
**H 0 1 L 27/11 (2006.01)**

【F I】

H 0 1 L 27/08 1 0 2 C  
 H 0 1 L 29/78 3 0 1 G  
 H 0 1 L 27/10 3 8 1  
 H 0 1 L 27/08 1 0 2 H

【手続補正書】

【提出日】平成18年11月17日(2006.11.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路の論理要素を製造するための方法であって、前記論理要素は少なくとも1つの論理演算の実行に適切な回路部分を有し、前記集積回路は基板上に製造され、前記方法は、  
第1ゲートを前記基板上に形成する工程と、  
第2ゲートを前記基板上に形成する工程と、  
前記第2ゲートの第2部分は、前記第1ゲートの第1部分の上方に形成されることによ  
って第1オーバーラップゲート領域を形成することと、  
ソース領域とドレイン領域の間に電流を流すことを可能とするようにデザインされた活  
性領域をソース領域とドレイン領域の間で前記基板内に形成する工程と、  
前記第1のトランジスタゲートは活性領域部分及びコンタクト領域部分を有し、前記活  
性領域部分は、前記活性領域の情報にある前記第1のトランジスタゲートの部分に対応す  
ることと、  
前記第2のトランジスタゲートの複数の部分を除去して、その結果、前記第2のトラン  
ジスタゲートの少なくとも一部が前記第1のトランジスタゲートの活性領域全体の上方に  
形成される、除去の工程と、  
論理要素が少なくとも1つの論理演算を行うことができる様式にて論理要素を形成する  
工程とを備える、集積回路の論理要素を製造するための方法。  
 方法。

【請求項2】

請求項1に記載の方法であって、

前記基板上に前記第1トランジスタゲートを形成する工程と、

その後、前記基板上に前記第2トランジスタゲートを形成する工程と

をさらに備える方法。

【請求項 3】

前記第 1 オーバラップゲート領域の大部分は前記活性領域の上方にあり、  
前記オーバラップゲート領域の幅は前記活性領域の幅と等しいか、それよりも大きい、  
請求項 1 に記載の方法。

【請求項 4】

前記第 1 オーバラップゲート領域の大部分は前記活性領域の上方にあり、  
前記第 1 ゲートの第 1 の部分は前記活性領域の上方に形成され、  
前記第 2 ゲートの少なくとも一部は前記第 1 ゲートの第 1 の部分の全体にわたり、上方  
に形成されている、請求項 1 に記載の方法。

【請求項 5】

前記第 1 トランジスタゲートは第 1 の閾値電圧を備え、  
前記第 2 のトランジスタゲートは前記第 1 の閾値電圧とは異なる第 2 の閾値電圧を備え  
る、請求項 1 に記載の方法。

【請求項 6】

前記第 1 ゲートはフローティングゲートとして機能しないように形成され、  
前記第 2 ゲートはフローティングゲートとして機能しないように形成される、請求項 5  
に記載の方法。

【請求項 7】

前記論理要素がメモリ格納処理を実行不能であるように論理要素を形成する、請求項 1 に  
記載の方法。

【請求項 8】

集積回路の論理要素であって、前記論理要素は少なくとも 1 つの論理演算を実行可能であ  
り、前記集積回路は基板上に製造され、前記論理要素は、

2 つの直列に接続されたトランジスタのパフォーマンス特性に実質的に類似するパフォ  
ーマンス特性を示すことに適切な第 1 の回路部分と、

前記第 1 の回路部分は、

前記第 1 の回路部分のソース領域として機能する、基板中の第 1 ドーピング領域と、

前記第 1 の回路部分のドレイン領域として機能する、基板中の第 2 ドーピング領域と、

前記ソースおよびドレイン領域の間の前記基板中に形成されて、前記ソースおよびドレ  
イン領域の間で電流を流すために適切な活性領域と、

前記活性領域の第 1 の部分の上方に形成された第 1 ゲートと、

前記第 1 ゲートと基板の間にて前記第 1 ゲートが基板との導通が分離されるように形成  
された第 1 の誘電体層と、

前記活性領域の第 2 の部分の上方に形成された第 2 ゲートと、

前記第 2 ゲートと基板の間にて前記第 2 ゲートが基板との導通が分離されるように形成  
された第 2 の誘電体層とを備えることと、

前記第 2 ゲートの第 2 の部分は前記第 1 ゲートの第 1 の部分の上方に形成されることによ  
って第 1 のオーバラップ領域を形成し、

前記第 1 トランジスタゲートは活性領域部分とコンタクト領域部分とを有し、前記活性  
領域部分は前記第 1 トランジスタゲートのうち前記活性領域の上方にある部分に対応し、

前記第 2 トランジスタゲートは該第 2 トランジスタゲートの少なくとも一部が前記第 1  
トランジスタゲートの活性領域部分の全体にわたり上方に形成されている、集積回路の論  
理要素。

【請求項 9】

前記論理要素は単一のソース領域と単一のドレイン領域とを有する、請求項 8 に記載の論  
理要素。

【請求項 10】

前記論理要素は、NANDゲート、ANDゲート、NORゲート、ORゲート、XORゲ  
ート、SRAMセル、およびラッチのグループから選択される要素に対応する、請求項 8

に記載の論理要素。

【請求項 1 1】

論理要素の回路部分であって、前記論理要素は集積回路の一部であり、前記論理要素は少なくとも1つの論理演算を実行可能であり、前記集積回路は基板上に製造され、前記回路部分は、

前記回路部分のソース領域として機能する、基板中の第1ドーピング領域と、  
前記回路部分のドレイン領域として機能する、基板中の第2ドーピング領域と、  
前記ソースおよびドレイン領域の間の前記基板中に形成されて、前記ソースおよびドレイン領域の間に電流を流すことが可能であるようにデザインされた活性領域と、  
前記活性領域の第1の部分の上方に形成された第1ゲートと、前記第1ゲートは前記ソース領域とドレイン領域の間の電流の第1活性チャンネルの制御に適切であることと、  
前記活性領域の第2の部分の上方に形成された第2ゲートと、前記第2ゲートは前記ソース領域とドレイン領域の間の電流の第2活性チャンネルの制御に適切であることとを備え、

前記回路部分は2つの直列に接続されたトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すために適切であり、

前記活性領域は前記第1活性チャンネルと前記第2活性チャンネルとを含み、  
前記活性領域の第1の部分と第2の部分は全体として、前記活性領域の全体にほぼ対応する、論理要素の回路部分。

【請求項 1 2】

前記第1ゲートの第1の部分は前記第2ゲートの一部の上方に形成されることによって、第1のオーバーラップゲート領域をなす、請求項 1 1に記載の論理要素の回路部分。

【請求項 1 3】

前記回路部分は単一のソース領域と単一のドレイン領域とを有する、請求項 1 1に記載の論理要素の回路部分。

【請求項 1 4】

前記回路部分は、  
前記ソース領域に対応するソースと、  
前記ドレイン領域に対応するドレインと、  
前記第1ゲートに対応する第1トランジスタゲートと、  
前記第2ゲートに対応する第2トランジスタゲートとを備えたトランジスタに対応し、  
前記活性領域は第1活性チャンネルと第2活性チャンネルとを含む、請求項 1 1に記載の論理要素の回路部分。

【請求項 1 5】

前記論理要素は、NANDゲート、ANDゲート、NORゲート、ORゲート、XORゲート、SRAMセル、およびラッチのグループから選択される要素に対応する、請求項 1 1に記載の回路部分。

【請求項 1 6】

集積回路の論理要素であって、該論理要素は少なくとも1つの論理演算を実行可能であり、前記集積回路は基板上に製造され、前記論理要素は、

2つの直列に接続されたトランジスタのパフォーマンス特性に実質的に類似するパフォーマンス特性を示すことに適切な第1の回路部分と、

前記第1の回路部分は、  
前記第1の回路部分のソース領域として機能する、基板中に形成された第1ドーピング領域と、  
前記第1の回路部分のドレイン領域として機能する、基板中に形成された第2ドーピング領域と、  
前記ソースおよびドレイン領域の間の前記基板中に形成されて、前記ソースおよびドレイン領域の間に電流を流すことを可能とさせる活性領域と、

前記活性領域の第 1 の部分の上方に形成された第 1 ゲートと、前記第 1 ゲートは前記ソース領域とドレイン領域の間の電流の第 1 活性チャネルの制御に適切であることと、  
前記活性領域の第 2 の部分の上方に形成された第 2 ゲートと、前記第 2 ゲートは前記ソース領域とドレイン領域の間の電流の第 2 活性チャネルの制御に適切であることとを備え

前記論理要素は、NANDゲート、ANDゲート、NORゲート、ORゲート、XORゲート、SRAMセル、およびラッチのグループから選択される要素に対応する、論理要素。

【請求項 17】

前記第 1 の回路部分は、

前記ソース領域に対応する単一のソースと、

前記ドレイン領域に対応する単一のドレインとを備え、

前記活性領域は前記第 1 活性チャネルと前記第 2 活性チャネルとを有する、請求項 16 に記載の論理要素。

【請求項 18】

導電材料の第 1 の層と、

前記第 1 の層は少なくとも 1 つの第 1 ゲート領域と少なくとも 1 つの第 1 の相互接続領域とを備えることと、

導電材料からなり、前記第 1 の層とは異なる、第 2 の層と、

前記第 2 の層は少なくとも 1 つの第 2 ゲート領域と少なくとも 1 つの第 2 の相互接続領域とを備えることとからなり、

前記少なくとも 1 つの第 1 の相互接続領域の少なくとも第 1 の部分は、前記少なくとも 1 つの第 2 の相互接続領域の少なくとも第 2 の部分と重なり、

前記第 1 の層と前記第 2 の層はポリシリコンの異なる層である、スタティックランダムアクセスメモリ (SRAM) セル。

【請求項 19】

前記第 1 及び第 2 の相互接続領域は前記 SRAMセルの受動部分の上方に形成される請求項 18 に記載の SRAMセル。

【請求項 20】

前記第 1 の部分及び第 2 の部分の重なりは、SRAMセルの受動部分の上方で生じる、請求項 18 に記載の SRAMセル。