



(12)发明专利

(10)授权公告号 CN 103563104 B

(45)授权公告日 2016.08.31

(21)申请号 201280025428.0

罗伯特·沃尔特

(22)申请日 2012.04.26

约翰内斯·施托克

(30)优先权数据

102011102376.7 2011.05.25 DE

102011109942.9 2011.08.10 DE

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 张春水 田军锋

(85)PCT国际申请进入国家阶段日

2013.11.25

(51)Int.Cl.

H01L 33/38(2006.01)

H01L 33/42(2006.01)

H01L 33/40(2006.01)

(86)PCT国际申请的申请数据

PCT/DE2012/100118 2012.04.26

审查员 孙大伟

(87)PCT国际申请的公布数据

W02012/159615 DE 2012.11.29

(73)专利权人 欧司朗光电半导体有限公司

地址 德国雷根斯堡

(72)发明人 马库斯·毛特 卡尔·恩格尔

塞巴斯蒂安·特格尔

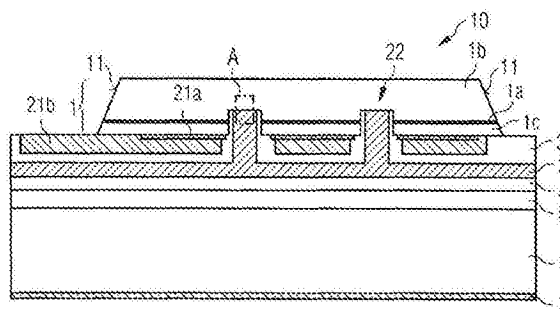
权利要求书1页 说明书6页 附图1页

(54)发明名称

光电子半导体芯片

(57)摘要

本发明提出一种光电子半导体芯片(10),所述光电子半导体芯片包括由半导体材料制成的半导体本体(1)、p型接触层(21a)和n型接触层(2)。半导体本体(1)具有设为用于产生辐射的有源层(1a)。半导体本体具有p型侧(1c)和n型侧(1b),在所述p型侧和n型侧之间设置有有源层(1a)。p型接触层(21a)设为用于电接触p型侧(1c)。n型接触层(2)设为用于电接触n型侧(1b)。n型接触层(2)包含TCO层(2a)和镜面层(2b),其中TCO层(2a)设置在半导体本体(1)的n型侧(1b)和镜面层(2b)之间。



1. 一种光电子半导体芯片(10),包括由半导体材料制成的半导体本体(1)、p型接触层(21a)和n型接触层(2),其中
 - 所述半导体本体(1)具有设为用于产生辐射的有源层(1a),
 - 所述半导体本体(1)具有p型侧(1c)和n型侧(1b),在所述p型侧和所述n型侧之间设置有所述有源层,
 - 所述p型接触层(21a)设为用于电接触所述半导体本体(1)的所述p型侧(1c),
 - 所述n型接触层(2)设为用于电接触所述半导体本体(1)的所述n型侧(1b),
 - 所述n型接触层(2)包含TCO层(2a)和镜面层(2b),其中所述TCO层(2a)设置在所述半导体本体(1)的所述n型侧(1b)和所述镜面层(2b)之间,
 - 所述镜面层(2b)包含银,
 - 所述n型接触层(2)借助于贯通部(22)穿过所述p型接触层(21a)且穿过所述半导体本体(1)的所述p型侧(1c)被引导到所述n型侧(1b),
 - 所述TCO层(2a)在所述贯通部(22)中设置在所述半导体本体(1)的所述n型侧(1b)和所述镜面层(2b)之间。
2. 根据权利要求1所述的光电子半导体芯片,其中
 - 所述n型接触层(2)借助于多个贯通部(22)穿过所述p型接触层(21a)且穿过所述半导体本体(1)的所述p型侧(1c)被引导到所述n型侧(1b),
 - 所述TCO层(2a)在所述贯通部(22)中设置在所述半导体本体(1)的所述n型侧(1b)和所述镜面层(2b)之间。
3. 根据权利要求1所述的光电子半导体芯片,其中所述p型接触层(21a)和所述n型接触层(2)设置在所述半导体本体(1)的同一侧上。
4. 根据权利要求3所述的光电子半导体芯片,其中
 - 所述p型接触层(21a)直接邻接于所述半导体本体(1)的所述p型侧(1c),
 - 所述n型接触层(2)设置在所述p型接触层(21a)的背离所述半导体本体(1)的侧上,以及
 - 在所述p型接触层(21a)和所述n型接触层(2)之间设置有电绝缘层(3)。
5. 根据权利要求1所述的光电子半导体芯片,其中
 - 所述镜面层(2b)被引导穿过所述贯通部(22)。
6. 根据权利要求1至5中的任一项所述的光电子半导体芯片,其中所述TCO层(2a)包含ZnO或ITO。
7. 根据权利要求1至5中的任一项所述的光电子半导体芯片,其中所述TCO层(2a)具有大于0.5nm的厚度。
8. 根据权利要求7所述的光电子半导体芯片,其中所述TCO层(2a)具有位于15nm和25nm之间的范围中的厚度,其中包括边界值。
9. 根据权利要求1至5中的任一项所述的光电子半导体芯片,其中所述半导体本体(1)具有倾斜的侧面(11)。
10. 根据权利要求1至5中的任一项所述的光电子半导体芯片,其中所述半导体本体(1)基于GaN。

光电子半导体芯片

技术领域

[0001] 本申请涉及一种光电子半导体芯片,所述光电子半导体芯片包括半导体本体、p型接触层和n型接触层。

背景技术

[0002] 作为例如用于基于GaN的半导体本体的n型接触层通常使用钛层和施加到其上的银层。借助这种n型接触层能够实现良好的电学特性和光学特性。然而,在这种n型接触层中,对于良好的光学特性而言需要厚度小于0.5nm的非常薄的钛层,所述钛层是难于制造的并且经受不同的工艺波动。

[0003] 此外,虽然钛具有相对于n-GaN的好的电接触。然而,钛具有相对差的反射性,以至于由半导体本体发射的光被n型接触层的钛层不利地吸收。与此相反,银对于可见光谱范围中的辐射而言是良好的反射体。然而,银不利地具有相对于n型掺杂的GaN不适宜高的接触电阻。附加地,钛以及钛和银的组合具有不同的能够对半导体芯片不利的特性。例如,钛是非常活性的并且能够容易地氧化,这由于接触电阻的增大能够导致传导性差的电势垒。

发明内容

[0004] 本申请的目的是,提出一种光电子半导体芯片,所述光电子半导体芯片避免上述缺点,由此有利地得出具有n型接触层的半导体芯片,所述n型接触层具有改进的电学特性并且同时具有改进的光学特性。

[0005] 所述目的通过具有权利要求1所述的特征的光电子半导体芯片来实现,其中该光电子半导体芯片包括由半导体材料制成的半导体本体、p型接触层和n型接触层,其中所述半导体本体具有设为用于产生辐射的有源层,所述半导体本体具有p型侧和n型侧,在所述p型侧和所述n型侧之间设置有所述有源层,所述p型接触层设为用于电接触所述半导体本体的所述p型侧,所述n型接触层设为用于电接触所述半导体本体的所述n型侧,所述n型接触层包含TCO层和镜面层,其中所述TCO层设置在所述半导体本体的所述n型侧和所述镜面层之间,所述镜面层包含银,所述n型接触层借助于穿通部穿过所述p型接触层且穿过所述半导体本体的所述p型侧被引导到所述n型侧,所述TCO层在所述穿通部中设置在所述半导体本体的所述n型侧和所述镜面层之间。半导体芯片的有利的改进形式是如下描述的实施例的主题。

[0006] 在一个实施形式中,光电子半导体芯片具有由半导体材料制成的半导体本体、p型接触层和n型接触层。半导体本体具有设为用于产生辐射的有源层。半导体本体还具有p型侧和n型侧,在所述p型侧和n型侧之间设有有源层。p型接触层设为用于电接触半导体本体的p型侧。n型接触层设为用于电接触半导体本体的n型侧。n型接触层包括TCO(透明导电氧化物)层和镜面层,其中TCO层设置在半导体本体的n型侧和镜面层之间。

[0007] 透明导电氧化物是透明的、导电的材料,通常是金属氧化物,例如是氧化锌、氧化锡、氧化镉、氧化钛、氧化铟、氧化锡铟(ITO)、氧化锌铝(AZO)、氧化锌铟铝(ATO)、氧化锌铟

(IZO)、氧化铟镓(GZO)或氧化锡镓(GTO)。除了例如为 ZnO 、 SnO_2 或 In_2O_3 的二元的金属氧化物之外,三元的金属氧化物例如 Zn_2SnO_4 、 $CdSnO_3$ 、 $ZnSnO_3$ 、 $MgIn_2O_4$ 、 $GaInO_3$ 、 $Zn_2In_2O_5$ 或 $In_4Sn_3O_{12}$ 或不同的透明导电氧化物的混合物也属于TCO族。此外,TCO非强制性地相应于化学计量的组成成分并且也能够是p型掺杂的或n型掺杂的。

[0008] 将n型侧尤其理解成半导体本体的层的n型掺杂的侧。同样将p型侧理解成半导体本体的层的p型掺杂的侧。

[0009] 在本发明的半导体芯片中,将通常使用的钛层通过由透明的能导电的氧化物制成的层来替代。在此,TCO层能够具有比迄今应用的钛层显著更大的厚度。这种TCO层与通常使用的钛层相比能够明显更好地受到控制、良好地附着并且实现与由半导体材料制成的半导体本体的良好的电接触。此外,这种TCO层是明显不那么活性的从而更不易受氧化的影响。

[0010] 借助于具有TCO层的n型接触层,尤其结合接触层的设置在TCO层的背离半导体本体的侧上的高反射率的镜面层、例如银层,能够实现n型接触层与半导体本体的高反射率的欧姆接触。这种n型接触层是可良好复制的,在制造时可良好控制,且具有较小的接触电阻,是不太活性的并且由于稳定的接触电阻能够实现高的产量。由于TCO层对在可见光谱范围内的辐射的透明性,有利地,由半导体芯片发射的辐射没有被n型接触层吸收,使得能够实现改进的辐射效率。

[0011] 镜面层在材料方面适宜地构成为,使得所述镜面层对于在半导体芯片运行时在有源层中发射的或能够由有源层检测到的辐射而言具有高的反射率、尤其是至少为60%的反射率、优选是至少为80%的反射率。尤其地,金属的镜面层是尤其适合的。

[0012] 在一个优选的设计方案中,镜面层包含银。镜面层尤其能够由银或包含银的合金制成。银在可见光谱范围和紫外光谱范围中具有高的反射率。与此不同,也能够使用其他的材料,例如铝、铯、钨、镍或铬。对于红外光谱范围而言适合的例如是金。

[0013] 半导体芯片优选为光电子半导体芯片,所述光电子半导体芯片能够实现将电功率转化成例如恒定的或脉冲的光发射,例如以用于数据传输,或者反之亦然。

[0014] 例如,光电子半导体芯片是发射辐射的半导体芯片。优选的是,半导体芯片是LED,尤其优选是薄膜LED。在本申请的范围中,将下述LED视作薄膜LED,在所述LED的制造期间将外延生长有半导体本体的生长衬底优选完全剥离。

[0015] 半导体本体的有源层优选包含pn结、双异质结构、单量子阱结构(SQW, single quantum well)或多量子阱结构(MQW, multi quantum well),以用于产生辐射。在此,术语量子阱结构不显示出任何关于量子化的维数的含义。量子阱结构此外包括量子槽、量子线和量子点以及所述结构的任意组合。

[0016] 半导体本体、尤其是有源层优选包含III/V族半导体材料。III/V族半导体材料尤其适合于在紫外的、经过可见的直至红外的光谱范围中产生辐射。半导体本体具有多个彼此叠加地外延沉积的半导体层,在所述半导体层中设置有有源层。例如,半导体本体的层生长在生长衬底上。在此,有源层将半导体本体的p型掺杂的侧与半导体本体的n型掺杂的侧分离。

[0017] 在一个改进形式中,p型接触层和n型接触层设置在半导体本体的同一侧上。例如,p型接触层和n型接触层设置在半导体本体的p型侧上。在此,半导体芯片的与接触层相对置的侧优选用作用于在半导体芯片中所产生的辐射的辐射出射侧。从辐射出射侧中,优选

由有源层所产生的辐射的大部分从半导体芯片耦合输出。

[0018] 因此,半导体芯片优选具有单侧的接触部,使得辐射出射侧不具有接触结构和接触层。由此,有利地,避免半导体芯片的辐射出射侧上的吸收过程,使得能够有利地将遮蔽效应和效率损耗最小化。

[0019] 在一个改进形式中,p型接触层直接邻接于半导体本体的p型侧,其中n型接触层设置在p型接触层的背离半导体本体的侧上。在p型接触层和n型接触层之间设置有电绝缘层。因此,n型接触层和p型接触层是彼此电绝缘的,使得防止在接触层之间的短路。

[0020] 因此,在该情况下,布置如下进行:n型接触层、电绝缘层、p型接触层和半导体本体。在此,层竖直地彼此叠置。

[0021] 电绝缘层例如是钝化层,所述钝化层将p型接触层和n型接触层在空间上和电学上完全彼此分离。p型接触层和n型接触层因此不在任何部位上直接接触。

[0022] 在一个改进形式中,n型接触层借助于贯通部穿过p型接触层并且穿过半导体本体的p型侧引导到n型侧。与之相应地,p型接触层和p型侧具有贯通部,n型接触层伸入到所述贯通部中。在此,贯通部穿透有源层,使得n型接触层引导直至半导体本体的n型侧。因此,贯通部穿过p型侧和有源层引导到n型侧,其中贯通部附加地伸入到n型侧中并且优选在那里终止。

[0023] 贯通部在侧向区域上具有电绝缘层,所述电绝缘层将n型接触层与p型接触层和半导体本体的p型侧电绝缘。

[0024] 因此,p型接触层直接设置在半导体本体的p型侧上并且设为用于直接电接触p型侧。n型接触层与半导体本体以一定间距设置。所述间距通过p型接触层和电绝缘层形成。通过贯通部,半导体本体的n型侧能够借助于n型接触层电接触。

[0025] 半导体芯片也能够具有多个贯通部,n型接触层分别被引导穿过所述多个贯通部。在此,贯通部彼此间隔开地设置。将贯通部的设置构成为,使得实现半导体本体的n型侧的尽可能均匀的通电,以便确保在有源层中均匀地产生辐射。

[0026] 在一个改进形式中,n型接触层包含银层,其中n型接触层的TCO层设置在半导体本体的n型侧和n型接触层的银层之间。因此,n型接触层由两个层组成,银层和TCO层。在此,银层形成镜面层,所述镜面层对可见光谱范围中的辐射而言是良好的反射体。银层相对于半导体本体的半导体材料的高的接触电阻能够借助于TCO层来改进,使得实现n型接触层的高反射的欧姆接触。

[0027] 例如,镜面层设置在电绝缘层的背离半导体本体的侧上以及设置在贯通部中。在此,TCO层将镜面层、尤其是银层与半导体本体分离,即将TCO层设置在镜面层、尤其是银层和半导体本体之间。尤其地,TCO层直接邻接于半导体材料和镜面层,尤其是银层。

[0028] 在一个改进形式中,镜面层、尤其是银层被引导穿过贯通部并且TCO层被设置在贯通部上。因此,在镜面层、尤其是银层和半导体材料之间不构成直接接触,因为在此之间设置有TCO层。TCO层在此将贯通部封闭。

[0029] 在一个改进形式中,TCO层包含ZnO(氧化锌)或SnO(氧化锡)。TCO层能够附加地掺入另外的金属或具有另外的金属的混合物,例如掺入铝、镓和/或铟。例如,能够使用氧化锌铝、氧化锡铝、氧化锡镓、氧化锌镓、氧化锡铟或氧化锌铟。所述材料的特征在于在可见光谱范围中的低的吸收从而其特征在于对可见光谱范围中的辐射的高的透明度。此外,所述材

料具有相对于半导体材料的小的接触电阻,使得实现好的欧姆接触。

[0030] 在一个改进形式中,TCO层具有大于0.5nm的厚度。优选地,TCO层具有位于15nm和25nm之间(其中包括边界值)的范围中的厚度。这种厚度范围中的接触层在制造时有利地经受小的工艺波动。此外,这种厚度的层由于可控制的制造是可良好复制的。

[0031] 在一个改进形式中,半导体本体具有倾斜的侧面。例如,半导体本体设置在载体上,其中半导体本体的横向延展随着距载体的间距而渐缩。载体的在横向延展和倾斜的侧面之间的角度例如为45°。

[0032] 有利地,通过倾斜的侧面,能够减少由有源层所发射的辐射在侧面上的全反射效应,使得半导体芯片的耦合输出效率有利地提高。

[0033] 在一个改进形式中,半导体本体基于GaN。N型掺杂的GaN相对于TCO具有良好的电接触,其中借助由TCO和银的组合制成的n型接触层,能够实现相对于由GaN制成的半导体本体的高反射的欧姆接触。

附图说明

[0034] 其他的优点和有利的改进形式从下面结合图1至图3描述的实施例中得出。附图示出:

[0035] 图1示出半导体芯片的一个实施例的示意横截面图,

[0036] 图2示出根据图1的实施例的半导体芯片的示意局部图,以及

[0037] 图3示出根据现有技术的n型接触层的示意局部图。

具体实施方式

[0038] 在图中,相同的或起相同作用的组成部分能够相应地设有相同的附图标记。所示出的组成部分和其相互间的尺寸关系不能够视作是按照比例的。更确切地说,为了更好的可视性和/或为了更好的理解能够以夸张厚的或夸张大的尺寸示出个别组成部分,例如层、结构、部件以及区域。

[0039] 在图3中示出根据现有技术的半导体芯片的部分的横截面图。所述部分尤其示出半导体芯片的n型接触。半导体芯片具有n型侧1b,所述n型侧由半导体层形成。为了接触半导体芯片的n型侧而使用n型接触层2b、2c。n型接触层由银层2b和钛层2c组成,其中钛层2c设置在半导体芯片的n型侧1b和银层2b之间。

[0040] 因此,银层2b不与半导体芯片的n型侧直接接触。钛层2c产生与半导体芯片的n型侧1b的良好电接触。然而,这种钛层2c具有对在可见光谱范围中的辐射的差的反射率,使得辐射至少部分地由钛层吸收,这不利地引起辐射效率损耗。此外,钛层2c不利地是非常活性的并且是易于氧化的。

[0041] 银层2b对可见光谱范围中的辐射而言是良好的反射体,但是具有对半导体芯片的n型侧1b的不利地高的接触电阻。

[0042] 钛层2c由于能吸收的特性通常构成为非常薄的。例如,这种钛层2c具有至多为0.5nm的厚度。

[0043] 这种通常所应用的包括钛层2c和银层2b的n型接触层因此具有多个缺点,例如吸收效应、不利的易氧化性以及不利的接触电阻。

[0044] 为了实现避免了所述缺点的n型接触层,通常应用的钛层由TCO层来替换。后面设置有银层的TCO层在对可见光谱范围中的辐射的反射率良好的同时具有低的吸收。这种TCO层此外与通常的钛层相比能够明显更好地受到控制、良好地附着、得出良好的电接触并且是明显不太活性的。

[0045] 在图1中示出半导体芯片10的示意横截面图,所述半导体芯片具有半导体本体1。半导体本体1具有n型侧1b、p型侧1c和有源层1a,所述有源层设置在n型侧1b和p型侧1c之间。半导体本体优选基于GaN。例如,半导体本体1是发射辐射的半导体芯片,优选为LED,尤其优选为薄膜LED。

[0046] 半导体本体1具有倾斜的侧面11。尤其将倾斜的侧面理解成,侧面以位于 0° 和 90° 之间的角度相对于半导体本体的层的横向延展构成。优选地,角度位于 45° 和 90° 之间。通过倾斜的侧面11,能够有利地改进由有源层所发射的辐射的耦合输出效率,因为减少了全反射效应。

[0047] 半导体本体1为了p型接触而具有p型接触层21a并且为了n型接触而具有n型接触层2。p型接触层21a设为用于电接触半导体本体1的p型侧1c。n型接触层2设为用于电接触半导体本体1的n型侧1b。

[0048] 在本实施例中,将p型接触层21a和n型接触层2设置在半导体本体1的同一侧上。尤其地,将接触层21a、2设置在半导体本体1的p型侧1c上。在此,p型接触层21a直接邻接于半导体本体1的p型侧1c。在p型接触层21a的背离半导体本体1的侧上能够设置有电流扩展层21b,所述电流扩展层能够实现半导体本体1的p型侧1c上的均匀的电导和电流扩展。

[0049] 在p型接触层21a的背离半导体本体1的侧和电流扩展层21b上设置有电绝缘层3。电绝缘层例如是钝化层。在电绝缘层3的背离p型接触层21a的侧上设置有n型接触层2。电绝缘层3在此将p型接触层21a与n型接触层2完全分离。电绝缘层3因此设置在p型接触层21a和n型接触层2之间。

[0050] n型接触层2借助于穿通部22穿过p型接触层21a并且穿过半导体本体1的p型侧1c被引导到半导体芯片的n型侧1b。穿通部22在此延伸穿过p型接触层21a、p型侧1c和有源层1a并且在半导体本体1的n型侧1b中终止。在此,n型接触层21a、p型侧1c和有源层1a完全被穿通部22穿透。

[0051] 半导体芯片10也能够具有多个穿通部22,所述穿通部根据所期望的电流输入设置在半导体本体1的n型侧1b中。

[0052] n型接触层2包含实施成银层的镜面层和TCO层,其中银层设置在电绝缘层3的背离p型接触层21a的侧上以及设置在穿通部22或多个穿通部中。n型接触层2的TCO层设置在银层和半导体本体1的n型侧1b的半导体材料之间。尤其地,TCO层设置在穿通部22上。

[0053] TCO层在图1中由于概览性没有示出。然而,n型接触层2与半导体本体1的n型侧1b的n型接触在图2中详细示出并阐明。

[0054] 为了电绝缘,穿通部22或多个穿通部由电绝缘层3覆层,使得n型接触层2和p型接触层21a以及p型侧1c不能够在任何部位上直接接触或者相互间形成电接触。

[0055] 因此,半导体芯片1的电接触在半导体本体1的p型侧上单侧地进行。在半导体本体1的与p型侧1c相对置的侧上形成辐射出射侧,由有源层所发射的辐射的大部分穿过所述辐射出射侧从半导体芯片10耦合输出。在n型接触层2的背离半导体本体1的侧上设置有阻挡

层4,所述阻挡层阻止半导体芯片10的各个层之间的离子扩散。

[0056] 在阻挡层4的背离n型接触层2的侧上设置有焊料层5,借助于所述焊料层将半导体芯片10施加并且固定在载体6上。载体6在背离半导体本体1的侧上具有电连接层7,通过所述电连接层能够建立对n型接触层2的电连接。

[0057] 在图1的实施例中指出的部分A在图2中放大示出。图2尤其示出在半导体本体1的n型侧1b和n型接触层2之间的电连接。所述部分位于穿通部22的区域中。

[0058] 半导体本体1的在n型侧1b和n型接触层2之间的n型接触经由TCO层2a来形成。因此,n型接触层2由银层2b和TCO层2a组成,其中银层2b没有与半导体材料直接接触。在银层2b和n型侧1b的半导体材料之间设置有TCO层2a。

[0059] TCO层2a例如具有ZnO和ITO。替选地或补充地,例如能够使用氧化锡、氧化锌铝、氧化锡铝、氧化锡镓、氧化锌镓或氧化锌铟。在此,TCO层2a的厚度D大于0.5nm。优选地,TCO层2a的厚度D位于15nm和25nm(其中包括边界值)之间的范围中,例如为20nm。

[0060] 通常所应用的厚度至多为0.5nm的薄的钛层因此由透明的能导电的氧化物的明显更厚的层所替代,所述层连同设置在其后的银层共同实现改进的反射率和改进的欧姆接触。这种厚的TCO层与通常应用的薄的钛层相比能够明显更好地受到控制。此外,TCO层有利地良好地附着,得出良好的电接触并且与通常的钛层相比是明显不那么活性的。

[0061] 借助于如所描述的那样构成的由银层和TCO层制成的n型接触层,能够有利地在半导体芯片的n型侧上确保高反射的欧姆接触。

[0062] 与所描述的实施例不同,替代银层3b也能够使用具有其他的材料组成成分的镜面层。尤其地,优选为金属的镜面层能够包含在概论部分中结合镜面层提出的材料中的一种材料或者由一种这种材料制成。

[0063] 此外,所描述的n型接触层也适合于接触其他的几何结构的半导体芯片的n型侧。例如,半导体芯片能够构成为下述半导体芯片,在所述半导体芯片中,p型接触层和n型接触层设置在有源层的相对置的侧上。这种半导体芯片尤其能够构成为薄膜半导体芯片或构成为具有生长衬底的半导体芯片。

[0064] 所述申请要求德国专利申请102011102376.7和102011109942.9的优先权,其公开内容通过参引的方式并入本文。

[0065] 本发明不局限于根据实施例进行的描述。而是本发明包括每个新特征以及特征的任意的组合,这尤其是包含在权利要求中的特征的任意的组合,即使所述特征或所述组合自身在权利要求中或实施例中并没有直接说明时也如此。

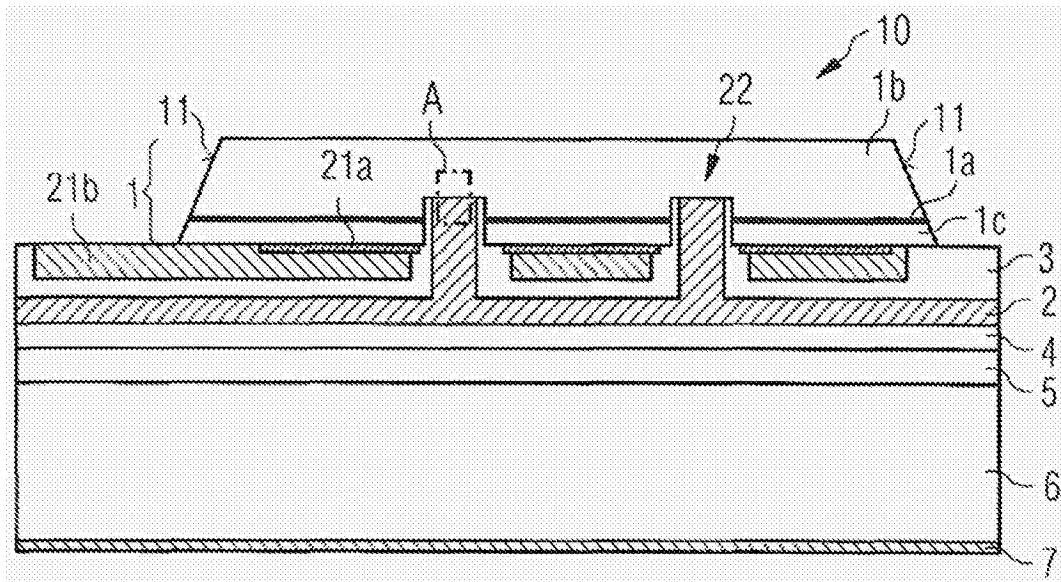


图1

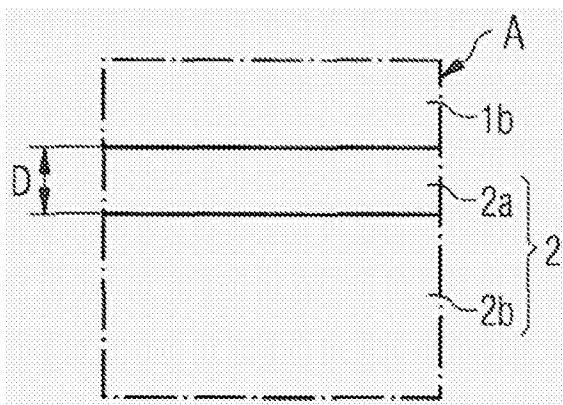


图2

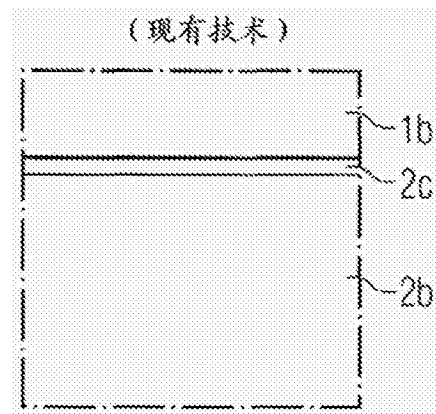


图3