

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4373065号  
(P4373065)

(45) 発行日 平成21年11月25日(2009.11.25)

(24) 登録日 平成21年9月11日(2009.9.11)

(51) Int.Cl.	F I	
HO 1 L 21/82 (2006.01)	HO 1 L 21/82	W
HO 1 L 21/768 (2006.01)	HO 1 L 21/90	A
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88	Z
HO 1 L 23/52 (2006.01)	HO 1 L 27/08	1 O 2 D
HO 1 L 21/8234 (2006.01)	HO 1 L 27/04	D
請求項の数 19 (全 34 頁) 最終頁に続く		

(21) 出願番号	特願2002-274466 (P2002-274466)	(73) 特許権者	000005108
(22) 出願日	平成14年9月20日(2002.9.20)		株式会社日立製作所
(65) 公開番号	特開2004-111771 (P2004-111771A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成16年4月8日(2004.4.8)	(74) 代理人	100080001
審査請求日	平成17年6月2日(2005.6.2)		弁理士 筒井 大和
		(72) 発明者	村田 知生
			東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
		(72) 発明者	矢吹 忍
			東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
		(72) 発明者	山下 毅雄
			東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
最終頁に続く			

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

- (a) 第1方向に延在し、互いに隣り合う第1および第2配線と、
  - (b) 前記第1配線と第1接続部を介して接続され、前記第1方向と直交する線上に沿って、前記第2配線と逆側の方向に延在し、前記第1接続部から前記第2配線の方向に突出した第1余剰部分を有する第3配線と、
  - (c) 前記第2配線と第2接続部を介して接続され、前記線上に沿って、前記第1配線と逆側の方向に延在し、前記第2接続部から前記第1配線の方向に突出した第2余剰部分を有する第4配線と、
- を配置する際、
- (d) 前記第2接続部の中心を前記第2配線の中心から前記第1配線と逆側の方向にずらして配置し、
  - (e) 前記第2接続部の下部に前記第2配線の突出部を配置すること、
- を特徴とする半導体装置の製造方法。

【請求項2】

前記第1配線の中心と前記第2配線の中心間は、配線を配置する際の単位距離であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記半導体装置の製造方法は、前記第3配線と平行に第5配線が配置されることを特徴とする請求項1または2記載の半導体装置の製造方法。

## 【請求項 4】

前記第 3 配線と前記第 5 配線との距離は、前記第 1 配線と前記第 2 配線間の距離より小さいことを特徴とする請求項 3 記載の半導体装置の製造方法。

## 【請求項 5】

前記第 1 配線と前記第 2 配線間の距離は、最小加工寸法より大きいことを特徴とする請求項 3 または 4 記載の半導体装置の製造方法。

## 【請求項 6】

前記第 1 および第 2 余剰部分の幅は、

前記第 3 配線の中心と前記第 5 配線の中心との距離  $P_1$  と前記第 1 配線の中心と前記第 2 配線の中心との距離  $P_0$  との差 ( $P_0 - P_1$ ) より小さく、

前記第 3 配線の中心と前記第 5 配線の中心との距離  $P_1$  と前記第 1 配線の中心と前記第 2 配線の中心との距離  $P_0$  との差の  $1/2$  より大きい、  
ことを特徴とする請求項 3 ~ 5 のいずれか一項に記載の半導体装置の製造方法。

## 【請求項 7】

(a) 第 1 方向に延在し、互いに隣り合う第 1 および第 2 配線を配置し、

(b) 前記第 1 配線と第 1 接続部を介して接続され、前記第 1 方向と直交する第 2 方向であって、前記第 2 配線と逆側の方向に延在し、前記第 1 接続部から前記第 2 配線の方向に突出した第 1 余剰部分を有する第 3 配線と、

(c) 前記第 2 配線と第 2 接続部を介して接続され、前記第 2 方向であって、前記第 1 配線と逆側の方向に延在し、前記第 2 接続部から前記第 1 配線の方向に突出した第 2 余剰部分を有する第 4 配線と、を配置し、

(d) 前記第 3 配線および第 4 配線が同一線上に位置し、前記第 1 の余剰部分と前記第 2 の余剰部分との距離が所定の距離以下であるか否かを判定し、

(e) 前記所定の距離以下である場合には、

(f) 前記第 2 接続部の中心を前記第 2 配線の中心から前記第 1 配線と逆側の方向にずらして配置し、

(g) 前記第 2 接続部の下部に前記第 2 配線の突出部を配置すること、  
を特徴とする半導体装置の製造方法。

## 【請求項 8】

前記第 1 配線の中心と前記第 2 配線の中心間は、配線を配置する際の単位距離であることを特徴とする請求項 7 記載の半導体装置の製造方法。

## 【請求項 9】

前記半導体装置の製造方法は、前記第 3 配線と平行に第 5 配線が配置されることを特徴とする請求項 7 または 8 記載の半導体装置の製造方法。

## 【請求項 10】

前記第 3 配線と前記第 5 配線との距離は、前記第 1 配線と前記第 2 配線間の距離より小さいことを特徴とする請求項 9 記載の半導体装置の製造方法。

## 【請求項 11】

前記第 1 配線と前記第 2 配線間の距離は、最小加工寸法より大きいことを特徴とする請求項 9 または 10 記載の半導体装置の製造方法。

## 【請求項 12】

前記第 1 および第 2 余剰部分の幅は、

前記第 3 配線の中心と前記第 5 配線の中心との距離  $P_1$  と前記第 1 配線の中心と前記第 2 配線の中心との距離  $P_0$  との差 ( $P_0 - P_1$ ) より小さく、

前記第 3 配線の中心と前記第 5 配線の中心との距離  $P_1$  と前記第 1 配線の中心と前記第 2 配線の中心との距離  $P_0$  との差の  $1/2$  より大きい、  
ことを特徴とする請求項 9 ~ 11 のいずれか一項に記載の半導体装置の製造方法。

## 【請求項 13】

(a) 第 1 方向に延在し、互いに隣り合う第 1 および第 2 配線と、

(b) 前記第 1 配線と第 1 接続部を介して接続され、前記第 1 方向と直交する第 2 方向

に沿って、前記第 2 配線と逆側の方向に延在し、前記第 1 接続部から前記第 2 配線の方向に突出した第 1 余剰部分を有する第 3 配線と、

(c) 前記第 2 配線と第 2 接続部を介して接続され、前記第 2 方向に沿って、前記第 1 配線と逆側の方向に延在し、前記第 2 接続部から前記第 1 配線の方向に突出した第 2 余剰部分を有する第 4 配線と、

を有する半導体装置であって、

(d) 前記第 2 接続部は、その中心が前記第 2 配線の中心から前記第 1 配線と逆側の方向にずれて形成され、

(e) 前記第 2 接続部の下部には、前記第 2 配線の突出部が形成されていること、  
を特徴とする半導体装置。

10

【請求項 14】

前記第 1 配線の中心と前記第 2 配線の中心間の距離は、配線を配置する際の単位距離であることを特徴とする請求項 13 記載の半導体装置。

【請求項 15】

前記半導体装置は、前記第 3 配線と平行に形成された第 5 配線を有することを特徴とする請求項 13 または 14 記載の半導体装置。

【請求項 16】

前記第 3 配線と前記第 5 配線との距離は、前記第 1 配線と前記第 2 配線間の距離より小さいことを特徴とする請求項 15 記載の半導体装置。

【請求項 17】

前記第 1 配線と前記第 2 配線間の距離は、最小加工寸法より大きいことを特徴とする請求項 15 または 16 記載の半導体装置。

20

【請求項 18】

前記第 1 および第 2 余剰部分の幅は、

前記第 3 配線の中心と前記第 5 配線の中心との距離  $P_1$  と前記第 1 配線の中心と前記第 2 配線の中心との距離  $P_0$  との差  $(P_0 - P_1)$  より小さく、

前記第 3 配線の中心と前記第 5 配線の中心との距離  $P_1$  と前記第 1 配線の中心と前記第 2 配線の中心との距離  $P_0$  との差の  $1/2$  より大きい、

ことを特徴とする請求項 15 ~ 17 のいずれか一項に記載の半導体装置。

【請求項 19】

30

(a) 第 1 方向に延在し、少なくとも 1 つ以上の突出部を有する第 1 配線と、

(b) 前記第 1 配線と第 1 接続部を介して接続され、前記第 1 接続部から前記第 1 方向と直交する第 2 方向に沿って延在し、且つ、前記第 2 方向と逆方向に前記第 1 接続部から突出した第 1 余剰部分を有する第 2 配線と、

(c) 前記第 1 配線と第 2 接続部を介して接続され、前記第 2 接続部から前記第 1 方向と直交する第 2 方向に沿って延在し、且つ、前記第 2 方向と逆方向に前記第 2 接続部から突出した第 2 余剰部分を有する第 3 配線と、

を有する半導体装置であって、

前記第 1 接続部は前記第 1 配線上に形成され、前記第 2 接続部は前記第 1 配線上および前記突出部上に形成されていることを特徴とする半導体装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、異層間の配線の接続部に適用して有効な技術に関するものである。

【0002】

【従来の技術】

半導体素子と配線間、または異なる層の配線間は、接続孔内に形成された導電性膜によって接続される。

【0003】

50

しかしながら、半導体装置の微細化に伴い、以下に示す理由により、リザーバと呼ばれる部位を接続部上の上層配線に設ける技術が検討されている。

【0004】

このリザーバとは、配線の一部であって、主たる電流経路となる配線部から突出した突出部（余剰部分、余裕部分）をいう。

【0005】

このリザーバの部分は、電流経路としては不要な部分であるが、エレクトロマイグレーション（EM）耐性を向上させるために形成される。

【0006】

このエレクトロマイグレーションとは、上層配線と下層配線間に接続部を介して電流が流れる際、配線や接続部を構成する金属原子が移動する現象をいい、その結果、配線や接続部内にボイド（空孔）が生じ、断線や接続抵抗の上昇などの接続不良を起こす。

【0007】

しかしながら、リザーバが存在すると、リザーバが金属原子の供給源となってボイドの発生率を低減し、エレクトロマイグレーション耐性を向上させることができる。

【0008】

また、リザーバが存在することにより、配線と接続部のパターンの合わせ余裕を確保でき、マスクずれが生じた場合であっても配線と接続部との導通を図ることができる。

【0009】

例えば、下記特許文献1（特開2001-44196号公報）には、配線の上部または下部に金属のリザーバ5aを設けることで、エレクトロマイグレーションによるボイドの発生を抑制する技術が開示されている。

【0010】

また、例えば、下記特許文献2（特開平11-186433号公報）には、エレクトロマイグレーション（EM）耐性を向上させるリザーバ部についての記載がある。

【0011】

【特許文献1】

特開2001-44196号公報

【0012】

【特許文献2】

特開平11-186433号公報

【0013】

【発明が解決しようとする課題】

本発明者は、半導体装置の研究・開発に従事しており、リザーバ部を設けることでEM耐性を向上させることを検討している。

【0014】

一方、各層の配線やこれらの間の接続部のパターンは、例えば、自動配線ツール（CAD（computer aided design）システム）を用いて配置（レイアウト）される。この際、配線や接続部のパターンが、高密度に配置されるよう最適化される。

【0015】

しかしながら、リザーバを設けない場合には配線エラーとならないレイアウトにおいて、リザーバを設けた場合には、配線ルールエラー（バイオレーション）となり、追って詳細に説明するように配線効率（配線の実装効率）が低下するといった問題が生じた。

【0016】

本発明の目的は、配線の実装効率を向上することにある。また、配線間の接続精度を向上することにある。

【0017】

また、本発明の他の目的は、半導体装置の微細化もしくは高密度化を図ることにある。また、半導体装置の高性能化を図ることにある。

【0018】

10

20

30

40

50

本発明の目的ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0020】

(1) 本発明の半導体装置の製造方法は、(a) 第1方向に延在する第1配線と、(b) 前記第1配線と接続部を介して接続され、前記第1方向と直交する第2方向に延在する第2配線であって、前記接続部から前記第2方向と逆向きの方向に突出した余剰部分を有する第2配線と、を配置する際、(c) 前記接続部の中心を前記第1配線の中心から前記第2方向にずらして配置し、(d) 前記接続部の下部に前記第1配線の突出部を配置するものである。

10

【0021】

(2) 本発明の半導体装置は、(a) 第1方向に延在する第1配線と、(b) 前記第1配線と接続部を介して接続され、前記第1方向と直交する第2方向に延在する第2配線であって、前記第2方向と逆向きの方向に突出した第1余剰部分を有する第2配線と、を有する半導体装置であって、(c) 前記接続部は、その中心が前記第1配線の中心から前記第2方向にずれて形成され、(d) 前記接続部の下部には、前記前記第1配線の突出部が形成されているものである。

20

【0022】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0023】

(実施の形態1)

本実施の形態の半導体装置の配線等の配置方法を図面を参照しながら説明する。

【0024】

図1は、第0層配線M0a、M0b、第1層配線M1a~M1eおよび第0層配線と第1層配線との接続部TH0a、TH0b等の平面パターンを示す平面図である。また、図2は、図1のレイアウトのうち、第0層配線M0a、M0bの平面パターンを示す図であり、図3は、図1のA-A'部に対応する要部断面図である。なお、配線間には、層間絶縁膜が存在する。

30

【0025】

図1~図3を参照しながら、本実施の形態の半導体装置の配線等の配置状態を示す。

【0026】

第0層配線M0aおよびM0bは、Y方向に延在するグリッド(レイアウトライン、チャンネル)y1、y2に沿って配置されている。このグリッドとは、X方向もしくはY方向に等間隔で規定されたライン(格子)であり、各層の最小配線間隔を規定するものである。

40

【0027】

また、第1層配線M1aおよびM1bは、それぞれ第0層配線M0aおよびM0bと接続部TH0aおよびTH0bを介して電氣的に接続されている。この第1層配線M1aおよびM1bは、X方向に延在するグリッドx1に沿って配置されている。

【0028】

即ち、第1層配線M1aは、接続部TH0a上から図中の左側(M0bと逆側の方向)に延在し、第1層配線M1bは、接続部TH0b上から図中の右側(M0aと逆側の方向)に延在する。

【0029】

また、第1層配線M1aは、接続部TH0a上から図中の右側に突出したリザーバ(余剰

50

部分、余裕部分) R aを有し、第1層配線M 1 bは、接続部T H 0 b上から図中の左側に突出したりザーバR bを有する。

【0030】

また、距離P 0(拡散ピッチ)は、グリッドy 1とy 2間の距離である。即ち、第0層配線M 0間のスペースS 0と第0層配線の幅W 0との和である。また、距離P 1は、グリッドx 2とx 3(x 1とx 2)間距離で、第1層配線間のスペースS 1と第1層配線の幅W 1との和である。この距離P 0とP 1は、 $P 1 < P 0$ の関係にある。

【0031】

図7は、第0層配線M 0の下層にM I S F E T (Metal Insulator Semiconductor Field Effect Transistor)を形成した場合の要部断面図であり、図8は、第0層配線M 0とM I S F E Tのゲート電極F Gとのパターンの関係を示す平面図である。図8のB - B'方向の断面が図7に対応している。

10

【0032】

例えば、図7および図8に示すように、第0層配線M 0の下層にM I S F E Tが形成され、第0層配線M 0間にゲート電極F GをY方向に配置し、M I S F E Tのソース、ドレイン領域S / Dと第0層配線M 0とを接続部L C N Tを介して接続する場合、ゲート電極F Gと接続部L C N Tとのショート(短絡)を防止するため、これら間にある程度の余裕を設ける必要がある。M I S F E Tの微細化は進んでいるが、第0層配線M 0の間隔を最小加工寸法(配線幅 = 配線間隔 = F)とすることができない場合が多い。これに対して、第1層配線M 1は、下層の素子等のレイアウトの影響を受けないため、最小加工寸法で配置することが可能となる。

20

【0033】

このように、第0層配線間(グリッドy間)が第1層配線間(グリッドx間)より大きくなる( $P 1 < P 0$ )場合が多い。

【0034】

図7に各部位の寸法の一例を示す。図7に示すように、P 0は、 $0.42 \mu\text{m}$ 、S 0は、 $0.24 \mu\text{m}$ 、W 0は、 $0.18 \mu\text{m}$ で、リザーバ長L r e sは、 $0.06 \mu\text{m}$ である。リザーバ長とは、接続部T H 0のリザーバ側の端部からリザーバの端部までの距離をいう。また、S 1およびW 1は、例えば $0.18 \mu\text{m}$ で、P 1は、 $0.36 \mu\text{m}$ である。また、図7に示すように、第1層配線M 1の上部には、層間絶縁膜を介して第0層配線M 0と同じ方向(Y方向)に延在する第2層配線M 2を配置してもよく、この第2層配線M 2の幅および間隔は、例えば $0.18 \mu\text{m}$ で、この数値は、例えば、配線間に許容される最小の寸法である。第1層配線M 1と第2層配線M 2は、例えば接続部T H 1を介して接続される。

30

【0035】

なお、図7においては、M I S F E Tのソース、ドレイン領域S / Dと第0層配線M 0とを接続部L C N Tを介して接続しているが、図38に示すように、ゲート電極F Gを第0層配線M 0と接続部L C N Tを介して接続してもよい。ゲート電極上の接続部をF C N Tと示す場合もあるが、便宜上ここではL C N Tと示す。

【0036】

図38の左図は、ゲート電極F Gに突出部(配線部)を設け、この突出部を接続部L C N Tを介して第0層配線M 0と接続する場合であり、図38の右図は、ゲート電極F G上に接続部L C N Tを設け、さらにその上部に第0層配線M 0を配置した場合である。

40

【0037】

このように、第0層配線M 0は、M I S F E Tのソース、ドレイン領域S / D上のみならず、ゲート電極F G上に配置されることもある。このように配置することで、ゲート電極F Gへの給電経路を短縮することができる。

【0038】

ここで、図1等に示すように、第0層配線M 0 b上の接続部T H 0 bは、その中心がグリッドy 2とx 1の交点から距離L 1(図7の場合、 $0.06 \mu\text{m}$ )だけ右側にずれて

50

いる。一方、第0層配線M0a上の接続部TH0aは、その中心がグリッドx1とy1の交点にある(図1)。

【0039】

また、第0層配線M0b上の接続部TH0b下には、第0層配線M0bのノッチ(突出部、幅広部)Nbが形成されている(図2参照)。すなわち、接続部TH0bは第0層配線M0b上およびノッチNb上に位置し、第1配線層M1bと接続するように形成されている。このノッチNbのX方向の長さは、距離L1と同じとすることが好ましい。例えば、図7においては、 $0.06\mu\text{m}$ である。なお、第0層配線M0は、配線間に許容される最小の寸法以上の間隔をおいて配置されているため、ノッチを設けても必要な配線間隔は確保することができる。

10

【0040】

このように、本実施の形態においては、隣合うグリッド上に配置された第0層配線上に、同一線上に互いに逆方向に延在する第1層配線を配置する際、第0層配線上の接続部をその上部の第1層配線が延在する方向にずらして配置し、さらに、ずらした接続部下の第0層配線にノッチを設けた。

【0041】

その結果、第1層配線にリザーバを設けた場合であっても、リザーバRaとRbもしくはRdとReのような各リザーバ間の間隔を確保できる。すなわち、同一グリッド上に配置された第1層配線のX方向の間隔を確保できるため配線密度を高めることが可能となり、配線の実装効率を向上させることができる。

20

【0042】

例えば、図4に示すように、第0層配線M0b上の接続部TH0bの中心を、グリッドy2とx1の交点に配置した場合には、第1層配線のX方向の間隔が、図1の場合より小さくなり、この間が規定の距離以下となると配線ルールエラー(space error)となる。図5は、図4のレイアウトのうち、第0層配線M0a、M0bの平面パターンを示す図であり、図6は、図4のC-C'部に対応する要部断面図である。

【0043】

配線ルールエラーが生じた場合には、第1層配線M1bは、他のグリッド、例えば、グリッドx2に移動(move)せざるを得ない(図4)。これに伴って、第1層配線M1cは、グリッドx2を避けて配置せざるを得なくなり、配線配置の自由度が大きく失われる。たとえばこの場合、他のグリッド(例えばグリッドx3)上に移動するというような手段をとらなければならない、これらの配線(M1a~M1c)の配置に必要なグリッド数の増大を招き、実効面積が大きくなる。即ち、配線の実効効率が低下する。

30

【0044】

これに対し、本実施の形態の配線等の配置方法によれば、前述した通り、リザーバを設けた場合であっても、第1層配線M1cの領域を、グリッドx2上に確保することができる。すなわち、同一グリッド上に配置された第1層配線のX方向の間隔を確保できるため、Y方向で隣り合うグリッドに第1層配線M1cのような他の配線(Another net)を配置することが可能となる。これにより配線の自由度を向上させることができ、また、配線の密度・実装効率を向上させることができる。その結果、半導体装置の微細化(チップの縮小化)や高集積化を図ることができる。この第1層配線M1c(Another net)は、第0層配線M0a、M0bには接続されない配線で、例えばX方向に離隔して配置されている他の第0層配線M0又はX方向に離隔した位置で、第1層配線M1の上層の第2層配線M2に電氣的に接続される。

40

【0045】

追って詳細に説明するが、半導体装置は、複数の素子間が多層の配線で接続されており、例えば、単位セル当たり1グリッドのセル面積の縮小化であっても、半導体装置全体においては、大きな効果を得ることができる。

【0046】

また、各素子間を接続する配線の長さを短縮でき、半導体装置の高速駆動を実現できる。

50

また、配線の長さを短縮することにより、配線抵抗を小さくでき、半導体装置の低消費電力化を図ることができる。このように、半導体装置の信頼性の向上を図ることができる。

【0047】

また、図1等に示した通り、接続部TH0a、TH0b上の第1層配線M1a、M1bに、リザーバRa、Rbを設けたので、配線や接続部を構成する金属原子が移動しても、リザーバが金属原子の供給源となってボイドの発生率を低減し、エレクトロマイグレーション(EM)耐性を向上させる。また、配線と接続部のパターンの合わせ余裕を確保でき、マスクずれが生じた場合であっても配線と接続部との導通を図ることができる。このように、配線間の接続精度を向上することができ、半導体装置の信頼性の向上を図ることができる。

10

【0048】

次に、リザーバ長Lresについて説明する。リザーバ長は、EM耐性の向上のためにはできるだけ長い方が好ましいが、あまり長くすると、配線の実装効率が低下してしまう。図9は、リザーバ長Lresと接続部THの配置率との関係を示す図表である。

【0049】

例えば、図9に示すように、Y方向に並んで延在する6つの第0層配線M0上に、接続部THを介して第1層配線M1を配置する場合を考える。

【0050】

ケース1に示すように、リザーバ長Lresを、距離P0と距離P1との差の1/2以下( $Lres < (P0 - P1) / 2$ )とした場合、同じグリッドx上に並んで接続部THを配置することが可能である。即ち、接続部配置率(TH配置率)は、100%となる。なお、第0層配線M0、第1層配線M1と接続部THの配線幅は同じで、この幅および第1層配線M1間は、最小加工寸法であるとする。

20

【0051】

ケース2に示すように、リザーバ長Lresを、距離P0と距離P1との差の1/2より大きく、距離P0と距離P1との差以下( $(P0 - P1) / 2 < Lres < (P0 - P1)$ )とした場合、同じグリッドx上の各グリッドyとの交点には、接続部THは連続して3つしか配置できなくなり、次のグリッドy上には配置することができない。このケース2をケース1と比較すると、その接続部配置率(TH配置率)は75%となる。なお、この場合第0層配線M0と接続部THの中心をずらす必要がある。しかしながら、ケース1と比較してリザーバ長を長くできるため、EM耐性を向上することが可能となり、配線の信頼性を高めることができる。

30

【0052】

ケース3に示すように、リザーバ長Lresを、距離P0と距離P1との差より大きく、距離P0と距離P1との差の2倍以下( $(P0 - P1) < Lres < 2(P0 - P1)$ )とした場合、配線のEM耐性を向上することができるが、同じグリッドx上の各グリッドyとの交点には、接続部THは連続して2つしか配置できなくなり、次のグリッドy上には配置することができない。その結果、ケース1と比較すると接続部配置率は66.7%となる。なお、この場合も第0層配線M0と接続部THの中心をずらす必要がある。

【0053】

なお、リザーバ長Lresを、距離P0と距離P1との差の1/2より大きく( $(P0 - P1) / 2 < Lres$ )し、第0層配線M0と接続部THの中心をずらさない場合は、接続部配置率は、50%となる。

40

【0054】

従って、ケース1~3のいずれの場合も、接続部配置率が向上するが、ケース1の場合には、リザーバ長が相対的に短いためEM耐性が低下する。また、ケース3の場合には、配線の中心部と接続部とのずれが大きくなるためノッチが大きくなり、配線配置の自由度が大きく失われる。よって、同一グリッドxを避けて第1層配線M1を配置せざるを得なくなり、配線の実効面積が劣化する恐れがある。また、配線経路が複雑となり、信号伝達の遅延を引き起こす恐れがある。

50

## 【 0 0 5 5 】

従って、ケース 2、即ち、リザーバ長  $L_{res}$  としては、距離  $P_0$  と距離  $P_1$  との差の  $1/2$  より大きく、距離  $P_0$  と距離  $P_1$  との差以下 ( $(P_0 - P_1) / 2 < L_{res} < (P_0 - P_1)$ ) とするのが好ましいと考えられる。

## 【 0 0 5 6 】

また、リザーバ長  $L_{res}$  の定義をケース 1 にした場合においても、第 0 層配線  $M_0$  にノッチ  $N$  を設け、接続部  $TH$  の配置を第 0 層配線  $M_0$  の中心とずらして形成してもよい。すなわち、ケース 2 およびケース 3 のようにノッチ  $N$  を設け、そのノッチ  $N$  上に接続部  $TH$  を形成することが可能である。同様にリザーバ長  $L_{res}$  の定義をケース 2 にした場合においても、ケース 3 のようなより長いノッチ  $N$  上に接続部  $TH$  を形成することも可能である。

10

## 【 0 0 5 7 】

また、これらのケース 1 ~ 3 を各配線層の配線密度の程度によってそれぞれ組み合わせて用いてもよい。すなわち、配線を密に配置する必要が無いとき、もしくは、配線の信頼性を確保したい場合には、ケース 3 の方式に従って配置されている配線領域があってもよいし、逆に配線密度を高くして配置しなければならない場合にはケース 1 の方式(リザーバ長定義と配置方法)を用いてもよい。

## 【 0 0 5 8 】

なお、前述の例では、例えば、グリッド  $x_1$  上の接続部  $TH_0a$ 、 $TH_0b$  のうち、 $TH_0b$  の中心を右側にずらしたが、 $TH_0a$  の中心を左側にずらしてもよい。

20

## 【 0 0 5 9 】

このように、同じグリッド  $y$  上に配置される第 1 層配線下の接続部のうち、その中心を左側にずらす場合の例を、第 1 層配線  $M_1d$  部を例に説明する(図 1 参照)。

## 【 0 0 6 0 】

即ち、グリッド  $x_3$  に沿って配置される第 1 層配線  $M_1d$  および  $M_1e$  は、それぞれ第 0 層配線  $M_0a$  および  $M_0b$  と接続部  $TH_0d$  および  $TH_0e$  を介して電氣的に接続されている。

## 【 0 0 6 1 】

即ち、第 1 層配線  $M_1d$  は、接続部  $TH_0d$  上から図中の左側に延在し、第 1 層配線  $M_1e$  は、接続部  $TH_0e$  上から図中の右側に延在する。

30

## 【 0 0 6 2 】

また、第 1 層配線  $M_1d$  は、接続部  $TH_0d$  上から図中の右側に突出したりザーバ  $R_d$  を有し、第 1 層配線  $M_1e$  は、接続部  $TH_0e$  上から図中の左側に突出したりザーバ  $R_e$  を有する。なお、距離  $P_0$  と  $P_1$  は、 $P_1 < P_0$  の関係にある。

## 【 0 0 6 3 】

ここで、第 0 層配線  $M_0b$  上の接続部  $TH_0d$  は、その中心がグリッド  $y_1$  と  $x_3$  の交点から距離  $L_1$  だけ左側にずれている。一方、第 0 層配線  $M_0a$  上の接続部  $TH_0e$  は、その中心がグリッド  $y_2$  と  $x_3$  の交点にある。

## 【 0 0 6 4 】

また、第 0 層配線  $M_0a$  上の接続部  $TH_0d$  下には、第 0 層配線  $M_0a$  のノッチ  $N_d$  が形成されている(図 2 参照)。なお、第 0 層配線  $M_0$  は、最小加工寸法で配置されていないため、ノッチを設けても必要な配線間隔は確保することができる。

40

## 【 0 0 6 5 】

このように、接続部  $TH_0d$  の中心を左側にずらし、第 0 層配線  $M_0a$  に、ノッチ  $N_d$  を設けたので、第 1 層配線 ( $M_1d$ 、 $M_1e$ ) にリザーバ  $R_d$ 、 $R_e$  を設けた場合であっても、これらの  $X$  方向の間隔を確保でき、配線の実装効率を向上させることができる。

## 【 0 0 6 6 】

(実施の形態 2)

半導体装置は、コンピュータを利用し設計される (CAD)。CAD は、LSI (Large Scale Integrated Circuit) を短期間に開発するためには必要不可欠なものとなっている

50

。このCADに使用するコンピュータシステム(CADシステム)は、CADツール群により構成され、各設計工程に応じて種々のCADツールが使用される。言い換えれば、CADツールは、特定目的用に開発されたソフトウェアである。

【0067】

従って、実施の形態1で説明した配線もCADツールを用いて自動的に配置することが可能である。

【0068】

以下、本実施の形態においては、実施の形態1で説明した配線のレイアウトを実現するためのCADツール(自動配置配線ツール)について説明する。なお、本実施の形態のCADツールを用いて配置される配線等の形状等は、実施の形態1において図1等を参照しながら説明したレイアウトと同様であり、ここでは、その詳細な説明を省略する。

10

【0069】

実施の形態1で説明したように、配線のレイアウトには種々の条件がある。a)第0層配線M0は、グリッドy上に配置する。b)第1層配線M1は、グリッドx上に配置する。c)第0層配線と第1層配線との接続部TH0は、グリッドxとグリッドyの交点に配置する。d)第1層配線M1には、リザーバを設ける。

【0070】

(1)まず、第0層配線M0上に接続部TH0および第1層配線M1を配置するモデル(M0モデル)について図10を参照しながら説明する。

【0071】

第0層配線M0a、M0bは、本CADツールの前段階の工程で最適配置されているものとする。

20

【0072】

この第0層配線M0a、M0bに、第1層配線M1a、M1bを最適配置する。ここでは、リザーバ長を考慮せず配置する。

【0073】

次いで、接続部TH0a、TH0bを第0層配線M0と第1層配線M1との交点に配置する。

【0074】

次いで、第1層配線M1にリザーバRa、Rbを追加し、これらのX方向の距離が所定の長さ以上であるかどうかを判断する。所定の長さとは、例えば、配線間に許容される最小の寸法である。

30

【0075】

所定の長さ以下の場合には、第1層配線M1下のいずれか一方の接続部TH0を第1層配線の延在方向にずらす。図10では、接続部TH0bを右側に距離L1だけずらしている。

【0076】

さらに、ずらした接続部下に第0層配線M0のノッチNを追加する。図10では、第0層配線M0bにノッチNbを追加している。

【0077】

なお、これらの工程を経ず、リザーバを含めた第1層配線M1をその下部の接続部TH0がグリッドの交点から第1層配線M1が延在する方向にずれて配置することを許容するプログラムを用いて第1層配線M1および接続部TH0等を配置してもよい。

40

【0078】

(2)次に、第0層配線M0上にずらして配置した接続部TH0およびその上部の端子部T(第1層配線M1の一部)を規定しておき、端子部Tを起点に第1層配線を配置するモデル(M1モデル)について図11を参照しながら説明する。

【0079】

即ち、グリッドy1、y2上に最適配置されている第0層配線M0a、M0b上の、グリッドx1との交点部の接続部TH0のうち一方を、その中心が前記交点部からX方向にず

50

れるよう配置する。図 1 1 では、接続部 T H 0 b を、距離 L 1 だけ右側にずらしてある。この接続部 T H 0 b 上に、接続部 T H 0 b の中心をずらした方向と逆側の方向にリザーバ R b を有する端子部 T b を配置する。さらに、ずらした端子部 T b 下の第 0 層配線 M 0 b にはノッチ N b を設ける。

【 0 0 8 0 】

また、他方の接続部 T H 0 a をグリッド x 1 との交点部に配置し、この接続部 T H 0 a 上に、接続部 T H 0 a 上から右側にリザーバ R a を有する端子部 T a を配置する。

【 0 0 8 1 】

この端子部 T a、T b の位置情報を基に、端子部 T からリザーバ R とは逆側の方向に第 1 層配線 M 1 が延在するよう第 1 層配線 M 1 を自動配置する。言い換えれば、端子部 T を起点に第 1 層配線 M 1 を最適配置する。

10

【 0 0 8 2 】

この M 1 モデルにおいては、接続部 T H 0 (端子部 T) の位置があらかじめ限定されるため、場合によっては、前記 M 0 モデルより配線の実装効率が低下する恐れがある。

【 0 0 8 3 】

しかしながら、この M 1 モデルにおいては、第 1 層配線 M 1 の配置条件が少なくなり配線設計の T A T (turn around time) を短縮することができる。

【 0 0 8 4 】

即ち、M 0 モデルにおいては、第 0 層配線 M 0 に対する接続部 T H 0 およびその上部の第 1 層配線 M 1 の配置の組み合わせを網羅的に行いながら配線設計(実装)を行う必要がある。

20

【 0 0 8 5 】

例えば、図 1 に示した場合においても、第 0 層配線 M 0 上の 3 交点に接続部 T H 0 を配置することが可能であり、設計の自由度が大きい分、最適配置の確定に時間がかかる。特に、M 0 モデルにおいて、接続部 T H 0 をグリッドの交点に配置するという条件を外し、グリッドの交点からずれて配置することを許容する場合には、さらに、最適配置の確定に時間がかかる。

【 0 0 8 6 】

図 1 においては、グリッド 2 x 3 の領域を示したにすぎないが、実際は複数の素子(セル)間が多層の配線等で接続されており、これらの接続の組み合わせを網羅的に行いながら配線設計を行うには、コンピュータの計算能力の向上が必要であり、また、計算時間も長くなる。

30

【 0 0 8 7 】

これに対し、M 1 モデルにおいては、配線設計の T A T を短縮することができ、また、一般的な C A D システムを用いることができる。

【 0 0 8 8 】

(実施の形態 3)

実施の形態 1 においては、隣り合う接続部 T H 0 a、T H 0 b のうち接続部 T H 0 a のみをずらして配置したが(図 1 参照)、隣り合う接続部 T H 0 a、T H 0 b をそれぞれ逆方向(離れる方向)にずらしても良い。

40

【 0 0 8 9 】

本実施の形態の半導体装置の配線等の配置方法を図面を参照しながら説明する。なお、接続部および第 1 層配線の配置位置等を除いては、実施の形態 1 と同様であるため対応する部位に同符号を付し、異なる部分についてのみ詳細に説明する。

【 0 0 9 0 】

図 1 2 は、第 0 層配線 M 0 a、M 0 b、第 1 層配線 M 1 a ~ M 1 e および第 0 層配線と第 1 層配線との接続部 T H 0 a、T H 0 b 等の平面パターンを示す平面図である。また、図 1 3 は、図 1 2 のレイアウトのうち、第 0 層配線 M 0 a、M 0 b の平面パターンを示す図であり、図 1 4 は、図 1 2 の D - D' 部に対応する要部断面図である。

【 0 0 9 1 】

50

図12～図14を参照しながら、本実施の形態の半導体装置の配線等の配置状態を説明する。

【0092】

第0層配線M0aおよびM0bは、グリッドy1、y2に沿って配置され、グリッドx1に沿って配置されている第1層配線M1aおよびM1bと、接続部TH0aおよびTH0bを介して電氣的に接続されている。

【0093】

即ち、第1層配線M1aは、接続部TH0a上から図中の左側に延在し、第1層配線M1bは、接続部TH0b上から図中の右側に延在する。

【0094】

また、第1層配線M1aは、接続部TH0a上から図中の右側に突出したリザーバRaを有し、第1層配線M1bは、接続部TH0b上から図中の左側に突出したリザーバRbを有する。

【0095】

また、距離P0は、グリッドy1とy2間の距離で、第0層配線間のスペースS0と第0層配線の幅W0との和である。また、距離P1は、グリッドx1とx2間距離で、第1層配線間のスペースS1と第1層配線の幅W1との和である。この距離P1とP0は、 $P1 < P0$ の関係にある。

【0096】

実施の形態1で説明したように、第0層配線M0の下層に、ゲート電極FGがY方向に配置される場合には、 $P1 < P0$ の関係となることが多い。

【0097】

図15に、第0層配線M0とMISFETのゲート電極FGとのパターンの関係を示す。図16に、第0層配線M0の下層にMISFETを形成した場合の要部断面図を示す。図15のE-E'方向の断面が図16に対応している。

【0098】

図16に示すように、例えば、P0は、 $0.42\mu\text{m}$ 、S0は、 $0.24\mu\text{m}$ 、W0は、 $0.18\mu\text{m}$ で、リザーバ長Lresは、 $0.06\mu\text{m}$ である。また、S1およびW1は、 $0.18\mu\text{m}$ で、P1は、 $0.36\mu\text{m}$ である。また、第2層配線M2の幅および間隔は、 $0.18\mu\text{m}$ である。

【0099】

ここで、図12等に示すように、第0層配線M0b上の接続部TH0bは、その中心がグリッドy2とx1の交点から距離L2だけ右側にずれている。また、第0層配線M0a上の接続部TH0aは、その中心がグリッドy1とx1の交点から距離L2だけ左側にずれている。距離L2は、例えば $0.03\mu\text{m}$ である(図16)。

【0100】

また、第0層配線M0a上の接続部TH0a下には、第0層配線M0aのノッチNaが形成され、第0層配線M0b上の接続部TH0b下には、第0層配線M0bのノッチNbが形成されている(図13参照)。このノッチNa、Nbの長さは、距離L2と同じとすることが好ましい。図16においては、例えば $0.03\mu\text{m}$ である。なお、第0層配線M0は、配線間に許容される最小の寸法以上の間隔を置いて配置されているため、ノッチを設けても必要な配線間隔は確保することができる。

【0101】

このように、本実施の形態においては、隣り合うグリッド上に配置された第0層配線上に、同一のグリッド上に互いに逆方向に延在する第1層配線を配置する際、第0層配線上の2つの接続部を、その上部の第1層配線が延在する方向にそれぞれずらして配置し、さらに、ずらした接続部下の第0層配線にノッチを設けた。

【0102】

その結果、第1層配線にリザーバを設けた場合であっても、これら第1層配線のX方向の間隔を確保でき、配線の実装効率を向上させることができる。

10

20

30

40

50

## 【 0 1 0 3 】

また、同一グリッド上に配置された第 1 層配線の X 方向の間隔を確保できるため、Y 方向で隣り合うグリッドに第 1 層配線 M 1 c のような他の配線を配置することが可能となる。これにより配線の自由度を向上させることができ、配線の密度・実装効率を向上させることができる。

## 【 0 1 0 4 】

また、各素子間を接続する配線の長さを短縮でき、半導体装置の駆動の高速化、低消費電力化を図ることができ、半導体装置の信頼性の向上を図ることができる。

## 【 0 1 0 5 】

また、リザーバを設けることにより E M 耐性を向上させ、また、配線と接続部のパターンの合わせ余裕を確保できる。このように、半導体装置の信頼性の向上を図ることができる。

10

## 【 0 1 0 6 】

また、本実施の形態においても、図 9 に示すケース 1 ~ 3 を実施の形態 1 と同様に、各配線層の配線密度の程度によってそれぞれ組み合わせて用いてもよい。

## 【 0 1 0 7 】

また、後述の実施の形態 4 の ( 3 - 3 ) で説明を加えるが、配線レイアウトを最適化するため、リザーバ長  $L_{res}$  を、距離  $P_0$  と距離  $P_1$  との差の  $1/2$  より大きく、距離  $P_0$  と距離  $P_1$  との差以下  $((P_0 - P_1) / 2 < L_{res} < (P_0 - P_1))$  とするのがより好ましい。

20

## 【 0 1 0 8 】

なお、第 1 層配線 M 1 d および M 1 e は、それぞれ第 0 層配線 M 0 a および M 0 b と接続部 T H 0 d および T H 0 e を介して電氣的に接続され、これらの接続部も、接続部 T H 0 a および T H 0 b と同様、それぞれ逆方向 ( 離れる方向 ) にずれて配置されている ( 図 1 2 ) 。

## 【 0 1 0 9 】

( 実施の形態 4 )

本実施の形態においては、実施の形態 3 で説明した配線のレイアウトを実現するための C A D ツールについて説明する。なお、本実施の形態の C A D ツールを用いて配置される配線等の形状等は、実施の形態 3 において図 1 2 等を参照しながら説明したレイアウトと同様であり、ここでは、その詳細な説明を省略する。

30

## 【 0 1 1 0 】

( 1 ) 第 0 層配線 M 0 上に接続部 T H 0 および第 1 層配線 M 1 を配置するモデル ( M 0 モデル ) について図 1 7 を参照しながら説明する。

## 【 0 1 1 1 】

第 0 層配線 M 0 a 、 M 0 b は、本 C A D ツールの前段階の工程で最適配置されているものとする。

## 【 0 1 1 2 】

この第 0 層配線 M 0 a 、 M 0 b に、第 1 層配線 M 1 a 、 M 1 b を最適配置する。ここでは、リザーバ長を考慮せず配置する。

40

## 【 0 1 1 3 】

次いで、接続部 T H 0 a 、 T H 0 b を第 0 層配線 M 0 と第 1 層配線 M 1 との交点に配置する。

## 【 0 1 1 4 】

次いで、第 1 層配線 M 1 にリザーバ R a 、 R b を追加し、これらの間の X 方向の距離が所定の長さ ( 配線間に許容される最小の寸法 ) 以上であるかどうかを判断する。

## 【 0 1 1 5 】

所定の長さ以下の場合には、第 1 層配線 M 1 下の両方の接続部 T H 0 a 、 T H 0 b をその上部の第 1 層配線 M 1 の延在方向にそれぞれ距離 L 2 だけずらす。即ち、隣り合う接続部をそれぞれ逆方向 ( 離れる方向 ) に距離 L 2 ずつずらす。

50

## 【0116】

さらに、ずらした接続部下の第0層配線M0にノッチNa、Nbを追加する。

## 【0117】

なお、これらの工程を経ず、リザーバを含めた第1層配線M1をその下部の接続部TH0がグリッドの交点から第1層配線M1が延在する方向にずれて配置することを許容するプログラムを用いて第1層配線M1および接続部TH0等を配置してもよい。

## 【0118】

(2)次に、第0層配線M0上にずらして配置した接続部TH0およびその上部の端子部T(第1層配線M1の一部)を規定しておき、端子部Tを起点に第1層配線を配置するモデル(M1モデル)について図18を参照しながら説明する。

10

## 【0119】

即ち、グリッドy1、y2上に最適配置されている第0層配線M0a、M0b上の、グリッドx1との交点部に接続部TH0a、TH0bを、その中心が前記交点部からそれぞれ左側、右側にずれるよう配置する。この接続部TH0上に、接続部TH0をずらした方向と逆側の方向にリザーバRa、Rbを有する端子部Ta、Tbを配置する。さらに、ずらした端子部Ta、Tb下の第0層配線M0a、M0bにはノッチNa、Nbを設ける。

## 【0120】

この端子部Ta、Tbの位置情報を基に、端子部Tから前記リザーバRとは逆側の方向に第1層配線M1が延在するよう第1層配線M1を自動配置する。言い換えれば、端子部Tを起点に第1層配線M1を最適配置する。

20

## 【0121】

このM1モデルにおいても、実施の形態2で説明したM1モデルと同様に、第1層配線M1の配置条件が少なくなり配線設計のTATを短縮することができる。また、一般的なCADシステムを用いることができる。

## 【0122】

(3)また、本実施の形態のM0モデルにおいて、図19に示すように、グリッドyに沿って延在する第0層配線M0の、グリッドxとの交点の両側にノッチNを設けた第0層配線を仮想的に配置し、その上部に接続部TH0および第1層配線M1を配置してもよい。即ち、図19に示すパターンをCADツールに、ライブラリ(データベース)として設定しておく。

30

## 【0123】

(3-1)次いで、例えば(1)で説明したM0モデルを用いて、第1層配線M1および接続部TH0を配置する。

## 【0124】

即ち、まず、仮想的な第0層配線M0のパターン上に第1層配線M1を配置する。ここでは、リザーバ長を考慮せず配置する。

## 【0125】

次いで、接続部TH0を第0層配線M0と第1層配線M1との交点に配置する。

## 【0126】

次いで、第1層配線M1にリザーバを追加し、第1層配線M1間のX方向の距離が所定の長さ(配線間に許容される最小の寸法)以上であるかどうかを判断する。

40

## 【0127】

この所定の長さ以下の場合には、第1層配線M1下の2つの接続部を互いに離れる方向にずらす。

## 【0128】

次いで、接続部と仮想的な第0層配線M0のパターンの重なった部分にノッチNを有する第0層配線M0のパターンを決定する。言い換えれば、仮想的な第0層配線M0のパターンのノッチのうち、その上部に接続部が形成されたノッチ部のみを正規の(現実の)ノッチとする。

## 【0129】

50

(3-2) また、仮想的にノッチNが設けられた第0層配線M0のパターン上に第1層配線M1を配置する際に、第1層配線M1の延在する方向と接続部TH0の配置されるグリッドx yの位置を決めておけば、接続部TH0の配置は自動的にノッチN上にずらされて配置される。

【0130】

具体的には実施の形態3で説明した図12に示すような配線レイアウトをする場合、グリッドx1とy1との交点に配置される接続部TH0aとグリッドx1とy2との交点に配置される接続部TH0bに、それぞれ接続部TH0aの左側および接続部TH0bの右側から、第1層配線M1aおよびM1bが接続されるとした場合、接続部TH0aは第1層配線M1aの延在する方向にずらされて形成され、接続部TH0bは第1層配線M1bの延在する方向にずらされて形成される。

10

【0131】

次いで、第1層配線M1にリザーバRaおよびRbを追加するが、接続部TH0aおよびTH0bは上記のようにずらされて形成されているため、リザーバRaとリザーバRb間で配線間隔が確保される。

【0132】

このようにレイアウトのルール(アルゴリズム)を設定しておけば、自動配線ツールで配線のレイアウトを行う場合に、配線エラーが無く、同一グリッド上に配置された第1層配線の間隔を確保できる配線を配置することが可能となる。

【0133】

(3-3) ここで、リザーバ長は図9に示すケース2を用いてレイアウトを行うことが好ましい。仮にケース3を用いた場合には、接続部TH0をずらす幅が大きくなるので、それに伴って第0層配線M0の両側に設けるノッチNの長さも大きくなり、第0層配線M0で配線エラーを起こしてしまう。すなわち、ケース3を用いると、第0層配線M0の両側に仮想のノッチNを設けることができないので、配線の自由度が失われることになる。これに対してケース2では、第0層配線M0の両側に仮想のノッチNを設けても配線エラーとなることがないので、配線のレイアウトにおいて自由度を高めることができる。

20

【0134】

このように、すべてのグリッドの交点にノッチを有する第0層配線を仮想的に配置することで、「第0層配線M0上に接続部TH0を配置する」という一般的な条件が既定された自動配置配線ツールを用いることができる。

30

【0135】

即ち、既存の自動配線ツールにおいては、下層配線のパターン上に接続部を配置できなければエラーとなるツールも少なくない。

【0136】

しかしながら、このようなライブラリを準備しておけば、接続部をいずれのグリッドの交点にずらして配置してもエラーとなることがなく、自動配線ツールの選択の幅が広がる。

【0137】

もちろん、その上部に接続部TH0が形成されるか否かに係わらず、第0層配線M0のパターンを図19に示すパターンとしても良い。図20は、この場合の第0層配線M0a、M0b、第1層配線M1a~M1eおよび第0層配線と第1層配線との接続部TH0a、TH0b等の平面パターンを示す平面図であり、図21は、図20のF-F'部に対応する要部断面図である。

40

【0138】

但し、この場合は、第0層配線M0のパターンが複雑化し、配線パターン形成におけるレジスト膜の解像が困難となる。また、配線領域が大きくなり、配線間容量が増加してしまう。

【0139】

従って、接続部TH0の下部にのみ第0層配線のノッチを設ける方が好ましい。

【0140】

50

なお、図19に示すパターンをライブラリ(データベース)として、実施の形態2で説明した配線の配置方法に用いてもよい。

【0141】

(実施の形態5)

次に、鏡面配置された2入力NANDセル(以下「2NANDセル」という)に実施の形態1もしくは2で説明した配線の配置方法を適用した例について説明する。

【0142】

(1)まず、2NANDセルの回路図を説明する。図22は、2NANDセルの回路図であり、図示するように、入力端子a1は、pチャネル型MISFETQp1およびnチャネル型MISFETQn1のゲート電極に接続され、入力端子a2は、pチャネル型MISFETQp2およびnチャネル型MISFETQn2のゲート電極に接続されている。また、出力端子znと、電源電位(Vdd)との間には、pチャネル型MISFETQp1およびQp2が並列に接続され、出力端子znと、接地電位(基準電位、Vss)との間には、nチャネル型MISFETQn2およびQn1が順に直列に接続されている。

【0143】

(2)次いで、鏡面配置された2NANDセルの構造を製造方法に沿って説明する。

【0144】

図23~図27は、2NANDセルを構成する各層のパターンレイアウトを示す平面図であり、図28は、平面図のG-G'部に対応する断面図である。なお、図27に示すように、2NANDセルは、セル領域CA1とCA2に形成され、これらのセルは、セル領域を区画し、Y方向に延在するラインに対し対称に配置(鏡面配置)される。

【0145】

図23および図28に示すように、半導体基板1中に形成された溝内に絶縁膜として例えば酸化シリコン膜を埋め込むことにより素子分離3を形成する。次いで、半導体基板1中にn型不純物およびp型不純物を注入し、拡散させることによりn型ウエル5およびp型ウエルを形成する。このn型ウエル5の露出領域をアクティブAcNと、また、p型ウエルの露出領域をアクティブAcPとする。

【0146】

次いで、半導体基板1上に導電性膜として例えば不純物をドーブした多結晶シリコン膜を堆積し、パターニングすることによりゲート電極FGを形成する。このゲート電極FGの内、FG1およびFG2は、アクティブAcN上に、FG3およびFG4は、アクティブAcP上に、Y方向に延在する。FG1は、Qp1のゲート電極で、FG2は、Qp2のゲート電極である。また、FG3は、Qn1のゲート電極で、FG4は、Qn2のゲート電極である。また、FG1とFG3は、前記多結晶シリコン膜よりなる配線部により接続され、また、FG2とFG4も同様に接続される。

【0147】

次いで、ゲート電極FGの両側の半導体基板1(p型ウエル)中にn型不純物を注入し、n<sup>-</sup>型半導体領域を形成する。また、ゲート電極の両側の半導体基板1(n型ウエル)中にp型不純物を注入し、p<sup>-</sup>型半導体領域11を形成する。

【0148】

次いで、ゲート電極FG上に絶縁膜として窒化シリコン膜を堆積し、異方的にエッチングすることによりゲート電極FGの側壁にサイドウォール膜SWを形成する。

【0149】

次いで、ゲート電極およびサイドウォール膜をマスクに、ゲート電極の両側の半導体基板1(p型ウエル)中にn型不純物を注入し、nチャネル型MISFETのソースおよびドレイン領域となるn<sup>+</sup>型半導体領域を形成する。また、ゲート電極の両側の半導体基板1(n型ウエル)中にp型不純物を注入し、pチャネル型MISFETのソースおよびドレイン領域となるp<sup>+</sup>型半導体領域15を形成する。

【0150】

次いで、半導体基板1上に高融点金属膜として例えばコバルト膜を堆積し、熱処理を加え

て半導体基板 1 を構成するシリコンと反応させることで、コバルト膜と半導体基板 1 およびゲート電極 F G との接触部にコバルトシリサイド膜 1 7 を形成する。

【 0 1 5 1 】

次いで、未反応のコバルト膜を除去し、半導体基板 1 上に絶縁膜として例えば酸化シリコン膜 1 9 を堆積する。

【 0 1 5 2 】

次いで、図 2 4 および図 2 8 に示すように、酸化シリコン膜 1 9 を選択的に除去することにより M I S F E T のソース、ドレイン領域上もしくはゲート電極上にコンタクトホール 2 1 を形成する。

【 0 1 5 3 】

次いで、コンタクトホール 2 1 内を含む酸化シリコン膜 1 9 上に、バリア膜として例えば T i N (窒化チタン) 膜を薄く堆積し、さらに、その上部に、導電性膜として W (タンゲステン) 膜をコンタクトホール 2 1 を埋め込む程度堆積する。

【 0 1 5 4 】

次いで、コンタクトホール 2 1 の外部の T i N 膜および W 膜を例えば C M P (Chemical Mechanical Polishing) 法により除去することにより接続部 (プラグ) L C N T を形成する。

【 0 1 5 5 】

次いで、図 2 5 および図 2 8 に示すように、酸化シリコン膜 1 9 上に例えば窒化シリコン膜を堆積し、さらに、その上部に酸化シリコン膜を堆積し、これらの積層膜よりなる配線溝用の絶縁膜 2 3 を形成する。この窒化シリコン膜は、配線溝を形成する際のエッチングストッパーとなる。

【 0 1 5 6 】

次いで、絶縁膜 2 3 を選択的に除去することにより配線溝 2 5 を形成する。次いで、配線溝 2 5 内を含む絶縁膜 2 3 上に、バリア膜として例えば T i N 膜、T a 膜、T a N 膜等の単層膜又はそれらを積層した積層膜を薄く堆積し、さらに、その上部に、導電性膜として W 膜又は銅 (C u) 膜を配線溝 2 5 を埋め込む程度堆積する。

【 0 1 5 7 】

次いで、配線溝 2 5 の外部のバリア膜および導電性膜を例えば C M P 法により除去することにより第 0 層配線 M 0 を形成する。

【 0 1 5 8 】

第 0 層配線 M 0 は、グリッド y に沿って Y 方向に形成される。但し、一部、X 方向に延在する部分もある。また、第 0 層配線 M 0 間にゲート電極 F G が位置する。平面図において破線でグリッドを示す。X 方向のグリッドをグリッド x、Y 方向のグリッドをグリッド y とする。

【 0 1 5 9 】

次いで、絶縁膜 2 3 上に例えば窒化シリコン膜および酸化シリコン膜の積層膜よりなる絶縁膜 2 7 を堆積する。

【 0 1 6 0 】

次いで、図 2 6 および図 2 8 に示すように、絶縁膜 2 7 を選択的に除去することによりコンタクトホール C 0 を形成する。次いで、コンタクトホール C 0 内を含む絶縁膜 2 7 上に、バリア膜として例えば T i N 膜を薄く堆積し、さらに、その上部に、導電性膜として W 膜をコンタクトホール C 0 を埋め込む程度堆積する。次いで、接続部 L C N T と同様に、コンタクトホール C 0 内に、T i N 膜および W 膜を埋め込むことにより接続部 T H 0 を形成する。

【 0 1 6 1 】

次いで、図 2 7 および図 2 8 に示すように、絶縁膜 2 7 上に、例えば窒化シリコン膜および酸化シリコン膜の積層膜よりなる絶縁膜 2 9 を堆積し、配線溝 2 5 と同様に、配線溝 3 1 を形成する。

【 0 1 6 2 】

10

20

30

40

50

次いで、配線溝 3 1 内を含む絶縁膜 2 9 上に、バリア膜として例えば T i N 膜を薄く堆積し、さらに、その上部に、導電性膜として C u (銅) 膜を例えばメッキ法やスパッタ法等を用いて配線溝 3 1 を埋め込む程度形成し、次いで、配線溝 3 1 の外部の T i N 膜および C u 膜を例えば C M P 法により除去することにより第 1 層配線 M 1 を形成する。

【 0 1 6 3 】

この第 1 層配線 M 1 は、図 2 7 に示すように、グリッド x 上に沿って X 方向に形成される。

【 0 1 6 4 】

ここで、第 1 層配線 M 1 の内、M 1 a は、入力端子 a 1 に対応し、M 1 b は、入力端子 a 2 に対応する。また、M 1 c は、出力端子 z n に対応する。なお、第 1 層配線 M 1 d には、電源電位 ( V d d ) が供給され、M 1 e には、接地電位 ( V s s ) が供給される。なお、第 0 層配線 M 0 の内、M 0 h は、n 型ウエル ( A c N ) の給電部と接続され、M 0 g は、p 型ウエル ( A c P ) の給電部と接続される。

10

【 0 1 6 5 】

ここで、セル領域 C A 2 の第 1 層配線 M 1 a は、第 0 層配線 M 0 a 上の接続部 T H 0 a 上から右方向すなわちセル境界領域から離れる方向に延在し、また、セル領域 C A 1 の第 1 層配線 M 1 a は、第 0 層配線 M 0 a 上の接続部 T H 0 a 上から左方向に延在し、これらの配線は、同じグリッド y 上に位置するように配置する。

【 0 1 6 6 】

そこで、セル領域 C A 2 の第 1 層配線 M 1 a 下の接続部 T H 0 a を第 0 層配線 M 0 a の中心から右方向すなわちセル境界領域から離れる方向にずらして配置 ( 右ずらし配置 ) し、また、セル領域 C A 1 の第 1 層配線 M 1 a 下の接続部 T H 0 a を第 0 層配線 M 0 a の中心から左方向にずらして ( 左ずらし配置 ) 配置する。なお、他の接続部 T H 0 は第 0 層配線 M 0 の中心に配置されている。

20

【 0 1 6 7 】

このようにセル領域 C A 2 の配置を設定することで、鏡面配置されたセル領域 C A 1 は、セル境界領域を境にセル領域 C A 2 を折り返した配置としてレイアウトされる。ここで、セル領域 C A 1 の接続部 T H 0 a は第 0 層配線 M 0 a の中心からセル境界領域から離れる方向にずらして配置されているため、セル領域 C A 2 の接続部 T H 0 a も第 0 層配線 M 0 a の中心からセル境界領域から離れる方向にずらされて配置される。

30

【 0 1 6 8 】

このように配置することにより第 1 層配線 M 1 a にリザーバ R を設けても、配線の X 方向の間隔を確保することができる。

【 0 1 6 9 】

この後、図 2 8 に示すように、絶縁膜 3 3 や 3 5 を堆積し、配線溝 3 7 中に第 2 層配線 M 2 を形成する。

【 0 1 7 0 】

図 1 7 および図 2 8 に示すセル構造は、例えば実施の形態 2 等で説明した M 1 モデルの自動配線配置によって実現することができる。

【 0 1 7 1 】

即ち、セル領域 C A 2 の接続部 T H 0 a をあらかじめ右にずらして配置し、セル領域 C A 1 の接続部 T H 0 a をあらかじめ左にずらして配置し、これらの上部にリザーバ R を接続部をずらした方向と逆方向に設定した端子部 T a を設け、セル領域 C A 1 を鏡面配置した後に、これを起点に第 1 層配線 M 1 を最適配置する ( 図 2 7 参照 ) 。

40

【 0 1 7 2 】

また、M 0 モデルを用いて、第 1 層配線 M 1 下の接続部 T H 0 a が、セルの端部において、同一のグリッド x 上に隣り合うよう配置された場合、これらをそれぞれ逆方向 ( 離れる方向 ) にずらして配置し、リザーバ領域 R を確保することも可能である。

【 0 1 7 3 】

( 実施の形態 6 )

50

次に、4入力NANDセル（以下、「4NANDセル」という）に実施の形態1～4で説明した配線の配置方法を適用した例について説明する。

【0174】

(1)まず、4NANDセルの回路図を説明する。図29は、4NANDセルの回路図であり、図示するように、入力端子a1は、pチャネル型MISFETQp1およびnチャネル型MISFETQn1のゲート電極に接続され、同様に、入力端子a2～a4は、それぞれpチャネル型MISFETQp2～Qp4のゲート電極に、また、nチャネル型MISFETQn2～Qn4のゲート電極に接続されている。また、出力端子znと、電源電位(Vdd)との間には、pチャネル型MISFETQp1～Qp4が並列に接続され、出力端子znと、接地電位(Vss)との間には、nチャネル型MISFETQn1～Qn4が順に直列に接続されている。

10

【0175】

(2)なお、この4NANDセルを構成する配線等は、そのパターンは異なるが、実施の形態5と同様に形成することができるため、ここでは、各層のパターンについて詳細に説明する。

【0176】

図30～図35は、4NANDセルを構成する各層のパターンレイアウトを示す平面図である。

【0177】

図30に示すように、ゲート電極FG1～FG4は、アクティブAcN上にY方向に延在し、ゲート電極FG5～FG8は、アクティブAcP上にY方向に延在する。

20

【0178】

このゲート電極FG1とFG5、FG2とFG6、FG3とFG7、およびFG4とFG8とは、それぞれゲート電極と同層の多結晶シリコン膜よりなる配線部により接続されている。

【0179】

また、ゲート電極FGの両側等の所望の位置に接続部LCNTが配置されている(図31)。

【0180】

図32に示すように、ゲート電極FG間には、第0層配線M0が、グリッドyに沿ってY方向に延在する。但し、一部、X方向に延在する部分もある。

30

【0181】

第0層配線M0上には接続部TH0が配置され(図33)、この接続部TH0上に第1層配線M1がグリッドxに沿ってX方向に配置される(図34)。

【0182】

ここで、第1層配線M1aは、入力端子a1に対応し、M1bは、入力端子a2に対応する。また、M1cは、入力端子a3に、M1dは、入力端子a4に対応する。また、M1eは、出力端子znに対応する。なお、第1層配線M1kには、電源電位(Vdd)が供給され、M1jには、接地電位(Vss)が供給される。また、第0層配線の内、M0kは、n型ウエルの給電部と接続され、M0jは、p型ウエルの給電部と接続される。

40

【0183】

ここで、第1層配線M1aは、第0層配線M0上の接続部TH0a上から左方向に延在し、第1層配線M1bは、第0層配線上の接続部TH0b上から右方向に延在し、これらの配線は、同じグリッドx上に位置する。

【0184】

そこで、第1層配線M1a下の接続部TH0aを第0層配線M0の中心から左方向にずらして配置(左ずらし配置)し、また、第1層配線M1b下の接続部TH0を第0層配線M0の中心から右方向にずらして(右ずらし配置)配置する。

【0185】

また、第1層配線M1cは、第0層配線M0上の接続部TH0c上から左方向に延在し、

50

第1層配線M1dは、第0層配線M0上の接続部TH0d上に短く配置され、第1層配線M1eは、第0層配線M0上の接続部TH0e上から右方向に延在し、これらの配線は、同じグリッドx上に位置する。

【0186】

そこで、第1層配線M1c下の接続部TH0cを第0層配線M0の中心から左方向にずらして配置（左ずらし配置）し、また、第1層配線M1e下の接続部TH0eを第0層配線M0の中心から右方向にずらして（右ずらし配置）配置する。また、第1層配線M1d下の接続部TH0dは第0層配線M0の中心に配置されている（中心配置）。なお、他の接続部TH0も第0層配線M0の中心に配置されている。

【0187】

このように配置することにより第1層配線M1a、M1b等によりリザーバを設けても、配線のX方向の間隔を確保することができる。

【0188】

従って、これらの配線の実装効率を向上させ、他のグリッドxに他の第M1層配線（Another net）ANを配置することができる。

【0189】

図35に、第1層配線M1上の接続部TH1およびその上部の第2層配線M2の配置の一例を示す。

【0190】

（実施の形態7）

実施の形態5や6においては、NANDセルを例に説明したが、スタンダードセル等に用いられる基本セル、例えば、インバータやAND回路等の配線部に本発明を適用してもよい。

【0191】

基本セルとしては、前記の他、3入力NAND、2入力NOR、3入力NOR、4入力NOR、TriStateインバータ、2-1セレクタ、イクスクルーシブNOR、イクスクルーシブOR、2-1AND-OR-インバータ、2-2AND-OR-インバータ、3-1AND-OR-インバータ、3-2AND-OR-インバータ、2-2-1AND-OR-インバータ、2-1OR-AND-インバータ、2-2OR-AND-インバータ、3-1OR-AND-インバータ、2-1-1OR-AND-インバータ、2-2-2OR-AND-インバータ、D-ラッチ（latch）、エッジ-トリガー-フリップフロップ（Edge-trigger FF）等、多種多様のものがある。

【0192】

また、これらの基本セルの鏡面配置のみならず、多種の基本セルを配置し、これらの間の結線に本発明を用いることができる。

【0193】

特に、実施の形態5で、2NANDセルを例に説明したように、基本セルは、それを構成する複数のMISFETのゲート電極FGが一定方向に並列に配置され、これらの間に第0層配線M0が形成されることが多い。

【0194】

これらのセル面積を縮小するためには、セルの外周部の第0層配線M0上に入力部（a1、a2・・・an）もしくは出力部（zn）を設けることが多くなる。従って、図36に示すように、複数の基本セル（BC1～BC6）が配置されている場合には、各セルの第1層配線M1の延在方向の境界部において第1層配線のリザーバRが近接して配置される可能性が高い。

【0195】

従って、このような領域において、実施の形態1～4で説明したような配線配置を用いることで、他の配線（Another net）の引き回しが可能となり、配線の実装効率を向上させることができる。

【0196】

10

20

30

40

50

図37は、本発明者らが複数の基本セル間を結線した配線レイアウトの一例である。例えば、領域(a)は、本発明の適用箇所(両ずらし配置)であり、領域(b)は、接続部をずらして配置していない箇所である。

【0197】

このように、接続部(配線)間にゆとりがあり、リザーバを設けても配線間隔を確保できる箇所には、接続部をずらして配置する必要はないことは言うまでもない。

【0198】

また、本発明は、セル内の結線もしくはセル間の結線にかかわらず適用することができる。

【0199】

このように、本実施の形態によれば、半導体装置の微細化(チップの縮小化)や高集積化を図ることができる。また、各素子間を接続する配線の長さを短縮でき、半導体装置の高速駆動を実現できる。また、配線の長さを短縮することにより、配線抵抗を小さくでき、半導体装置の低消費電力化を図ることができる。また、リザーバによりEM耐性を向上させ、また、配線と接続部のパターンの合わせ余裕を確保できる。

【0200】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0201】

特に、実施の形態5および6においては、銅ダマシン配線を例に説明したが、他の導電性膜を用いてもよく、また、導電性膜のパターニングによって配線を形成してもよい。

【0202】

しかしながら、銅原子は移動し易くEM現象が生じやすいため、リザーバを設ける必要性が大きい。従って、本発明は銅配線に用いて効果的である。

【0203】

また、前記実施の形態においては、第0層配線や第1層配線等、比較的下層の配線を例に説明したが、さらに、上層の配線例えば第4層配線や第5層配線に適用してもよく、その下層の配線が最小加工寸法以上の間隔で配置されている配線に広く適用可能である。

【0204】

また、MISFET上の配線に限られず、他の半導体素子上に形成される配線にも広く適用可能である。

【0205】

以上、本願に記載の実施の形態において開示される効果のうち代表的なものを簡単に説明すれば、下記のとおりである。

【0206】

第1配線と第1配線と直交する第1方向[X方向]に延在する第2配線[M1]との接続部の中心を第1配線の中心からずらして配置することにより、ずらした方向と逆方向に余剰部分[リザーバ]を確保し、また、接続部の下部に第1配線に突出部[ノッチ]を設けたことで、前記第1方向の間隔を確保できるため、配線密度を向上させることができる。

【0207】

また、同一グリッド上に配置された第1層配線の第1方向の間隔を確保できるため、第2配線と前記第1方向と直交する第2方向[Y方向]で、隣り合うグリッドに第3配線[M1]のような他の配線を配置することが可能となる。これにより配線の自由度を向上させることができ、配線密度を向上させることができる。

【0208】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0209】

10

20

30

40

50

配線の実装効率を向上することができる。また、配線間の接続精度を向上することができる。また、半導体装置の微細化もしくは高密度化を図ることができる。また、半導体装置の高性能化を図ることができる。

【図面の簡単な説明】

【図 1】実施の形態 1 の各層の配線 (M0、M1) とこれらの間の接続部の平面パターンを示す平面図である。

【図 2】図 1 のレイアウトのうち、第 0 層配線の平面パターンを示す図である。

【図 3】図 1 の A - A' 部に対応する要部断面図である。

【図 4】実施の形態 1 の効果を示すための各層の配線 (M0、M1) とこれらの間の接続部の平面パターンを示す平面図である。

10

【図 5】図 4 のレイアウトのうち、第 0 層配線の平面パターンを示す図である。

【図 6】図 4 の C - C' 部に対応する要部断面図である。

【図 7】実施の形態 1 の各層の配線 (M0、M1)、これらの間の接続部およびゲート電極の関係を示す断面図である。

【図 8】実施の形態 1 の第 0 層配線およびゲート電極の平面パターンを示す平面図である。

【図 9】リザーバ長  $L_{res}$  と接続部 TH の配置率との関係を示す図表である。

【図 10】実施の形態 2 の配線等の配置方法を示すフローチャート図である。

【図 11】実施の形態 2 の配線等の他の配置方法を示すフローチャート図である。

【図 12】実施の形態 3 の各層の配線 (M0、M1) とこれらの間の接続部の平面パターンを示す平面図である。

20

【図 13】図 12 のレイアウトのうち、第 0 層配線の平面パターンを示す図である。

【図 14】図 12 の D - D' 部に対応する要部断面図である。

【図 15】実施の形態 3 の第 0 層配線およびゲート電極の平面パターンを示す平面図である。

【図 16】実施の形態 3 の各層の配線 (M0、M1)、これらの間の接続部およびゲート電極の関係を示す断面図である。

【図 17】実施の形態 4 の配線等の配置方法を示すフローチャート図である。

【図 18】実施の形態 4 の配線等の他の配置方法を示すフローチャート図である。

【図 19】グリッドの交点の両側にノッチを設けた仮想的な第 0 層配線のパターンを示す平面図である。

30

【図 20】実施の形態 4 の他の各層の配線 (M0、M1) とこれらの間の接続部の平面パターンを示す平面図である。

【図 21】図 20 の F - F' 部に対応する要部断面図である。

【図 22】2 NAND セルの回路図である。

【図 23】実施の形態 5 の 2 NAND セルを構成する各層のパターンレイアウトを示す平面図である。

【図 24】実施の形態 5 の 2 NAND セルを構成する各層のパターンレイアウトを示す平面図である。

【図 25】実施の形態 5 の 2 NAND セルを構成する各層のパターンレイアウトを示す平面図である。

40

【図 26】実施の形態 5 の 2 NAND セルを構成する各層のパターンレイアウトを示す平面図である。

【図 27】実施の形態 5 の 2 NAND セルを構成する各層のパターンレイアウトを示す平面図である。

【図 28】図 27 の G - G' 部に対応する断面図である。

【図 29】4 NAND セルの回路図である。

【図 30】実施の形態 6 の 4 NAND セルを構成する各層のパターンレイアウトを示す平面図である。

【図 31】実施の形態 6 の 4 NAND セルを構成する各層のパターンレイアウトを示す平

50

面図である。

【図32】実施の形態6の4NANDセルを構成する各層のパターンレイアウトを示す平面図である。

【図33】実施の形態6の4NANDセルを構成する各層のパターンレイアウトを示す平面図である。

【図34】実施の形態6の4NANDセルを構成する各層のパターンレイアウトを示す平面図である。

【図35】実施の形態6の4NANDセルを構成する各層のパターンレイアウトを示す平面図である。

【図36】複数の基本セルの結線状態を示す平面図である。

10

【図37】複数の基本セル間を結線した配線レイアウトの一例である。

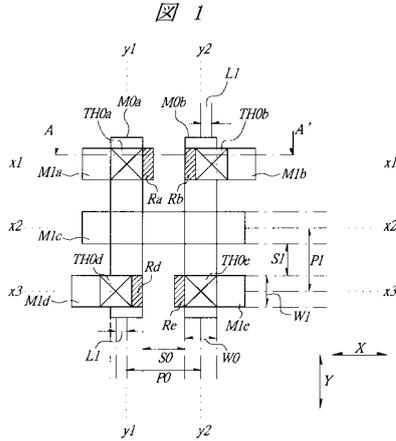
【図38】実施の形態1の変形例における第0層配線およびゲート電極の平面パターンを示す平面図である。

【符号の説明】

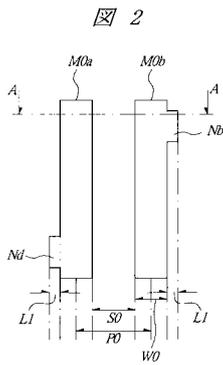
1	半導体基板	
3	素子分離	
5	n型ウエル	
11	p <sup>-</sup> 型半導体領域	
15	p <sup>+</sup> 型半導体領域	
17	コバルトシリサイド膜	20
19	酸化シリコン膜	
21	コンタクトホール	
23	絶縁膜	
25	配線溝	
27	絶縁膜	
29	絶縁膜	
31	配線溝	
33	絶縁膜	
35	絶縁膜	
37	配線溝	30
AcN	アクティブ	
AcP	アクティブ	
C0	コンタクトホール	
CA1	セル領域	
CA2	セル領域	
FG	ゲート電極	
FG1 ~ FG4	ゲート電極	
FG5 ~ FG8	ゲート電極	
L1	距離	
L2	距離	40
LCNT	接続部	
Lres	リザーバ長	
M0	第0層配線	
M0a、M0b	第0層配線	
M0g、M0h	第0層配線	
M0j、M0k	第0層配線	
M1	第1層配線	
M1a ~ M1e	第1層配線	
M1j、M1k	第1層配線	
M2	第2層配線	50

N	ノッチ	
Na、Nb	ノッチ	
Nd、Ne	ノッチ	
P0、P1	距離	
Qn1～Qn4	nチャネル型MISFET	
Qp1～Qp4	nチャネル型MISFET	
R	リザーバ	
Ra、Rb	リザーバ	
Rd、Re	リザーバ	
S/D	ソース、ドレイン領域	10
S0	スペース	
S1	スペース	
SW	サイドウォール膜	
T	端子部	
Ta	端子部	
Tb	端子部	
TH	接続部	
TH0	接続部	
TH0a～TH0e	接続部	
TH1	接続部	20
W0	配線幅	
W1	配線幅	
a1～a4	入力端子	
x	グリッド	
x1～x3	グリッド	
y	グリッド	
y1～y3	グリッド	
zn	出力端子	

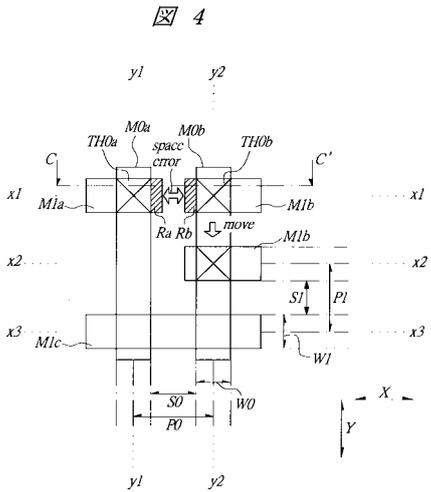
【 図 1 】



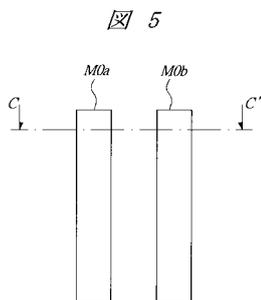
【 図 2 】



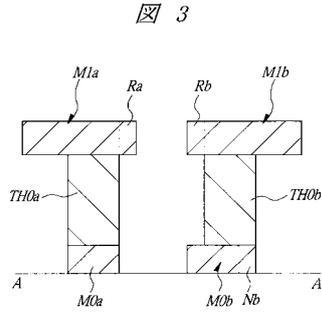
【 図 4 】



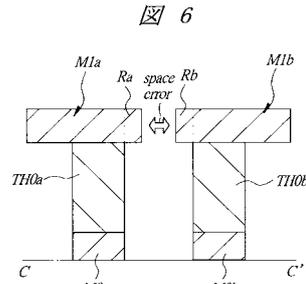
【 図 5 】



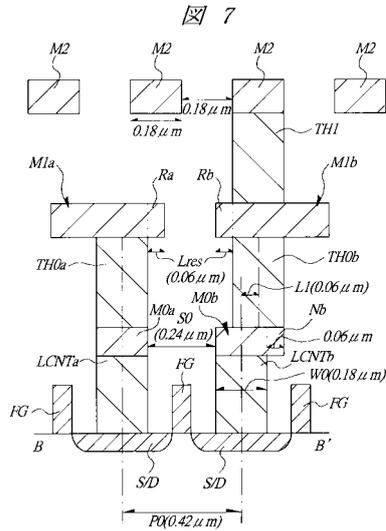
【 図 3 】



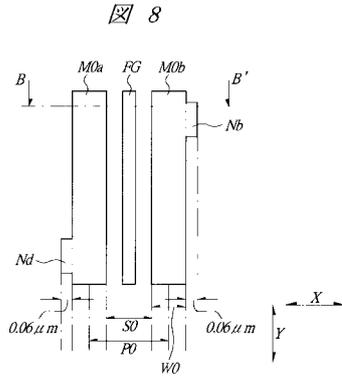
【 図 6 】



【 図 7 】



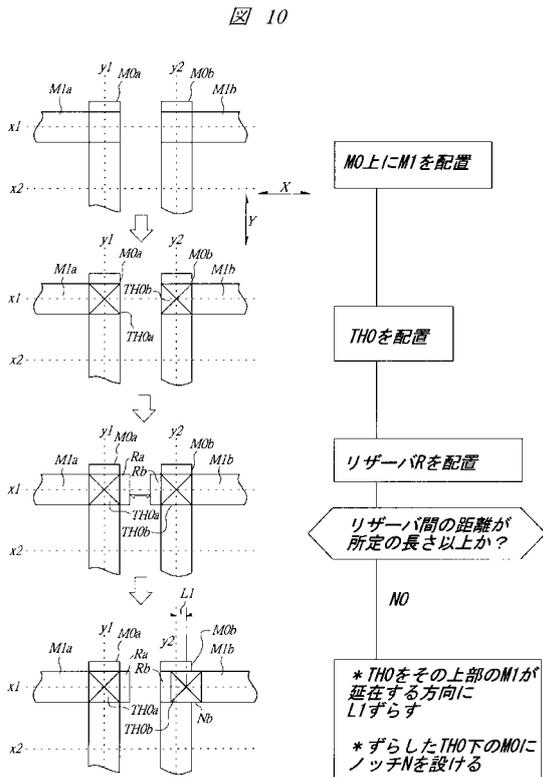
【図8】



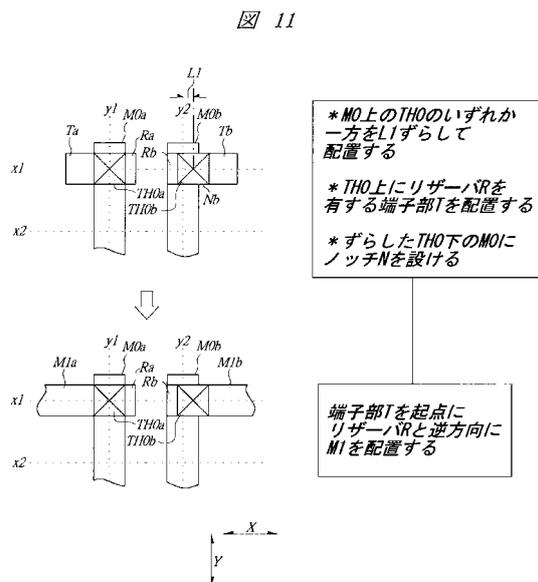
【図9】

リザーバ長 (Lres)	TH配置率 (%)	最密TH配置法
$Lres \leq (PO-P1)/2$	100%	
$(PO-P1)/2 < Lres < (PO-P1)$	75%	
$(PO-P1) < Lres \leq (PO-P1) \times 2$	66.7%	

【図10】



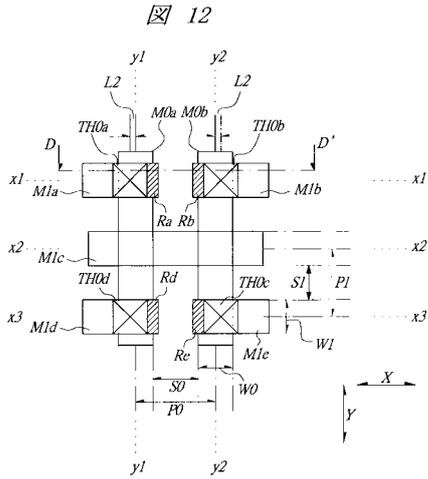
【図11】



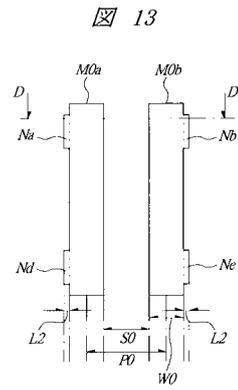
\* MO上のTHOのいずれか一方をL1ずらして配置する  
 \* THO上にリザーバを有する端子部Tを配置する  
 \* ずらしたTHO下のMOにノッチNを設ける

端子部Tを起点にリザーバと逆方向にM1を配置する

【 図 1 2 】

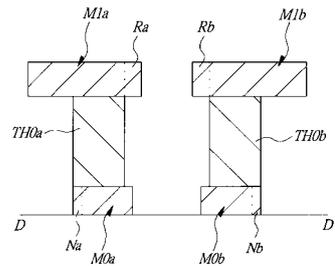


【 図 1 3 】



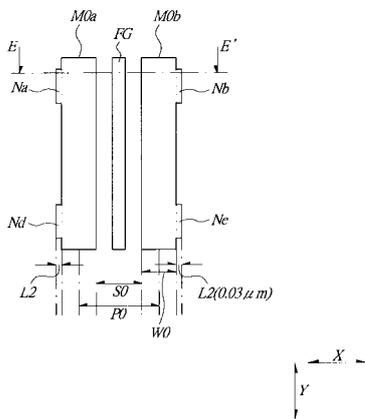
【 図 1 4 】

図 14



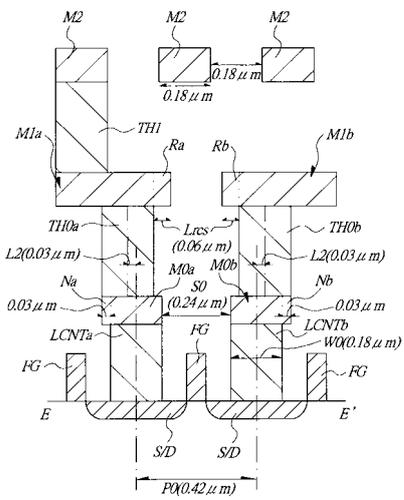
【 図 1 5 】

図 15



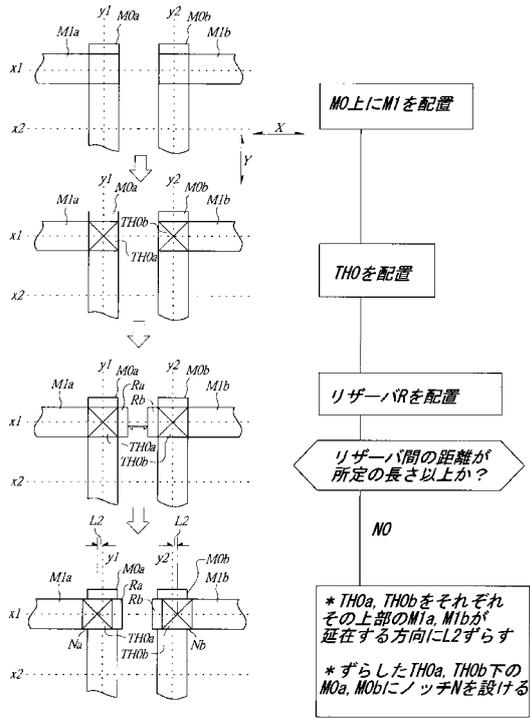
【 図 1 6 】

図 16



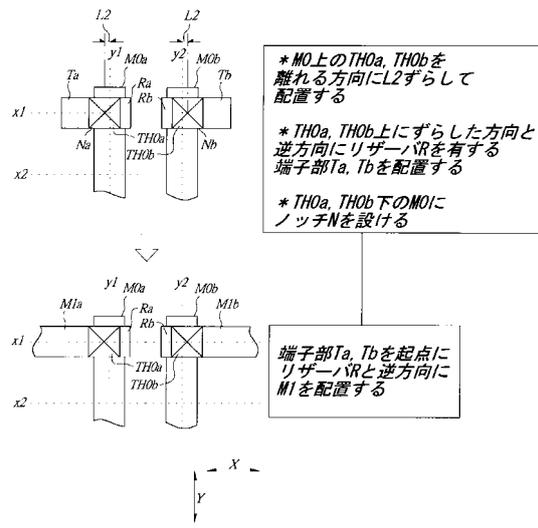
【図17】

図17



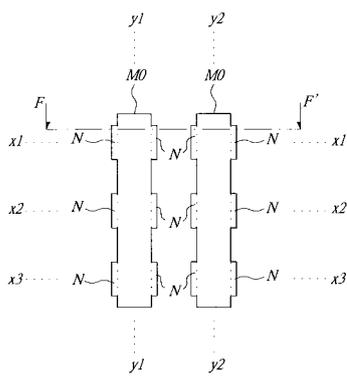
【図18】

図18



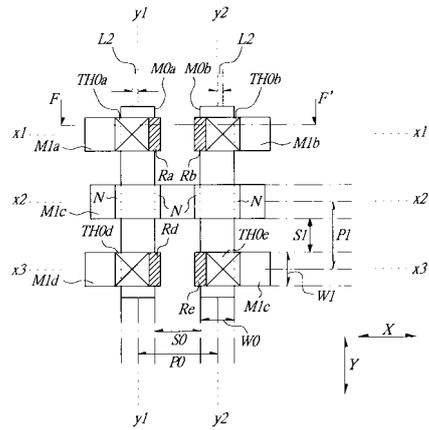
【図19】

図19

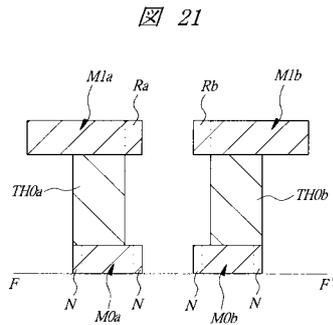


【図20】

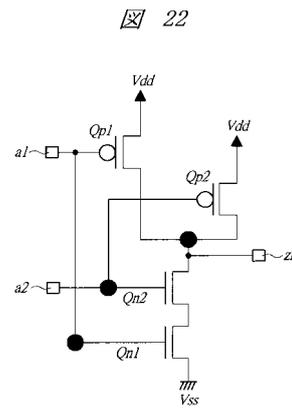
図20



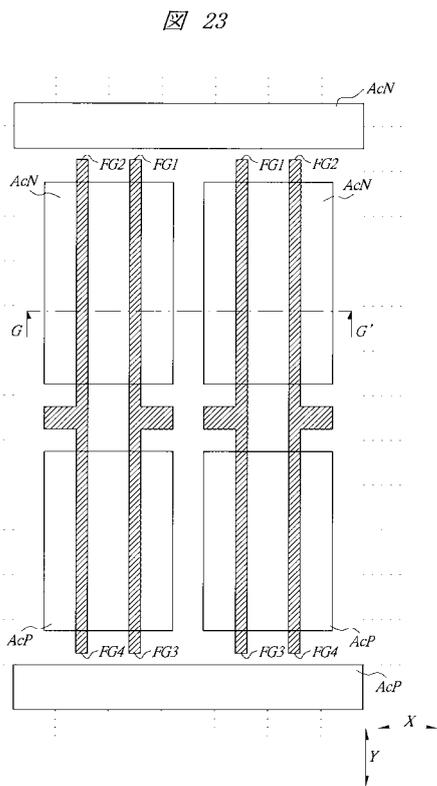
【図 2 1】



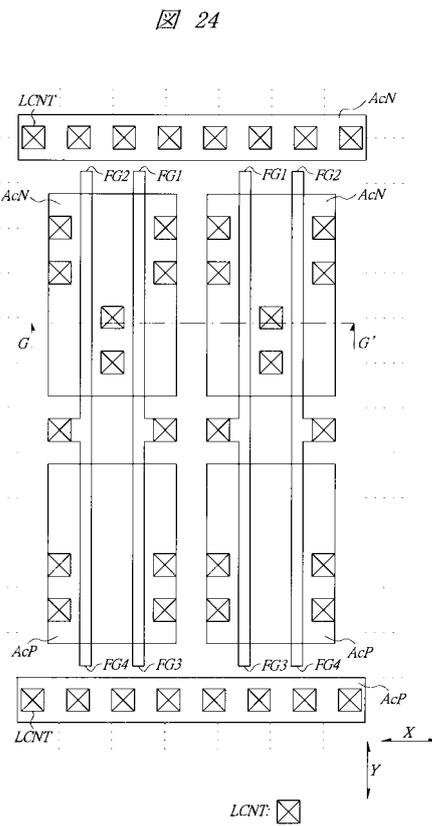
【図 2 2】



【図 2 3】

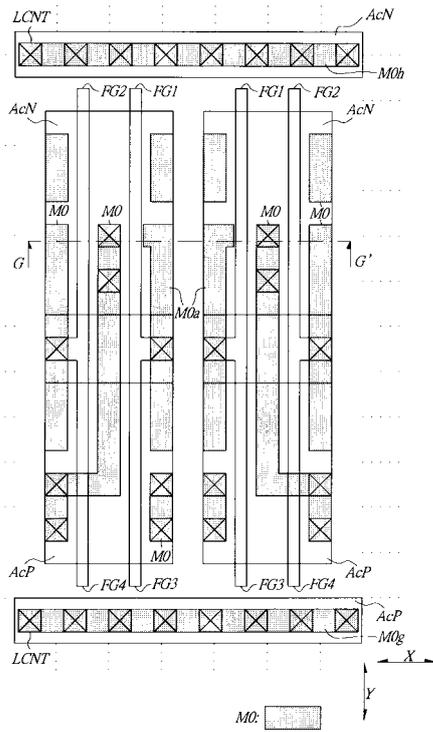


【図 2 4】



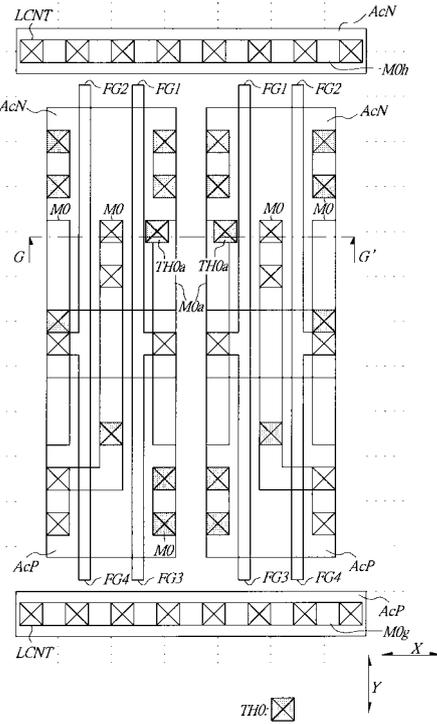
【図 25】

図 25



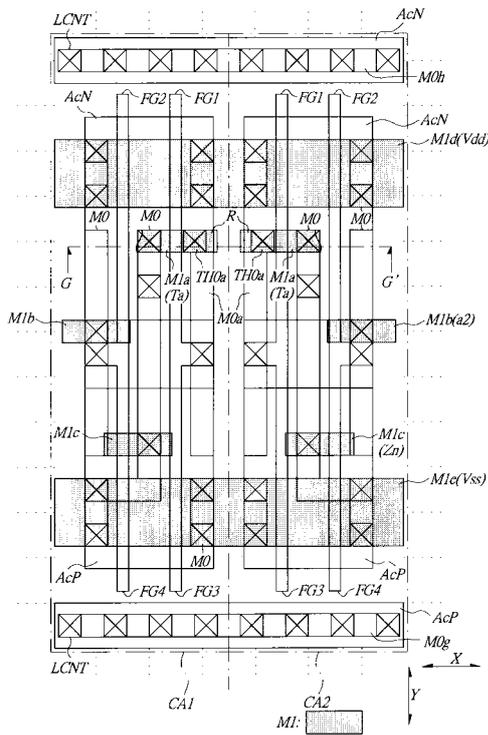
【図 26】

図 26



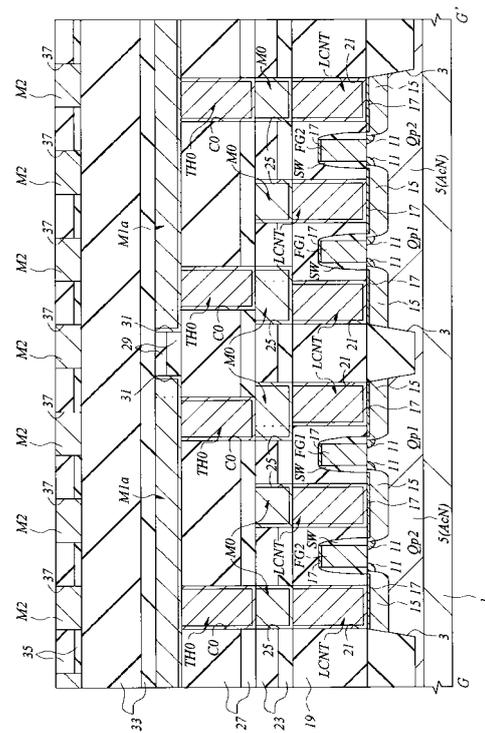
【図 27】

図 27

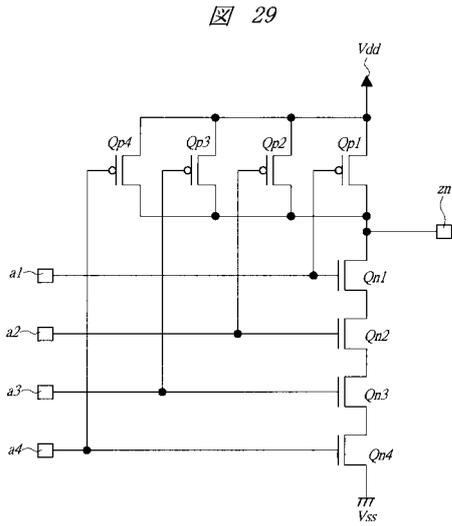


【図 28】

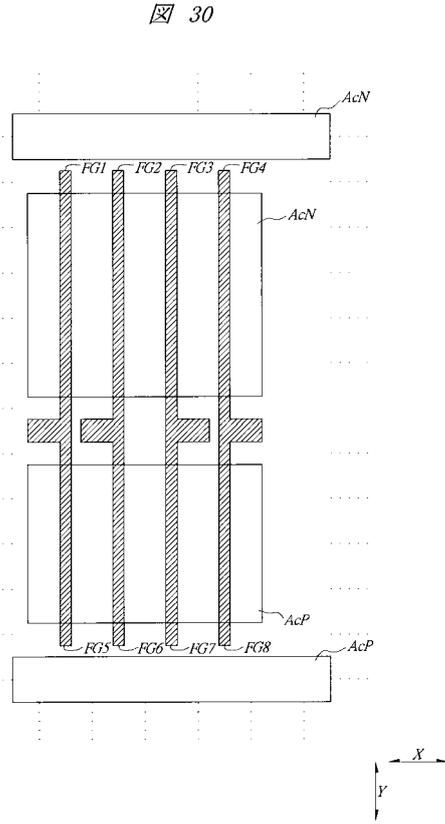
図 28



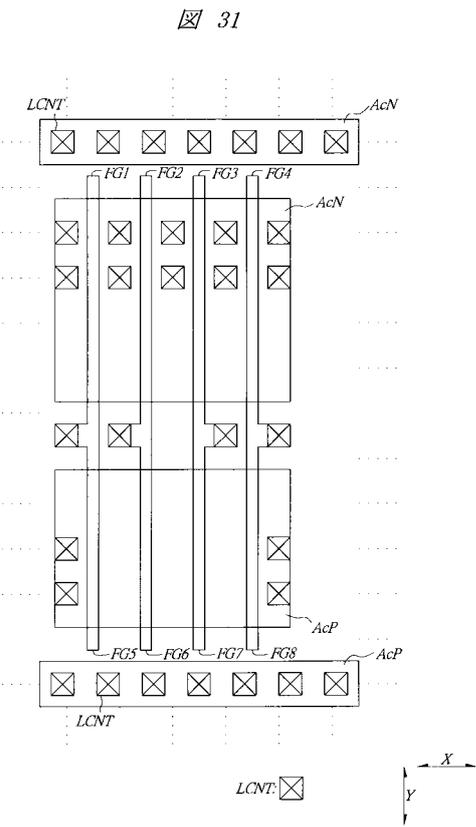
【図 29】



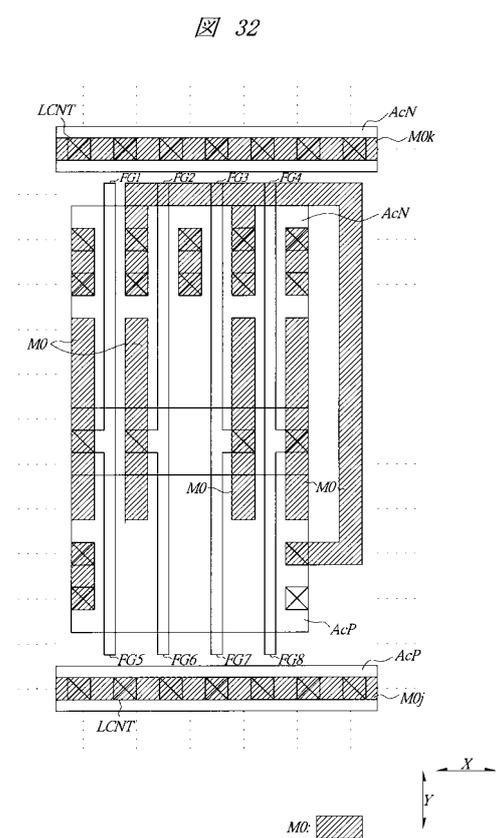
【図 30】



【図 31】

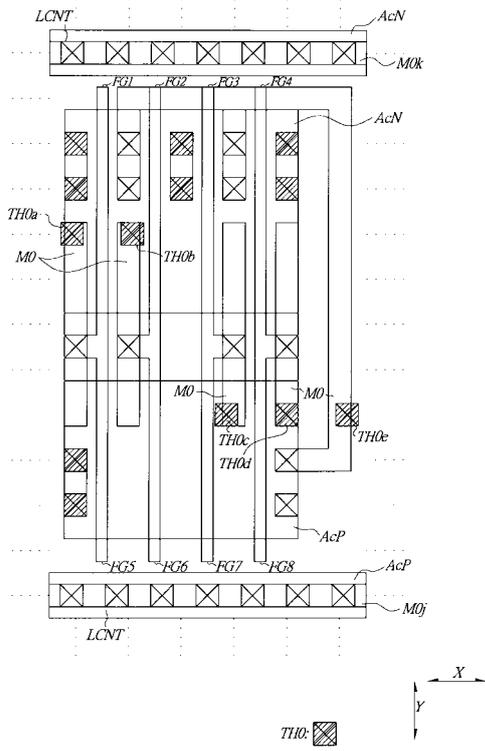


【図 32】



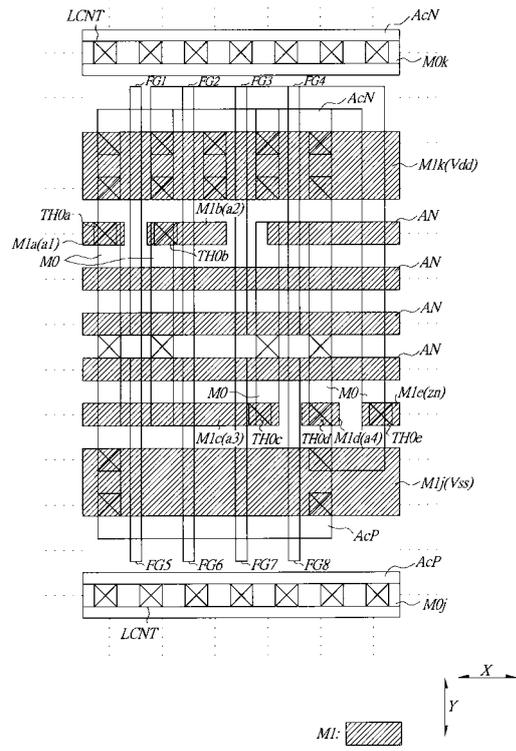
【 図 3 3 】

図 33



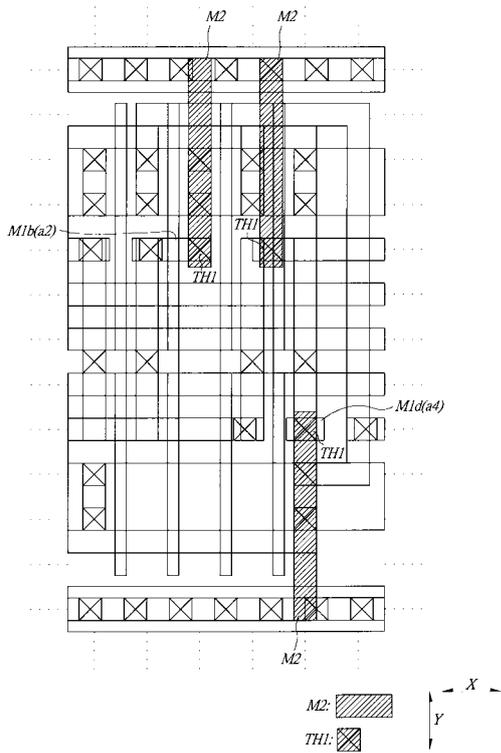
【 図 3 4 】

図 34



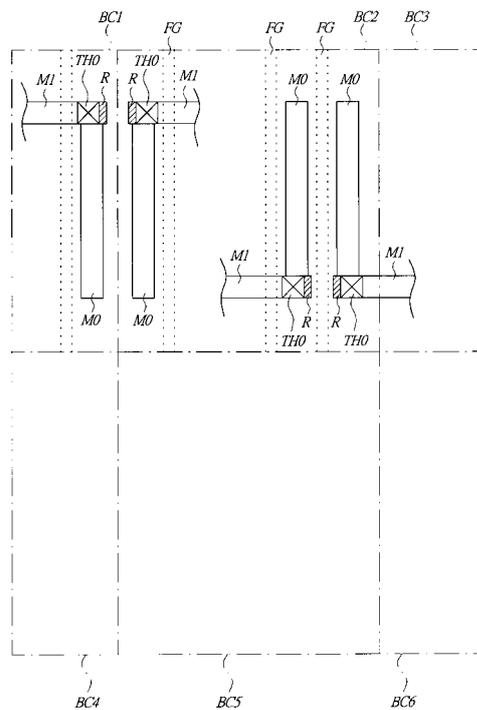
【 図 3 5 】

図 35

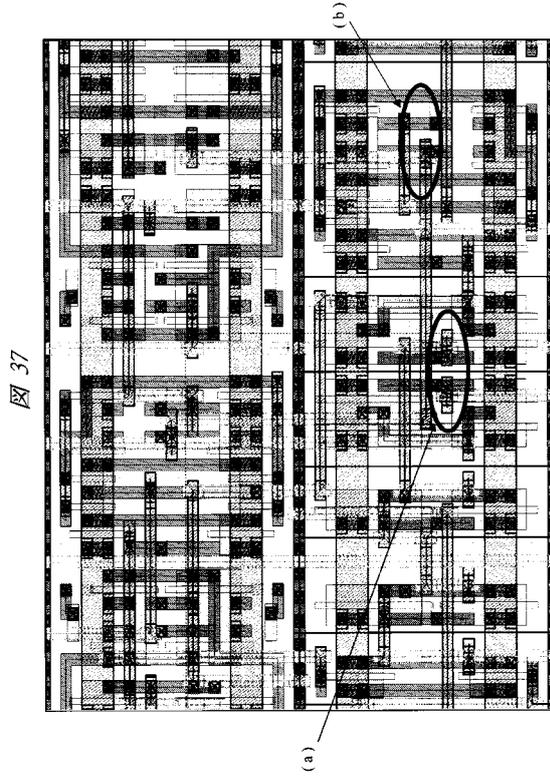


【 図 3 6 】

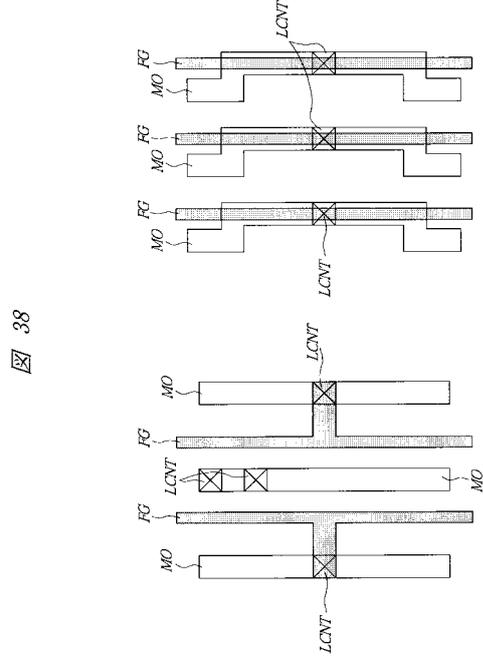
図 36



【 図 37 】



【 図 38 】



---

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/088 (2006.01)  
H 0 1 L 21/822 (2006.01)  
H 0 1 L 27/04 (2006.01)

審査官 増山 慎也

(56)参考文献 特開平01-186655(JP,A)  
特開平11-186433(JP,A)  
特開平11-145137(JP,A)  
特開平10-214893(JP,A)  
特開平09-064315(JP,A)  
特開平07-106416(JP,A)  
特開平04-130648(JP,A)  
特開平03-286554(JP,A)  
特開2001-085614(JP,A)  
特開2001-035922(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82  
H01L 21/3205  
H01L 21/768  
H01L 21/822  
H01L 21/8234  
H01L 23/52  
H01L 27/04  
H01L 27/088