

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4975523号
(P4975523)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl.

F I

H05K 1/14 (2006.01)

H05K 1/14 A

H01L 25/065 (2006.01)

H01L 25/08 Z

H01L 25/07 (2006.01)

H01L 27/14 D

H01L 25/18 (2006.01)

H04N 5/225 D

H01L 27/14 (2006.01)

H05K 1/18 P

請求項の数 5 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2007-140141 (P2007-140141)
 (22) 出願日 平成19年5月28日(2007.5.28)
 (65) 公開番号 特開2008-294331 (P2008-294331A)
 (43) 公開日 平成20年12月4日(2008.12.4)
 審査請求日 平成22年3月1日(2010.3.1)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 荒井 直
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 審査官 吉澤 秀明

最終頁に続く

(54) 【発明の名称】 部品内蔵基板

(57) 【特許請求の範囲】

【請求項1】

第1の電子部品と、

その一面側に撮像領域を有する撮像素子である第2の電子部品と、

第1の配線が形成されると共に前記第1の電子部品の一面側が搭載される第1の基板と

、

第2の配線が形成されると共に前記第1の基板に積層される第2の基板と、

前記第1の基板と前記第2の基板を電氣的に接続する接続部材と、

前記第1の基板と前記第2の基板の間に前記第1の電子部品を封止するよう配設される
封止樹脂とを有し、

前記第2の電子部品に、該第2の電子部品の一面側を保護する透明部材を設け、

前記第2の電子部品を、前記第2の基板の前記接続部材が接続されている面に配設し、

前記第2の基板に開口部を形成すると共に、前記第2の電子部品の一面側が該開口部と
対向するよう配設し、

前記透明部材は、前記開口部の少なくとも一部の領域に位置している部品内蔵基板。

【請求項2】

前記第2の電子部品の他面側と、前記第1の電子部品の他面側とが互いに対向するよう
配置した請求項1記載の部品内蔵基板。

【請求項3】

前記第2の基板に、前記第2の電子部品と対向するレンズが配設されたレンズユニット

を設けた請求項 1 または 2 のいずれか一項に記載の部品内蔵基板。

【請求項 4】

第 1 の電子部品と、

その一面側に撮像領域を有する撮像素子である第 2 の電子部品と、

第 1 の配線が形成されると共に前記第 1 の電子部品の一面側が搭載される第 1 の基板と

、

第 2 の配線が形成されると共に前記第 1 の基板に積層される第 2 の基板と、

前記第 1 の基板と前記第 2 の基板を電氣的に接続する接続部材と、

前記第 1 の基板と前記第 2 の基板の間に前記第 1 の電子部品を封止するよう配設される封止樹脂とを有し、

前記第 2 の基板に開口部を形成すると共に、前記第 2 の電子部品の一面側が該開口部と対向し、

前記第 2 の電子部品の少なくとも一部が前記開口部の領域に位置するように設け、

前記第 2 の電子部品が、前記第 2 の基板とワイヤボンディングにより接続された部品内蔵基板。

【請求項 5】

前記第 2 の基板に、前記第 2 の電子部品と対向するレンズが配設されたレンズユニットを設けた請求項 4 記載の部品内蔵基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は部品内蔵基板に係り、特に撮像処理を行う電子部品が組み込まれる部品内蔵基板に関する。

【背景技術】

【0002】

近年、小型カメラを内蔵した携帯電話機が広く利用されるようになってきており、これに伴い固体撮像素子等の撮像処理を行う電子部品（以下、撮像デバイスという）を携帯電話機の基板に搭載することが行われるようになってきている。また、携帯電話機では携帯性が要求されており、従って内設される電子部品も小型化及び薄型化が要求されている。

【0003】

また撮像デバイスを基板に搭載する場合、一般に撮像デバイスの駆動制御を行うデジタルシグナルプロセッサ（DSP）も合わせて基板に搭載することが行われる。更に、撮像デバイスの上部には、撮像品質の向上の面から撮像領域に塵埃が付着するのを防止するガラス板（透明な保護部材）が設けられる。

【0004】

従来では、配線基板に DSP 及び撮像デバイスを配設する際、単に配線基板に DSP、撮像デバイス、及びガラス板を積層することにより小型化が図られていた。（例えば、特許文献 1 参照）。

【特許文献 1】特開 2005 - 347416 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら従来の構成では、配線基板の上部に DSP、撮像デバイス、及びガラス板が積層されるため、その高さが高くなり携帯電話機等の電子機器の薄型化を妨げる原因となるという問題点があった。

【0006】

本発明は上記の点に鑑みてなされたものであり、撮像処理を行う電子部品を設けても小型化を図りうる部品内蔵基板を提供することを目的とする。

【課題を解決するための手段】

【0007】

10

20

30

40

50

上記の課題は、本発明の第 1 の観点からは、
第 1 の電子部品と、
その一面側に撮像領域を有する撮像素子である第 2 の電子部品と、
第 1 の配線が形成されると共に前記第 1 の電子部品の一面側が搭載される第 1 の基板と

、
第 2 の配線が形成されると共に前記第 1 の基板に積層される第 2 の基板と、
前記第 1 の基板と前記第 2 の基板を電氣的に接続する接続部材と、
前記第 1 の基板と前記第 2 の基板の間に前記第 1 の電子部品を封止するよう配設される
封止樹脂とを有し、

前記第 2 の電子部品に、該第 2 の電子部品の一面側を保護する透明部材を設け、
前記第 2 の電子部品を、前記第 2 の基板の前記接続部材が接続されている面に配設し、
前記第 2 の基板に開口部を形成すると共に、前記第 2 の電子部品の一面側が該開口部と
対向するよう配設し、
前記透明部材は、前記開口部の少なくとも一部の領域に位置している部品内蔵基板によ
り解決することができる。

【 0 0 0 9 】

また、上記発明において、前記第 2 の電子部品の他面側と、前記第 1 の電子部品の他面
側とが互いに対向するよう配置した構成としてもよい。

【 0 0 1 4 】

また、上記発明において、前記第 2 の基板に、前記第 2 の電子部品と対向するレンズが
配設されたレンズユニットを設けた構成としてもよい。

また上記の課題は、本発明の第 2 の観点からは、

第 1 の電子部品と、

その一面側に撮像領域を有する撮像素子である第 2 の電子部品と、

第 1 の配線が形成されると共に前記第 1 の電子部品の一面側が搭載される第 1 の基板と

、
第 2 の配線が形成されると共に前記第 1 の基板に積層される第 2 の基板と、
前記第 1 の基板と前記第 2 の基板を電氣的に接続する接続部材と、
前記第 1 の基板と前記第 2 の基板の間に前記第 1 の電子部品を封止するよう配設される
封止樹脂とを有し、

前記第 2 の基板に開口部を形成すると共に、前記第 2 の電子部品の一面側が該開口部と
対向し、

前記第 2 の電子部品の少なくとも一部が前記開口部の領域に位置するように設け、
前記第 2 の電子部品が、前記第 2 の基板とワイヤボンディングにより接続された部品内
蔵基板により解決することができる。

また、上記発明において、前記第 2 の基板に、前記第 2 の電子部品と対向するレンズが
配設されたレンズユニットを設けた構成としてもよい。

【発明の効果】

【 0 0 1 5 】

本発明によれば、第 2 の電子部品の回路面が、第 2 の基板に形成された開口部と対向す
るよう配設したことにより、第 1 の電子部品と共に第 2 の電子部品を第 1 及び第 2 の基板
内に内蔵することができ、電子部品を回路基板の上部に積層して配設していた従来構成に
比べ、第 2 の電子部品を含めた部品内蔵基板の薄型化、小型化を図ることができる。

【発明を実施するための最良の形態】

【 0 0 1 6 】

次に、本発明を実施するための最良の形態について図面と共に説明する。

【 0 0 1 7 】

図 1 は、本発明の第 1 実施例である部品内蔵基板 10A を示している。尚、以下の説明においては、図 1 に矢印 Z1 で示す側を上方とし、矢印 Z2 で示す側を下方とする。また、図 2 以降の各図においても同様とする。

【0018】

部品内蔵基板 10A は、大略すると第 1 の基板 100、第 2 の基板 200、半導体チップ 110A（請求項に記載の第 1 の電子部品に相当する）、撮像デバイス 110B（請求項に記載の第 2 の電子部品に相当する）、電極 112、封止樹脂 115、及びガラス板 130（請求項に記載の透明部材に相当する）等により構成されている。

【0019】

第 1 の基板 100 は、コア基板 101、ビルドアップ層 101A、101B、配線パターン 103A、103B、内層配線 103C、及びソルダーレジスト層 104A、104B 等により構成されている。

【0020】

コア基板 101 は、プリプレグ材（ガラス繊維にエポキシ樹脂などを含浸させた材料）よりなり、その両面には例えば Cu よりなる内層配線 103C が形成されている。また、コア基板 101 の両面に形成された内層配線 103C は、コア基板 101 を貫通して形成されたビアプラグ 102 により電氣的に接続されている。

【0021】

このコア基板 101 の図中上面にはビルドアップ層 101A が形成され、また下面にはビルドアップ層 101B が形成される。このビルドアップ層 101A の上面には例えば Cu からなる配線パターン 103A が形成されると共に、ビルドアップ層 101B の下面には例えば Cu からなる配線パターン 103B が形成されている。配線パターン 103A は、層間ビア 105A を介して内層配線 103C に接続され、配線パターン 103B は層間ビア 105B を介して内層配線 103C に接続されている。

【0022】

また、ビルドアップ層 101A の図中上面には、ソルダーレジスト層 104A が形成されている。このソルダーレジスト層 104A は、後述する半導体チップ 110A の接合位置、及び電極 112 の接合位置が除去されて接続孔 117A（図 3（A）参照）が形成されている。配線パターン 103A は、この接続孔 117A から露出した状態となっている。

【0023】

また、ビルドアップ層 101B の図中下面には、ソルダーレジスト層 104B が形成されている。このソルダーレジスト層 104B は、後述するはんだボール 111 が接続される位置に接続孔 117B が形成されている。配線パターン 103B は、この接続孔 117B から露出した状態となっている。

【0024】

この接続孔 117A、117B から露出した配線パターン 103A、103B の内、後述する電極 112 或いははんだボール 111 がはんだ接合される位置には、はんだ付け性を高めるために例えば Ni/Au（配線パターン 103A 上に Ni 層、Au 層の順に積層された層）等よりなる接続層が形成されている（接続層の図示は省略している）。また、接続孔 117A、117B から露出した配線パターン 103A、103B の内、半導体チップ 110A がフリップチップ接合される位置には、例えばはんだ等よりなる接続層 107 が印刷法、電解メッキ法等により形成されている。

【0025】

半導体チップ 110A は、後述する撮像デバイス 110B の制御を行うデジタルシグナルプロセッサ（DSP）である。この半導体チップ 110A は、フリップチップ接合により第 1 の基板 100 に搭載される。

【0026】

具体的には、半導体チップ 110A の主面にはバンブ 108 が形成されており、このバンブ 108 を前記した接続層 107 に接合することにより、半導体チップ 110A は第 1

10

20

30

40

50

の基板 1 0 0 にフリップチップ接合される。また、半導体チップ 1 1 0 A と第 1 の基板 1 0 0 の上面 1 0 0 a との間には、接合信頼性を高めるためにアンダーフィル樹脂 1 0 9 が配設される。

【 0 0 2 7 】

尚、本実施例では半導体チップ 1 1 0 A として D S P を用いた例を示しているが他のチップ状の部品（例えば、キャパシタ、レジスタ、インダクタ等）を用いることが可能である。

【 0 0 2 8 】

はんだボール 1 1 1 は外部接続端子として機能するものであり、第 1 の基板 1 0 0 の下面 1 0 0 b に配設されている。具体的には、前記のようにソルダーレジスト層 1 0 4 B には配線パターン 1 0 3 B が露出した接続孔 1 1 7 B が形成されており、はんだボール 1 1 1 はこの接続孔 1 1 7 B から露出した配線パターン 1 0 3 B に接合されている。

【 0 0 2 9 】

一方、第 2 の基板 2 0 0 は、コア基板 2 0 1、配線パターン 2 0 3 A、2 0 3 B、及びソルダーレジスト層 2 0 4 等により構成されている。

【 0 0 3 0 】

コア基板 2 0 1 は、前記した第 1 の基板 1 0 0 のコア基板 1 0 1 と同様に、プリプレグ材よりなり、その上面には例えば C u よりなる配線パターン 2 0 3 A が形成され、また下面には電極 1 1 2 又は撮像デバイス 1 1 0 B が接合される配線パターン 2 0 3 B が形成されている。

【 0 0 3 1 】

この配線パターン 2 0 3 A、2 0 3 B は、コア基板 2 0 1 を貫通して形成されたビアプラグ 2 0 2 により電氣的に接続されている。また、配線パターン 2 0 3 A が形成されたコア基板 2 0 1 の図中上面にはソルダーレジスト層 2 0 4 A が形成されると共に、配線パターン 2 0 3 B が形成されたコア基板 2 0 1 の図中下面にはソルダーレジスト層 2 0 4 B が形成されている。

【 0 0 3 2 】

一方、第 2 の基板 2 0 0 の略中央位置には、開口部 2 0 6 が形成されている。この開口部 2 0 6 は第 2 の基板 2 0 0 を貫通して形成されており、またその形状は後述する撮像デバイス 1 1 0 B 及びガラス板 1 3 0 の形状に対応するよう設定されている。

【 0 0 3 3 】

撮像デバイス 1 1 0 B は、第 2 の基板 2 0 0 の下面 2 0 0 b で開口部 2 0 6 が形成された位置に配設されている。この撮像デバイス 1 1 0 B は、例えば固体撮像素子（C C D）であり、素子の回路面（能動面）に形成された撮像領域 1 2 9 を囲繞する外周にはバンブ 1 3 5 が形成されている。

【 0 0 3 4 】

また本実施例では、撮像デバイス 1 1 0 B の撮像領域 1 2 9 の上部にはガラス板 1 3 0 が接合剤 1 3 3 を用いて接合されている。接合剤 1 3 3 は撮像領域 1 2 9 を囲繞するよう配設されており、よってガラス板 1 3 0 が撮像デバイス 1 1 0 B に接合された状態で、ガラス板 1 3 0 と撮像領域 1 2 9 との間に微小な気密な空間部を形成するよう構成されている。このように、本実施例では、撮像領域 1 2 9 がガラス板 1 3 0 及び接合剤 1 3 3 により封止された構成であるため、撮像領域 1 2 9 に塵埃が付着し撮像品質が低下することを防止することができる。

【 0 0 3 5 】

上記構成とされた撮像デバイス 1 1 0 B は、第 2 の基板 2 0 0 の下面 2 0 0 b に形成された配線パターン 2 0 3 B と電氣的に接続されている。具体的には、配線パターン 2 0 3 B には異方性導電性樹脂 1 4 0 が配設されており、撮像デバイス 1 1 0 B に形成されたバンブ 1 3 5 をこの異方性導電性樹脂 1 4 0 に圧入し加熱処理することにより、バンブ 1 3 5 と配線パターン 2 0 3 B とを接合する。

【 0 0 3 6 】

上記構成とされた第1の基板100と第2の基板200は、封止接続層により接合される。この封止接続層は、電極112と封止樹脂115とにより構成される。

【0037】

電極112は、球形状の銅コア113の表面にはんだ被膜114を形成した構成とされている。この電極112は、その下部が第1の基板100の接続孔117Aから露出した配線パターン103Aにはんだ付けされ、その上部が第2の基板200の配線パターン203Bに接合される。これにより、第1の基板100の配線パターン103Aと、第2の基板200の配線パターン203Bは、電極112を介して電気的かつ機械的に接合される。

【0038】

封止樹脂115は、第1の基板100と第2の基板200との離間部分に形成される。これにより、半導体チップ110Aは封止樹脂115により封止され、第1の基板100と第2の基板200との間に内蔵された状態となる。

【0039】

また、この封止樹脂115は接着剤としても機能するため、この封止樹脂115により第1の基板100と第2の基板200を強固に接合することができる。このように、部品内蔵基板10Aは、第1の基板100と第2の基板200を接合するのに、電極112による接合に加えて封止樹脂115により接合を行っているため、部品内蔵基板10Aの薄型化を図っても、第1の基板100と第2の基板200が剥離するようなことはなく、高い信頼性を実現することができる。

【0040】

また本実施例では、第2の基板200の上部に、レンズ131を有したレンズホルダ132を設けた構成とされている。レンズホルダ132に配設されたレンズ131は、撮像デバイス110Bの撮像領域129に撮像画像を合焦点させるものである。

【0041】

このレンズホルダ132は、第2の基板200の上面200aに接着により固定される。このようにレンズホルダ132を設けることにより、更に撮像デバイス110Bに塵埃が付着することを防止することができる。

【0042】

上記構成とされた部品内蔵基板10Aは、その内部にDSPとして機能する半導体チップ110Aと、撮像処理を行う撮像デバイス110Bとが内蔵された構成とされている。このため、従来のように回路基板の上部に個別に撮像デバイスとDSPとを積層する構成に比べ、薄型化及び小型化を図ることができる。

【0043】

また、本実施例では、撮像デバイス110Bに直接ガラス板130を配設することにより塵埃の付着防止の確実性を高めているが、単にガラス板130を撮像デバイス110Bに積層した構成では、従来の同様に部品内蔵基板10Aが高背化してしまうことが懸念される。

【0044】

しかしながら、本実施例では撮像デバイス110Bを第2の基板200に配設した状態で、このガラス板130は開口部206の内部に位置するよう（挿入されるよう）構成されている。よって、従来と同様に第2の基板の上部に撮像デバイス及びガラス板を積層する構成に比べ、本実施例によれば高さ方向（図中、矢印Z1、Z2方向）に対し、ガラス板130と第2の基板200とが重なり合っている高さ分（図1に矢印Hで示す）だけ部品内蔵基板10Aの薄型化、小型化を図ることができる。

【0045】

次に、図1に示した部品内蔵基板10Aの製造方法について説明する。

【0046】

図2乃至図5は、部品内蔵基板10Aの製造方法を製造手順に沿って示す図である。尚、図2乃至図5において、図1に示した構成と対応する構成については同一符号を付して

10

20

30

40

50

、一部その説明を省略するものとする。

【 0 0 4 7 】

図 2 は、撮像デバイス 1 1 0 B を第 2 の基板 2 0 0 に配設する工程を示している。先ず、この撮像デバイス 1 1 0 B を第 2 の基板 2 0 0 に配設する工程の説明に先立ち、説明の便宜上、第 2 の基板 2 0 0 の製造方法について説明する。

【 0 0 4 8 】

第 2 の基板 2 0 0 を製造するは、例えばプリプレグ材よりなるコア基板 2 0 1 に対し、このコア基板 2 0 1 を貫通するビアプラグ 2 0 2 を形成する。また、コア基板 2 0 1 の上面に配線パターン 2 0 3 A を形成すると共に、前記コア基板 2 0 1 の下面に配線パターン 2 0 3 B を形成する。

10

【 0 0 4 9 】

このコア基板 2 0 1 の各面に形成された配線パターン 2 0 3 A と配線パターン 2 0 3 B は、ビアプラグ 2 0 2 により電氣的に接続される。この配線パターン 2 0 3 A , 2 0 3 B 及びビアプラグ 2 0 2 は、例えば Cu により形成することができる。次に、コア基板 2 0 1 の上面にソルダーレジスト層 2 0 4 A を形成すると共に、下面にソルダーレジスト層 2 0 4 B を形成する。このソルダーレジスト層 2 0 4 B には接続孔 1 1 6 B が形成され、この接続孔 1 1 6 B からは配線パターン 2 0 3 B が露出した状態となっている。

【 0 0 5 0 】

続いてこの第 2 の基板 2 0 0 に対し、開口部 2 0 6 を形成する。この開口部 2 0 6 の形成方法としては、例えばルータ加工を用いることができる。この開口部 2 0 6 は、前記したようにガラス板 1 3 0 を内部に挿入することができる形状に形成される。このルータ加工は穴あけ加工として周知であり、よって開口部 2 0 6 の形成を容易に行うことができる。

20

【 0 0 5 1 】

開口部 2 0 6 の形成工程が終了すると、続いて第 2 の基板 2 0 0 に電極 1 1 2 を接合する。この電極 1 1 2 は、前記のように球状の銅コア 1 1 3 の外周にはんだ被膜 1 1 4 が設けられた構成とされている。

【 0 0 5 2 】

この電極 1 1 2 を第 2 の基板 2 0 0 に接合するには、電極 1 1 2 にフラックスを塗布し、その上でこの電極 1 1 2 を接続孔 1 1 6 B から露出した配線パターン 2 0 3 B に仮止めする。続いて、この電極 1 1 2 が仮止めされた第 2 の基板 2 0 0 をリフロー処理することにより、電極 1 1 2 は配線パターン 2 0 3 B にはんだ付けされる。このはんだ付け工程が終了すると、フラックス洗浄を行いフラックス残渣を除去する。

30

【 0 0 5 3 】

上記の工程を経ることにより形成された第 2 の基板 2 0 0 は、図 2 (A) に示すように上下が反対となるよう配置され、第 2 の基板 2 0 0 の下面 2 0 0 b に対し撮像デバイス 1 1 0 B を搭載する工程が実施される。

【 0 0 5 4 】

撮像デバイス 1 1 0 B を第 2 の基板 2 0 0 に搭載する際、予めガラス板 1 3 0 を撮像デバイス 1 1 0 B に配設しておく。前記のように、ガラス板 1 3 0 は、接合剤 1 3 3 を用いて撮像デバイス 1 1 0 B に固定される。ガラス板 1 3 0 が撮像デバイス 1 1 0 B に固定された状態で、接合剤 1 3 3 はガラス板 1 3 0 の配設位置の外周に位置している。

40

【 0 0 5 5 】

一方、第 2 の基板 2 0 0 のバンプ 1 3 5 と接続される配線パターン 2 0 3 B には、予め異方性導電性樹脂 1 4 0 を配設しておく。この異方性導電性樹脂 1 4 0 としては、例えば異方性導電フィルム (ACF) を用いることができ、また異方性導電ペースト (ACP) を用いることも可能である。

【 0 0 5 6 】

上記構成とされた撮像デバイス 1 1 0 B を第 2 の基板 2 0 0 に搭載するには、図 2 (A) に示すように、ガラス板 1 3 0 と開口部 2 0 6 とを位置決めした上で、ガラス板 1 3 0

50

が開口部 206 に挿入される。これにより、撮像デバイス 110B に設けられたバンブ 135 は、異方性導電性樹脂 140 に当接する。

【0057】

そして、撮像デバイス 110B を第 2 の基板 200 に向け加圧しつつ加熱することにより、異方性導電性樹脂 140 を介して撮像デバイス 110B は第 2 の基板 200 にフリップチップ接合され、バンブ 135 は配線パターン 203B と電氣的に接続する。図 2 (B) は、撮像デバイス 110B が第 2 の基板 200 に搭載された状態を示している。

【0058】

上記のように撮像デバイス 110B が第 2 の基板 200 に搭載されると、この第 2 の基板 200 を第 1 の基板 100 に接合する工程が実施される。図 3 は、第 2 の基板 200 を第 1 の基板 100 に接合する工程を示している。

10

【0059】

ここで、説明の便宜上、第 1 の基板 100 の製造方法について説明する。第 1 の基板 100 を製造するには、例えばプリプレグ材よりなるコア基板 101 を用意し、このコア基板 101 を貫通するビアプラグ 102 を形成すると共に、このコア基板 101 の上面及び下面に内層配線 103C を形成する。このコア基板 101 の上面及び下面に形成された内層配線 103C は、ビアプラグ 102 により電氣的に接続される。尚、このビアプラグ 102 及び内層配線 103C は、例えば Cu により形成することができる。

【0060】

続いて、内層配線 103C が形成されたコア基板 101 の上面に、ビルドアップ層 101A を形成し、更にコア基板 101 の下面にビルドアップ層 101B を形成する。このビルドアップ層 101A、101B としては、例えばポリイミド等の樹脂からなる絶縁フィルムを用いることができる。

20

【0061】

次に、このビルドアップ層 101A の上面に、配線パターン 103A を形成する。この配線パターン 103A と内層配線 103C は、ビルドアップ層 101A を貫通して形成された層間ビア 105A により電氣的に接続される。また、ビルドアップ層 101A の下面には、配線パターン 103B を形成する。この配線パターン 103B と内層配線 103C は、ビルドアップ層 101B を貫通して形成された層間ビア 105B により電氣的に接続される。

30

【0062】

続いて、配線パターン 103A が形成されたビルドアップ層 101A の上面に、ソルダレジスト層 104A を形成する。このソルダレジスト層 104A を形成する際、後述する半導体チップ 110A が接合する位置、及び電極 112 が接合する位置には接続孔 117A が形成される。また、この接続孔 117A から露出する配線パターン 103A には、例えば Ni / Au 等よりなる接続層を形成する。

【0063】

また、複数形成される接続孔 117A の内、後の工程で半導体チップ 110A が接合される接続孔 117A から露出した配線パターン 103A には、例えばはんだ等よりなる接続層 107 を電解メッキ等により形成する。

40

【0064】

一方、配線パターン 103B が形成されたビルドアップ層 101B の下面には、ソルダレジスト層 104B が形成される。このソルダレジスト層 104B を形成する際、後述するはんだボール 111 が接合する位置に接続孔 117B を形成する。また、この接続孔 117B から露出する配線パターン 103B には、例えば Ni / Au 等よりなる接続層が形成される。

【0065】

上記のようにして製造された第 1 の基板 100 には、続いて半導体チップ 110A が搭載される。第 1 の基板 100 に半導体チップ 110A を搭載するには、予め半導体チップ 110A の主面にバンブ 108 を設けておき、この半導体チップ 110A をフェイスダウ

50

ンとし、主面に形成されたパンプ１０８を接続層１０７に接合する。

【００６６】

半導体チップ１１０Ａが第１の基板１００にフリップチップ接合されると、続いて半導体チップ１１０Ａと第１の基板１００（上面１００ａ）との間に、アンダーフィル樹脂１０９を充填する。これにより、半導体チップ１１０Ａは第１の基板１００に高い信頼性を持って接合される。

【００６７】

上記のようにして製造される第１の基板１００に対して第２の基板２００を接合するには、先ず電極１１２にフラックス１１８を塗布する。その上で、図３（Ａ）に示すように、電極１１２と接続孔１１７Ａとが対向するよう、第１の基板１００の上方で第２の基板２００の位置決めを行う。

10

【００６８】

続いて、第２の基板２００を第１の基板１００に当接させる。これにより、電極１１２は配線パターン１０３Ａにフラックス１１８を用いて仮止めされた状態となる。またこれと同時に、半導体チップ１１０Ａは開口部２０６の内部に少なくともその一部が位置した状態となる。

【００６９】

このように、第２の基板２００が第１の基板１００に仮止めされると、この第１及び第２の基板１００、２００は、仮止めされた状態を維持しつつリフロー炉に装着されて加熱工程を実施する。これにより、電極１１２のはんだ被膜１１４は溶けて配線パターン１０３Ａにはんだ付けされ、第１の基板１００と第２の基板２００は電極１１２により接合されて積層された状態となる。この状態において、半導体チップ１１０Ａの背面（回路面と反対側の面）と、撮像デバイス１１０Ｂの背面（回路面と反対側の面）が、互いに対向した状態となる。

20

【００７０】

続いて、電極１１２のはんだ付け位置に残留しているフラックス残渣を除去する洗浄工程を行うことにより、第１の基板１００に対する第２の基板２００の接合工程が終了する。図３（Ｂ）は、第１の基板１００に対する第２の基板２００の接合工程が終了した状態を示している。

【００７１】

30

続いて、接合された第１及び第２の基板１００、２００は、図４（Ａ）に示すように金型１５０内に装着される。金型１５０は上型１５１及び下型１５２により構成されベース１５３上に配設された構成とされている。この金型１５０は、モールドゲート１５４及びモールドベント１５５が形成されており、モールドベント１５５から吸引処理を行いつつ、モールドゲート１５４から樹脂を充填する。この金型１５０を用いて、封止樹脂１１５を成型するトランスファーモールド工程が実施される。

【００７２】

本実施例では、このように吸引することにより金型１５０内を負圧にして樹脂注入を行っており、これにより第１の基板１００と第２の基板２００との離間距離が狭い部分においても、確実に封止樹脂１１５が充填されるようにしている。また、接合された第１及び第２の基板１００、２００を金型１５０に装着する際、接合された第１及び第２の基板１００、２００の上部にはテープ部材１５７が配設された状態で金型１５０内に装着される。このため、封止樹脂１１５が成型された後における第１及び第２の基板１００、２００の金型１５０からの離型性の向上が図られている。

40

【００７３】

この封止樹脂１１５のトランスファーモールドが終了すると、封止樹脂１１５が形成された第１及び第２の基板１００、２００は金型から取り出される。図４（Ｂ）は、封止樹脂１１５が形成された第１及び第２の基板１００、２００を示している。

【００７４】

上記のように封止樹脂１１５が形成されると、ソルダーレジスト層１０４Ｂに形成され

50

た接続孔 1 1 7 B から露出した配線パターン 1 0 3 B にはんだボール 1 1 1 をはんだ付けすることにより、図 5 に示す部品内蔵基板 1 0 A が製造される。その後、レンズホルダ 1 3 2 を第 2 の基板 2 0 0 上に配設することにより、図 1 に示す部品内蔵基板 1 0 A が製造される。

【 0 0 7 5 】

上記のように本実施例に係る製造方法によれば、薄型化を図りうる部品内蔵基板 1 0 A を簡単に、かつ効率より製造することができる。また、第 2 の基板 2 0 0 に開口部 2 0 6 を形成する工程も、汎用されている機械加工（ルータ加工）を用いることができるため、短時間で生産性よく製造することができる。

【 0 0 7 6 】

次に、本発明の第 2 実施例であるチップ内蔵基板について説明する。

【 0 0 7 7 】

図 6 は、第 2 実施例である部品内蔵基板 1 0 B を示している。尚、図 6 において、図 1 に示した第 1 実施例に係る部品内蔵基板 1 0 A と対応する構成については同一符号を付して、その説明を省略する。

【 0 0 7 8 】

前記した第 1 実施例に係る部品内蔵基板 1 0 A では、撮像デバイス 1 1 0 B と第 2 の基板 2 0 0 とがフリップチップ接合される例を示した。これに対して本実施例に係る部品内蔵基板 1 0 B は、撮像デバイス 1 1 0 B を第 2 の基板 2 0 0 にワイヤ 1 6 0 を用いて接続したことを特徴としている。

【 0 0 7 9 】

ワイヤボンディング法は、フリップチップ法に比べて低コスト化が図れるが、ワイヤループが撮像デバイス 1 1 0 B の上部にも形成されるため、薄型化の点からは不利である。

【 0 0 8 0 】

しかしながら本実施例では、撮像デバイス 1 1 0 B の上部には開口部 2 0 6 が形成されており、この開口部 2 0 6 とレンズホルダ 1 3 2 とが作る内部空間内でワイヤ 1 6 0 のワイヤループが形成されるよう構成している。よって、本実施例に係る部品内蔵基板 1 0 B によれば、撮像デバイス 1 1 0 B と第 2 の基板 2 0 0 との接続にワイヤ 1 6 0 を用いても部品内蔵基板 1 0 B の薄型化を図ることができ、かつ低コスト化を図ることができる。

【 0 0 8 1 】

以上、本発明の好ましい実施例について詳述したが、本発明は上記した特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能なものである。

【 0 0 8 2 】

具体的には、センサ表面を装置外部に露出して使用する各種装置に適用することが可能であり、例えば撮像デバイス 1 1 0 B に代えてホトダイオードを用いた光学的センサや、感圧式や静電容量式の指紋センサとしての適用も可能である。

【 0 0 8 3 】

また、上記した実施例では、ガラス板 1 3 0（透明部材）を撮像デバイス 1 1 0 B（第 2 の電子部品）に直接配設する構成を示したが、ガラス板 1 3 0 を撮像デバイス 1 1 0 B 以外の部品（例えば、第 2 の基板 2 0 0）に設けることも可能である。

【図面の簡単な説明】

【 0 0 8 4 】

【図 1】図 1 は、本発明の第 1 実施例であるチップ内蔵基板の断面図である。

【図 2】図 2 は、第 1 実施例であるチップ内蔵基板の断面図の製造方法を説明するための図である（その 1）。

【図 3】図 3 は、第 1 実施例であるチップ内蔵基板の断面図の製造方法を説明するための図である（その 2）。

【図 4】図 4 は、第 1 実施例であるチップ内蔵基板の断面図の製造方法を説明するための

10

20

30

40

50

図である（その３）。

【図５】図５は、第１実施例であるチップ内蔵基板の断面図の製造方法を説明するための図である（その４）。

【図６】図６は、本発明の第２実施例であるチップ内蔵基板の断面図である。

【符号の説明】

【００８５】

１０Ａ，１０Ｂ 部品内蔵基板

１００ 第１の基板

１０１ コア基板

１０２，２０２ ピアプラグ

10

１０３Ａ，１０３Ｂ，２０３Ａ，２０３Ｂ 配線パターン

１０３Ｃ 内層配線

１０４Ａ，１０４Ｂ，２０４Ａ，２０４Ｂ ソルダーレジスト層

１１０Ａ 半導体チップ

１１０Ｂ 撮像デバイス

１１１ はんだボール

１１２ 電極

１１３ 銅コア

１１４ はんだ被膜

１１５ 封止樹脂

20

１２９ 撮像面

１３０ ガラス板

１３１ レンズ

１３２ レンズホルダ

１４０ 異方性導電性樹脂

１５０ 金型

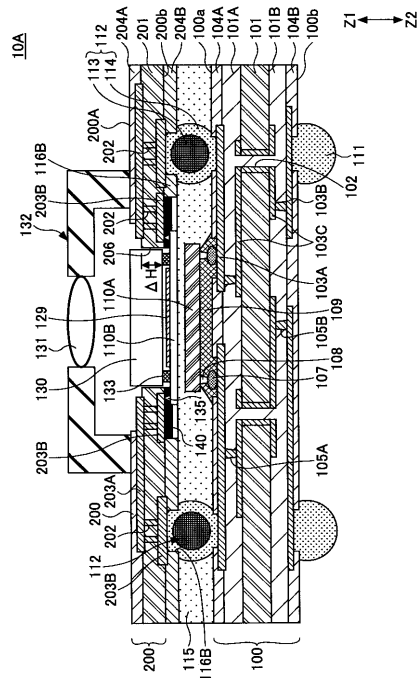
１６０ ワイヤ

２００ 第２の基板

２０６ 開口部

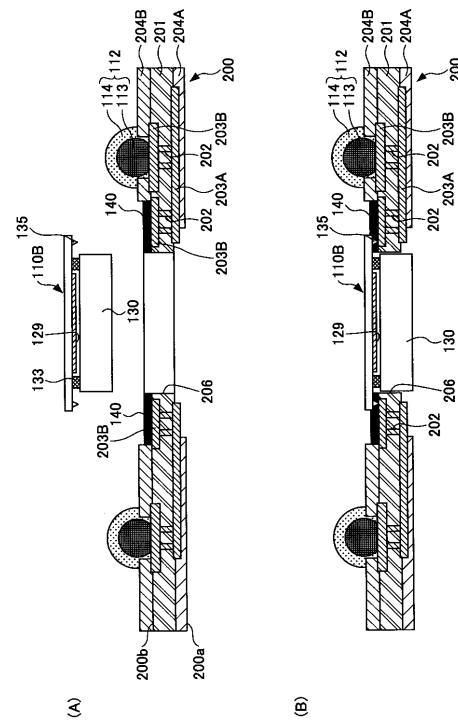
【 図 1 】

本発明の第1実施例であるチップ内蔵基板の断面図



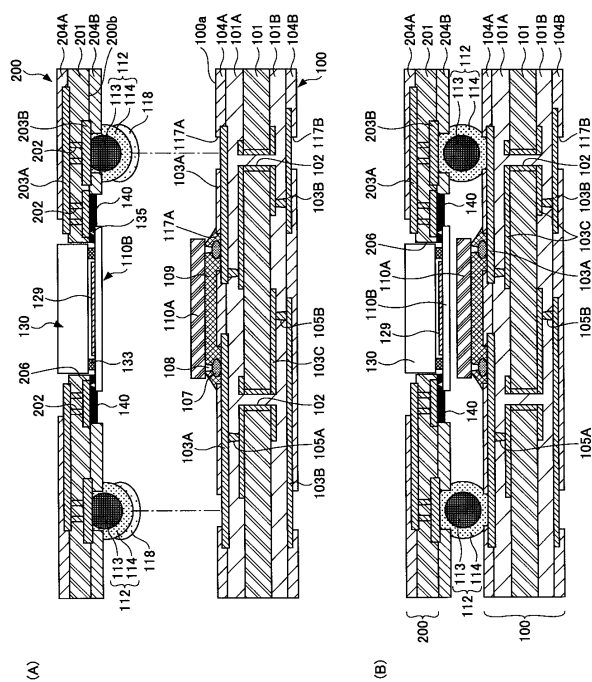
【 図 2 】

第1実施例であるチップ内蔵基板の断面図の製造方法を説明するための図である(その1)



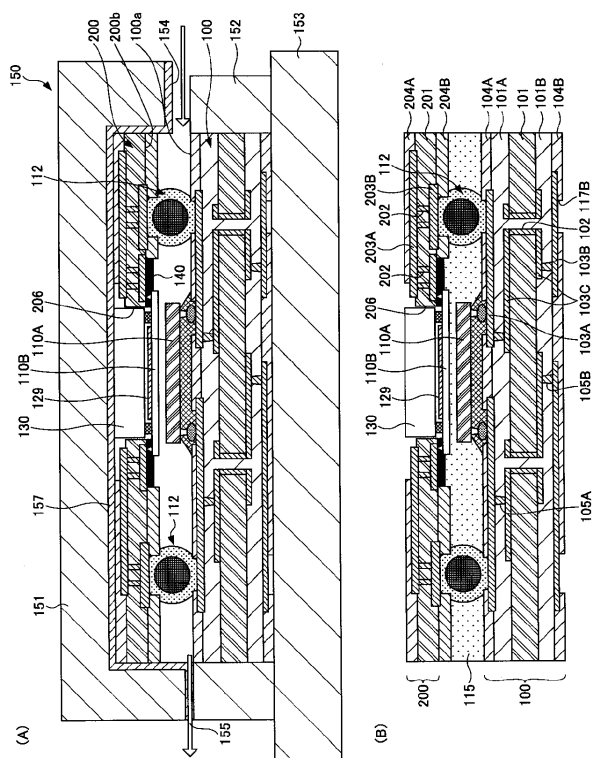
【 図 3 】

第1実施例であるチップ内蔵基板の断面図の製造方法を説明するための図である(その2)



【圖 4】

第1実施例であるチップ内蔵基板の断面図の製造方法を説明するための図である(その3)



フロントページの続き

(51)Int.Cl. F I

H 0 4 N 5/225 (2006.01)

H 0 5 K 1/18 (2006.01)

(56)参考文献 特開 2 0 0 4 - 0 7 9 7 7 9 (J P , A)
特開 2 0 0 1 - 0 0 7 4 7 2 (J P , A)
国際公開第 2 0 0 6 / 0 3 5 5 2 8 (W O , A 1)
特開 2 0 0 4 - 2 6 5 9 5 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 5 K 1 / 1 4
H 0 1 L 2 5 / 0 6 5
H 0 1 L 2 5 / 0 7
H 0 1 L 2 5 / 1 8
H 0 1 L 2 7 / 1 4
H 0 4 N 5 / 2 2 5
H 0 5 K 1 / 1 8