

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6181333号
(P6181333)

(45) 発行日 平成29年8月16日(2017.8.16)

(24) 登録日 平成29年7月28日(2017.7.28)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)

H01L 29/78 616U

G02F 1/1368 (2006.01)

H01L 29/78 618B

G02F 1/1345 (2006.01)

H01L 29/78 618E

H01L 29/78 616V

H01L 29/78 612C

請求項の数 4 (全 52 頁) 最終頁に続く

(21) 出願番号

特願2017-31776 (P2017-31776)

(22) 出願日

平成29年2月23日(2017.2.23)

(62) 分割の表示

特願2016-86127 (P2016-86127)

の分割

原出願日

平成21年10月29日(2009.10.29)

(65) 公開番号

特開2017-135391 (P2017-135391A)

(43) 公開日

平成29年8月3日(2017.8.3)

審査請求日

平成29年3月1日(2017.3.1)

(31) 優先権主張番号

特願2008-281174 (P2008-281174)

(32) 優先日

平成20年10月31日(2008.10.31)

(33) 優先権主張国

日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 秋元 健吾

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 佐々木 俊成

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 市川 武宜

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

基板上のゲート電極層と、

前記ゲート電極層上のゲート絶縁膜と、

前記ゲート絶縁膜上の第1の酸化物半導体層と、

前記第1の酸化物半導体層上の第2の酸化物半導体層と、

前記第2の酸化物半導体層上のソース電極及びドレイン電極と、を有し、

前記第1の酸化物半導体層は、結晶を有し、

前記ゲート絶縁膜は、酸化シリコンを有し、

前記第1の酸化物半導体層及び前記第2の酸化物半導体層は、In、Ga、及びZnを有し、

前記第2の酸化物半導体層と前記ソース電極との間の領域、及び前記第2の酸化物半導体層と前記ドレイン電極との間の領域は、バッファ層として機能する領域を有し、

前記バッファ層として機能する領域は、チタンを有することを特徴とする液晶表示装置。

【請求項 2】

基板上のゲート電極層と、

前記ゲート電極層上のゲート絶縁膜と、

前記ゲート絶縁膜上の第1の酸化物半導体層と、

前記第1の酸化物半導体層上の第2の酸化物半導体層と、

10

20

前記第2の酸化物半導体層上のソース電極及びドレイン電極と、を有し、
 前記第1の酸化物半導体層は、結晶を有し、
 前記ゲート絶縁膜は、酸化シリコンを有し、
 前記第1の酸化物半導体層及び前記第2の酸化物半導体層は、In、Ga、及びZnを有し、

前記第2の酸化物半導体層と前記ソース電極との間に第1の酸化物領域を有し、
 前記第2の酸化物半導体層と前記ドレイン電極との間に第2の酸化物領域を有し、
 前記第1の酸化物領域及び前記第2の酸化物領域は、チタンを有することを特徴とする液晶表示装置。

【請求項3】

10

基板上に、画素部と、端子部と、を有し、
 前記画素部は、
 前記基板上のゲート電極層と、
 基板上のゲート電極層と、
 前記ゲート電極層上のゲート絶縁膜と、
 前記ゲート絶縁膜上の第1の酸化物半導体層と、
 前記第1の酸化物半導体層上の第2の酸化物半導体層と、
 前記第2の酸化物半導体層上のソース電極及びドレイン電極と、
 前記ドレイン電極上の画素電極と、を有し、
 前記第1の酸化物半導体層は、結晶粒を有し、
 前記ゲート絶縁膜は、酸化シリコンを有し、
 前記第1の酸化物半導体層及び前記第2の酸化物半導体層は、In、Ga、及びZnを有し、

前記第2の酸化物半導体層と前記ソース電極との間の領域、及び前記第2の酸化物半導体層と前記ドレイン電極との間の領域は、バッファ層として機能する領域を有し、

前記バッファ層として機能する領域は、チタンを有し、
 前記画素電極は、前記ドレイン電極と電気的に接続され、
 前記端子部は、
 前記基板上の第1の導電層と、
 前記第1の導電層上の第2の導電層と

30

前記第2の導電層上の第3の導電層と、を有し、
 前記第1の導電層は、前記第2の導電層を介して前記第3の導電層と電気的に接続され、

前記第1の導電層は、前記ゲート電極と同一層、且つ、同一材料からなり、
 前記第2の導電層は、前記ソース電極及び前記ドレイン電極と同一層、且つ、同一材料からなり、

前記第3の導電層は、前記画素電極と同一層、且つ、同一材料からなることを特徴とする液晶表示装置。

【請求項4】

基板上に、画素部と、端子部と、を有し、
 前記画素部は、
 前記基板上のゲート電極層と、
 基板上のゲート電極層と、
 前記ゲート電極層上のゲート絶縁膜と、
 前記ゲート絶縁膜上の第1の酸化物半導体層と、
 前記第1の酸化物半導体層上の第2の酸化物半導体層と、
 前記第2の酸化物半導体層上のソース電極及びドレイン電極と、
 前記ドレイン電極上の画素電極と、を有し、
 前記第1の酸化物半導体層は、結晶粒を有し、
 前記ゲート絶縁膜は、酸化シリコンを有し、

50

前記第1の酸化物半導体層及び前記第2の酸化物半導体層は、In、Ga、及びZnを有し、

前記第2の酸化物半導体層と前記ソース電極との間に第1の酸化物領域を有し、

前記第2の酸化物半導体層と前記ドレイン電極との間に第2の酸化物領域を有し、

前記第1の酸化物領域及び前記第2の酸化物領域は、チタンを有し、

前記画素電極は、前記ドレイン電極と電気的に接続され、

前記端子部は、

前記基板上の第1の導電層と、

前記第1の導電層上の第2の導電層と

前記第2の導電層上の第3の導電層と、を有し、

前記第1の導電層は、前記第2の導電層を介して前記第3の導電層と電気的に接続され

、前記第1の導電層は、前記ゲート電極と同一層、且つ、同一材料からなり、

前記第2の導電層は、前記ソース電極及び前記ドレイン電極と同一層、且つ、同一材料からなり、

前記第3の導電層は、前記画素電極と同一層、且つ、同一材料からなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を用いる半導体装置と、該半導体装置を用いた表示装置及びそれらの作製方法に関する。

【背景技術】

【0002】

近年、液晶ディスプレイに代表される液晶表示装置が広く普及していきている。液晶ディスプレイとしては、各画素に薄膜トランジスタ(TFT)が設けられたアクティブマトリクス型のものがよく用いられている。アクティブマトリクス型液晶ディスプレイの薄膜トランジスタには、活性層としてアモルファスシリコンや多結晶シリコン用いられる。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いが、大型ガラス基板のような大面積基板にも容易に形成することができる。一方、多結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いが、レーザアニール等の結晶化工程が必要なので、大型ガラス基板のような大面積基板に形成するには膨大な時間がかかる。

【0003】

これに対し、上記のようなシリコン材料に代わって、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、In-Ga-Zn-O系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体にチャネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタの10倍から100倍程度の電界効果移動度が得られている。酸化物半導体膜はスパッタリング法などによって300℃以下の温度で膜形成が可能であり、多結晶シリコンを用いた薄膜トランジスタよりも製造工程が簡単である。よって、大型

10

20

30

40

50

基板を用いた場合にも、表示装置の画素部とその周辺の駆動回路を同一基板上に容易に形成することができる。

【0006】

アクティブマトリクス型の液晶表示装置では、短いゲートスイッチング時間の間に液晶層への電圧の印加及び保持容量の充電を行うため、大きい駆動電流が必要とされる。特に、画面を大型化又は高精細化した液晶表示装置では、より大きい駆動電流が要求される。そのため、スイッチング素子として用いられる薄膜トランジスタは、電界効果移動度が高いものが好ましい。

【0007】

しかし、酸化物半導体を用いた薄膜トランジスタの電界効果移動度は、従来液晶表示装置の駆動回路に用いられてきた多結晶シリコンを用いた薄膜トランジスタの電界効果移動度より低くなっている。

【0008】

そこで、本発明の一態様は、酸化物半導体を用いた薄膜トランジスタにおいて、電界効果移動度を向上させることを課題の一とする。また、本発明の一態様は、薄膜トランジスタの電界効果移動度を向上させても、オフ電流の増大を抑制することを課題の一とする。また、本発明の一態様は、該酸化物半導体を用いた薄膜トランジスタを有する表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、薄膜トランジスタを形成するにあたって、酸化物半導体層を用い、該酸化物半導体層とゲート絶縁層の間に、該酸化物半導体層より導電率が高く、膜厚が薄い半導体層を形成する。

【0010】

本発明の一態様は、ゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁層上に半導体層と、半導体層上に酸化物半導体層と、酸化物半導体層上にソース電極層及びドレイン電極層とを有し、酸化物半導体層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であり、半導体層の膜厚は、酸化物半導体層の膜厚より薄く、半導体層の導電率は、酸化物半導体層の導電率より高く、酸化物半導体層とソース電極層及びドレイン電極層とは電気的に接続することを特徴とする半導体装置である。

【0011】

本発明の他の一態様は、ゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁層上に半導体層と、半導体層上に酸化物半導体層と、酸化物半導体層上にn型の導電型を有するバッファ層と、バッファ層上にソース電極層及びドレイン電極層とを有し、酸化物半導体層及びバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であり、バッファ層のキャリア濃度は、酸化物半導体層のキャリア濃度より高く、半導体層の膜厚は、酸化物半導体層の膜厚より薄く、半導体層の導電率は、酸化物半導体層の導電率より高く、バッファ層の導電率は、半導体層の導電率より高く、酸化物半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電気的に接続することを特徴とする半導体装置である。

【0012】

なお、半導体層は、インジウム、ガリウム、及び亜鉛を含む酸化物半導体層であることが好ましい。また、半導体層の導電率は、 $1.0 \times 10^{-3} \text{ S/cm}$ より大きいことが好ましい。また、酸化物半導体層は、ソース電極層とドレイン電極層の間に、ソース電極層及びドレイン電極層と重なる領域よりも膜厚の薄い領域を有することが好ましい。また、バッファ層のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上であり、酸化物半導体層のキャリア濃度は、 $1 \times 10^{17} / \text{cm}^3$ 未満であることが好ましい。

【0013】

本発明の他の一態様は、基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に、インジウム、ガリウム、及び亜鉛を含む第1の酸化物半導

10

20

30

40

50

体膜をスパッタ法によって成膜し、第1の酸化物半導体膜上に、インジウム、ガリウム、及び亜鉛を含む第2の酸化物半導体膜をスパッタ法によって成膜し、第1の酸化物半導体膜と第2の酸化物半導体膜をエッチングして半導体層と島状の第2の酸化物半導体膜を形成し、半導体層と島状の第2の酸化物半導体膜の上に導電層を成膜し、島状の第2の酸化物半導体膜と導電層をエッチングして酸化物半導体層とソース電極層及びドレイン電極層を形成し、第1の酸化物半導体膜の成膜時の酸素ガス流量の比率を、第2の酸化物半導体膜の成膜時の酸素ガス流量の比率より少なくすることを特徴とする半導体装置の作製方法である。

【0014】

なお、第1の酸化物半導体膜の成膜時の酸素ガス流量の比率を10体積%未満とし、第2の酸化物半導体膜の成膜時の酸素ガス流量の比率を10体積%以上とすることが好ましい。また、第1の酸化物半導体膜をアルゴンガス雰囲気下で成膜し、第2の酸化物半導体膜をアルゴンガスと酸素ガスの雰囲気下で成膜することが好ましい。また、酸化物半導体層におけるソース電極層とドレイン電極層の間の領域に、ソース電極層及びドレイン電極層と重なる領域よりも膜厚の薄い領域を設けることが好ましい。

【0015】

本明細書中で用いる酸化物半導体は、 $InMO_3 (ZnO)_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を用いた薄膜トランジスタを作製する。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることの他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においてはこの薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

【0016】

In-Ga-Zn-O系非単結晶膜の結晶構造は、アモルファス構造がXRD (X線回折)の分析では観察される。なお、測定したサンプルのIn-Ga-Zn-O系非単結晶膜は、スパッタ法で成膜した後、加熱処理を200 ~ 500、代表的には300 ~ 400で10分 ~ 100分行っている。また、薄膜トランジスタの電気特性もゲート電圧±20Vにおいて、オンオフ比が10⁹以上、移動度が10以上のものを作製することができる。

【0017】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0018】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【発明の効果】

【0019】

本発明の一態様は、酸化物半導体層を用いた薄膜トランジスタにおいて、酸化物半導体層とゲート絶縁層の間に、該酸化物半導体層より導電率が高く、膜厚が薄い半導体層を形成することによって、該薄膜トランジスタの電界効果移動度を向上させることができる。また、薄膜トランジスタの電界効果移動度を向上させながらもオフ電流の増大を抑制することができる。

【0020】

本発明の他の一態様は、該薄膜トランジスタを表示装置の画素部及び駆動回路部に用いることによって、電気特性が高く信頼性のよい表示装置を提供することができる。

【図面の簡単な説明】

【0021】

10

20

30

40

50

- 【図1】本発明の一態様に係る半導体装置を説明する図。
- 【図2】本発明の一態様に係る半導体装置の作製方法を説明する図。
- 【図3】本発明の一態様に係る半導体装置の作製方法を説明する図。
- 【図4】本発明の一態様に係る半導体装置の作製方法を説明する図。
- 【図5】本発明の一態様に係る半導体装置の作製方法を説明する図。
- 【図6】本発明の一態様に係る半導体装置の作製方法を説明する図。
- 【図7】本発明の一態様に係る半導体装置の作製方法を説明する図。
- 【図8】本発明の一態様に係る半導体装置を説明する図。
- 【図9】本発明の一態様に係る半導体装置を説明する図。
- 【図10】本発明の一態様に係る半導体装置を説明する図。 10
- 【図11】本発明の一態様に係る半導体装置の作製方法を説明する図。
- 【図12】酸化物半導体層の導電率を測定した結果を表すグラフ。
- 【図13】本発明の一態様に係る半導体装置を説明する図。
- 【図14】半導体装置のブロック図を説明する図。
- 【図15】信号線駆動回路の構成を説明する図。
- 【図16】信号線駆動回路の動作を説明するタイミングチャート。
- 【図17】信号線駆動回路の動作を説明するタイミングチャート。
- 【図18】シフトレジスタの構成を説明する図。
- 【図19】図18に示すフリップフロップの接続構成を説明する図。
- 【図20】本発明の一態様に係る半導体装置の画素等価回路を説明する図。 20
- 【図21】本発明の一態様に係る半導体装置を説明する図。
- 【図22】本発明の一態様に係る半導体装置を説明する図。
- 【図23】本発明の一態様に係る半導体装置を説明する図。
- 【図24】本発明の一態様に係る半導体装置を説明する図。
- 【図25】電子ペーパーの使用形態の例を説明する図。
- 【図26】電子書籍の一例を示す外観図。
- 【図27】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。
- 【図28】遊技機の例を示す外観図。
- 【図29】携帯電話機の一例を示す外観図。
- 【発明を実施するための形態】 30
- 【0022】
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。
- 【0023】
- (実施の形態1)
- 本実施の形態では、薄膜トランジスタの構造について、図1を用いて説明する。 40
- 【0024】
- 本実施の形態のボトムゲート構造の薄膜トランジスタを図1に示す。図1(A)は断面図であり、図1(B)は平面図である。図1(A)は、図1(B)における線A1-A2の断面図となっている。
- 【0025】
- 図1に示す薄膜トランジスタには、基板100上にゲート電極層101が設けられ、ゲート電極層101上にゲート絶縁層102が設けられ、ゲート絶縁層102上に半導体層106が設けられ、半導体層106上に酸化物半導体層103が設けられ、酸化物半導体層103上にソース電極層又はドレイン電極層105a、105bが設けられている。
- 【0026】 50

ゲート電極層 101 は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タンクステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。アルミニウムや銅などの低抵抗導電性材料で形成するのが望ましいが、耐熱性が低い、または腐食しやすいという問題点があるので耐熱性導電性材料と組み合わせて用いるのが好ましい。耐熱性導電性材料としては、モリブデン、チタン、クロム、タンタル、タンクステン、ネオジム、スカンジウム等を用いる。

【0027】

例えば、ゲート電極層 101 の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3層の積層構造としては、タンクステン層または窒化タンクステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した構造とすることが好ましい。

10

【0028】

酸化物半導体層 103 は、In、Ga、及びZn を含むIn-Ga-Zn-O 系非単結晶膜を用い、 $InMO_3 (ZnO)_m$ ($m > 0$) で表記される構造とする。なお、Mは、ガリウム (Ga)、鉄 (Fe)、ニッケル (Ni)、マンガン (Mn) 及びコバルト (Co) から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Ga の場合があることの他、Ga と Ni 又は Ga と Fe など、Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素として Fe、Ni その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。

20

【0029】

酸化物半導体層 103 の膜厚は、10 nm ~ 300 nm とし、好ましくは 20 nm ~ 100 nm とする。また、酸化物半導体層 103 は、ソース電極層又はドレイン電極層 105a、105b の間に、ソース電極層又はドレイン電極層 105a、105b と重なる領域よりも膜厚の薄い領域を有する。

【0030】

30

酸化物半導体層 103 の導電率は $1.0 \times 10^{-3} S/cm$ 以下であることが好ましい。また、酸化物半導体層 103 の導電率は $1.0 \times 10^{-11} S/cm$ 以上であることが好ましい。酸化物半導体層 103 のキャリア濃度範囲は $1 \times 10^{17} / cm^3$ 未満 (より好ましくは $1 \times 10^{11} / cm^3$ 以上) が好ましい。酸化物半導体層 103 のキャリア濃度範囲が上記の範囲を超えると、薄膜トランジスタがノーマリーオンとなる恐れがある。

【0031】

半導体層 106 は、酸化物半導体層 103 より導電率が高く、酸化物半導体層 103 より膜厚が薄いものとする。半導体層 106 の導電率は $1.0 \times 10^{-3} S/cm$ より大きいことが好ましい。また、半導体層 106 の膜厚は 1 nm 以上 50 nm 以下とし、好ましくは 5 nm 以上 10 nm 以下とする。ここで、半導体層 106 の膜厚は酸化物半導体層 103 より薄いので、薄膜トランジスタがオフのときに酸化物半導体層 103 のエッチング処理を施された部分が主なドレイン電流の流れとなり、導電率の高い半導体層 106 にオフ電流が流れず、オフ電流の増大が抑制される。

40

【0032】

本実施の形態では、半導体層 106 として In-Ga-Zn-O 系非単結晶膜を用いる。半導体層 106 に In-Ga-Zn-O 系非単結晶膜を用いる場合、少なくともアモルファス成分を含んでいるものとし、非晶質構造の中に結晶粒 (ナノクリスタル) を含む場合もある。この半導体層 106 中の結晶粒 (ナノクリスタル) は直径 1 nm ~ 10 nm、代表的には 2 nm ~ 4 nm 程度である。しかし、半導体層 106 は In-Ga-Zn-O 系非単結晶膜だけに限られない。上記条件を満たすならば、In-Ga-Zn-O 系非単結

50

晶以外の酸化物半導体、単結晶半導体、多結晶半導体、微結晶半導体、非晶質半導体、化合物半導体などの半導体を用いてもよい。半導体層106にIn-Ga-Zn-O系非単結晶膜を用いると、酸化物半導体層103と半導体層106を連続して形成することができるため、薄膜トランジスタ作製の効率化を図り、生産性を向上することができる。

【0033】

半導体層106としてIn-Ga-Zn-O系非単結晶膜を用いる場合、酸化物半導体層103のスパッタ成膜における成膜ガス全体に対する酸素ガス流量の比率よりも、半導体層106のスパッタ成膜における成膜ガス全体に対する酸素ガス流量の比率を小さくすることによって、酸化物半導体層103より半導体層106の導電率を高くすることができる。半導体層106の成膜条件は、成膜ガス全体に対する酸素ガス流量の比率を10体積%未満とするのが好ましい。また、酸化物半導体層103の成膜条件は、成膜ガス全体に対する酸素ガスの比率を10体積%以上とするのが好ましい。また、半導体層106の成膜条件は、成膜ガスに酸素ガスを含まない、アルゴンなどの希ガス雰囲気下としてもよい。

10

【0034】

薄膜トランジスタの活性層を、半導体層106と酸化物半導体層103の積層構造することによって、薄膜トランジスタがオンのときには、導電率の高い半導体層106に主なドレイン電流の流れを導き、電界効果移動度を増大させることができる。また、薄膜トランジスタがオフのときには酸化物半導体層103のエッティング処理を施された部分を主なドレイン電流の流れとすることによって、導電率の高い半導体層106にオフ電流が流れるのを防ぎ、オフ電流の増大を抑制することができる。

20

【0035】

ソース電極層又はドレイン電極層105a、105bは、第1の導電層112a、112b、第2の導電層113a、113b、第3の導電層114a、114bからなる3層構造となっている。第1の導電層112a、112b～第3の導電層114a、114bの材料としては、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いることができる。アルミニウムや銅などの低抵抗導電性材料で形成するのが望ましいが、耐熱性が低い、または腐食しやすいという問題点があるので耐熱性導電性材料と組み合わせて用いるのが好ましい。耐熱性導電性材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いる。

30

【0036】

例えば、第1の導電層112a、112b及び第3の導電層114a、114bに耐熱性導電性材料であるチタンを用い、第2の導電層113a、113bに低抵抗であるネオジムを含むアルミニウム合金を用いるのが好ましい。このような構成にすることで、アルミニウムの低抵抗性を活かしつつ、ヒロックの発生を低減することができる。なお、本実施の形態では、ソース電極層又はドレイン電極層105a、105bを第1の導電層112a、112b、第2の導電層113a、113b、第3の導電層114a、114bからなる3層構造としたが、これに限られることはなく、単層構造としてもよいし、2層構造としてもよいし、4層以上の構造としてもよい。

40

【0037】

以上のような構成とすることにより、活性層となる酸化物半導体層とゲート絶縁層の間に、該酸化物半導体層より導電率が高く、膜厚が薄い半導体層を形成し、薄膜トランジスタがオンのときに電界効果移動度を向上させることができる。また、薄膜トランジスタの電界効果移動度を向上させながらもオフ電流の増大を抑制することができる。

【0038】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるとしている。

【0039】

50

(実施の形態 2)

本実施の形態では、実施の形態 1 で示した薄膜トランジスタを含む表示装置の作製工程について、図 2 乃至図 9 を用いて説明する。図 2 と図 3 は断面図で、図 4 乃至図 7 は平面図となっており、図 4 乃至図 7 の線 A 1 - A 2 及び線 B 1 - B 2 は、図 2 及び図 3 の断面図に示す線 A 1 - A 2 、線 B 1 - B 2 に対応している。

【 0 0 4 0 】

まず、基板 100 を準備する。基板 100 は、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、若しくはアルミニノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 100 の大きさは、320 mm × 400 mm 、 370 mm × 470 mm 、 550 mm × 650 mm 、 600 mm × 720 mm 、 680 mm × 880 mm 、 730 mm × 920 mm 、 1000 mm × 1200 mm 、 1100 mm × 1250 mm 、 1150 mm × 1300 mm 、 1500 mm × 1800 mm 、 1900 mm × 2200 mm 、 2160 mm × 2460 mm 、 2400 mm × 2800 mm 、又は 2850 mm × 3050 mm 等を用いることができる。

10

【 0 0 4 1 】

また基板 100 上に下地膜として絶縁膜を形成してもよい。下地膜としては、CVD 法やスパッタ法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、または窒化酸化シリコン膜の単層、又は積層で形成すればよい。基板 100 としてガラス基板のような可動イオンを含有する基板を用いる場合、下地膜として窒化シリコン膜、窒化酸化シリコン膜などの窒素を含有する膜を用いることで、可動イオンが酸化物半導体層や半導体層に侵入することを防ぐことができる。

20

【 0 0 4 2 】

次に、ゲート電極層 101 を含むゲート配線、容量配線 108 、及び第 1 の端子 121 を形成するための導電膜をスパッタ法や真空蒸着法で基板 100 全面に成膜する。次いで、導電膜を基板 100 全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極層 101 を含むゲート配線、容量配線 108 、及び第 1 の端子 121 ）を形成する。このとき段切れ防止のために、少なくともゲート電極層 101 の端部にテーパー形状が形成されるようにエッチングするのが好ましい。この段階での断面図を図 2 (A) に示した。なお、この段階での平面図が図 4 に相当する。

30

【 0 0 4 3 】

ゲート電極層 101 を含むゲート配線と容量配線 108 、端子部の第 1 の端子 121 は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。アルミニウムや銅などの低抵抗導電性材料で形成するのが望ましいが、耐熱性が低い、または腐食しやすいという問題点があるので耐熱性導電性材料と組み合わせて用いるのが好ましい。耐熱性導電性材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いる。

40

【 0 0 4 4 】

例えば、ゲート電極層 101 の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した構造とすることが好ましい。

【 0 0 4 5 】

次いで、ゲート電極層 101 上にゲート絶縁層 102 を全面に成膜する。ゲート絶縁層 1

50

02はCVD法やスパッタ法などを用い、膜厚を50~250nmとする。

【0046】

例えば、ゲート絶縁層102としてCVD法やスパッタ法により酸化シリコン膜を用い、100nmの厚さで形成する。勿論、ゲート絶縁層102はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0047】

また、ゲート絶縁層102として、有機シランガスを用いたCVD法により酸化シリコン層を形成することも可能である。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン(SiH $(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン(SiH $(\text{N}(\text{CH}_3)_2)_3$)等のシリコン含有化合物を用いることができる。

10

【0048】

また、ゲート絶縁層102として、アルミニウム、イットリウム、又はハフニウムの酸化物、窒化物、酸化窒化物、又は窒化酸化物の一種又はそれらの化合物を少なくとも2種以上含む化合物を用いることもできる。

【0049】

なお、本明細書において、酸化窒化物とは、その組成として、窒素原子よりも酸素原子の数が多い物質のことを指し、窒化酸化物とは、その組成として、酸素原子よりも窒素原子の数が多い物質のことを指す。例えば、酸化窒化シリコン膜とは、その組成として、窒素原子よりも酸素原子の数が多く、ラザフォード後方散乱法(RBS:Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS:Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50~70原子%、窒素が0.5~15原子%、シリコンが25~35原子%、水素が0.1~10原子%の範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素原子よりも窒素原子の数が多く、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5~30原子%、窒素が20~55原子%、シリコンが25~35原子%、水素が10~30原子%の範囲で含まれるものをいう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

20

【0050】

なお、酸化物半導体層103及び半導体層106を形成するための酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層102の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。逆スパッタ処理後、大気に曝すことなく第1の酸化物半導体膜を成膜することによって、ゲート絶縁層102と半導体層106の界面にゴミや水分が付着するのを防ぐことができる。

30

【0051】

次に、ゲート絶縁層102上に、半導体層106を形成するための第1の酸化物半導体膜(本実施の形態では第1のIn-Ga-Zn-O系非単結晶膜)を、スパッタ法を用いてアルゴンなどの希ガスと酸素ガスの雰囲気下で成膜する。ただし、酸素ガスについては必ずしも必要ではない。具体的な条件例としては、直径8インチのIn、Ga、及びZnを

40

50

含む酸化物半導体ターゲット ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$) を用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、成膜ガス $\text{Ar} : \text{O}_2 = 50 : 1$ (sccm)、成膜温度を室温としてスパッタ成膜を行う。また、ターゲットとしては、 In_2O_3 を含む直径 8 インチの円盤上にペレット状の Ga_2O_3 と ZnO を配置するようにしてもよい。

【0052】

$\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ 1 nm ~ 10 nm の結晶粒を含む $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜が形成されることがある。なお、ターゲットの成分比、成膜圧力 (0.1 Pa ~ 2.0 Pa)、電力 (250 W ~ 3000 W : 8 インチ)、温度 (室温 ~ 100) 10、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1 nm ~ 10 nm の範囲で調節されうると言える。第 1 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の膜厚は、1 nm ~ 50 nm とし、好ましくは 5 nm ~ 10 nm とする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。また、パルス直流 (DC) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。

【0053】

半導体層 106 として $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜を用いることによって、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜とを連続して成膜することができるので、表示装置作製の効率化を図り、生産性を向上することができる。なお、本実施の形態では、半導体層 106 として $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜を用いているが、それに限られず、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶以外の酸化物半導体、単結晶半導体、多結晶半導体、微結晶半導体、非晶質半導体、化合物半導体などの半導体を用いてもよい。20

【0054】

次いで、大気に曝すことなく、酸化物半導体層 103 を形成するための第 2 の酸化物半導体膜 (本実施の形態では第 2 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜) を、スパッタ法を用いてアルゴンなどの希ガスと酸素ガスの雰囲気下で成膜する。具体的な条件例としては、直径 8 インチの In 、 Ga 、及び Zn を含む酸化物半導体ターゲット ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$) を用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、成膜ガス $\text{Ar} : \text{O}_2 = 50 : 5$ (sccm)、成膜温度を室温としてスパッタ成膜を行う。また、ターゲットとしては、 In_2O_3 を含む直径 8 インチの円盤上にペレット状の Ga_2O_3 と ZnO を配置するようにしてもよい。なお、パルス直流 (DC) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。第 2 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の膜厚は、10 nm ~ 300 nm とし、好ましくは 20 nm ~ 100 nm とする。30

【0055】

第 2 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜のスパッタ成膜における成膜ガス全体に対する酸素ガス流量の比率よりも、第 1 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜のスパッタ成膜における成膜ガス全体に対する酸素ガス流量の比率を小さくする。これによって、第 2 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜より第 1 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の導電率を高くすることができる。第 1 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜条件は、成膜ガス全体に対する酸素ガス流量の比率を 10 体積% 未満とするのが好ましい。また、第 2 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜条件は、成膜ガス全体に対する酸素ガスの比率を 10 体積% 以上とするのが好ましい。また、第 1 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜条件は、成膜ガスに酸素ガスを含まない、アルゴンなどの希ガス雰囲気下としてもよい。40

【0056】

第 2 の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【0057】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0058】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0059】

また、チャンバー内部に磁石機構を備えたマグнетロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

10

【0060】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0061】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、第1のIn-Ga-Zn-O系非単結晶膜及び第2のIn-Ga-Zn-O系非単結晶膜をエッティングする。エッティングには、クエン酸やシュウ酸などの有機酸をエッチャントとして用いることができる。ここでは、ITO07N(関東化学社製)を用いたウェットエッティングにより、不要な部分を除去して第1のIn-Ga-Zn-O系非単結晶膜及び第2のIn-Ga-Zn-O系非単結晶膜を島状にし、第1のIn-Ga-Zn-O系非単結晶膜からなる半導体層106、第2のIn-Ga-Zn-O系非単結晶膜である酸化物半導体膜111を形成する。半導体層106及び酸化物半導体膜111の端部をテーパー状にエッティングすることで、段差形状による配線の段切れを防ぐことができる。なお、ここでのエッティングは、ウェットエッティングに限定されずドライエッティングを用いてもよい。この段階での断面図を図2(B)に示した。なお、この段階での平面図が図5に相当する。

20

【0062】

次いで、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッティングにより不要な部分を除去してゲート電極層101と同じ材料の配線や電極層に達するコンタクトホールを形成する。このコンタクトホールは後に形成する導電膜と直接接続するために設ける。例えば、駆動回路において、ゲート電極層とソース電極層或いはドレイン電極層と直接接する薄膜トランジスタや、端子部のゲート配線と電気的に接続する端子を形成する場合にコンタクトホールを形成する。

30

【0063】

次に、半導体層106及び酸化物半導体膜111上に金属材料からなる第1の導電層112、第2の導電層113、第3の導電層114をスパッタ法や真空蒸着法で成膜する。この段階での断面図を図2(C)に示した。

40

【0064】

第1の導電層112、第2の導電層113、第3の導電層114の材料としては、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いることができる。アルミニウムや銅などの低抵抗導電性材料で形成するのが望ましいが、耐熱性が低い、または腐食しやすいという問題点があるので耐熱性導電性材料と組み合わせて用いるのが好ましい。耐熱性導電性材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いる。

【0065】

50

ここでは、第1の導電層112及び第3の導電層114として耐熱性導電性材料であるチタンを用い、第2の導電層113としてネオジムを含むアルミニウム合金を用いる。このような構成にすることで、アルミニウムの低抵抗性を活かしつつ、ヒロックの発生を低減することができる。なお、本実施の形態では第1の導電層112～第3の導電層114からなる3層構造としたが、これに限られることはなく、単層構造としてもよいし、2層構造としてもよいし、4層以上の構造としてもよい。例えば、チタン膜の単層構造としてもよいし、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0066】

次に、第4のフォトリソグラフィ工程を行い、レジストマスク131を形成し、エッティングにより不要な部分を除去してソース電極層又はドレイン電極層105a、105b、酸化物半導体層103及び接続電極120を形成する。この際のエッティング方法としてウェットエッティングまたはドライエッティングを用いる。例えば、第1の導電層112及び第3の導電層114にチタンを、第2の導電層113にネオジムを含むアルミニウム合金を用いる場合には、過酸化水素水又は加熱塩酸をエッチャントに用いてウェットエッティングすることができる。このエッティング工程において、酸化物半導体膜111の露出領域も一部エッティングされ、ソース電極層又はドレイン電極層105a、105bの間に、ソース電極層又はドレイン電極層105a、105bと重なる領域よりも膜厚の薄い領域を有する酸化物半導体層103となる。よって薄膜トランジスタのチャネル形成領域は酸化物半導体層103の膜厚の薄い領域と重なることになる。

【0067】

図3(A)においては、第1の導電層112～第3の導電層114、酸化物半導体膜111のエッティングを過酸化水素水又は加熱塩酸をエッチャントとするエッティングで一度に行うことができるため、ソース電極層又はドレイン電極層105a、105b及び酸化物半導体層103の端部は一致し、連続的な構造とすることができます。またウェットエッティングを用いるために、エッティングが等方的に行われ、ソース電極層又はドレイン電極層105a、105bの端部はレジストマスク131より後退している。以上の工程で酸化物半導体層103及び半導体層106をチャネル形成領域とする薄膜トランジスタ170が作製できる。この段階での断面図を図3(A)に示した。なお、この段階での平面図が図6に相当する。

【0068】

ここで、200～600、代表的には250～500の熱処理を行うことが好ましい。ここでは炉に入れ、窒素雰囲気下で350、1時間の熱処理を行う。この熱処理によりIn-Ga-Zn-O系非単結晶膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理(光アニールも含む)は重要である。なお、熱処理を行うタイミングは、第2のIn-Ga-Zn-O系非単結晶膜の成膜後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

【0069】

さらに、露出している酸化物半導体層103のチャネル形成領域に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、酸化物半導体層103のエッティングによるダメージを回復することができる。ラジカル処理はO₂、N₂O、好ましくは酸素を含むN₂、He、Ar雰囲気下で行うことが好ましい。また、上記雰囲気にC₁₂、CF₄を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、無バイアスで行うことが好ましい。

【0070】

また、この第4のフォトリソグラフィ工程において、ソース電極層又はドレイン電極層105a、105bと同じ材料である第2の端子122を端子部に残す。なお、第2の端子122はソース配線(ソース電極層又はドレイン電極層105a、105bを含むソース配線)と電気的に接続されている。

【0071】

10

20

30

40

50

また、端子部において、接続電極 120 は、ゲート絶縁層 102 に形成されたコンタクトホールを介して端子部の第 1 の端子 121 と直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線あるいはドレイン配線とゲート電極が直接接続される。

【0072】

また、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【0073】

次いで、レジストマスク 131 を除去し、薄膜トランジスタ 170 を覆う保護絶縁層 107 を形成する。保護絶縁層 107 はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などを用いることができる。

【0074】

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁層 107 のエッティングによりドレイン電極層 105b に達するコンタクトホール 125 を形成する。また、ここでのエッティングにより第 2 の端子 122 に達するコンタクトホール 127、接続電極 120 に達するコンタクトホール 126 も形成する。この段階での断面図を図 3 (B) に示す。

【0075】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($In_2O_3 - SnO_2$ 、ITO と略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッティング処理は塩酸系の溶液により行う。しかし、特に ITO のエッティングは残渣が発生しやすいので、エッティング加工性を改善するために酸化インジウム酸化亜鉛合金 ($In_2O_3 - ZnO$) を用いても良い。

【0076】

次に、第 6 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッティングにより不要な部分を除去して画素電極層 110 を形成する。

【0077】

また、この第 6 のフォトリソグラフィ工程において、容量部におけるゲート絶縁層 102 及び保護絶縁層 107 を誘電体として、容量配線 108 と画素電極層 110 とで保持容量が形成される。

【0078】

また、この第 6 のフォトリソグラフィ工程において、第 1 の端子及び第 2 の端子をレジストマスクで覆い端子部に形成された透明導電膜 128、129 を残す。透明導電膜 128、129 は FPC との接続に用いられる電極または配線となる。第 1 の端子 121 と直接接続された接続電極 120 上に形成された透明導電膜 128 は、ゲート配線の入力端子として機能する接続用の端子電極となる。第 2 の端子 122 上に形成された透明導電膜 129 は、ソース配線の入力端子として機能する接続用の端子電極である。

【0079】

次いで、レジストマスクを除去し、この段階での断面図を図 3 (C) に示す。なお、この段階での平面図が図 7 に相当する。

【0080】

また、図 8 (A1)、図 8 (A2) は、この段階でのゲート配線端子部の平面図及び断面図をそれぞれ図示している。図 8 (A1) は図 8 (A2) 中の C1 - C2 線に沿った断面図に相当する。図 8 (A1) において、保護絶縁膜 154 上に形成される透明導電膜 155 は、入力端子として機能する接続用の端子電極である。また、図 8 (A1) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 151 と、ソース配線と同じ材料で形成される接続電極 153 とがゲート絶縁層 152 を介して重なり直接接して導通

10

20

30

40

50

させている。また、接続電極 153 と透明導電膜 155 が保護絶縁膜 154 に設けられたコンタクトホールを介して直接接して導通させている。

【0081】

また、図 8 (B1)、及び図 8 (B2) は、ソース配線端子部の平面図及び断面図をそれぞれ図示している。また、図 8 (B1) は図 8 (B2) 中の D1 - D2 線に沿った断面図に相当する。図 8 (B1) において、保護絶縁膜 154 上に形成される透明導電膜 155 は、入力端子として機能する接続用の端子電極である。また、図 8 (B1) において、端子部では、ゲート配線と同じ材料で形成される電極 156 が、ソース配線と電気的に接続される第 2 の端子 150 の下方にゲート絶縁層 102 を介して重なる。電極 156 は第 2 の端子 150 とは電気的に接続しておらず、電極 156 を第 2 の端子 150 と異なる電位、例えばフローティング、GND、0V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 150 は、保護絶縁膜 154 を介して透明導電膜 155 と電気的に接続している。

10

【0082】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宣決定すれば良い。

【0083】

こうして 6 回のフォトリソグラフィ工程により、6 枚のフォトマスクを使用して、ボトムゲート型の n チャネル型薄膜トランジスタである薄膜トランジスタ 170 を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このよう 20 基板をアクティブマトリクス基板と呼ぶ。

20

【0084】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電気的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電気的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0V などに設定するための端子である。

30

【0085】

また、本実施の形態は、図 7 の画素構成に限定されず、図 7 とは異なる平面図の例を図 9 に示す。図 9 では容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第 3 の端子は省略することができる。なお、図 9 において、図 7 と同じ部分には同じ符号を用いて説明する。

【0086】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

40

【0087】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を 1 フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0088】

また、通常の垂直周期を 1.5 倍若しくは 2 倍以上にすることで動画特性を改善する、所

50

謂、倍速駆動と呼ばれる駆動技術もある。

【0089】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

10

【0090】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0091】

本実施の形態で得られるnチャネル型のトランジスタは、In-Ga-Zn-O系非単結晶膜をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

【0092】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電気的に接続する第5の端子を設ける。

20

【0093】

以上のように、酸化物半導体層を用いた薄膜トランジスタにおいて、酸化物半導体層とゲート絶縁層の間に、該酸化物半導体層より導電率が高く、膜厚が薄い半導体層を形成することによって、該薄膜トランジスタの電界効果移動度を向上させることができる。また、薄膜トランジスタの電界効果移動度を向上させながらもオフ電流の増大を抑制することができる。

【0094】

30

該薄膜トランジスタを表示装置の画素部及び駆動回路部に用いることによって、電気特性が高く信頼性のよい表示装置を提供することができる。

【0095】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるとしている。

【0096】

（実施の形態3）

本実施の形態では、実施の形態1で示した薄膜トランジスタとは異なる形状の薄膜トランジスタについて図10を用いて説明する。

【0097】

40

本実施の形態のボトムゲート構造の薄膜トランジスタを図10に示す。図10に示す薄膜トランジスタには、基板100上にゲート電極層101が設けられ、ゲート電極層101上にゲート絶縁層102が設けられ、ゲート絶縁層102上に半導体層106が設けられ、半導体層106上に酸化物半導体層103が設けられ、酸化物半導体層103上にバッファ層301a、301bが設けられ、バッファ層301a、301b上にソース電極層又はドレイン電極層105a、105bが設けられている。また、ソース電極層又はドレイン電極層105a、105bは、第1の導電層112a、112b、第2の導電層113a、113b、第3の導電層114a、114bからなる3層構造となっている。つまり、図10に示す薄膜トランジスタは、実施の形態1において、図1で示した薄膜トランジスタの酸化物半導体層103とソース電極層又はドレイン電極層105a、105bと

50

の間にバッファ層301a、301bを設けた薄膜トランジスタである。

【0098】

ソース領域又はドレイン領域として機能するバッファ層301a、301bは、酸化物半導体層103と同様に、In、Ga、及びZnを含む酸化物半導体膜であるIn-Ga-Zn-O系非単結晶膜を用いて形成する。ただし、バッファ層301a、301bはn型の導電型を有し、その導電率は、酸化物半導体層103の導電率より高くなるようにする。また、バッファ層301a、301bの導電率は、半導体層106と同程度か、半導体層106の導電率より高くなるようにする。また、バッファ層301a、301bは、In-Ga-Zn-O系非単結晶膜であり、少なくともアモルファス成分を含んでいるものとし、非晶質構造の中に結晶粒(ナノクリスタル)を含む場合もある。結晶粒(ナノクリスタル)は直径1nm~10nm、代表的には2nm~4nm程度である。10

【0099】

バッファ層301a、301bに用いるIn-Ga-Zn-O系非単結晶膜は、スパッタ法で成膜する。具体的な条件例としては、直径8インチのIn、Ga、及びZnを含む酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1)を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、成膜ガスAr:O₂=50:1(sccm)、成膜温度を室温としてスパッタ成膜を行う。

【0100】

ただし、バッファ層301a、301bに用いるIn-Ga-Zn-O系非単結晶膜は、酸化物半導体層や半導体層に用いるIn-Ga-Zn-O系非単結晶膜の成膜条件と異なる。例えば、酸化物半導体層に用いるIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量の比率よりもバッファ層301a、301bに用いるIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量の比率が少ない条件とする。また、半導体層に用いるIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量の比率に対して、バッファ層301a、301bに用いるIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量の比率が同程度か、それより少ない条件とする。また、バッファ層301a、301bに用いるIn-Ga-Zn-O系非単結晶膜の成膜条件は、成膜ガスに酸素ガスを含まない、アルゴンなどの希ガス雰囲気下としてもよい。20

【0101】

バッファ層301a、301bに用いるIn-Ga-Zn-O系非単結晶膜の膜厚は、5nm~20nmとする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では、バッファ層301a、301bに用いるIn-Ga-Zn-O系非単結晶膜の膜厚は、5nmとする。30

【0102】

また、バッファ層301a、301bにn型を付与する不純物元素を含ませてもよい。不純物元素として、例えはマグネシウム、アルミニウム、チタン、鉄、錫、カルシウム、ゲルマニウム、スカンジウム、イットリウム、ジルコニウム、ハフニウム、ボロン、タリウム、鉛などを用いることができる。マグネシウム、アルミニウム、チタンなどをバッファ層に含ませると、酸素のブロッキング効果などがあり、成膜後の加熱処理などによって酸化物半導体層の酸素濃度を最適な範囲内に保持できる。40

【0103】

また、バッファ層のキャリア濃度範囲は、 $1 \times 10^{18} / \text{cm}^3$ 以上($1 \times 10^{22} / \text{cm}^3$ 以下)が好ましい。

【0104】

以上のように、バッファ層301a、301bを設けることにより、酸化物半導体層及び半導体層と、ソース電極層又はドレイン電極層との間で、ショットキー接合よりも熱的安定性を向上させることができ、薄膜トランジスタの動作特性を安定させることができる。また、導電性がよいので高いドレイン電圧でも良好な移動度を保持することができる。

【0105】

50

なお、本実施の形態の薄膜トランジスタのバッファ層 301a、301b 以外の構造と材料については、実施の形態 1 を参照されたい。

【0106】

本実施の形態の薄膜トランジスタの作製工程は、実施の形態 2 で示した薄膜トランジスタの作製工程とほぼ同様である。まず、実施の形態 2 で示した方法で、酸化物半導体層 103 を形成するための第 2 の酸化物半導体膜まで成膜し、連続してバッファ層 301a、301b を形成するための酸化物半導体膜を、上記の方法を用いてスパッタ成膜する。次に、第 2 のフォトリソグラフィ工程によって、半導体層 106、酸化物半導体膜 111 と同様に、バッファ層 301a、301b を形成するための酸化物半導体膜を島状にエッチングし、酸化物半導体膜 302 を形成する（図 11（A）参照）。それから、実施の形態 2 で示した方法で、第 1 の導電層 112～第 3 の導電層 114 の成膜まで行う（図 11（B）参照）。次に、第 4 のフォトリソグラフィ工程によって、ソース電極層又はドレイン電極層 105a、105b、酸化物半導体層 103 と同様に、酸化物半導体膜 302 をエッチングして、バッファ層 301a、301b を形成する（図 11（C）参照）。以降の工程は実施の形態 2 と同様である。

【0107】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることする。

【0108】

（実施の形態 4）

20

本実施の形態では、半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0109】

画素部に配置する薄膜トランジスタは、実施の形態 2 に従って形成する。また、実施の形態 2 に示す薄膜トランジスタは n チャネル型 TFT であるため、駆動回路のうち、n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0110】

半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図 14（A）に示す。図 14（A）に示す表示装置は、基板 5300 上に表示素子を備えた画素を複数有する画素部 5301 と、各画素を選択する走査線駆動回路 5302 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5303 とを有する。

30

【0111】

画素部 5301 は、信号線駆動回路 5303 から列方向に伸張して配置された複数の信号線 S1～Sm（図示せず。）により信号線駆動回路 5303 と接続され、走査線駆動回路 5302 から行方向に伸張して配置された複数の走査線 G1～Gn（図示せず。）により走査線駆動回路 5302 と接続され、信号線 S1～Sm 並びに走査線 G1～Gn に対応してマトリクス状に配置された複数の画素（図示せず。）を有する。そして、各画素は、信号線 Sj（信号線 S1～Sm のうちいずれか一）、走査線 Gi（走査線 G1～Gn のうちいずれか一）と接続される。

40

【0112】

また、実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタは、n チャネル型 TFT であり、n チャネル型 TFT で構成する信号線駆動回路について図 15 を用いて説明する。

【0113】

図 15 に示す信号線駆動回路は、ドライバ IC 5601、スイッチ群 5602_1～5602_M、第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 及び配線 5621_1～5621_M を有する。スイッチ群 5602_1～5602_M それぞれは、第 1 の薄膜トランジスタ 5603a、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c を有する。

50

【0114】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621_1～5621_Mに接続される。そして、スイッチ群5602_1～5602_Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602_1～5602_Mそれぞれに対応した配線5621_1～5621_Mに接続される。そして、配線5621_1～5621_Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、3つの信号線(信号線Sm-2、信号線Sm-1、信号線Sm(m=3M))に接続される。例えば、J列目の配線5621_J(配線5621_1～配線5621_Mのうちいずれか一)は、スイッチ群5602_Jが有する第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線Sj-2、信号線Sj-1、信号線Sj(j=3J)に接続される。10

【0115】

なお、第1の配線5611、第2の配線5612、第3の配線5613には、それぞれ信号が入力される。

【0116】

なお、ドライバIC5601は、単結晶半導体を用いて形成されていることが望ましい。さらに、スイッチ群5602_1～5602_Mは、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602_1～5602_MとはFPCなどを介して接続するとよい。又は画素部と同一の基板上に貼り合わせなどによって、単結晶半導体層を設け、ドライバIC5601を形成してもよい。20

【0117】

次に、図15に示した信号線駆動回路の動作について、図16のタイミングチャートを参照して説明する。なお、図16のタイミングチャートは、i行目の走査線Giが選択されている場合のタイミングチャートを示している。さらに、i行目の走査線Giの選択期間は、第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3に分割されている。さらに、図15の信号線駆動回路は、他の行の走査線が選択されている場合でも図16と同様の動作をする。

【0118】

なお、図16のタイミングチャートは、J列目の配線5621_Jが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線Sj-2、信号線Sj-1、信号線Sjに接続される場合について示している。

【0119】

なお、図16のタイミングチャートは、i行目の走査線Giが選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5703a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5703b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5703c及びJ列目の配線5621_Jに入力される信号5721_Jを示している。40

【0120】

なお、配線5621_1～配線5621_Mには第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間T1において配線5621_Jに入力されるビデオ信号は信号線Sj-2に入力され、第2のサブ選択期間T2において配線5621_Jに入力されるビデオ信号は信号線Sj-1に入力され、第3のサブ選択期間T3において配線5621_Jに入力されるビデオ信号は信号線Sjに入力される。さらに、第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、配線5621_Jに入力されるビデオ信号をそれぞれData_j-2、Data_j-1、Data_jとする。50

【0121】

図16に示すように、第1のサブ選択期間T1において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621_Jに入力されるData_j-2が、第1の薄膜トランジスタ5603aを介して信号線Sj-2に入力される。第2のサブ選択期間T2では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621_Jに入力されるData_j-1が、第2の薄膜トランジスタ5603bを介して信号線Sj-1に入力される。第3のサブ選択期間T3では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621_Jに入力されるData_jが、第3の薄膜トランジスタ5603cを介して信号線Sjに入力される。10

【0122】

以上のことから、図15の信号線駆動回路は、1ゲート選択期間を3つに分割することができます。したがって、図15の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図15の信号線駆動回路は、信頼性、歩留まりなどを向上できる。20

【0123】

なお、図15のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。20

【0124】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は3つのサブ選択期間に分割されることが望ましい。30

【0125】

別の例として、図17のタイミングチャートに示すように、1つの選択期間をプリチャージ期間Tp、第1のサブ選択期間T1、第2のサブ選択期間T2、第3の選択期間T3に分割してもよい。さらに、図17のタイミングチャートは、i行目の走査線Giが選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及びJ列目の配線5621_Jに入力される信号5821_Jを示している。図17に示すように、プリチャージ期間Tpにおいて第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621_Jに入力されるプリチャージ電圧Vpが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介してそれぞれ信号線Sj-2、信号線Sj-1、信号線Sjに入力される。第1のサブ選択期間T1において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621_Jに入力されるData_j-2が、第1の薄膜トランジスタ5603aを介して信号線Sj-2に入力される。第2のサブ選択期間T2では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621_Jに入力されるData_j-1が、第2の薄膜トランジスタ5603bを介して信号線Sj-1に入力される。第3のサブ選択期間T3では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bを介して信号線Sjに入力される。40

ジスタ 5603b がオフする。このとき、配線 5621_J に入力される Data_j が、第 3 の薄膜トランジスタ 5603c を介して信号線 S_j に入力される。

【0126】

以上のことから、図 17 のタイミングチャートを適用した図 15 の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図 17 において、図 16 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0127】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CLK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0128】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図 18 及び図 19 を用いて説明する。

10

20

【0129】

図 18 にシフトレジスタの回路構成を示す。図 18 に示すシフトレジスタは、フリップフロップ 5701_1 ~ 5701_n という複数のフリップフロップで構成される。また、第 1 のクロック信号、第 2 のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0130】

図 18 のシフトレジスタの接続関係について説明する。1 段目のフリップフロップ 5701_1 は、第 1 の配線 5711、第 2 の配線 5712、第 4 の配線 5714、第 5 の配線 5715、第 7 の配線 5717_1、及び第 7 の配線 5717_2 と接続される。また、2 段目のフリップフロップ 5701_2 は、第 3 の配線 5713、第 4 の配線 5714、第 5 の配線 5715、第 7 の配線 5717_1、第 7 の配線 5717_2 及び第 7 の配線 5717_3 と接続される。

30

【0131】

同様に、i 段目のフリップフロップ 5701_i (フリップフロップ 5701_1 ~ 5701_n のうちいずれか一) は、第 2 の配線 5712 又は第 3 の配線 5713 の一方、第 4 の配線 5714、第 5 の配線 5715、第 7 の配線 5717_i - 1、第 7 の配線 5717_i、及び第 7 の配線 5717_i + 1 と接続される。ここで、i が奇数の場合には、i 段目のフリップフロップ 5701_i は第 2 の配線 5712 と接続され、i が偶数である場合には、i 段目のフリップフロップ 5701_i は第 3 の配線 5713 と接続されることになる。

40

【0132】

また、n 段目のフリップフロップ 5701_n は、第 2 の配線 5712 又は第 3 の配線 5713 の一方、第 4 の配線 5714、第 5 の配線 5715、第 7 の配線 5717_n - 1、第 7 の配線 5717_n、及び第 6 の配線 5716 と接続される。

【0133】

なお、第 1 の配線 5711、第 2 の配線 5712、第 3 の配線 5713、第 6 の配線 5716 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線 5714、第 5 の配線 5715 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

【0134】

50

次に、図18に示すフリップフロップの詳細について、図19を用いて説明する。図19に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578を有する。なお、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578は、nチャネル型トランジスタであり、ゲート・ソース間電圧(V_{gs})がしきい値電圧(V_{th})を上回ったとき導通状態になるものとする。

10

【0135】

また、図19に示すフリップフロップは、第1の配線5501、第2の配線5502、第3の配線5503、第4の配線5504、第5の配線5505、及び第6の配線5506を有する。

【0136】

ここでは全ての薄膜トランジスタは、エンハンスマント型のnチャネル型トランジスタとする例を示すが、特に限定されず、例えば、デプレッション型のnチャネル型トランジスタを用いても駆動回路を駆動させることもできる。

【0137】

次に、図18に示すフリップフロップの接続構成について、以下に示す。

20

【0138】

第1の薄膜トランジスタ5571の第1の電極(ソース電極またはドレイン電極の一方)が第4の配線5504に接続され、第1の薄膜トランジスタ5571の第2の電極(ソース電極またはドレイン電極の他方)が第3の配線5503に接続される。

【0139】

第2の薄膜トランジスタ5572の第1の電極が第6の配線5506に接続され、第2の薄膜トランジスタ5572の第2の電極が第3の配線5503に接続される。

【0140】

第3の薄膜トランジスタ5573の第1の電極が第5の配線5505に接続され、第3の薄膜トランジスタ5573の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第3の薄膜トランジスタ5573のゲート電極が第5の配線5505に接続される。

30

【0141】

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、第4の薄膜トランジスタ5574の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第4の薄膜トランジスタ5574のゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

【0142】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、第5の薄膜トランジスタ5575の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第5の薄膜トランジスタ5575のゲート電極が第1の配線5501に接続される。

40

【0143】

第6の薄膜トランジスタ5576の第1の電極が第6の配線5506に接続され、第6の薄膜トランジスタ5576の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第6の薄膜トランジスタ5576のゲート電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

【0144】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、第7の薄膜トランジスタ5577の第2の電極が第1の薄膜トランジスタ5571のゲート電極

50

に接続され、第7の薄膜トランジスタ5577のゲート電極が第2の配線5502に接続される。第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され、第8の薄膜トランジスタ5578の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第8の薄膜トランジスタ5578のゲート電極が第1の配線5501に接続される。

【0145】

なお、第1の薄膜トランジスタ5571のゲート電極、第4の薄膜トランジスタ5574のゲート電極、第5の薄膜トランジスタ5575の第2の電極、第6の薄膜トランジスタ5576の第2の電極及び第7の薄膜トランジスタ5577の第2の電極の接続箇所をノード5543とする。さらに、第2の薄膜トランジスタ5572のゲート電極、第3の薄膜トランジスタ5573の第2の電極、第4の薄膜トランジスタ5574の第2の電極、第6の薄膜トランジスタ5576のゲート電極及び第8の薄膜トランジスタ5578の第2の電極の接続箇所をノード5544とする。

10

【0146】

なお、第1の配線5501、第2の配線5502、第3の配線5503及び第4の配線5504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線5505を第1の電源線、第6の配線5506を第2の電源線と呼んでもよい。

【0147】

i段目のフリップフロップ5701_iにおいて、図19中の第1の配線5501と、図18中の第7の配線5717_i-1が接続される。また、図19中の第2の配線5502と、図18中の第7の配線5717_i+1が接続される。また、図19中の第3の配線5503と、第7の配線5717_iが接続される。さらに、図19中の第6の配線5506と、第5の配線5715が接続される。

20

【0148】

iが奇数の場合、図19中の第4の配線5504は、図18中の第2の配線5712と接続され、iが偶数の場合、図18中の第3の配線5713と接続される。また、図19中の第5の配線5505と、図18中の第4の配線5714が接続される。

【0149】

ただし、1段目のフリップフロップ5701_1において、図19中の第1の配線5501は図18中の第1の配線5711に接続される。また、n段目のフリップフロップ5701_nにおいて、図19中の第2の配線5502は図18中の第6の配線5716に接続される。

30

【0150】

また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至実施の形態3に示すnチャネル型TFTのみで作製することも可能である。実施の形態1乃至実施の形態3に示すnチャネル型TFTはトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態1乃至実施の形態3に示すnチャネル型TFTはIn-Ga-Zn-O系非単結晶膜であるソース領域又はドレイン領域により寄生容量が低減されるため、周波数特性(f特性と呼ばれる)が高い。例えば、実施の形態1乃至実施の形態3に示すnチャネル型TFTを用いた走査線駆動回路は、高速に動作させることができるため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することができる。

40

【0151】

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することができる。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することができる。また、複数の走査線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利であ

50

る。

【0152】

また、半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図14(B)に示す。

【0153】

図14(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

10

【0154】

図14(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0155】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

20

【0156】

なお、図14(B)に示す発光表示装置では、一つの画素に2つのスイッチング用TFTを配置する場合、一方のスイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1走査線駆動回路5402で生成し、他方のスイッチング用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、1つの画素が有するスイッチング用TFTの数によって、スイッチング素子の動作を制御するのに用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

30

【0157】

また、発光表示装置においても、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態2に示すnチャネル型TFTのみで作製することも可能である。

40

【0158】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0159】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に

50

複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0160】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

【0161】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。 10

【0162】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態2の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0163】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。 20

【0164】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

【0165】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるとしている。

【0166】

（実施の形態5）

実施の形態1乃至実施の形態3に示す薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、実施の形態1乃至実施の形態3に示す薄膜トランジスタを用いた駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。 30

【0167】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。 40

【0168】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッティングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0169】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光 50

源（照明装置含む）を指す。また、コネクター、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0170】

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図22を用いて説明する。図22は、第1の基板4001上に形成された実施の形態1乃至実施の形態3で示したIn-Ga-Zn-O系非単結晶膜を酸化物半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図22（B）は、図22（A1）（A2）のM-Nにおける断面図に相当する。

10

【0171】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

20

【0172】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図22（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図22（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

【0173】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図22（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

30

【0174】

薄膜トランジスタ4010、4011は、実施の形態1乃至実施の形態3に示す、In-Ga-Zn-O系非単結晶膜を酸化物半導体層として含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0175】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

【0176】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエチル

50

フィルムで挟んだ構造のシートを用いることもできる。

【0177】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するためには設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0178】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が10μs～100μsと短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0179】

なお本実施の形態は透過型液晶表示装置の例であるが、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0180】

また、本実施の形態の液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0181】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態1乃至実施の形態3で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層(絶縁層4020、絶縁層4021)で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

【0182】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0183】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0184】

また、保護膜を形成した後に、酸化物半導体層のアニール(300～400)を行つてもよい。

【0185】

10

20

30

40

50

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リングラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0186】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有しても良い。

10

【0187】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、酸化物半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と酸化物半導体層のアニールを兼ねることで効率よく半導体装置を作製することができる。

【0188】

20

画素電極層4030、対向電極層4031は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0189】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550 nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 cm以下であることが好ましい。

30

【0190】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0191】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0192】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

40

【0193】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

【0194】

また図22においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

50

【0195】

図23は、実施の形態1乃至実施の形態3に示すTFTを適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0196】

図23は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

10

【0197】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

20

【0198】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0199】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができる」とする。

30

【0200】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態3に示す薄膜トランジスタを適用した半導体装置として電子ペーパーの例を示す。

【0201】

図13は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1乃至実施の形態3で示す薄膜トランジスタを適用することができる。

【0202】

図13の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

40

【0203】

基板580と基板596との間に封止される薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層583、584、585に形成する開口で接しており電気的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている(図13)

50

参照。)。本実施の形態においては、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電気的に接続することができる。

【0204】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 $10\text{ }\mu\text{m} \sim 20\text{ }\mu\text{m}$ 程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0205】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0206】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるることとする。

【0207】

(実施の形態7)

本実施の形態では、実施の形態1乃至実施の形態3に示す薄膜トランジスタを適用した半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0208】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0209】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0210】

図20は、本発明の一態様を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0211】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここで

10

20

30

40

50

は、実施の形態 1 乃至実施の形態 3 で示した、酸化物半導体層 (In-Ga-Zn-O 系非単結晶膜) をチャネル形成領域に用いる n チャネル型のトランジスタを、1 つの画素に 2 つ用いる例を示す。

【0212】

画素 6400 は、スイッチング用トランジスタ 6401、駆動用トランジスタ 6402、発光素子 6404 及び容量素子 6403 を有している。スイッチング用トランジスタ 6401 はゲートが走査線 6406 に接続され、第 1 電極 (ソース電極及びドレイン電極の一方) が信号線 6405 に接続され、第 2 電極 (ソース電極及びドレイン電極の他方) が駆動用トランジスタ 6402 のゲートに接続されている。駆動用トランジスタ 6402 は、ゲートが容量素子 6403 を介して電源線 6407 に接続され、第 1 電極が電源線 6407 に接続され、第 2 電極が発光素子 6404 の第 1 電極 (画素電極) に接続されている。発光素子 6404 の第 2 電極は共通電極 6408 に相当する。共通電極 6408 は、同一基板上に形成される共通電位線と電気的に接続され、その接続部分を共通接続部として、図 1 (A)、図 2 (A)、或いは図 3 (A) に示す構造とすればよい。

10

【0213】

なお、発光素子 6404 の第 2 電極 (共通電極 6408) には低電源電位が設定されている。なお、低電源電位とは、電源線 6407 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6404 に印加して、発光素子 6404 に電流を流して発光素子 6404 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6404 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

【0214】

なお、容量素子 6403 は駆動用トランジスタ 6402 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6402 のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0215】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6402 のゲートには、駆動用トランジスタ 6402 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6402 は線形領域で動作させる。駆動用トランジスタ 6402 は線形領域で動作させるため、電源線 6407 の電圧よりも高い電圧を駆動用トランジスタ 6402 のゲートにかける。なお、信号線 6405 には、(電源線電圧 + 駆動用トランジスタ 6402 の Vth) 以上の電圧をかける。

30

【0216】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせてことで、図 20 と同じ画素構成を用いることができる。

【0217】

アナログ階調駆動を行う場合、駆動用トランジスタ 6402 のゲートに発光素子 6404 の順方向電圧 + 駆動用トランジスタ 6402 の Vth 以上の電圧をかける。発光素子 6404 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ 6402 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6404 に電流を流すことができる。駆動用トランジスタ 6402 を飽和領域で動作させるため、電源線 6407 の電位は、駆動用トランジスタ 6402 のゲート電位よりも高くなる。ビデオ信号をアナログとすることで、発光素子 6404 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0218】

なお、図 20 に示す画素構成は、これに限定されない。例えば、図 20 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0219】

次に、発光素子の構成について、図 21 を用いて説明する。ここでは、駆動用 TFT が n

50

型の場合を例に挙げて、画素の断面構造について説明する。図21(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態1乃至実施の形態3で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を酸化物半導体層として含む信頼性の高い薄膜トランジスタである。

【0220】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の一態様に係る画素構成はどの射出構造の発光素子にも適用することができる。

10

【0221】

上面射出構造の発光素子について図21(A)を用いて説明する。

【0222】

図21(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図21(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電気的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンクス滕を含むインジウム酸化物、酸化タンクス滕を含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

20

【0223】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図21(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

30

【0224】

次に、下面射出構造の発光素子について図21(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図21(B)では、駆動用TFT7011と電気的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図21(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図21(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図21(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

40

【0225】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図21(B)に示した画素の場合、発光素子7012から発せられる光は、

50

矢印で示すように陰極 7013 側に射出する。

【0226】

次に、両面射出構造の発光素子について、図21(C)を用いて説明する。図21(C)では、駆動用TFT7021と電気的に接続された透光性を有する導電膜7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図21(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するA1を、陰極7023として用いることができる。そして発光層7024は、図21(A)と同様に、単数の層で構成されても、複数の層が積層されるように構成されてもどちらでも良い。陽極7025は、図21(A)と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。10

【0227】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図21(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

【0228】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0229】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ(駆動用TFT)と発光素子が電気的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。20

【0230】

なお本実施の形態で示す半導体装置は、図21に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0231】

次に、実施の形態1乃至実施の形態3に示す薄膜トランジスタを適用した半導体装置の一形態に相当する発光表示パネル(発光パネルともいう)の外観及び断面について、図24を用いて説明する。図24(A)は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図24(B)は、図24(A)のH-Iにおける断面図に相当する。30

【0232】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。40

【0233】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図24(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0234】

薄膜トランジスタ4509、4510は、実施の形態1乃至実施の形態3に示す、In-Ga-Zn-O系非単結晶膜を酸化物半導体層として含む信頼性の高い薄膜トランジスタ

10

20

30

40

50

を適用することができる。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

【0235】

また 4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4511 から取り出す光の方向などに合わせて、発光素子 4511 の構成は適宜変えることができる。

【0236】

隔壁 4520 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4517 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0237】

電界発光層 4512 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0238】

発光素子 4511 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4513 及び隔壁 4520 上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC 膜等を形成することができる。

【0239】

また、信号線駆動回路 4503a、4503b、走査線駆動回路 4504a、4504b、または画素部 4502 に与えられる各種信号及び電位は、FPC 4518a、4518b から供給されている。

【0240】

本実施の形態では、接続端子電極 4515 が、発光素子 4511 が有する第 1 の電極層 4517 と同じ導電膜から形成され、端子電極 4516 は、薄膜トランジスタ 4509、4510 が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0241】

接続端子電極 4515 は、FPC 4518a が有する端子と、異方性導電膜 4519 を介して電気的に接続されている。

【0242】

発光素子 4511 からの光の取り出し方向に位置する第 2 の基板 4506 は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエチレンフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0243】

また、充填材 4507 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。本実施の形態は充填材 4507 として窒素を用いた。

【0244】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板 (楕円偏光板を含む)、位相差板 (1/4 板、1/2 板)、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0245】

信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回

10

20

30

40

50

路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図24の構成に限定されない。

【0246】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0247】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるところとする。

【0248】

（実施の形態8）

10

実施の形態1乃至実施の形態3に示す薄膜トランジスタを適用した半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図25、図26に示す。

【0249】

図25（A）は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

20

【0250】

また、図25（B）は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【0251】

また、図26は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

30

【0252】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部（図26では表示部2705）に文章を表示し、左側の表示部（図26では表示部2707）に画像を表示することができる。

【0253】

40

また、図26では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングディバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0254】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、

50

電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0255】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるとしている。

【0256】

(実施の形態9)

実施の形態1乃至実施の形態3に示す薄膜トランジスタを用いた半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パソコン機などの大型ゲーム機などが挙げられる。

10

【0257】

図27(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することができる。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0258】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

20

【0259】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

30

【0260】

図27(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することができる、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0261】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

40

【0262】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0263】

図28(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図28(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9

50

888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明の一態様に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができます。図28(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図28(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0264】

10

図28(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本発明の一態様に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができます。

【0265】

図29(A)は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

20

【0266】

図29(A)に示す携帯電話機1000は、表示部1002を指などで触ることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1002を指などで触ることにより行うことができる。

【0267】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0268】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させが好ましい。

30

【0269】

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き(縦か横か)を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

【0270】

また、画面モードの切り替えは、表示部1002を触ること、又は筐体1001の操作ボタン1003の操作により行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

40

【0271】

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0272】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触ることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシ

50

ング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0273】

図29(B)も携帯電話機の一例である。図29(B)の携帯電話機は、筐体9411に、表示部9412、及び操作ボタン9413を含む表示装置9410と、筐体9401に操作ボタン9402、外部入力端子9403、マイク9404、スピーカ9405、及び着信時に発光する発光部9406を含む通信装置9400とを有しており、表示機能を有する表示装置9410は電話機能を有する通信装置9400と矢印の2方向に脱着可能である。よって、表示装置9410と通信装置9400の短軸同士を取り付けることも、表示装置9410と通信装置9400の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置9400より表示装置9410を取り外し、表示装置9410を単独で用いることもできる。通信装置9400と表示装置9410とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

【0274】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるることとする。

【実施例1】

【0275】

本実施例では、酸化物半導体膜の導電率の、成膜時における酸素ガス流量の比率依存性を調べた結果について説明する。

【0276】

本実施例では、スパッタ法を用いてIn-Ga-Zn-O系非単結晶膜を成膜し、形成されたIn-Ga-Zn-O系非単結晶膜の導電率を測定した。成膜時の酸素ガス流量の比率が0体積%から100体積%までの条件でサンプルを作製し、各酸素ガス流量の比率のIn-Ga-Zn-O系非単結晶膜の導電率を測定した。なお、導電率の測定には、Agilent社製半導体パラメータアナライザーHP4155Cを用いた。

【0277】

In-Ga-Zn-O系非単結晶膜のスパッタ成膜においては、ターゲットとしてIn₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1 (In : Ga : Zn = 1 : 1 : 0.5)の比率で混ぜ合わせた直径8インチの円盤状の酸化物半導体ターゲットを用いた。他の成膜条件は、基板とターゲットの間との距離を170mm、成膜ガス圧力0.4Pa、直流(DC)電源0.5kW、成膜温度を室温とした。

【0278】

成膜ガスとしては、アルゴンガスと酸素ガスを用いた。アルゴンガスと酸素ガスに対する酸素ガスの流量比率が0体積%から100体積%までの条件で成膜し、In-Ga-Zn-O系非単結晶膜の導電率の測定を行った。なお、In-Ga-Zn-O系非単結晶膜の原子レベルの再配列を行うため、In-Ga-Zn-O系非単結晶膜の成膜後、窒素雰囲気下で350、1時間の熱処理を行った。

【0279】

各酸素ガス流量の比率に対するIn-Ga-Zn-O系非単結晶膜の導電率は図12のようになった。図12において、横軸はアルゴンガス流量と酸素ガス流量に対する酸素ガス流量の比率(体積%)であり、縦軸はIn-Ga-Zn-O系非単結晶膜の導電率(S/cm)である。また、図12に対応するアルゴンガスの流量(ccm)、酸素ガスの流量(ccm)、酸素ガスの流量比率(体積%)及びIn-Ga-Zn-O系非単結晶膜の導電率(S/cm)を表1に示す。

【0280】

【表1】

Ar(sccm)	O ₂ (sccm)	酸素流量比(体積%)	導電率(S/cm)
50	0	0	6.44×10^0
40	5	11.1	7.01×10^{-5}
40	10	20	5.24×10^{-5}
30	15	33.3	1.23×10^{-4}
30	20	40	3.98×10^{-5}
25	25	50	1.52×10^{-6}
20	30	60	2.92×10^{-7}
15	35	70	2.68×10^{-9}
10	40	80	2.57×10^{-10}
5	45	90	1.59×10^{-10}
0	50	100	4.19×10^{-11}

10

【0281】

図12及び表1の結果から、酸素ガス流量の比率が0体積%～11.1体積%の間は、導電率が急峻に低下し、酸素ガス流量の比率が11.1体積%～40体積%の間では、導電率は 1.0×10^{-5} ～ 1.0×10^{-4} S/cm程度でとなり、酸素ガス流量の比率が40体積%以上になると、導電率は緩やかに低下する傾向が見受けられる。ただし、酸素ガス流量の比率が60体積%～70体積%の間では、導電率の低下が若干急峻になっている。ここで、導電率の最大値は、酸素ガス流量の比率が0体積%、つまり成膜ガスがアルゴンガスのみの条件で 6.44 S/cmであり、導電率の最小値は、酸素ガス流量の比率が100体積%、つまり成膜ガスが酸素ガスのみの条件で 4.19×10^{-11} S/cmである。

20

【0282】

図12のグラフで導電率の傾きが急峻になる、酸素ガス流量の比率が10体積%付近の領域を境にして、導電率の高い半導体層と、それより導電率が低い酸化物半導体層との酸素ガス流量の条件をわけることによって、導電率の差を大きくすることができる。よって、導電率の高い半導体層に用いるIn-Ga-Zn-O系非単結晶膜を成膜する際は、酸素ガス流量の比率を10体積%未満にして、導電率が 1.0×10^{-3} S/cmより大きくなるようにするのがよい。また、半導体層より導電率の低い酸化物半導体層に用いるIn-Ga-Zn-O系非単結晶膜を成膜する際は、酸素ガス流量の比率を10体積%以上にして、導電率が 1.0×10^{-3} S/cm以下となるようにするのがよい。

30

【0283】

また、図12のグラフで導電率の傾きが若干急峻になっている酸素ガス流量の比率が70体積%付近の領域を境にしてもよい。この場合、導電率の高い半導体層に用いるIn-Ga-Zn-O系非単結晶膜を成膜する際は、酸素ガス流量の比率を70体積%未満にして、導電率が 1.0×10^{-8} S/cmより大きくなるようにするのがよい。また、半導体層より導電率の低い酸化物半導体層に用いるIn-Ga-Zn-O系非単結晶膜を成膜する際は、酸素ガス流量の比率を70体積%以上にして、導電率が 1.0×10^{-8} S/cm以下となるようにするのがよい。

40

【符号の説明】

【0284】

- 100 基板
- 101 ゲート電極層
- 102 ゲート絶縁層
- 103 酸化物半導体層
- 105a ソース電極層又はドレイン電極層
- 106 半導体層

50

1 0 7	保護絶縁層	
1 0 8	容量配線	
1 1 0	画素電極層	
1 1 1	酸化物半導体膜	
1 1 2	第1の導電層	
1 1 3	第2の導電層	
1 1 4	第3の導電層	
1 2 0	接続電極	
1 2 1	端子	10
1 2 2	端子	
1 2 5	コンタクトホール	
1 2 6	コンタクトホール	
1 2 7	コンタクトホール	
1 2 8	透明導電膜	
1 2 9	透明導電膜	
1 3 1	レジストマスク	
1 5 0	端子	
1 5 1	端子	
1 5 2	ゲート絶縁層	
1 5 3	接続電極	20
1 5 4	保護絶縁膜	
1 5 5	透明導電膜	
1 5 6	電極	
1 7 0	薄膜トランジスタ	
3 0 1 a	バッファ層	
3 0 2	酸化物半導体膜	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁層	
5 8 5	絶縁層	30
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	40
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	TFT基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	50

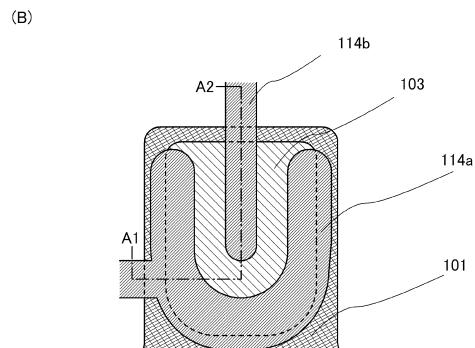
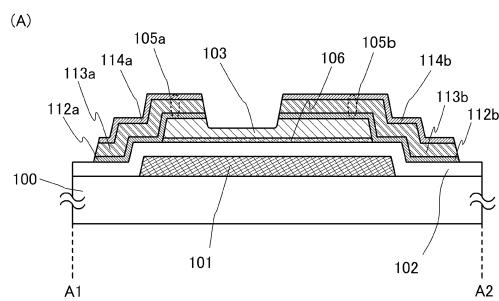
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 6 3 1	ポスター	10
2 6 3 2	車内広告	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	20
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	30
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 5 0 1	基板	40
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	50

4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	10
5 3 0 3	信号線駆動回路	
5 4 0 0	基板	
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
5 5 0 1	配線	
5 5 0 2	配線	
5 5 0 3	配線	
5 5 0 4	配線	20
5 5 0 5	配線	
5 5 0 6	配線	
5 5 4 3	ノード	
5 5 4 4	ノード	
5 5 7 1	薄膜トランジスタ	
5 5 7 2	薄膜トランジスタ	
5 5 7 3	薄膜トランジスタ	
5 5 7 4	薄膜トランジスタ	
5 5 7 5	薄膜トランジスタ	
5 5 7 6	薄膜トランジスタ	30
5 5 7 7	薄膜トランジスタ	
5 5 7 8	薄膜トランジスタ	
5 6 0 1	ドライバI C	
5 6 0 2	スイッチ群	
5 6 0 3 a	薄膜トランジスタ	
5 6 0 3 b	薄膜トランジスタ	
5 6 0 3 c	薄膜トランジスタ	
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	40
5 6 2 1	配線	
5 7 0 1	フリップフロップ	
5 7 0 3 a	タイミング	
5 7 0 3 b	タイミング	
5 7 0 3 c	タイミング	
5 7 1 1	配線	
5 7 1 2	配線	
5 7 1 3	配線	
5 7 1 4	配線	
5 7 1 5	配線	50

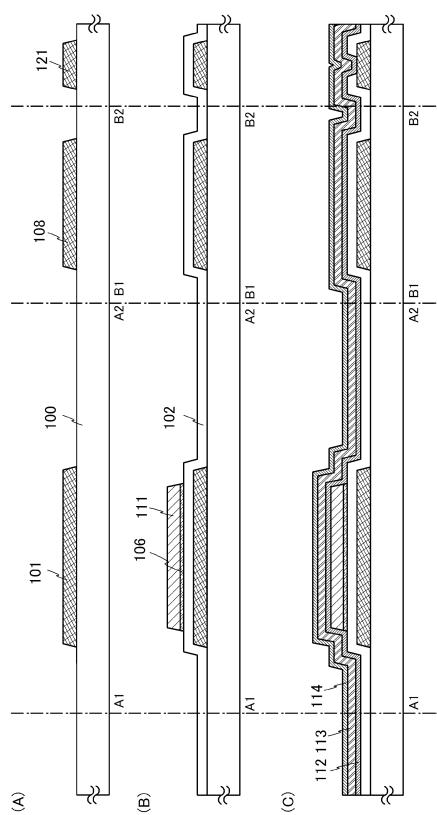
5 7 1 6	配線	
5 7 1 7	配線	
5 7 2 1	信号	
5 8 0 3 a	タイミング	
5 8 0 3 b	タイミング	
5 8 0 3 c	タイミング	
5 8 2 1	信号	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	10
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	TFT	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	20
7 0 0 5	陽極	
7 0 1 1	駆動用 TFT	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 2 1	駆動用 TFT	
7 0 2 2	発光素子	30
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	40
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	50

9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	10
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	20

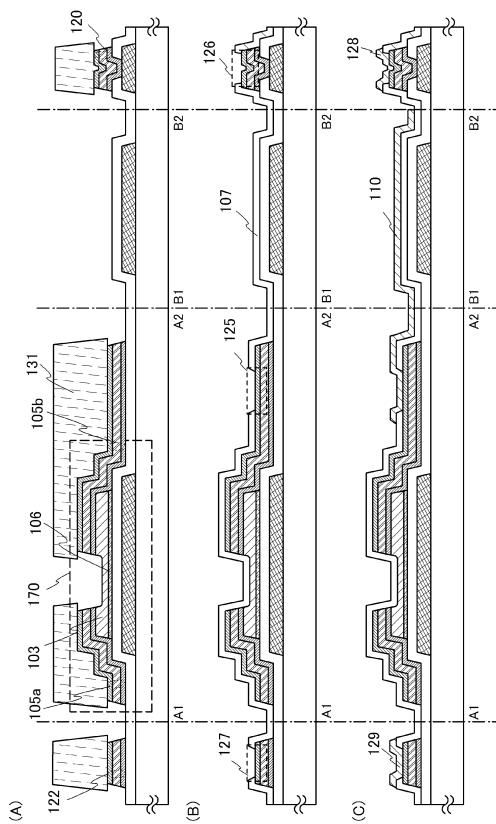
【図1】



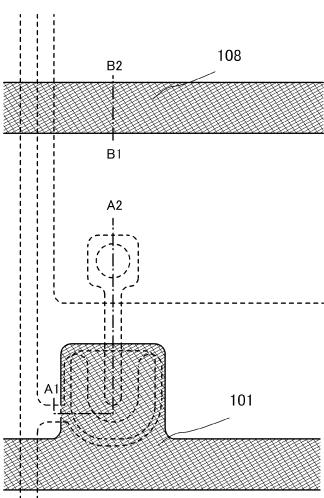
【図2】



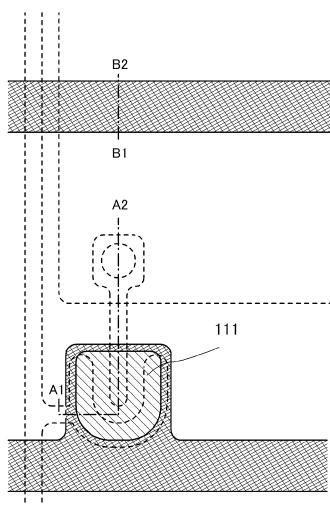
【図3】



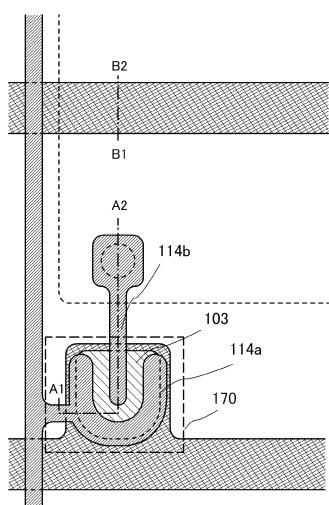
【図4】



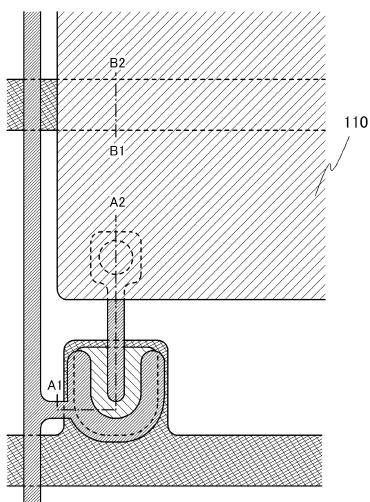
【図5】



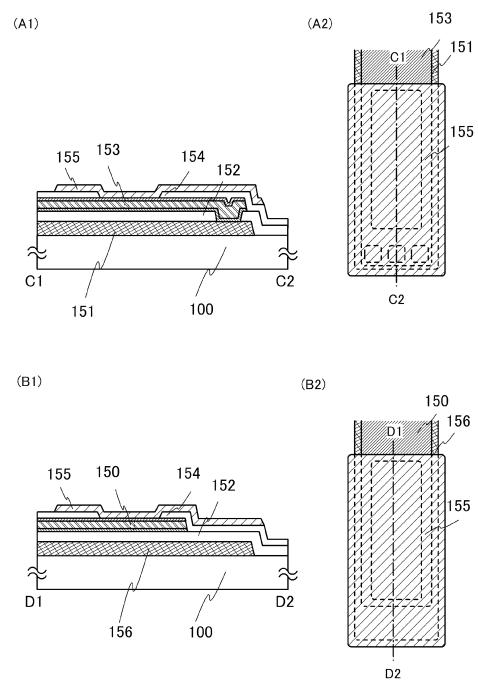
【図6】



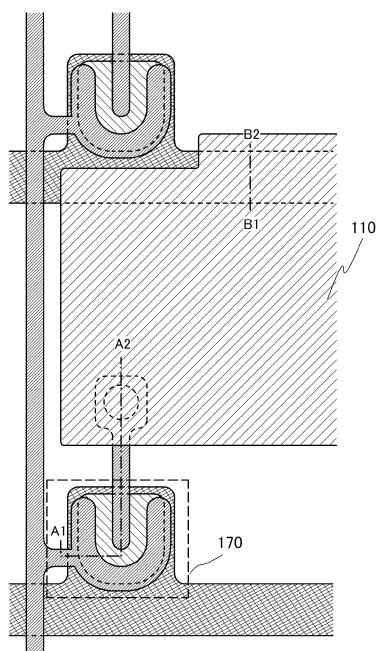
【図7】



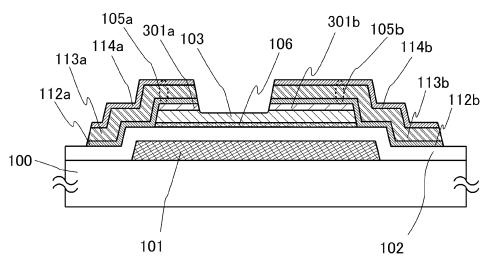
【図8】



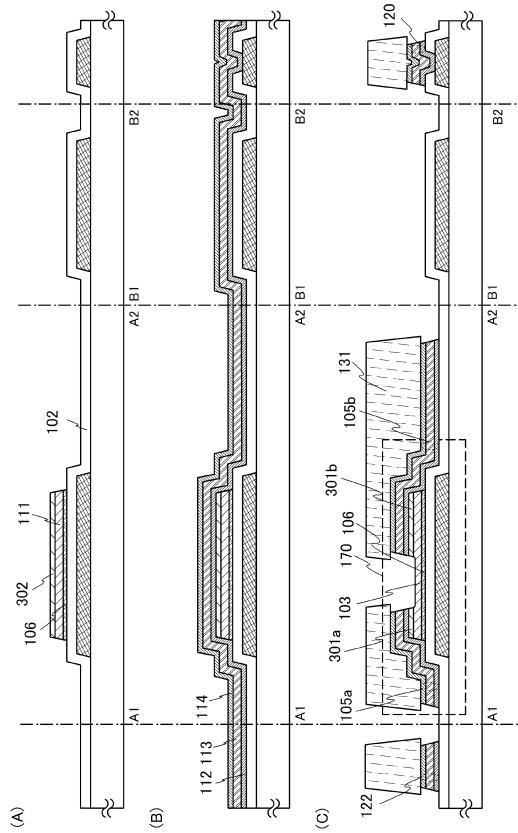
【図9】



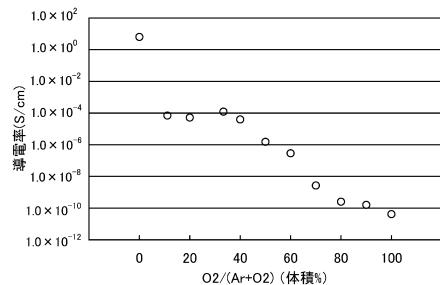
【図10】



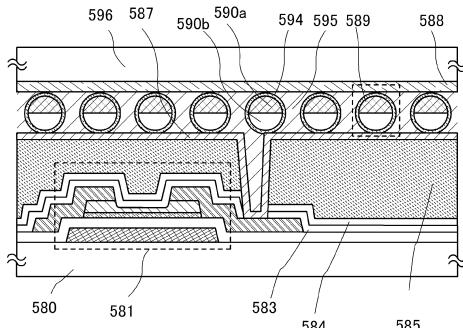
【図11】



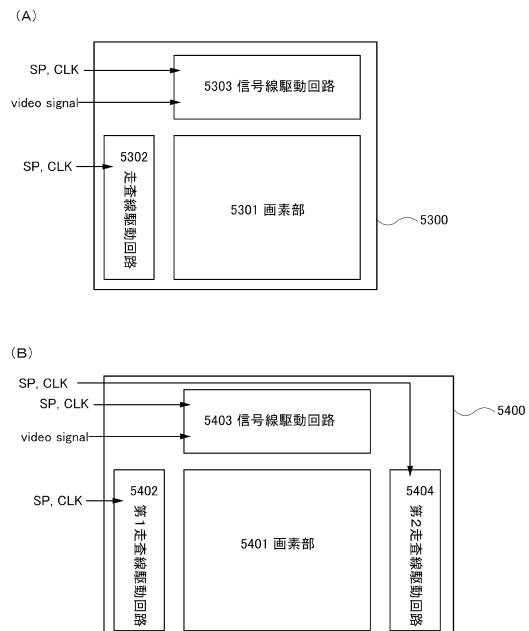
【図12】



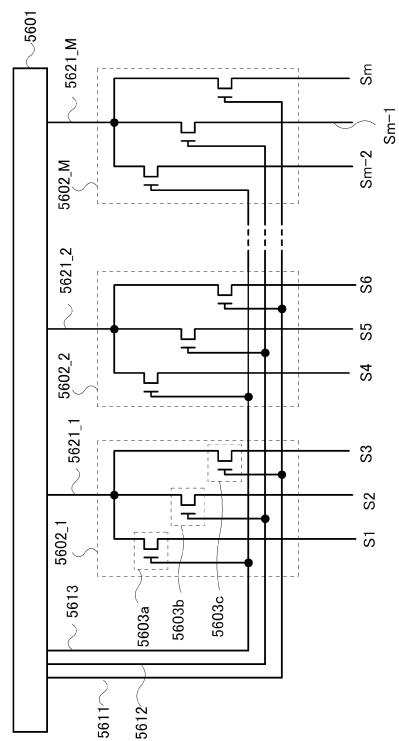
【図13】



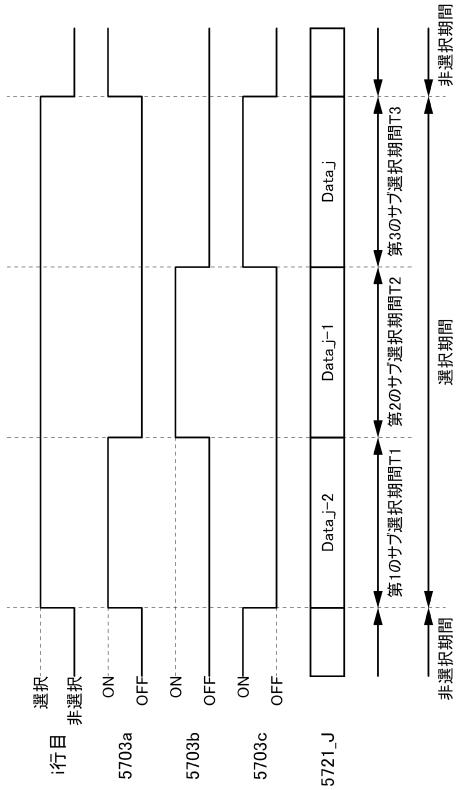
【図14】



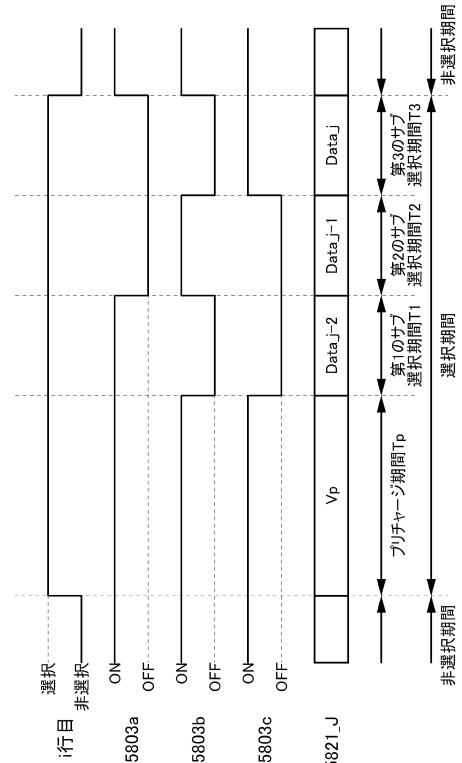
【図15】



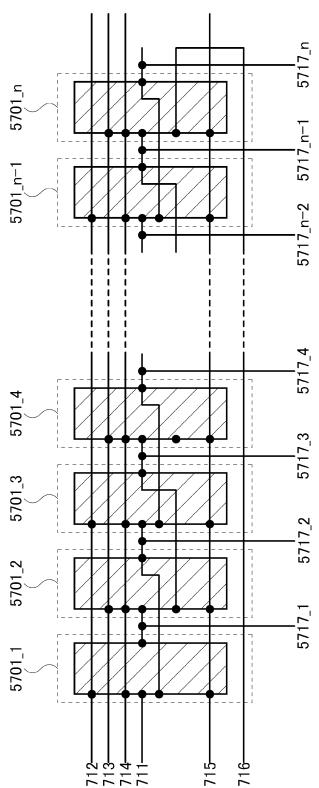
【図16】



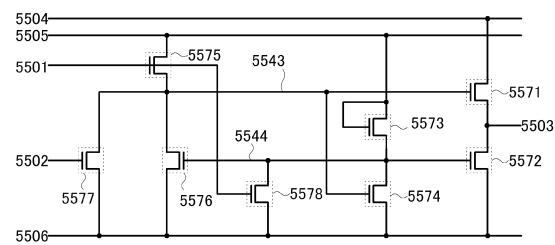
【 図 17 】



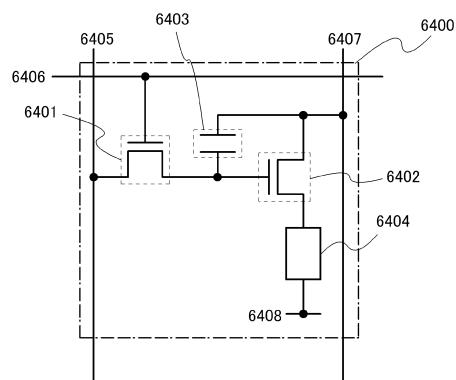
【図18】



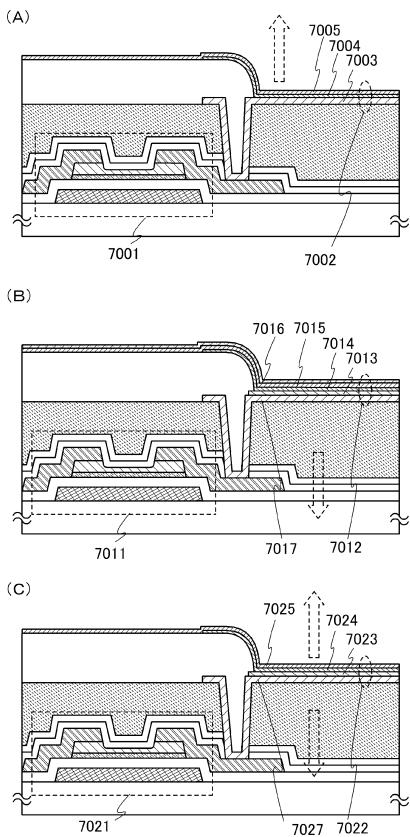
【図19】



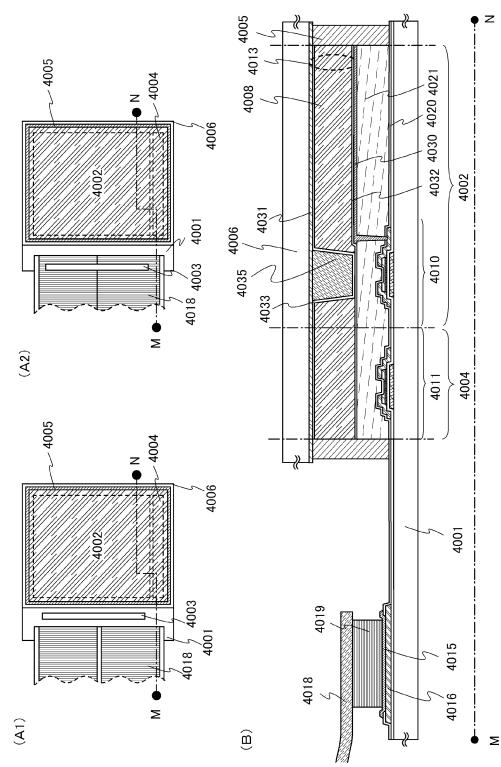
【 図 2 0 】



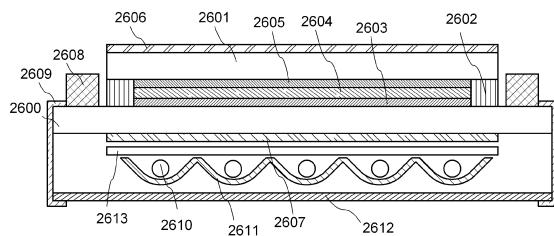
【図21】



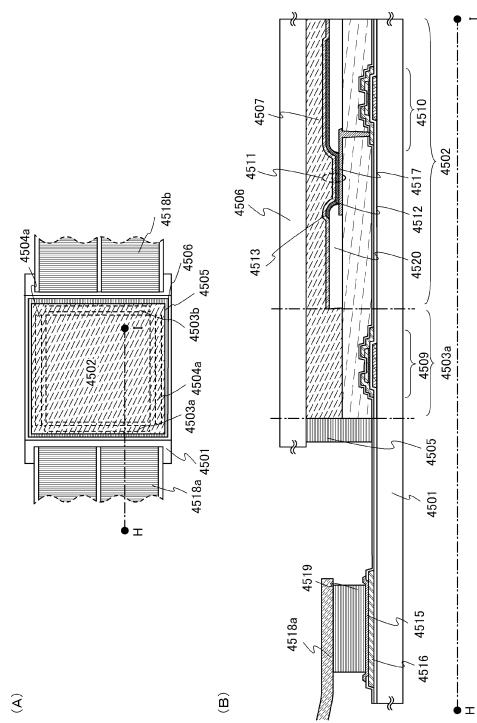
【図22】



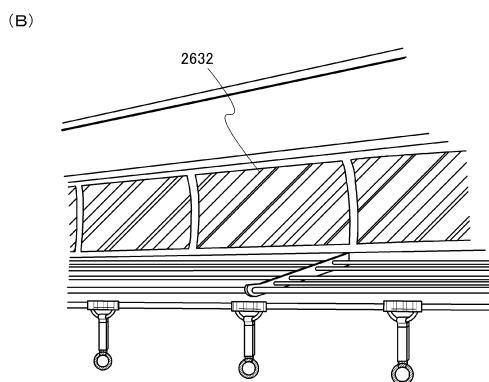
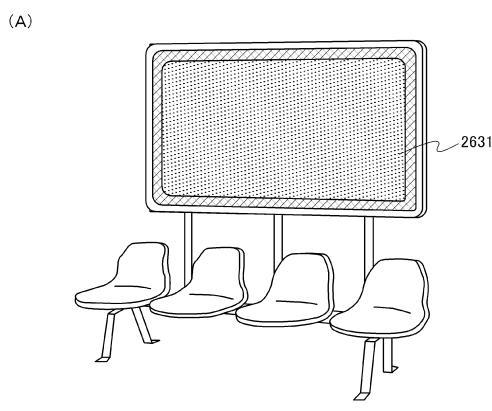
【図23】



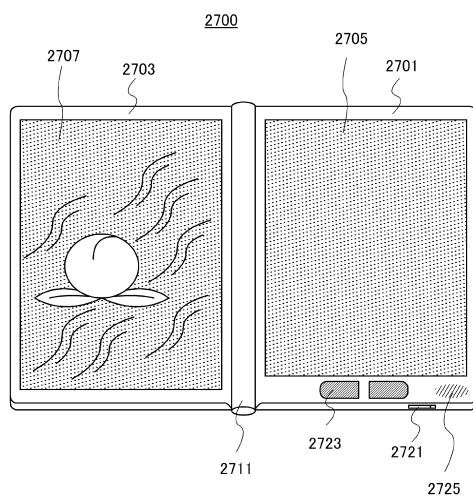
【 図 2 4 】



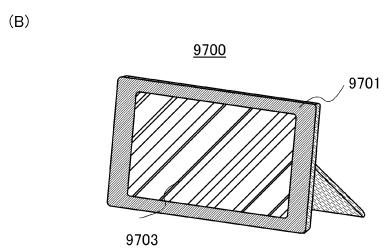
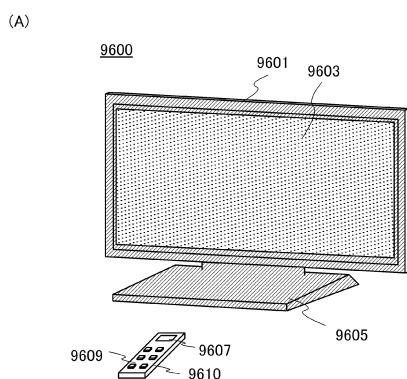
【図25】



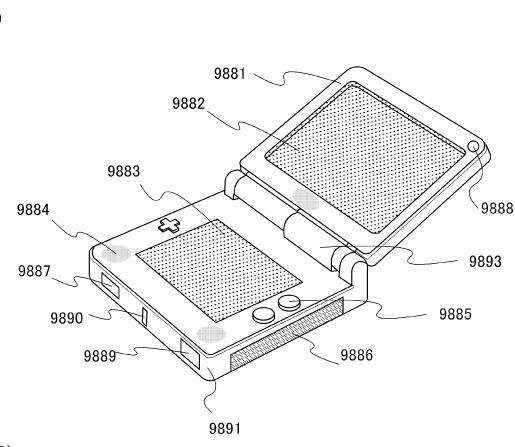
【図26】



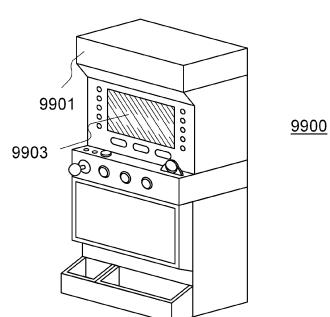
【図27】



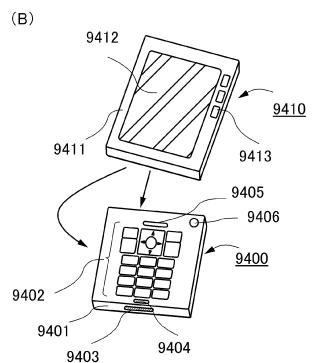
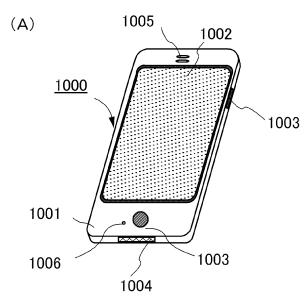
【図28】



(B)



【図29】



フロントページの続き

(51)Int.Cl.

F I

G 0 2 F 1/1368
G 0 2 F 1/1345

(56)参考文献 国際公開第2008/126884 (WO, A1)

特開2007-150158 (JP, A)
特開2000-002892 (JP, A)
特開2007-123861 (JP, A)
特開平08-236775 (JP, A)
特開平07-013183 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
G 0 2 F 1 / 1 3 4 5
G 0 2 F 1 / 1 3 6 8