

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6560965号
(P6560965)

(45) 発行日 令和1年8月14日(2019.8.14)

(24) 登録日 令和1年7月26日(2019.7.26)

(51) Int.Cl.

G 11 C 11/4074 (2006.01)
H 02 M 3/07 (2006.01)

F 1

G 11 C 11/4074
H 02 M 3/07

請求項の数 17 (全 19 頁)

(21) 出願番号 特願2015-226232 (P2015-226232)
 (22) 出願日 平成27年11月19日 (2015.11.19)
 (65) 公開番号 特開2016-100041 (P2016-100041A)
 (43) 公開日 平成28年5月30日 (2016.5.30)
 審査請求日 平成30年8月30日 (2018.8.30)
 (31) 優先権主張番号 62/082,611
 (32) 優先日 平成26年11月20日 (2014.11.20)
 (33) 優先権主張国・地域又は機関
米国(US)
 (31) 優先権主張番号 14/813,103
 (32) 優先日 平成27年7月29日 (2015.7.29)
 (33) 優先権主張国・地域又は機関
米国(US)

早期審査対象出願

(73) 特許権者 390019839
三星電子株式会社
Samsung Electronics
Co., Ltd.
大韓民国京畿道水原市靈通区三星路129
129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic
of Korea
(74) 代理人 100086368
弁理士 萩原 誠
(72) 発明者 マチエイ バヤコウスキー
アメリカ合衆国 テキサス州 78758
スウェアリングン ドライブ オーステ
イン 11702

最終頁に続く

(54) 【発明の名称】分配されたキャパシティブ遅延追跡ブーストの支援回路

(57) 【特許請求の範囲】

【請求項 1】

複数の電圧ブースト回路を含み、
 各々の電圧ブースト回路は、
 アレイ供給電圧と第2供給電圧との中で1つを選択するように構成された電源・ゲータ
 と、
 前記第2供給電圧を部分的に生成するように構成された分配されたブーストキャパシタ
 と、

前記電源・ゲータによって選択されたように、前記アレイ供給電圧又は前記第2供給電
 圧の中の1つに基づいて電気的信号を生成するように構成されたドライバと、を含み、

前記第2供給電圧は、前記アレイ供給電圧より大きく、前記分配されたブーストキャパ
 シタは、ブースティングネットワークの上に物理的に配置し、ブースティングネットワー
 ク制御信号は、実質的にクロック信号に応じて伝送され、

各々の電圧ブースト回路に対して、前記ブースティングネットワーク制御信号と前記ク
 ロック信号とは、実質的に同調されるように伝送される装置。

【請求項 2】

各々の電圧ブースト回路は、ワードラインのドライバ回路に集積される請求項1に記載
 の装置。

【請求項 3】

各々の電圧ブースト回路は、前記各々の電源・ゲータがドライバから前記アレイ供給電

圧を分離させるように構成された個別のブーストデコーダ回路を含む請求項 1 に記載の装置。

【請求項 4】

前記複数の電圧ブースト回路は、前記電圧ブースト回路の第 1 の一部分をイネーブルし、前記電圧ブースト回路の第 2 の一部分をディスエーブルする請求項 3 に記載の装置。

【請求項 5】

前記電圧ブースト回路の前記第 2 の一部分の前記電源 - ゲータは、電流漏れが実質的に発生されないようにする請求項 4 に記載の装置。

【請求項 6】

前記複数の電圧ブースト回路は、実質的に同一のブースト期間を含む請求項 1 に記載の装置。 10

【請求項 7】

前記電源 - ゲータは、前記分配されたブーストキャパシタと物理的に同一位置に配置される分配された電源 - ゲータを含む請求項 1 に記載の装置。

【請求項 8】

各々のメモリセルが各々のワードラインによってアクセスされる複数のメモリセルと、各々のワードラインドライバが第 1 電圧又は第 2 電圧の中の 1 つでワードライン信号を生成するように構成された複数のワードラインドライバと、

前記第 1 電圧から前記第 2 電圧の一部を部分的に生成するように構成された分配されたブーストネットワークと、 20

前記分配されたブーストネットワークの複数のブーストキャパシタの各々に伝送されるクロック信号と、

前記ブーストキャパシタの各々に伝送されるブースティングネットワーク制御信号と、を含み、

前記第 2 電圧は、前記第 1 電圧より大きく、前記分配されたブーストネットワークは、前記複数のワードラインドライバの中で物理的に分配され、

各々のブーストキャパシタに対して、前記ブースティングネットワーク制御信号及び前記クロック信号が実質的に同調されるように前記クロック信号と前記ブースティングネットワーク制御信号とが伝送されるシステム。

【請求項 9】

前記第 1 電圧と前記第 2 電圧との内的一方を選択するように構成された分配された電源 - ゲータのネットワークをさらに含み、

前記分配された電源 - ゲータのネットワークは、前記複数のワードラインドライバの間に物理的に分配され、

前記分配されたブーストネットワークは、複数のブーストキャパシタを含む請求項 8 に記載のシステム。

【請求項 10】

前記各々のワードラインドライバは、前記分配されたブーストネットワークの各々のブーストキャパシタと物理的に集積される請求項 8 に記載のシステム。

【請求項 11】

前記複数のワードラインドライバは、ワードラインドライバのブロック内に配列され、各々のブロックは、前記複数のワードラインドライバの一部分を含み、

前記分配されたブーストネットワークは、ブーストキャパシタのブロック内に配列され、ブーストキャパシタの各々のブロックは、ワードラインドライバの各々のブロックの少なくとも 1 つと関連付けられ、ワードラインドライバの各々のブロックと同一位置に配置される請求項 8 に記載のシステム。

【請求項 12】

前記分配されたブーストネットワークは、複数のブースティング回路を含み、前記ブースティング回路は、各々のワードラインに各々関連付けられ、

前記各々のブースティング回路は、

10

20

30

40

50

非ブーストモードで、前記各々のワードラインに前記第1電圧を供給し、
ブーストモードで、シャットオフし、前記各々のワードラインへの前記第1電圧の供給
を遮断するように構成された電源・ゲータと、

超過電荷を格納するように構成されたブーストキャパシタと、

前記非ブーストモードと前記ブーストモードから前記電源・ゲータをスイッチングする
ように構成されたブーストデコード回路と、を含み、

前記ブーストモードの間に、各々のワードラインへの電圧の供給が、前記ワードライン
に連結されたキャパシタと前記ブーストキャパシタとの間のキャパシティップカップリング
によってブーストされる請求項8に記載のシステム。

【請求項13】

10

各々のブースティング回路が、前記関連付けられたワードラインと同一位置に配置され
るように、複数のブースティング回路が前記システムを通じて物理的に分配される請求項
12に記載のシステム。

【請求項14】

前記分配されたブーストネットワークは、前記ブースティング回路の第1の一部分をイ
ネーブルし、前記ブースティング回路の第2の一部分をディスエーブルする請求項12に
記載のシステム。

【請求項15】

前記ブースティング回路の前記第2の一部分の前記電源・ゲータは、電流漏れが実質的
に発生しないようにする請求項14に記載のシステム。

20

【請求項16】

データを格納するように構成された複数のメモリセルと、

各々のメモリセルアクセスマトリクスが第1電圧又は第2電圧の中のいずれか1つでア
クセス信号を生成するように構成された複数のメモリセルアクセスマトリクスと、

前記第1電圧を前記第2電圧にブースティングし、前記複数のメモリセルアクセスマトリ
クスの中で物理的に分配されたブースティング手段と、を含み、

前記第2電圧は、前記第1電圧より高く、クロック信号及びブースティング制御信号は
、前記ブースティング手段に伝送され、

前記ブースティング手段は、各々のブースティングサブ手段が各々のメモリセルアクセ
スマトリクスに関連付けられる複数のブースティングサブ手段を含み、

30

前記クロック信号は、前記ブースティングサブ手段の各々に伝送され、

前記ブースティング制御信号は、前記ブースティングサブ手段の各々に伝送されるブ
ースティング制御信号であり、

前記クロック信号と前記ブースティング制御信号とは、各々のブースティングサブ手段
において、前記ブースティング制御信号とクロック信号とが実質的に同調されたように伝
送される装置。

【請求項17】

前記ブースティング手段は、各々のメモリセルアクセスマトリクスに各々関連付けられた
複数のブースティング回路を含み、

前記各々の複数のブースティング回路は、

40

第1モードで、前記各々のメモリセルアクセスマトリクスに前記第1電圧を供給し、

第2モードで、前記各々のメモリセルアクセスマトリクスへの前記第1電圧の供給を中止
するように構成されたスイッチング手段と、

超過電荷を格納するように構成された追加充電手段と、

前記スイッチング手段が前記第1モード又は前記第2モードに動作するか否かを制御す
るよう構成されたためのイネーブル手段と、

前記第2モードの間に、各々のメモリセルアクセスマトリクスへの電圧供給が前記追加充
電手段とワードラインに連結されたキャパシタとの間のキャパシティップカップリングによ
って、ブーストされる請求項16に記載の装置。

【発明の詳細な説明】

50

【技術分野】**【0001】**

本発明は、電圧制御に係り、特に電源供給電圧をブースティングするための分配キャパシティブ遅延追跡ブーストの支援回路に関する。

【背景技術】**【0002】**

ブースティングコンバータ、ブースティング回路、又はステップ・アップコンバータは、通常、入力電圧より大きい出力電圧を含む直流(DC : Direct Current)対直流(DC to DC)のコンバータである。しばしばブースティング回路は、少なくとも2つの半導体(ダイオード及びトランジスタ)及び少なくとも1つのエネルギートレージエレメント、キャパシタ、インダクタ、又はそれらの組合せによって、2つを含む交換方式の電源供給装置(SMPs : Switched-Mode Power Supply)に分類される。キャパシタ(時々、インダクタとの組合せ)で作られたフィルタは、出力電圧リップル(output voltage ripple)を減少させるためにコンバータの出力に一般的に追加される。10

【0003】

ブースト回路は、しばしば通常の電源供給がされ低電圧動作で使用されている回路中の特定回路の電圧を一時的にブースティングすることによって性能利益を得るためにしばしば使用される。このようなタイプのブースティング回路は、メモリアレイで特に有用である。例えば、読み出し動作の間、利用可能な供給電圧より高い読み出しワードラインのブースティングは、出力時間のため、改善されたクロックを実現する。書き込み動作を含む他の例では、利用可能な供給電圧より高い書き込みワードラインの電圧ブースティングは、ピットセルのより優れた書き込み能力を実現する。メモリ回路(又は少なくともそのワードライン)の電圧は一時的にブースティングされるが、メモリ回路は、ノーマル動作中は、減少されるか、或いは低電圧で動作することができる。20

【発明の概要】**【発明が解決しようとする課題】****【0004】**

本発明の目的は、電源供給電圧をブースティングするための分配キャパシティブ遅延追跡ブーストの支援回路を提供することにある。30

本発明の他の目的は、ランプドスイッチでの電流漏洩を防止できる分配キャパシティブ遅延追跡ブーストの支援回路を提供することにある。

【課題を解決するための手段】**【0005】**

本発明の一実施形態による装置は、複数の電圧ブースティング回路を含み、各電圧ブースティング回路は、アレイ供給電圧と第2供給電圧との間で選択するように構成され、前記第2供給電圧は、前記アレイ供給電圧より大きい電圧ゲータと、第2供給電圧を部分的に生成する分配されたブーストキャパシタと、前記電圧ゲータによって選択された前記アレイ供給電圧又は前記第2供給電圧の中の1つに基づいて電気的信号を生成するドライバと、を備え、前記分配されたブーストキャパシタは、ブースティングネットワーク全体に物理的に配置される。40

【0006】

この実施形態において、前記ブースティングネットワークは、クロック信号に従って伝送されるブースティングネットワークの制御信号を含み、各電圧ブースティング回路において、前記ブースティングネットワークの制御信号とクロック信号とは、実質的に同調される。

この実施形態において、各電圧ブースティング回路は、ワードラインのドライバ回路に集積される。

この実施形態において、各電圧ブースティング回路は、各電圧ゲータによってドライバからアレイ供給電圧を分離させる、個別のブーストデコーダ回路を含む。50

【0007】

この実施形態において、前記複数の電圧ブースティング回路は、前記電圧ブースティング回路の第1の一部分をイネーブルし、前記電圧ブースティング回路の第2の一部分をディスエーブルする。

この実施形態において、前記電圧ブースティング回路の前記第2の一部分の前記電源ゲータは、実質的に漏れ電流を発生させない。

この実施形態において、前記複数の電圧ブースティング回路は、略同一の電圧のブースト期間を含む。

この実施形態において、前記電源ゲータは、前記分配されたブーストキャパシタと物理的に同一位置に配置される分配された電源ゲータを含む。 10

【0008】

本発明によるシステムは、各ワードラインによってアクセスされるメモリセルを含む複数のメモリセルと、第1電圧又は第2電圧の内の1つでワードライン信号を生成するワードラインドライバを含み、前記第2電圧は、前記第1電圧より高い複数のワードラインドライバと、前記第1電圧から前記第2電圧の一部を生成し、前記複数のワードラインドライバの中で物理的に分配される分配されたブーストネットワークと、を含む。

【0009】

この実施形態において、前記システムは、前記第1電圧と前記第2電圧との内的一方を選択するよう構成された分配された電源ゲータのネットワークをさらに含み、前記分配された電源ゲータのネットワークは、前記複数のワードラインドライバの間に物理的に分配され、前記分配されたブーストネットワークは、複数のブーストキャパシタを含む。 20

この実施形態において、前記システムは、分配されたブーストネットワークの複数のブーストキャパシタの各々に伝送されるクロック信号と、前記各ブーストキャパシタに伝送されるブースティングネットワークの制御信号と、をさらに含み、前記クロック信号と前記ブースティングネットワークの制御信号とは、各ブーストキャパシタに対して、ブースティングネットワークの制御信号及びクロック信号が実質的に同調されたように伝送される。

【0010】

この実施形態において、前記各ワードラインドライバは、分配されたブーストネットワークの各ブーストキャパシタに物理的に集積される。 30

この実施形態において、前記複数のワードラインドライバは、ワードラインドライバのプロックに配列され、各プロックは、複数のワードラインドライバの一部分を含み、前記分配されたブーストネットワークは、ブーストキャパシタのプロックに配列され、ブーストキャパシタの各プロックは、ワードラインドライバの各プロックの少なくとも1つと関連付けられ、ワードラインドライバの各プロックと同一の場所に配置される。

【0011】

この実施形態において、前記分散されたブーストネットワークは、複数のブースティング回路を含み、前記ブースティング回路は、各ワードラインに各々関連付けられ、前記各ブースティング回路は、非ブーストモードで、各ワードラインに第1の電圧を供給し、ブーストモードで、シャットオフし、各ワードラインへの前記第1電圧の供給を遮断する電源ゲータと、過多電荷を格納するためのブーストキャパシタと、前記非ブーストモードと前記ブーストモードから前記電源ゲータをスイッチングするためのブーストデコード回路と、を含み、ブーストモードの間、各ワードラインへの電圧の供給は、前記ブーストキャパシタと前記ワードラインに連結されたキャパシタとの間のキャパシティップカップリングによってブーストされる。 40

【0012】

この実施形態において、前記複数のブースティング回路は、各ブースティング回路が関連付けられたワードラインと同一の場所に配置されるよう、前記システムを通じて物理的に分配される。

この実施形態において、前記分配されたブーストネットワークは、前記ブースティング

50

回路の第1の一部分をイネーブルし、前記ブースティング回路の第2の一部分をディスエーブルする。

この実施形態において、前記ブースティング回路の前記第2の一部分の電源ゲータは、実質的に漏れ電流を発生させない。

【0013】

本発明による装置は、データを格納するための複数のメモリセルと、第1電圧又は第2電圧の内のいずれかでアクセス信号を生成する各メモリセルアクセスマスクライバを含み、前記第2電圧は、前記第1電圧より高い複数のメモリセルアクセスマスクライバと、前記第1電圧を前記第2電圧にブースティングし、前記複数のメモリセルアクセスマスクライバの中に物理的に分配されたブースティングの手段と、を含む。 10

【0014】

この実施形態において、前記ブースティングの手段は、各メモリセルアクセスマスクライバに各々関連付けられた複数のブースティング回路を含み、前記複数のブースティング回路の各々は、第1モードで、前記各メモリセルアクセスマスクライバに前記第1電圧を供給し、第2モードで、前記各メモリセルアクセスマスクライバへの前記第1電圧の供給を中止するスイッチング手段と、過多電荷を格納するための追加的な充電手段と、前記スイッチング手段が前記第1モード又は前記第2モードで動作するか否かを制御するためのイネーブル手段と、を含み、前記第2モードの間、前記追加充電手段と前記ワードラインに連結されたキャパシタとの間のキャパシティップカップリングによって、各メモリセルアクセスマスクライバへの電圧の供給はブーストされる。 20

この実施形態において、前記ブースティング手段は、複数のブースティング手段を含み、各ブースティング手段は、各メモリセルアクセスマスクライバと関連付けられ、前記装置は、前記ブースティング手段の各々に伝達されるクロック信号と、前記ブースティング手段の各々に伝達されるブースティング制御信号と、をさらに含み、前記クロック信号と前記ブースティング制御信号とは、各ブースティング手段において、前記ブースティング制御信号とクロック信号とが実質的に同調されたように伝送される。

【発明の効果】

【0016】

本発明による分配キャパシティップ遅延追跡ブーストの支援回路は、電圧差を有する2つの電圧を出力する電圧ブースティング回路に分配して配置することによって電源供給電圧をブースティングすることができ、ランプドスイッチでの電流漏洩を防止することができる。 30

【図面の簡単な説明】

【0017】

【図1】本発明によるシステムの例示的な実施形態の回路図。

【図2】本発明によるシステムの例示的な実施形態を示したタイミング図。

【図3A】先行技術によるシステムの例示的な実施形態を示した図。

【図3B】本発明によるシステムの例示的な実施形態を示した図。

【図4】本発明の原理による形態を有する装置を含めることができる情報プロセシングシステムを概略的に示した図。 40

【発明を実施するための形態】

【0018】

多様な例示的な実施形態は、一部の例示的な実施形態が図示された添付図面を参照してより詳細に以下で説明する。しかしながら、本発明は、多くの他の形態に具現することができ、ここに説明された例示的な実施形態に限定されることと解釈されるべきではない。このような例示的な実施形態は、本明細書が徹底で完全なものであり、当該技術分野で熟練された技術者に記載された本発明の主題の範囲を完全に伝達するものであるよう、提供される。図面中、レイヤ及び領域のサイズおよび相対的なサイズは、明確にするために誇張された。 50

【0019】

エレメント又はレイヤが他のエレメント又はレイヤに“上に”、“接続される”、“連結される”ことが示される時、他のエレメント又はレイヤの上に直接置かれるか、または接続されるか、或いは連結されることができ、或いは、介在するエレメント又はレイヤが存在してもよい。これと反対に、エレメントが、他のエレメント又はレイヤに“直接上に”、“直接的に接続された”、又は“直接的に連結された”ことが示される時、介在するエレメント又はレイヤは存在しない。同一の参照番号は、完全に同一であるエレメントを示す。ここに使用されたように、用語“及び／又は”は、1つ以上の関連付けられてリストされたアイテムの任意の及びすべての組合を含む。

【0020】

第1、第2、第3等の用語を多様なエレメント、コンポーネント、領域、レイヤ、及び／又はセクションを記述するためにここで使用するが、このようなエレメント、コンポーネント、領域、レイヤ、及び／又はセクションは、このような用語によって制限されないことと理解される。このような用語は、他のエレメント、コンポーネント、領域、レイヤ、又はセクションから1つのエレメント、コンポーネント、領域、レイヤ、又はセクションを区分するためだけに使用される。したがって、後述の第1エレメント、コンポーネント、領域、レイヤ、又はセクションは、本発明で教示することから逸脱せずに、第2エレメント、コンポーネント、領域、レイヤ、又はセクションと称することができる。

【0021】

“真下に(beneath)”、“下に(below)”、“下部(lower)”、“上に(above)”、“上部(upper)”等のような空間的に相対的な用語は、図面内で図示されたような、他のエレメント又は特徴と1つのエレメント又は特徴との関係を記述するために、便宜的にここで使用される。

空間的に相対的な用語は、図面に図示された方向に加えて使用又は動作中の装置の様々な方向に拡張されることを意図したものと理解される。例えば、図面内の装置が回転すれば、他のエレメント又は特徴の“下に”、“真下に”として記載されたエレメントは、他のエレメント又は特徴の“上の”方向となる。したがって、例示的な用語“下に”は、上又は下の両方向に拡張ができる。装置は、他の方向に向けることができる(90°又は他の方向に回転される)、ここで使用された空間的に相対的な記述語(descriptor)は、それに従って解釈することができる。

【0022】

ここで使用された専門用語(terminology)は、特定の実施形態のみを説明することを目的とし、本発明を制限することを意図するものではない。ここで使用されたように、単数表現は、文脈で明らかに異なる指示がない限り、複数形も含むことと意図される。“含んでいる”又は／及び“含む”等の用語は、詳細な説明で使用される時、述べられた特徴、整数、ステップ、動作、エレメント、及び／又はコンポーネントの存在を明示するが、1つ以上の他の特徴、整数、ステップ、動作、エレメント、コンポーネント、及び／又はそれらのグループの存在又は追加を排除しないものとしてさらに理解される。

【0023】

例示的な実施形態は、理想化された例示的な実施形態(及び中間構造)の概略的な図面である断面図を参照してここに記述される。例えば、製造技法及び／又は許容誤差の結果として生じる図面の形状からの変化が予測される。したがって、例示的な実施形態は、ここに図示された領域の特定形態に制限されると解されるべきではなく、例えば、製造技法によって生じる形状内の偏差を含むこともあり得る。例えば、四角形として図示された注入領域は、一般的に、注入領域から非注入領域への二進変化よりも、エッジにおいてラウンドされるか、或いはカーブされた特徴及び／又は注入濃度の勾配を有する。同様に、注入によって形成された埋設領域は、埋設領域と注入が遂行された表面との間の領域で一部具現された結果である。したがって、図面で図示された領域は、本質的に概略的であり、それらの形状は、装置の領域の実際の形状を図示することを意図したものではなく、本発明の範囲を制限することを意図したものではない。

10

20

30

40

50

【0024】

他に定義しない限り、ここで使用されたすべての用語（技術的及び科学的用語を含む）は、本発明が属する技術分野で通常の知識を有する者によって共通に理解されるものと同一の意味を有する。共通に使用される辞書で定義されるような用語は、関連技術の文脈中の意味と同一の意味を有することと解釈されることができ、ここで明確に定義しない限り、理想的で過度に形式的な意味に解釈されないように理解される。

【0025】

以降において、例示的な実施形態は、添付された図面を参照して詳細に説明される。

図1は、本発明によるシステム100の実施形態を示した回路図である。

図1を参照すれば、図示された実施形態で、電圧ブースティング回路（voltage boosting circuit）101は、2つの電圧（例えば、アレイ電圧又は供給、及びブーストされた電圧又は供給等）の内の1つを選択するために使用される。図示された実施形態で、電圧ブースティング回路101は、例えば、メモリアレイ、又はより一般には回路全体に分配される。

【0026】

多様な実施形態で、システム100は、タイミング回路（timing circuit）102と複数の電圧ブースティング回路（例えば、回路101と101n等）とを含む。そのような実施形態で、各電圧ブースティング回路101は、2つの電圧、即ち第1の、より低い通常電圧又は第2の、より高い臨時電圧の内の1つを選択するように構成される。図示された実施形態で、電圧ブースティング回路101は、各電圧のブースティング回路101を、他の全ての電圧のブースティング回路とは逆に、個別にイネーブル（より高い電圧を選択）又はディスエーブル（より低い電圧を選択）できるものとして構成される。一部の実施形態で、システム100は、複数の電圧ブースティング回路101が、グループ毎にイネーブル或いはディスエーブルされる一部分（sub - portion）にグループ分けされるように配列される。これらの幾つかの図示された例に、本発明は限定されないと理解される。

【0027】

図示された実施形態で、クロック信号112は、タイミング回路102内に入力される。多様な実施形態で、タイミング回路102は、電圧ブースティング回路101のための特別なバージョンのクロック信号を出力するように構成されてもよい。このようなコンテキストで、この信号は、ワードラインクロック信号122と呼ばれる。しかしながら、これは本発明が限定されない単なる1つの図示された例である。さらに、タイミング回路102は、ブースティングネット（boosting net）又はブースティングネットワーク信号（boost network signal）124を出力するように構成されてもよい。多様な実施形態で、ブースティングネット信号124は、出力電圧が第1電圧から第2電圧にスイッチされる時、少なくとも一部で制御するよう構成される。

【0028】

多様な実施形態で、各電圧ブースティング回路101は、ドライバ109又は109n、スイッチ108又は108n、及びブースティングエレメント106又は106nをそれぞれ含む。このような実施形態で、ドライバ109は、第1電圧又はより高い第2電圧の内の1つで出力信号149（例えば、ワードライン信号等）を生成するように構成される。そのような一実施形態で、スイッチは、2つの電圧の内の1つを選択するように構成されてもよい。そして、ブースティングエレメント106は、第1電圧と第2電圧との間の実質的な差である追加電圧又は電荷を提供するように構成される。そのような実施形態で、第2電圧が選択されれば、追加電圧又は電荷は、第1電圧に加算（又は減算）され、その結果、第2電圧となる。

【0029】

図示された実施形態で、スイッチ108は、トランジスタ（例えば、NMOSエンハンスマントトランジスタ（NMOS enhancement transistor）、PMOSエンハンスマントトランジスタ等）を含み、ブースティングエレメント106は

10

20

30

40

50

、キャパシタを含む。上述したことは、単なる幾つかの図示された例であり、本発明はこれに限定されない。例えば、ブースティングエレメント 106 は、インダクタ、又はキャパシタとインダクタとの組合せ等を含む。

【0030】

本発明の本質である分配について論議する前に、電圧ブースティング回路 101 のブースティング機能について、簡単に説明を行う。スイッチがクローズまたはイネーブルされる時、ドライバ 109 に印加された電圧（ポイント 142 で仮想電圧によって表わされる）は、第 1 の、より低い電圧 132 と同一である。図示された実施形態で、第 1 電圧は、アレイ電圧として称される。そのような実施形態で、出力信号 149 は、第 1 の、より低い電圧 132 で駆動される。また、この間、エネルギー（例えば、電流、電圧、電荷等）は、ブースティングエレメント 106 内に格納される。10

【0031】

一実施形態で、スイッチ 108 が開放されるか、或いはディスエーブルされる時、第 1 電圧 132 とポイント 142 との間の経路は切断される。そのような実施形態で、ブースト電圧は、信号 136 に印加される。多様な実施形態で、このようなブースト電圧は、第 1 電圧と同一である。ブースティングエレメント 106 は、ブースト電圧（信号 136 によって示す）と直列であるため、ブースト電圧の電圧又は電荷とブーストエレメント 106 内に格納された電圧とが互いに印加され、より高い第 2 電圧を形成する。ブースティングエレメント 106 は信号 136 とポイント 142 との間に位置するため、ポイント 142 は、第 2 電圧に設定される。ドライバ 109 は、以後、第 2 のより高い電圧で出力信号 149 を駆動する。20

【0032】

図示された実施形態で、スイッチ又はトランジスタ 108 は、ソース（source）とボディーピン（body pin）とを有し、これらはいずれも第 1 又はアレイ電圧 132 に連結される。ゲートピンは、イネーブル信号 138、138n に各々連結される。そして、ドレーンピンは、ポイント 142、142n に各々連結される。一部の実施形態で、トランジスタ 108 は、電源ゲータ（power gater）と称される。

そのような実施形態で、以上から分かるように、ブースティング信号 136 が、ブースティングエレメント 106 によって提供された追加的な電圧と直列に第 1 電圧を提供し始める際、スイッチ 108 は理想的にはクローズされるため、イネーブル信号 138 とブースティング信号 136 とのタイミングは、重要である。30

【0033】

多様な実施形態で、各電圧ブースティング回路 101 は、ローカルブースティングデコーダ回路 104、104n を各々含む。そのような実施形態で、ローカルブースティングデコーダ回路 104 は、イネーブル信号 138 とブースティング信号 136 とのタイミングを調整する。さらに、ローカルブースティングのデコーダ回路 104 は、ブーストされないローカル制御信号、或いは図示された実施形態においては、ワードラインバー信号（word-line bar signal）139 を生成するように構成される。このような例では、ドライバ 109 はインバータを含むため、ブーストされないローカル制御信号 139 は、最終的にブーストされた制御信号 149（例えば、ワードライン 149）の逆（inverse）又は反対の（opposite）バージョンである。上述したことは、単なる 1 つの図示された例であって、本発明はこれに限定されないものとして理解される。40

【0034】

上述したように、図示された実施形態で、システム 100 は、独立した電圧ブースティング回路 101 毎に 2 つの電圧の内の一つを選択するように構成される。多様な実施形態で、ローカルブーストデコーダ 104 は、ブースティングネット信号（boosting net signal）124 とワードラインロック信号（word-line lock signal）122 とを受信するように構成される。更に、ローカルブーストデコーダ 104 は、電圧ブースティング回路 101 が（第 1 電圧ではなく）第 2 電圧を50

選択することをローカルブーストデコーダ 104、104n に示すローカルイネーブル信号 126、126n をそれぞれ受信する。これらの 3 つの信号 122、124、126 に応答して、ローカルブーストデコーダ 104 は、イネーブル信号 138 とブースティング信号 136 とを生成する（または、信号 126 がそのように示さない場合には生成しない）ように構成される。

【0035】

従来、ブースティングエレメント 106（及び、しばしばスイッチ 108）は、中心位置に集中（lump）して配置されていた。そのような実施形態で、比較的大きなバーションのブースティングエレメント 106 が、システム内のすべてのドライバ 109、109n に余分の電圧（extra voltage）を提供するために使用される。単一位置に比較的大きいブースティングエレメントを有することで、広い領域が必要となることに加え、システムは、すべてのドライバ 109 に対して第 1 又は第 2 電圧の内の 1 つを使用する必要が生じる。また、多様な信号のタイミングは、難しくなる。信号が出発地から目的地まで移動するのに時間を要するため、ランプドブースティングエレメント（lumped boosting element）により近接したドライバ 109 は、遠くに位置したドライバより第 2 電圧のスタートを早く経験する。反対に、近接したドライバは、より遠いドライバよりも早く第 1 電圧に戻される。

【0036】

図示された実施形態で、複数の分配されたブースティングエレメント 106 は、出力信号 149 のクリティカルディレイパスに沿って配置される。そのような実施形態で、ブースティング信号 136 は、入力信号 139 に合わせてより適切に調節されることができ、集中型のランプブースティングエレメント（centralized lump boosting element）からドライバまでの間に発生した時間遅延は、除去されるか、或いは正規化される。そのような実施形態で、アライメント（alignment）により、各ドライバにおけるブースト期間は均一となる。

【0037】

更に、図示された実施形態で、ワードラインクロック信号 122 及びブースティングネット信号 124 は、複数の電圧ブースティング回路 101 の各々において、実質的に同一の遅延を生じるように伝送される。そのような実施形態で、ワードラインクロック信号 122 及びブースティングネット信号 124 は、電圧ブースティング回路 101n よりも早く電圧ブースティング回路 101 に到達するが、両信号は、（非同調方式とは対照的に）電圧ブースティング回路 101 に同時に到達する。

【0038】

そのような実施形態で、クロック信号 122 とブースティングネット信号 124 とのアライメント（alignment）により、ワードライン遅延追跡が可能となり、ランプドブースティングエレメントシステムで発生するタイミングの問題を排除する。

多様な実施形態で、分配されたブースティングエレメント 106 は十分に小さいため、システム 100 の内の、空いているか或いは使用されていない空間に配置される。これは図 3B を参照してさらに詳細に図示される。

【0039】

同様に、図示された実施形態で、システム 100 は、分散されたスイッチ 108、108n を含む。従来のシステムでは、スイッチ又は電源ゲータもまた、単一の場所に集中して配置されている。これは、全てのドライバが第 1 電圧又は第 2 電圧のいずれか一方にスレーブされるようイネーブルするという、全か無かの形態を引き起こす。さらに、集中型のスイッチシステムにおいて、電流漏洩（current leakage）は増加する。このような漏洩の増加は、しばしば第 2 電圧が選択される又はドライバに印加されるブースト持続時間の短縮化をもたらす。

【0040】

図示された実施形態で、分配されたスイッチ 108、108n は、電圧選択プロセスの制御の個別の粒度（granularity level）を許容するように構成される

。さらに、分配されたスイッチ 108 は、集中型の代替物 (lumped alternative) より小さいため、電流漏洩は減少する。したがって、ブースト又は第2電圧時間は増加する。一部の実施形態で、スイッチ 108 は、システム 100 内の空いてるか、或いは使用されていない空間に配置することができるよう、十分に小さい。これは、図 3B を参照してより詳細に図示される。

【0041】

図 2 は、本発明によるシステムの例示的な実施形態を示したタイミング図である。

図 2 を参照すれば、多様な実施形態で、タイミング図 200 は、図 1 に示されるような分配されたブースティングエレメントシステムによって生成される。上述したことは、単なる 1 つの図示された例であり、本発明はこれに限定されないものとして理解される。 10

多様な実施形態で、クロック 212 は、一部のポイントで、(最も低い破線 (dashed line) で図示された) 接地電圧 (ground voltage) から (中央の破線で図示された) 第1電圧に切り替わる。そのような図示された実施形態で、システムは、ドライバが第2又はより高い電圧を使用することを必要とする。

【0042】

一部の実施形態で、電源ゲータのイネーブル信号 238 (power-gater enable signal) もまた、第1電圧に切り替わってよい。電源ゲータのイネーブル信号 238 は、スイッチエレメント (例えば、図 1 のトランジスタ 108、又はそれの PMOS 変形等) を開放 (open) するか、或いは、スイッチエレメントに、ドライバに印加される電圧 (例えば、図 1 のポイント 142 で仮想電圧 242 を通じて) を、スイッチを通じて供給された第1電圧から分離 (decouple) させる。 20

【0043】

図示された実施形態で、ブースティングネット信号 236 は、ブースティングエレメント (例えば、キャパシタ等) に直列に連結される。一部の実施形態で、ブースティングネット信号 236 は、ブースト信号と同一であるが、ローカルブーストデコーダによって妨害されないか、或いは遅延される。上述したことは、単なる 1 つの図示された例であり、本発明は、これに限定されないものと理解される。

【0044】

ブースティングネット信号 236 は、クロック信号 212 と同調しているため、クロック信号と実質的に同一のタイミングで接地電圧から第1電圧に切り替わる。そのような実施形態で、これは、電源ゲータのイネーブル信号 238 (これはクロック信号 212 から若干遅延する) が第1電圧が供給されたスイッチから仮想電圧 242 を分離する際、ブースティングネット信号 236 は、第1電圧の供給を継続することを意味する。 30

しかし、図示された実施形態で、ブースティングエレメント (例えば、キャパシタ等) はブースティングネット信号 236 と直列であり、それ自体が追加的な電圧を供給するため、ドライバに印加される仮想電圧 242 は、(中央の破線で図示された) 第1電圧から (最も高い破線で図示された) より高い第2電圧に転換する。

【0045】

図示された実施形態で、ドライバは、ワードライン 249 を生成する。そのような実施形態で、クロック 212 がドライバにワードライン 249 を生成させる際、初めは第1電圧で駆動されるか、或いは生成される。しかし、より高い仮想電圧が回路を通じて伝播すると、ワードライン 249 は、第2の、より高い電圧で速やかに駆動される。 40

図示された実施形態で、クロック 212 とブースティングネット信号 236 とがほぼ同調されるので、第1電圧から第2電圧への転換は、ほぼシームレスである。そのような実施形態で、ワードライン信号 249 のブーストされた期間又は第2電圧部分の期間は、最大化されるか、或いは増加される。

【0046】

図 3A は、先行技術によるシステムの例示的な形態を示した図である。

図 3A を参照すれば、システム 301 は、ランプドブースティングエレメントシステム (例えば、システム 301) と分配されたブースティングエレメントシステム (例えば、 50

図3Bのシステム300との差異を図示するために示されている。

多様な形態で、システム301は、メモリアレイを含む。メモリアレイは、ワードに配列された複数のメモリセルを含む。図示された形態で、各ワードの幾つかのビットのみが図示されている。メモリセル302のこのようなワードは、併合ロジック303によって分離される。

【0047】

システム301によって、入／出力(Input / Output、以下、「IO」と称する)要請が受信されると、IOロジックは、要請に適合したワードラインを検出する。その後、制御ロジック306は、適切なワードラインドライバ312を活性化するために使用される信号とワードライン信号349とを制御する。適切なワードライン信号349の活性化を介して、所望の、或いは対象のメモリアクセスのワードがアクセスされる。

図示された形態で、ランプドブーストキャパシタ308が、システム301内に含まれる。一部の形態で、このようなランプドブーストキャパシタ308は、上述したように、ランプドスイッチを含む。

【0048】

このような形態で、クロック信号392は、ドライバ312を通じてランプドブーストキャパシタ308に伝達される。クロック信号392は、ワードラインクロック322となつてもよく、ブーストネット信号324となつてもよい。ワードラインクロック322は、制御ロジック306によって生成され、ブーストネット信号324は、ランプドブーストキャパシタ回路308によって生成されるため、それらは同調されなくてもよい。その場合、仮想電圧342のタイミングは、否定的な影響を受ける。さらに、仮想電圧342は、中心位置で生成され、ドライバ312を通じて伝達されるため、より近接したドライバ312によって示される電圧は、より離れたドライバによって示される電圧と異なっている。多様な形態で、これは望ましくないことである。

【0049】

図3Bは、本発明によるシステムの例示的な実施形態を示した図である。

図3Bを参照すれば、図示された実施形態で、分配されたブースティングエレメントの技法が図示される。

多様な実施形態で、システム300は、ワードに配列された複数のメモリセル302を含むメモリアレイを含む。図示された実施形態で、各ワードの幾つかのビットのみが図示されている。メモリセル302のこのようなワードは、併合ロジック303によって分離される。

【0050】

システム301によってI/O要請(例えば、読み出し要請、書き込み要請等)が受信されると、IOロジック304は、要請に適合したワードラインを検出する。制御ロジック306は、適切なワードラインドライバ312を活性化するために使用される信号とワードライン信号349とを制御する。適切なワードライン信号349の駆動を通じて、所望の、又は目標のメモリアクセスのワードがアクセスされる。

【0051】

図示された実施形態で、複数の分配されたブースティング回路314が図示される。多様な実施形態で、各分配されたブースティング回路314は、分配されたブースティングエレメント又はキャパシタ及び分配されたスイッチ、トランジスタ、又は電源ゲータを含む。そのような実施形態で、各分配されたブースティングエレメントは、各分配されたスイッチと共に位置する。各ドライバ312と合わせると、分配されたブースティング回路314は、分配された電圧ブースト回路(図1の電圧ブースト回路101と類似)として見なされる。

【0052】

図示された実施形態で、ワードラインクロック信号324とブースティングネット又はブースティングネットワークの制御信号322とは、制御ロジック306によって生成される。そのような実施形態で、ワードラインクロック信号324とブースティングネット

10

20

30

40

50

信号 322 とは、上述したように実質的に同調される。

図示された実施形態で、ワードラインクロック信号 324 とブースティングネット信号 322 とは、複数の分配されたブースティング回路 314 の各々によって受信（同調された方式（aligned fashion）で）される。各分配されたブースティング回路 314 は、上述したように、各バーション（version）の仮想電圧 342 を生成する。このような各仮想電圧 342 は、第1又はアレイ電圧、又は第2電圧の内の1つでワードライン信号 349 を生成するために各ドライバ 312 によって使用される。

【0053】

図示された実施形態で、複数のワードラインドライバ 312 は、ワードラインドライバ のブロックに配列される。そのような実施形態で、各ブロックは、複数のワードラインドライバ 312 の一部分を含む。さらに、分配されたブーストネットワークは、ブーストキヤパシタ又はブースティング回路 314 のブロック内に配列され、ブースティング回路 314 の各ブロックは、ワードラインドライバ 312 の各ブロックの中で少なくとも1つに関連付けられ、ワードラインドライバ 312 の各ブロックと共に位置する。

【0054】

図4は、本発明の原理による形態を有する装置（一例として、半導体装置）を含むことができる情報プロセシングシステムを概略的に示した図である。

図4を参照すれば、情報処理システム400は、本発明の原理にしたがって構成された1つ以上の装置を含む。他の実施形態で、情報処理システム400は、本発明の原理に基づく1つ以上の技法を使用するか、或いは実行する。

【0055】

多様な実施形態で、情報処理システム400は、例えば、ラップトップ（laptop）、デスクトップコンピュータ（desktop）、ワークステーション（workstation）、サーバ（server）、ブレードサーバ（blade server）、携帯情報端末機（personal digital assistant）、スマートフォン（smartphone）、タブレット（tablet）、及び他の適切なコンピュータ等、又は仮想マシン又はその仮想コンピューティング装置のようなコンピューティング装置を含む。多様な実施形態で、情報処理システム400は、使用者（図示せず）によって使用される。

【0056】

本発明による情報処理システム400は、中央処理装置（CPU：central processing unit）、論理、又はプロセッサ410をさらに含む。一部の実施形態で、プロセッサ410は、1つ以上の機能ユニットブロック（FUBs：functional unit blocks）又は組合せ論理ブロック（CLBs：combination logic blocks）415を含む。そのような実施形態で、組合せ論理ブロックは、多様なブール論理演算（Boolean logic operation）（例えば、 NAND、NOR、NOT、排他的論理和（XOR）等）、安定化論理装置（例えば、フリップ-フロップ（flip-flop）、ラッチ（latch）等）、他の論理装置、又はそれらの組合せを含む。

【0057】

このような組合せ論理演算は、入力信号を処理して所望の結果を達成するために、簡単な又は複雑な方式で構成されてもよい。同期組合せ論理演算の幾つかの例が説明されている一方で、本発明はこれに制限されるものではなく、非同期動作又はそれらの組み合わせを含むことができるものと理解される。一実施形態で、組合せ論理演算は、複数の相補型金属酸化膜半導体（CMOS：complementary metal oxide semiconductors）トランジスタを含む。多様な実施形態で、このような CMOS トランジスタは、論理動作を遂行するゲートに配列することができるが、他の技術を使用することができ、本発明の範囲内にある。

【0058】

本発明による情報処理システム400は、揮発性メモリ420（例えば、ランダムアク

10

20

30

40

50

セスメモリ(R A M : R a n d o m A c c e s s M e m o r y))をさらに含む。本発明による情報処理システム400は、不揮発性メモリ430(例えば、ハードドライブ(h a r d d r i v e)、光メモリ(o p t i c a l m e m o r y)、 NAND)又はフラッシュ(F l a s h)メモリ)をさらに含む。一部の実施形態で、揮発性メモリ420、不揮発性メモリ430、又はそれらの組合又は部分の内のいずれかは、「格納媒体(s t o r a g e m e d i u m)」と称す。多様な実施形態で、揮発性メモリ420及び/又は不揮発性メモリ430は、半永久的又は実質的に永久的にデータを格納するように構成される。

【 0 0 5 9 】

多様な実施形態で、情報処理システム400は、情報処理システム400が通信ネットワークの一部となり、通信ネットワークを通じて通信することを許可するように構成された1つ以上のネットワークインターフェイス440を含む。ワイファイ(Wi - F i)プロトコルの例は、国際電気電子技術者協会(I n s t i t u t e o f E l e c t r i c a l a n d E l e c t r o n i c s E n g i n e e r s 、以下‘ I E E E ’と称する)802.11g、I E E E 802.11n等を含んでもよいが、これらに限定されることはない。セルラープロトコル(c e l l u l a r p r o t o c o l)の例は、I E E E 802.16m(無線巨大都市通信網(MAN:Metropol itan A rea N e t w o r k)アドバンス(Wi r e l e s s - M A N A dv a n c e d)とも称される)、ロングタームエボリューションアドバンス(L T E (L o n g T e r m E v o l u t i o n) A dv a n c e d)、E D G E (E n h a n c e d D a t a r a t e s f o r G S M (登録商標)(G l o b a l S y s t e m f o r M o b i l e C o m m u n i c a t i o n s) E v o l u t i o n)、進化型の高速パケットアクセス(H S P A + : E v o l v e d H i g h - S p e e d P a c k e t A c c e s s)等を含むが、これらに限定されることはない。有線プロトコルの例は、I E E E 802.3(イーサーネット(E t h e r n e t (登録商標))とも称される)、ファイバチャンネル(F i b r e c h a n n e l)、電力線通信(P o w e r L i n e c o m m u n i c a t i o n)(例えば、ホームプラグ(H o m e P l u g)、I E E E 1901等)等を含むが、これらに限定されない。上述したことは、単なる幾つかの図示された例であり、本発明は、これに限定されないと理解される。

【 0 0 6 0 】

本発明に記載された技術的特徴によると、情報処理システム400は、使用者インターフェイスユニット450(例えば、ディスプレイアダプタ(d i s p l a y a d a p t e r)、ハapticインターフェイス(h a p t i c i n t e r f a c e)、ヒューマンインターフェイス装置(h u m a n i n t e r f a c e d e v i c e))をさらに含む。多様な実施形態で、このような使用者インターフェイスユニット450は、使用者からの入力の受信及び/又は使用者への出力の提供の内のいずれかを行うように構成される。他の種類の装置を使用者との対話のために使用することもできる。例えば、使用者に提供されるフィードバックは、感覚フィードバック(s e n s o r y f e e d b a c k)の任意の形態、例えば、視覚フィードバック(v i s u a l f e e d b a c k)、聴覚フィードバック(a u d i t o r y f e e d b a c k)、又は触覚フィードバック(t a c t i l e f e e d b a c k)とすることができる。使用者からの入力は、音響、音声、又は触覚入力を含む任意の形態で受信することができる。

【 0 0 6 1 】

多様な実施形態で、情報処理システム400は、1つ以上の他の装置又はハードウェアコンポーネント460(例えば、ディスプレイ又はモニタ、キーボード、マウス、カメラ、指紋読み取り装置、ビデオプロセッサ等)を含む。上述したことは、単なる幾つかの図示された例であり、本発明は、これに限定されないと理解される。

【 0 0 6 2 】

本発明による情報処理システム400は、1つ以上のシステムバス405をさらに含む。そのような実施形態で、システムバス405は、プロセッサ410、揮発性メモリ42

10

20

30

40

50

0、不揮発性メモリ430、ネットワークインターフェイス440、使用者インターフェイスユニット450、及び1つ以上のハードウェアコンポーネント460を通信可能に連結するように構成される。プロセッサ410によって処理されたデータ、又は不揮発性メモリ430の外部から入力されたデータは、不揮発性メモリ430又は揮発性メモリ420のうち、1つに格納される。

【0063】

多様な実施形態で、情報処理システム400は、1つ以上のソフトウェアコンポーネント470を含むか、或いは実行する。一部の実施形態で、ソフトウェアコンポーネント470は、オペレーティングシステム(OS:Operating System)及び/又はアプリケーションを含む。一部の実施形態で、オペレーティングシステムは、アプリケーションに1つ以上のサービスを提供し、アプリケーションと情報処理システム400の多様なハードウェアコンポーネント(例えば、プロセッサ410、ネットワークインターフェイス440等)との間の仲裁者として管理又は作用する。そのような実施形態で、情報処理システム400は、1つ以上のネイティブアプリケーションを含み、このネイティブアプリケーションは、ローカルに(例えば、不揮発性メモリ430等の内部に)インストールされ、そしてプロセッサ410によって直接実行され、オペレーティングシステムと直接やりとりするように構成される。
10

【0064】

そのような実施形態で、ネイティブアプリケーションは、プリコンパイルされた機械実行可能コード(pre-compiled machine executable code)を含む。そのような実施形態で、ネイティブアプリケーションは、ソース(source)又はオブジェクト(object)を、プロセッサ410によって実行される実行可能なコードに変換するよう構成されたスクリプトインタプリタ(例えば、Cシェル(shell)(csh)、アップルスクリプト(AppleScript)、オートホットキー(AutoHotkey)等)又は仮想実行マシン(VM:Virtual execution machine)(例えば、ジャバ仮想マシン(Java(登録商標)Virtual Machine)、マイクロソフトの共通言語ランタイム(Microsoft Common Language Runtime)等)を含む。
20

【0065】

上述した半導体装置は、多様なパッケイジング技法を使用してカプセル化(encapsulate)される。例えば、本発明の原理にしたがって構成された半導体装置は、パッケージオンパッケージ(POP:package on package)技法、ボールグリッドアレイ(BGAs:ball grid arrays)技法、チップスケールパッケージ(CSPs:chip scale packages)技法、プラスチック有鉛キャリヤ(PLCC:plastic leaded chip carrier)技法、プラスチックデュアルイン-ラインパッケージ(PDIP:plastic dual in-line package)技法、ダイインワッフルパック(die in waffle pack)技法、ダイインウェハフォーム(die in wafer form)技法、チップオンボード(COB:chip on board)技法、セラミックデュアルイン-ラインパッケージ(CERDIP:ceramic dual in-line package)技法、プラスチックメトリッククワッドフラットパッケージ(PMQFP:plastic metric quad flat package)技法、プラスチッククワッドフラットパッケージ(PQFP:plastic quad flat package)技法、スマートアウトラインパッケージ(SOI-C:small outline package)技法、シールドスモールアウトラインパッケージ(SSOP:shrink small outline package)技法、シングモールアウトラインパッケージ(TSOP:thin small outline package)技法、シンクワッドフラットパッケージ(TQFP:thin quad flat package)技法、システム-イン-パッケージ(SIP:system in package)技法、マルチチップパッケージ(MCP:
30
40
50

`multi-chip package`) 技法、ウエハーレベルファブリケイテッドパッケージ (WFP : wafer-level fabricated package) 技法、ウエハーレベルプロセスドスタックパッケージ (WSP : wafer-level processed stack package) 技法、又は当業者に公知である他の技法の中で任意の 1 つを使用してカプセル化される。

【0066】

方法ステップは、入力データ上の動作と出力の生成によって機能を遂行するためのコンピュータプログラムを実行する 1 つ以上のプログラマブルプロセッサによって遂行される。特定目的論理回路、例えば、フィールドプログラマブルゲートアレイ (FPGA : Field Programmable Gate Array) 又は特定用途向け集積回路 (ASIC : Application Specific Integrated Circuit) によって、方法ステップが遂行されてもよく、また、装置が実現されてもよい。10

【0067】

多様な実施形態で、コンピュータ読み出し可能媒体は、命令語を含み、それが実行されると、方法ステップの少なくとも一部を装置に遂行させる。一部の実施形態で、コンピュータ読み出し可能媒体は、磁気媒体 (magnetic medium)、光媒体 (optical medium)、他の媒体、又はそれらの組合せ (例えば、CD-ROM、ハードドライブ、リードオンリメモリ (ROM)、フラッシュドライブ (flash drive) 等) に含まれる。そのような実施形態で、コンピュータ読み出し可能媒体は、有形に及び固定的に具現された製品であってもよい。20

【0068】

本発明の原理は、例示的な実施形態を参照して説明される一方、記載された概念の精神と範囲を逸脱せずに多様な変更と修正を行ってもよいことは当業者に自明である。したがって、上述した実施形態は、単に例示的なものであってそれに限定されないと理解される。したがって、記載された概念の範囲は、次の請求範囲及びその均等物の最も広く容認可能な解釈によって判断され、先の明細書によって限定或いは制限されないべきである。したがって、添付の請求項は、実施形態の範囲を逸脱しないそのようなすべての修正と変更を包含するよう意図されたものと理解される。30

【符号の説明】

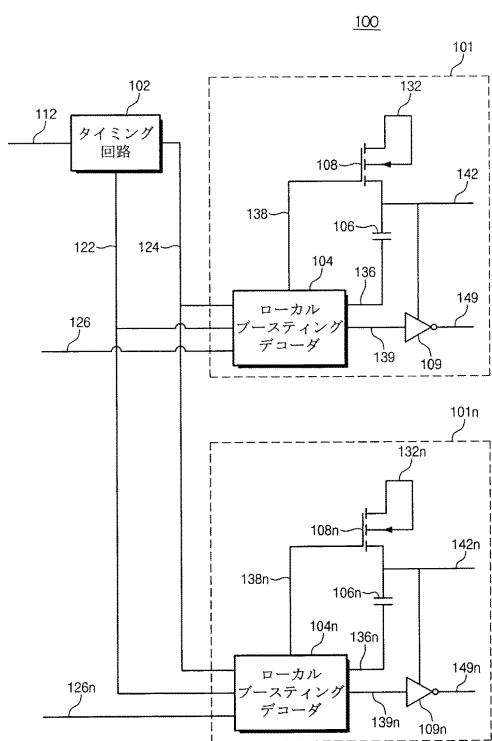
【0069】

- 100 システム
- 101、101n 電圧ブースティング回路
- 102 タイミング回路
- 104、104n ローカルブーストデコーダ
- 106、106n ブースティングエレメント
- 108、108n スイッチ
- 109、109n ドライバ
- 302 メモリセル
- 303 併合ロジック
- 306 制御ロジック
- 308 ランプドブーストキャパシタ
- 312 ドライバ
- 314 分配されたブースティング回路
- 400 情報処理システム
- 410 プロセッサ及び / 又はロジック
- 420 振発性メモリ
- 430 不揮発性メモリ
- 440 ネットワークインターフェイス
- 450 使用者インターフェイスユニット

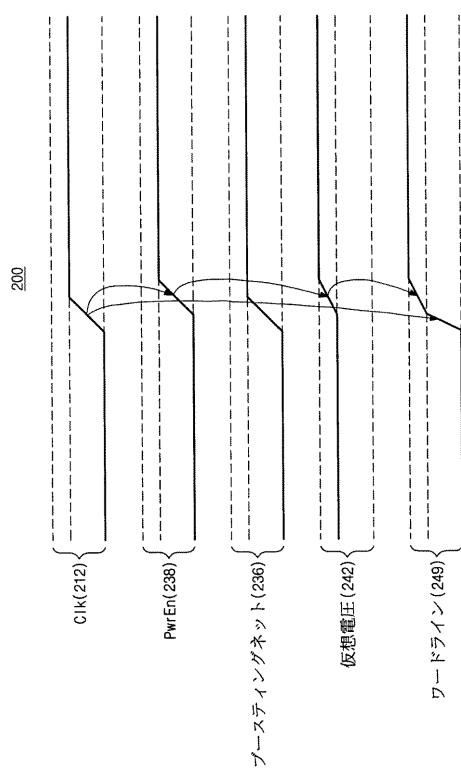
4050

460 他のハードウェア装置
 470 ソフトウェア

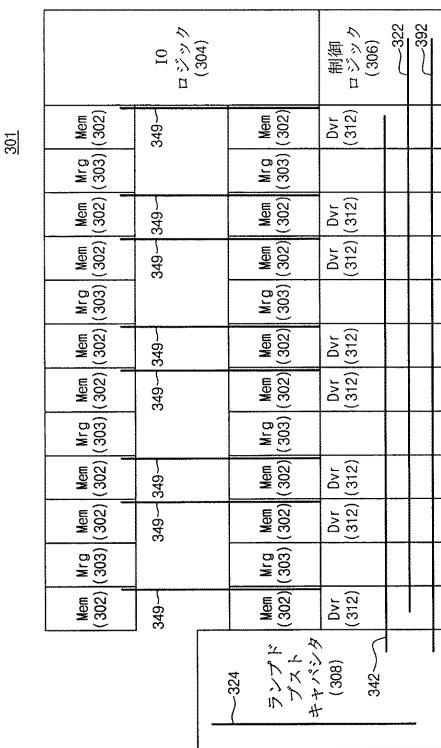
【図1】



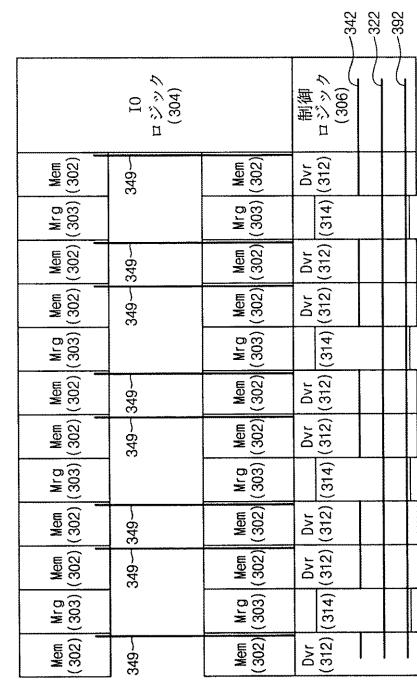
【図2】



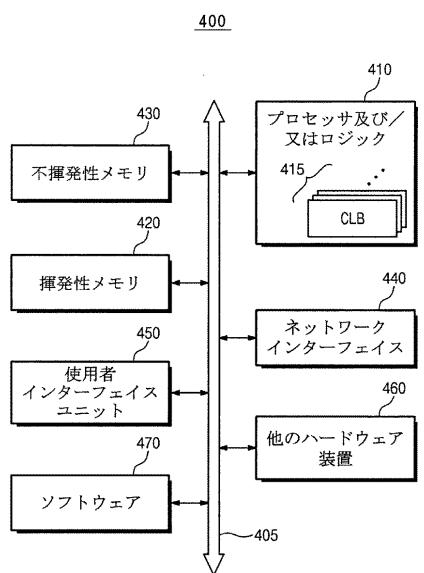
【図3A】



【 図 3 B 】



【 図 4 】



フロントページの続き

(72)発明者 ジャン -マイケル フーバー

アメリカ合衆国 テキサス州 78613 コンクリークロードセダーパーク 1814

(72)発明者 ラヴィ ベンカテサ

アメリカ合衆国 テキサス州 78730 オースティン #1534 ランチロード2222,
10301

審査官 堀田 和義

(56)参考文献 米国特許出願公開第2008/0068901(US,A1)

米国特許出願公開第2008/0068902(US,A1)

特開平10-337002(JP,A)

特開2001-67868(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4074

H02M 3/07