

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4541663号  
(P4541663)

(45) 発行日 平成22年9月8日(2010.9.8)

(24) 登録日 平成22年7月2日(2010.7.2)

(51) Int.Cl.

F 1

G 11 C 15/04 (2006.01)

G 11 C 15/04

E

H 01 L 21/8244 (2006.01)

G 11 C 15/04

601 A

H 01 L 27/11 (2006.01)

H 01 L 27/10

381

請求項の数 21 (全 14 頁)

(21) 出願番号

特願2003-160965 (P2003-160965)

(22) 出願日

平成15年6月5日(2003.6.5)

(65) 公開番号

特開2004-14102 (P2004-14102A)

(43) 公開日

平成16年1月15日(2004.1.15)

審査請求日

平成18年6月1日(2006.6.1)

(31) 優先権主張番号

10/163848

(32) 優先日

平成14年6月5日(2002.6.5)

(33) 優先権主張国

米国(US)

(73) 特許権者 591236448

エスティーマイクロエレクトロニクス、イ  
ンコーポレイテッド  
S T M i c r o e l e c t r o n i c s,  
l n cアメリカ合衆国、テキサス 75006  
, カーロルトン、エレクトロニクス  
ドライブ 1310

(74) 代理人 100076185

弁理士 小橋 正明

(72) 発明者 マーク エイ. リシンガー

アメリカ合衆国、テキサス 75019  
, コッペル、レビー ブレイス 14  
4

最終頁に続く

(54) 【発明の名称】 CAMセル

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体基板における内容参照可能メモリ回路において、

第一値に設定されている論理状態を有するマッチ信号出力、

イネーブル入力と、前記マッチ信号出力へ結合しているマッチ出力と、比較データ信号へ結合している比較データ入力と、格納データ入力を具備しており格納データ値を比較データ値と比較する比較回路であって、前記イネーブル入力がイネーブル真信号を受取り且つ前記格納データ入力が格納データ信号を受取り且つ前記比較データ入力が比較データ信号を受取る場合には、前記マッチ信号出力の論理状態が第二値へ変化しそれによりマッチ無しを表わす比較回路、

第一及び第二ワード線と、第一及び第二ビット線と、格納データ出力と、前記格納データ出力を前記比較回路の格納データ入力へ電気的に結合させる第一導電性ストリップとを具備しておりデータ値を格納する第一データ格納装置であって、前記格納データ出力が前記格納データ信号を供給する第一データ格納装置、

第三及び第四ワード線と、第一及び第二ビット線と、イネーブル出力と、前記イネーブル出力を前記比較回路のイネーブル入力へ電気的に結合させる第二導電性ストリップとを具備しておりイネーブル値を格納する第二データ格納装置であって、前記イネーブル出力が前記イネーブル真信号を供給する第二データ格納装置、

を有しており、前記第一データ格納装置は前記半導体基板の第一領域内に配置されている第一複数個のトランジスタを有しており、前記第二データ格納装置は前記半導体基板の前

記第一領域に隣接している第二領域内に配置されている第二複数個のトランジスタを有しており、且つ前記比較回路は前記半導体基板の前記第一及び第二領域に隣接している第三領域内に配置されている第三複数個のトランジスタを有しており、前記第三領域内には各々が複数個の第一導電型のソース・ドレイン領域を含む第一及び第二活性領域が設けられており、前記第三複数個のトランジスタの半分が前記第一活性領域に配置されて一対の隣接するトランジスタ間において1個のソース・ドレイン領域を共有しており且つ前記第三複数個のトランジスタの残りの半分が前記第二活性領域に配置されて一対の隣接するトランジスタ間において1個のソース・ドレイン領域を共有していることを特徴とする内容参照可能メモリ回路。

## 【請求項2】

10

請求項1において、前記第一データ格納装置の第一ワード線が第一導電性領域内に形成されており、且つ前記第一データ格納装置の第二ワード線が第二導電性領域内において前記第一導電性領域から物理的に離隔し且つ別個に形成されていることを特徴とする内容参照可能メモリ回路。

## 【請求項3】

請求項2において、前記第一及び第二導電性領域がポリシリコンから形成されていることを特徴とする内容参照可能メモリ回路。

## 【請求項4】

20

請求項1において、前記第二データ格納装置の第三ワード線が第三導電性領域内に形成されており、且つ前記第二データ格納装置の第四ワード線が第四導電性領域内において前記第三導電性領域から物理的に離隔し且つ別個に形成されていることを特徴とする内容参照可能メモリ回路。

## 【請求項5】

請求項4において、前記第三及び第四導電性領域がポリシリコンから形成されていることを特徴とする内容参照可能メモリ回路。

## 【請求項6】

請求項1において、前記第一導電性ストリップが導電性物質からなる単一の連続的な層から形成されていることを特徴とする内容参照可能メモリ回路。

## 【請求項7】

30

請求項6において、前記導電性物質がポリシリコン、金属又は金属合金であることを特徴とする内容参照可能メモリ回路。

## 【請求項8】

請求項1において、前記第二導電性ストリップが導電性物質からなる多層構造から形成されていることを特徴とする内容参照可能メモリ回路。

## 【請求項9】

請求項8において、前記多層構造が第二層における導電性物質に対する開口を介して互いに物理的に離隔し且つ電磁的に結合されている第一層における第一及び第二ポリシリコン領域を有していることを特徴とする内容参照可能メモリ回路。

## 【請求項10】

40

請求項9において、前記導電性物質がポリシリコン、金属又は金属合金であることを特徴とする内容参照可能メモリ回路。

## 【請求項11】

請求項1において、前記比較回路が3個の直列結合したトランジスタからなる2つの並列脚部に配列された6個のトランジスタを有していることを特徴とする内容参照可能メモリ回路。

## 【請求項12】

半導体基板における内容参照可能メモリ回路において、

第一及び第二メモリ回路が設けられており、各メモリ回路は第一及び第二ブルダウントランジスタと、第一及び第二ブルアップトランジスタと、第一及び第二パストランジスタとを具備しており、各トランジスタはゲートと、ソース領域と、ドレイン領域とを具備し

50

ており、

第一及び第二比較トランジスタと、第一及び第二イネーブルトランジスタと、データ真及びデータ偽トランジスタとを具備する比較回路が設けられており、各トランジスタはゲートと、ソース領域と、ドレイン領域とを具備しており、

前記第一メモリ回路の前記第一プルダウントランジスタのゲートは前記第一メモリ回路の前記第一プルアップトランジスタのゲート、前記第一メモリ回路の第二プルダウントランジスタのドレイン領域、前記第一メモリ回路の第二プルアップトランジスタのドレイン領域、前記第一メモリ回路の第二パストランジスタのドレイン領域、前記比較回路のデータ真トランジスタのゲートへ電気的に結合しており、

前記第一メモリ回路の第二プルダウントランジスタのゲートは、前記第一メモリ回路の第二プルアップトランジスタのゲート、前記第一メモリ回路の第一プルダウントランジスタのドレイン領域、前記第一メモリ回路の第二プルアップトランジスタのドレイン領域、前記第一メモリ回路的第一パストランジスタのドレイン領域、前記比較回路のデータ偽トランジスタのゲートへ電気的に結合しており、10

前記第二メモリ回路の第二プルダウントランジスタのゲートは、前記第二メモリ回路の第二プルアップトランジスタのゲート、前記第二メモリ回路の第二プルダウントランジスタのドレイン領域、前記第二メモリ回路的第一プルアップトランジスタのドレイン領域、前記第二メモリ回路的第一パストランジスタのドレイン領域へ電気的に結合しており、

前記第二メモリ回路的第一プルダウントランジスタのゲートは、前記第二メモリ回路的第一プルアップトランジスタのゲート、前記第二メモリ回路的第二プルダウントランジスタのドレイン領域、前記第二メモリ回路的第二プルアップトランジスタのドレイン領域、前記第二メモリ回路的第二パストランジスタのドレイン領域、前記比較回路の前記第一及び第二イネーブルトランジスタのゲートへ電気的に結合しており、20

前記第一比較トランジスタは、そのゲートを第一比較信号へ電気的に結合し、そのソース領域を前記第一イネーブルトランジスタのドレイン領域へ電気的に結合し、そのドレイン領域をマッチ信号へ電気的に結合し、

前記第二比較トランジスタはそのゲートを第二比較信号へ電気的に結合し、そのソース領域を前記第二イネーブルトランジスタのドレイン領域へ電気的に結合し、そのドレイン領域を前記マッチ信号へ電気的に結合し、

前記第一イネーブルトランジスタはそのソース領域を前記データ真トランジスタのドレイン領域へ電気的に結合し、30

前記第二イネーブルトランジスタはそのソース領域を前記データ偽トランジスタのドレイン領域へ電気的に結合し、

前記第一メモリ回路的第一パストランジスタはそのゲートを第一ワード線信号へ電気的に結合し、そのソース領域を第一ビット線信号へ電気的に結合し、

前記第一メモリ回路的第二パストランジスタはそのゲートを前記第一ワード線信号へ電気的に結合し、そのソース領域を第二ビット線信号へ電気的に結合し、

前記第二メモリ回路的第一パストランジスタはそのゲートを第二ワード線信号へ電気的に結合し、そのソース領域を前記第一ビット線信号へ電気的に結合し、

前記第二メモリ回路的第二パストランジスタはそのゲートを前記第二ワード線信号へ電気的に結合し、そのソース領域を前記第二ビット線信号へ電気的に結合し、40

第一供給源が前記第一メモリ回路的第一及び第二プルダウントランジスタのソース領域、前記第二メモリ回路的第一及び第二プルダウントランジスタのソース領域、前記データ真トランジスタのソース領域、前記データ偽トランジスタのソース領域へ電気的に結合しており、

第二供給源が、前記第一メモリ回路的第一及び第二プルアップトランジスタのソース領域、前記第二メモリ回路的第一及び第二プルアップトランジスタのソース領域へ電気的に結合しており、

前記第一メモリ回路の前記第一及び第二プルアップトランジスタと前記第一及び第二プルダウントランジスタと前記第一及び第二パストランジスタとは前記半導体基板の第一領50

域内に配置されており、前記第二メモリ回路の前記第一及び第二プルアップトランジスタと前記第一及び第二プルダウントランジスタと前記第一及び第二パストランジスタとは前記半導体基板の前記第一領域に隣接している第二領域内に配置されており、且つ前記比較回路の前記第一及び第二比較トランジスタと前記第一及び第二イネーブルトランジスタと前記データ真及びデータ偽トランジスタとは前記半導体基板の前記第一及び第二領域に隣接している第三領域内に配置されており、

前記第一及び第二比較トランジスタの各ソース領域と前記第一及び第二イネーブルトランジスタの各ドレイン領域とはこれらにより共有されている第一導電型の同一の活性領域であり、且つ前記第一及び第二イネーブルトランジスタの各ソース領域と前記データ真及びデータ偽トランジスタの各ドレイン領域とはこれらにより共有されている第一導電型の同一の活性領域である、  
10

ことを特徴とする内容参照可能メモリ回路。

【請求項 1 3】

請求項 1 2において、前記比較回路のデータ真及びデータ偽トランジスタがそのソース領域において前記第一供給源へ電気的に結合しており、前記比較回路の第一及び第二イネーブルトランジスタは共通のゲートを有しており、前記比較回路の第一及び第二比較トランジスタがそのドレイン領域において前記第二供給源へ電気的に結合されていることを特徴とする内容参照可能メモリ回路。

【請求項 1 4】

請求項 1 2において、前記電気的結合がポリシリコン領域によって形成されており、それにより前記第一メモリ回路の第一プルダウントランジスタのゲートと、前記第一メモリ回路の第一プルアップトランジスタのゲートと、前記比較回路のデータ真トランジスタのゲートとを相互接続していることを特徴とする内容参照可能メモリ回路。  
20

【請求項 1 5】

請求項 1 2において、前記電気的結合が、前記比較回路の第一及び第二イネーブルトランジスタのゲートを相互接続するポリシリコン領域によって形成されていることを特徴とする内容参照可能メモリ回路。

【請求項 1 6】

請求項 1 2において、前記電気的結合が多層相互接続体によって形成されており、それにより前記第二メモリ回路の第一プルダウントランジスタのゲートと、前記第二メモリ回路の第一プルアップトランジスタのゲートと、前記比較回路の第一及び第二イネーブルトランジスタのゲートとを相互接続していることを特徴とする内容参照可能メモリ回路。  
30

【請求項 1 7】

請求項 1 6において、前記多層相互接続体がコンタクト領域を介して導電性金属領域へ電気的に結合しているポリシリコン領域を有していることを特徴とする内容参照可能メモリ回路。

【請求項 1 8】

請求項 1 7において、前記金属がアルミニウム、銅又はその合金であることを特徴とする内容参照可能メモリ回路。

【請求項 1 9】

請求項 1 2において、第一活性領域が、前記第一比較トランジスタのゲート下側、前記第一イネーブルトランジスタのゲート下側且つ前記データ偽トランジスタのゲート下側に形成されており、且つ第二活性領域が前記第二比較トランジスタのゲート下側、前記第二イネーブルトランジスタのゲート下側且つ前記データ真トランジスタのゲート下側に形成されていることを特徴とする内容参照可能メモリ回路。  
40

【請求項 2 0】

請求項 1 9において、前記第一及び第二活性領域がN型であることを特徴とする内容参照可能メモリ回路。

【請求項 2 1】

請求項 1 9において、前記第一及び第二活性領域がP型であることを特徴とする内容参  
50

照可能メモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は内容参照可能メモリ(CAM)セルに関するものであって、更に詳細には、CAMセルにおける半導体基板の面積の利用を改善した構造及び方法に関するものである。

【0002】

【従来の技術】

通信業界においては、第一データ要素と第二データ要素との間の関連性を決定することが必要であることが多々ある。この必要性を満足するために、連想記憶装置とも呼称される内容参照可能メモリ(CAM)を使用して、入力データ値とCAMセル内の格納されているデータ値との比較を行う。例えば、入力データ値はコンピュータからなるネットワークにおける1つのコンピュータのアドレスを包含するパケットヘッダーである場合がある。格納されているデータ値は該ネットワーク内のコンピュータの全てのアドレスである場合がある。ネットワークルーター内に包含しているCAMセルアレイは、パケットヘッダー内のアドレスとネットワークにおけるコンピュータのアドレスとの間に関連性があるか否かを判別する。この関連性を判別する場合に、パケットヘッダー内のアドレスとネットワークにおける全てのアドレスとの間ににおいてサーチ及び比較方法が実施されねばならない。このサーチ及び比較方法は、RAM、CPU、ソフトウェアアルゴリズムからなる従来のソリューションを使用する時間及び資源の両方の点で集約的である。更に、例えば32及び64ビット等の大きな入力データワードの場合には、従来のソリューションを使用したサーチ及び比較方法はCAMセルアレイよりも効率が悪い。内容参照可能メモリは、高速サーチ及び比較動作のための解決方法を提供する。

【0003】

通常、CAMセルは第一メモリ回路と、第二メモリ回路と、比較回路とから構成されている。CAMアレイは個別的なCAMセルから構成されている。各CAMセルは入力データワードの1つのビットを受取る。このビットはCAMセルの第一メモリ回路に格納されているデータと比較される。CAMセルの第二メモリ回路はイネーブル値を格納する。このイネーブル値は、データ比較期間中にCAMアレイ内のCAMセルをイネーブル又はディスエーブルさせるために使用され、それは、シーケンスのマッチ(一致)フェーズ期間中に、入力データワードの一部を比較のためにイネーブルさせ且つ別の部分を比較のためにディスエーブルさせることを可能とする。

【0004】

性能を増加させ且つ改善したパッキング密度を達成するために、CAMセルによって使用される半導体基板面積を減少させることが望ましい。この基板面積における減少は、CAMセルのトランジスタの配置、編成及び相互接続によって決定される。

【0005】

【発明が解決しようとする課題】

本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、改良した内容参照可能メモリ(CAM)回路を提供することを目的とする。本発明の別の目的とするところは、CAMセルにおける半導体基板の面積の使用を改善した構成及び方法を提供することである。

【0006】

【課題を解決するための手段】

本発明の1実施例によれば、第一メモリ回路と、第二メモリ回路と、比較回路とを有するCAMセルが提供される。第一メモリ回路は6トランジスタSRAMセルを有している。第二メモリ回路は6トランジスタSRAMセルを有している。勿論、メモリ回路は、フリップフロップ、EEPROMメモリセル、交差結合したインバータ、NORゲート、又はその他の任意の許容可能なメモリ回路を包含する任意の許容可能なメモリ回路とすることが可能である。メモリ回路は、1実施例においては、3個のトランジスタからなる2個の

10

20

30

40

50

並列スタックに編成された 6 トランジスタ構造のものである。一方、5 トランジスタ構造を有する比較回路を使用することが可能であり、その場合には、各々が 2 個のトランジスタと 1 個の共通の第五トランジスタとを包含する 2 つの並列スタックを有している。

#### 【 0 0 0 7 】

第一メモリ回路は第一ワード線と、第一ビット線と、第二ビット線とに結合されている。第一メモリ回路は入力データビットに対して比較するためのデータ値を格納している。第一メモリ回路はデータ真信号及びデータ偽信号を比較回路へ供給し、そこでこれらのデータ信号は、第一及び第二入力データ信号  $c_f$  及び  $c_t$  に対して比較される。第二メモリ回路は第二ワード線と、第一ビット線と、第二ビット線とに接続している。第二メモリ回路はマスクデータ値を格納している。第二メモリ回路は比較回路をイネーブル又はディスエーブルさせるために比較回路へマスク真信号を供給する。10

#### 【 0 0 0 8 】

本発明の 1 実施例によれば、第一及び第二メモリ回路のトランジスタの比較回路のトランジスタに対する相互接続は導電性物質からなる領域から構成されている。

#### 【 0 0 0 9 】

第一実施例によれば、該導電性物質はポリシリコンである。別の実施例においては、該導電性物質は金属層であり、且つアルミニウム、銅、タンゲステン、チタンポリシリサイド、又はそれらの種々の組合せ又は合金を包含する任意の許容可能な金属とすることが可能である。勿論、使用される導電性の型は、メモリ回路から比較回路における適宜のノードへの導電性経路を与えるために、適宜のコンタクト、ピア及び相互接続によってポリシリコンからメタルへセル内において変化させることができる。20

#### 【 0 0 1 0 】

本発明の 1 実施例は、C A M セルの動作方法を提供しており、該方法は、C A M セル内にデータを格納するステップと、該装置のイネーブル線へ信号を印加し、その場合に該イネーブル線は共用ゲート構造であり、且つそれにより該装置をイネーブルさせるステップと、入力データを印加するステップと、入力データを第一データと比較するステップと、マッチ（一致）信号線上のステータス変化を出力するステップとを有している。

#### 【 0 0 1 1 】

本発明の 1 実施例は、C A M セルの動作方法を提供しており、その場合に、該格納するステップは、更に、第一メモリ回路内にデータを格納し且つ第二メモリ回路内にイネーブル値を格納するステップを有している。第一メモリ回路内にデータを格納するために、ある値が第一ワード線へ印加され、該データを第一ビット線へ印加し、該データの補元を第二ビット線へ印加し、次いで第一メモリ回路内にデータ値を格納する。イネーブル値を同様の態様で第二メモリ回路内に格納し且つ比較回路におけるイネーブル又はディスエーブル端子をセットするために使用される。30

#### 【 0 0 1 2 】

本発明の 1 実施例において、内容参照可能メモリが改良した半導体基板面積の使用を有する集積回路内に形成される。

#### 【 0 0 1 3 】

本発明の 1 実施例は、C A M セルのレイアウト面積を減少し、従って製造コストを減少させることにより、集積回路の面積の利用に対する改善を提供している。本発明の実施例は、4 状態 C A M セルのみならず二進及び三進 C A M セルに対して適用可能である。40

#### 【 0 0 1 4 】

本発明の 1 つの利点は、大きなデータ入力ワードが与えられた場合に、C A M セルはマッチ（一致）の有無の決定を行うのに高速であるということである。

#### 【 0 0 1 5 】

本発明の 1 つの利点は、C A M セル及びアレイの基板面積を減少させるトランジスタの改善した編成を有する C A M セルである。

#### 【 0 0 1 6 】

本発明の 1 つの利点は、C A M セル及びアレイに対して小さな寸法であるトランジスタの50

改良した相互接続を有する C A M セルである。

### 【 0 0 1 7 】

#### 【発明の実施の形態】

図 1 は本発明に基づく C A M セルを形成している第一メモリ回路 1 0 、第二メモリ回路 2 0 、比較回路 3 0 を示している。第一及び第二メモリ回路 1 0 , 2 0 は、夫々、データ値及びマスク値を格納するために使用される。マスク値は、比較回路 3 0 へ供給されるイネーブル又はディスエーブル信号である。比較回路 3 0 は、図 1 に示したように、第一メモリ回路 1 0 における格納されているデータ値を入力データ信号  $c_f$  及び  $c_t$  に対して比較するために使用される。第二メモリ回路 2 0 がイネーブル値を格納した場合に、真マスク信号は比較回路 3 0 をイネーブルさせて比較を行うことを可能とさせ、且つディスエーブル値が格納された場合には、真マスク信号は比較回路 3 0 をディスエーブルさせ、従って比較が行われることはない。マッチ（一致）線は比較結果の出力を与える。比較回路がイネーブルされ且つ格納されているデータと比較データとの間にマッチ即ち一致が存在する場合には、マッチ線状態は同一状態に止まり、即ち高又は低に止まる。比較回路がイネーブルされ且つマッチ即ち一致が存在しない場合には、マッチ線の状態は変化され、高から低へ移行する。マッチ線へ接続されている多数のうちのいずれか 1 つの C A M セルがマッチ即ち一致でない場合には、その線は低へ移行される。比較セルに対して P チャンネルトランジスタが使用されている場合には、該線は高から低へ遷移する。信号線 8 0 はデータ真信号に対して第一メモリ回路 1 0 から比較回路 3 0 への相互接続を与える。信号線 8 2 はデータ偽信号に対してメモリ回路 1 0 から比較回路 3 0 への相互接続を与える。マッチ真データは信号線 8 4 を介して第二メモリ回路 2 0 から比較回路 3 0 へ供給され、且つマッチ偽データは第二メモリ回路 2 0 から出力されることはない。何故ならば、この特定の実施例においては、比較回路 3 0 においてマッチ偽信号を使用するものではないからである。別の構成においては、マッチ偽信号を使用することが可能であるが、選択した特定の構成においては、比較回路 3 0 は第二メモリ回路 2 0 からのマッチ真出力の信号値のみに基づいてセルのイネーブル又はディスエーブル動作を可能とすべく構成されており、従ってマッチ偽出力は必要ではない。

### 【 0 0 1 8 】

図 2 は図 1 の比較回路 3 0 の 1 実施例である。図 2 の実施例においては、図 1 の比較回路 3 0 の比較機能を与えるために 6 個のトランジスタ N 5 - N 1 0 が使用されている。この実施例においては、図示したように、該トランジスタの全ては N チャンネルトランジスタであり、且つ以下の説明においては、N チャンネルトランジスタが比較回路において使用されていることを仮定する。別の実施例ではその他のタイプのトランジスタを使用することが可能である。例えば、該トランジスタの幾つか又は全てに対して P チャンネルトランジスタを使用することが可能であり、且つこれらの P チャンネルトランジスタ及び接地及びパワー即ち電源への夫々の接続に対して適宜の信号レベルを逆にするものであるが、そのことは当業者にとって容易なことである。

### 【 0 0 1 9 】

図 3 の実施例において、マッチ真信号線 8 4 がディスエーブル及びイネーブル機能を与るために 2 個のトランジスタ N 6 及び N 9 に対して与えられている。線 8 4 上のマッチ真信号が高であると、比較回路 3 0 がイネーブルされ、トランジスタ N 6 及び N 9 の両方がターンオンして比較を行うことを可能とする。一方、線 8 4 上の信号が低である場合には、トランジスタ N 6 及び N 9 がディスエーブルされ、従って格納されているデータと比較データとの間の比較を行うことは不可能である。この特定の実施例においては、マッチディスエーブルトランジスタが夫々の比較トランジスタとデータトランジスタとの間に位置されており、マッチ線と接地線との間に 2 つの別個の直列遅延を与えており、その両方は夫々のマッチディスエーブルトランジスタを有している。この特定のトランジスタ構造は、マッチデータ信号線から接地への完全に独立し且つ個別化した経路を与えている。好適実施例によれば、図 3 の概略図は図 3 - 5 に関して以下に説明するようにシリコンにおいてレイアウトしたものである。

10

20

30

40

50

**【0020】**

図4は図1のC A Mセルの詳細な電気的概略図を示しており、図3の比較回路の実施例を使用している。

**【0021】**

図3に示したように、トランジスタN5乃至N10の符号も図4及び5に示してあり、且つ参照の便宜上夫々のトランジスタのゲート領域上に配置させており、勿論、該トランジスタはソース領域とドレイン領域とを有している。図3に示したように、第一及び第二メモリ回路10及び20のトランジスタN1-N4, P1-P4, T1-T4に対する符号は図4及び5においても示してあり、且つ便宜上夫々のトランジスタのゲート領域上に配置させているが、ソース領域とドレイン領域とを有している。

10

**【0022】**

全体的なC A Mセルの1実施例を概略的に図3に示してある。第一メモリ回路10はデータ値を格納するデータセルである。第二メモリ回路20はマスク値を格納するマスクセルである。第一メモリ回路10はトランジスタP1, N1, T4, T3, N2, P2を有している。第二メモリセル20はトランジスタN4, P4, T1, T2, N3, P3を有している。比較回路30はトランジスタN5-N10を有している。

**【0023】**

図3に示したように、第一メモリ回路10はデータ値を格納するために使用され、従ってデータ回路として記されている。格納されているデータ値は比較回路30によって入力データ値と比較される。第一メモリ回路10はスタンダードの6トランジスタで完全なCMOS S R A Mセルとして電気的に接続されている。それは以下の構成を有している。第一メモリ回路10の第二プルダウントランジスタN2のゲートは第二プルアップトランジスタP2のゲートと、第一プルダウントランジスタN1のドレイン領域と、第一プルアップトランジスタP1のドレイン領域と、第一パストランジスタT4のドレイン領域と、比較回路30のデータ偽トランジスタN8のゲートとに電気的に結合されており、それによりデータ偽d\_fノード82を画定している。第一メモリ回路10の第一プルダウントランジスタN1のゲートは、第一プルアップトランジスタP1のゲートと、第二プルダウントランジスタN2のドレイン領域と、第二プルアップトランジスタP2のドレイン領域と、第二パストランジスタT3のドレイン領域と、比較回路30のデータ真トランジスタN5のゲートとに電気的に結合されており、それによりデータ真d\_tノード80を画定している。

20

。第一メモリ回路10の第一パストランジスタT4は第一ワード線信号W L Dへ電気的に結合しているゲートと、偽ビット線信号B L Fへ電気的に結合しているソース領域とを有している。第一メモリ回路10の第二パストランジスタT3は、第一ワード線信号W L Dへ電気的に結合しているゲートと真ビット線信号B L Tへ電気的に結合しているソース領域とを有している。

30

**【0024】**

図3に示したように、第二メモリ回路20はマスク値M Tを格納するために使用されており、従って、マスク回路として記してある。ノード84のマスク値M Tは比較回路30をイネーブル又はディスエーブルさせる。第二メモリ回路20もスタンダードの6トランジスタの完全なCMOS S R A Mセルである。それは以下の構成を有している。第二メモリ回路20の第二プルダウントランジスタN3のゲートは、第二プルアップトランジスタP3のゲートと、第一プルダウントランジスタN4のドレイン領域と、第一プルアップトランジスタP4のドレイン領域と、第一パストランジスタT1のドレイン領域とに電気的に結合しており、それによりマスク偽M Fノードを画定している。第二メモリ回路20の第一プルダウントランジスタN4のゲートは、第一プルアップトランジスタP4のゲートと、第二プルダウントランジスタN3のドレイン領域と、第二プルアップトランジスタP3のドレイン領域と、第二パストランジスタT2のドレイン領域と、比較回路30の第一及び第二イネーブルトランジスタN6及びN9のゲートとに電気的に結合しており、それによりマスク真M Tノード84を画定している。第二メモリ回路20の第一パストランジスタT1は、第二ワード線信号W L Mへ電気的に結合されるゲートと、偽ビット線信号B L

40

50

Fへ電気的に結合されるソース領域とを有している。第二メモリ回路20の第二パストラジスタT2は、第二ワード線信号WLMへ電気的に結合されるゲートと、真ビット線信号BLTへ電気的に結合されるソース領域とを有している。

#### 【0025】

上述した実施例において、メモリ回路10及び20は、両方共、6トランジスタ型のSRAMメモリ回路である。別の実施例においては、それらは4トランジスタ型のSRAMメモリ回路である。従って、図3に示した夫々の6トランジスタセルの各々の代わりに、負荷装置として2つのポリシリコン負荷抵抗を使用する4トランジスタメモリ回路を使用することが可能である。更に別の実施例においては、メモリ回路10及び20の各々は別の許容可能なメモリ回路から構成されている。例えば、それらは、EEPROM、EPROM、ROM、フラッシュメモリ回路、又はその他の許容可能な揮発性又は非揮発性のメモリ回路から構成することが可能である。その他のタイプのデータ格納又は編成を使用することが可能であり、例えばDRAM、吹き飛ばしたヒューズ、プログラムした即ち書き込をしたROM、又はメモリ回路10及び20に対してその他の許容可能な格納装置等がある。従って、図1に示した夫々のメモリ回路10及び20の出力は、図1に示したように、且つ、夫々のセルの各々における特定のメモリの特定のタイプ、配置又は構成に拘わらずに、比較回路30へ供給される。

#### 【0026】

図3に示したように、比較回路30は、第一メモリ回路10における相互接続80の信号dt及び相互接続82の信号dfによって供給される格納されているデータ値を信号cf及びctの入力データ値と比較するために使用される。好適実施例においては、比較回路30はN型トランジスタN5-N10からなる2つの並列スタック（積層体）として構成される。比較偽トランジスタN7は入力信号cfへ電気的に結合したゲートと、第一イネーブルトランジスタN6のドレイン領域へ電気的に結合しているソース領域と、MATH（マッチ）信号へ電気的に結合しているドレイン領域とを有している。比較真トランジスタN10は、入力信号ctへ電気的に結合されるゲートと、第二イネーブルトランジスタN9のドレイン領域へ電気的に結合されるソース領域と、MATH信号へ電気的に結合されるドレイン領域とを有している。第一イネーブルトランジスタN6は、データ真トランジスタN5のドレイン領域へ電気的に結合されるソース領域を有している。第二イネーブルトランジスタN9はデータ偽トランジスタN8のドレイン領域へ電気的に結合されるソース領域を有している。比較回路のトランジスタのこの構成は、CAMセルの基板面積の使用を減少させる利点を有している。

#### 【0027】

図4及び5に示したように、CAMセルはコンパクトな配置でシリコン内にレイアウトさせることができる。第一メモリ回路10、第二メモリ回路20、比較回路30はそれらがシリコン内にレイアウトされた状態で示されている。これらの図において、活性領域は黒い輪郭で示しており、ポリシリコンはハッチングで示してあり、金属1は点画で示してあり、コンタクトは四角の中にXで示してある。比較回路30は第一活性領域92と第二活性領域90とを有している。好適実施例においては、活性領域90及び92の両方はN導電型である。第一活性領域92は比較真トランジスタN10、第一イネーブルトランジスタN9、データ偽トランジスタN8の夫々のゲートの下側に形成されている。第一活性領域92はトランジスタN10のドレイン領域においてMATH信号へ電気的に接続している。第一活性領域は、図5に示したように、データ偽トランジスタN8のソース領域における第一供給源VSSへ電気的に接続している。第二活性領域90は、比較偽トランジスタN7、第二イネーブルトランジスタN6、データ真トランジスタN5の夫々のゲートの下側に形成されている。第二活性領域90はトランジスタN7のドレイン領域においてMATH信号へ電気的に接続している。第二活性領域90は、図5に示したように、データ真トランジスタN5のソース領域において第一供給源VSSへ電気的に接続している。第一及び第二活性領域92及び90の構成は、CAMセルの基板面積の使用を減少させる利点を有している。別の実施例においては、第一及び第二活性領域92及び90

10

20

30

40

50

はP導電型である。図4及び5に示したように、本発明の1実施例においては、第一メモリ回路の活性領域はP導電型領域120, 122及びN導電型領域132, 130である。更に、第二メモリ回路の活性領域はP導電型領域124, 122及びN導電型領域132, 130である。

#### 【0028】

図5に示したように、第一供給源VSSは、第一メモリ回路10の第一及び第二プルダウントランジスタN1及びN2のソース領域と、第二メモリ回路20の第一及び第二プルダウントランジスタN4及びN3のソース領域と、データ真トランジスタN5のソース領域と、データ偽トランジスタN8のソース領域とに電気的に接続している。第二供給源VDDは、第一メモリ回路10の第一及び第二プルアップトランジスタP1及びP2のソース領域と、第二メモリ回路20の第一及び第二プルアップトランジスタP4及びP3のソース領域とに電気的に接続している。第一及び第二メモリ回路10及び20から比較回路30への相互接続80, 82, 84は、ポリシリコンゲート物質、導電性物質、又は両方の物質の組合せから形成されている領域によって達成されている。例えば、該導電性物質は、例えばアルミニウム、銅等の金属又は第二層ポリシリコン領域とすることが可能である。この相互接続の利点は、CAMセルの面積使用効率を減少させることである。

#### 【0029】

図4に示したように、第一メモリ回路10と比較回路30との間の局所的相互接続80は、ポリシリコンの单一ストリップから構成されており、それは第一メモリ回路10の第一プルダウントランジスタN1のゲートと、第一メモリ回路10の第一プルアップトランジスタP1のゲートと、比較回路30のデータ真トランジスタN5のゲートとを形成している。1実施例においては、この局所的相互接続は図4及び5に示したように、ポリシリコンからなる領域80である。ポリシリコン領域80は、データ真ノードd<sub>t</sub>の一部である。該ゲートを形成するのと同一の導電性ストリップは相互接続ストリップでもあり、従ってそのストリップ全体は所定の物質からなる単一の共通の連続した層である。

#### 【0030】

図4に示したように、局所的相互接続84Aが比較回路30の第一及び第二イネーブルトランジスタN6及びN9のゲート間に形成されており、それも單一の連続した所定の物質からなる層であり、従ってかなりの節約を提供している。局所的相互接続84Cが第二メモリ回路20の第一プルアップトランジスタP4と第一プルダウントランジスタN4のゲートの間に形成されておりそれも單一の連続した所定の物質からなる層であり、従ってかなりの節約を与えている。局所的相互接続84Bは、図5に示したように、相互接続84A乃至84Cを電気的に結合している。1実施例においては、ノードMTは図4及び5に示したように、局所的相互接続84A, 84B, 84Cを有する多層相互接続から形成されている。好適実施例においては、局所的相互接続84Aはポリシリコン領域を有しており、局所的相互接続84Bはアルミニウム又は第二層ポリシリコン領域等の導電性物質を有しており、且つ局所的相互接続84Cはポリシリコン領域を有している。

#### 【0031】

図4に示したように、局所的相互接続82Cは第二プルダウントランジスタN2のゲートと第二プルアップトランジスタP2のゲートとを形成している。局所的相互接続82Aは比較回路30のデータ偽トランジスタN8のゲートを形成している。図5に示したように、局所的相互接続82Bは局所的相互接続82Cを相互接続82Aへ電気的に結合している。好適実施例においては、局所的相互接続82A, 82B, 82Cは多層相互接続としてデータ偽ノードd<sub>f</sub>を形成している。該多層相互接続は、金属82Bの領域と、ポリシリコン82Aの領域と、ポリシリコン82Cの領域とを図5に示したように有している。

#### 【0032】

本発明の1実施例によれば、第一メモリ回路10のワード線は、図4に示されるように、メモリ回路内においてセグメント化されている。ワード線は、2つの部分、即ち第一部94と第二部分102とを有している。これらのワード線部分は、ポリシリコンゲート物質から構成されており、且つ互いに物理的に別個であり且つ離隔している。それらは、

10

20

30

40

50

勿論、ポリシリコンのプランク層の付着によって同一の層内に形成され、それが、次いで、パターン形成され且つエッチングされて当該技術において公知の処理技術を使用して同時に全てのポリシリコンゲートを形成する。通常、従来のSRAMメモリ回路はメモリ回路内に2つのイネーブルトランジスタT3及びT4に対するゲート電極を形成するためにポリシリコンの切断されていない単一の連続したストリップを使用する。図4の実施例は、2つのイネーブルトランジスタに対する夫々のゲートを形成するためにポリシリコンの2つの別々の部分を使用することによりこのような従来のレイアウトとは異なるものである。本発明のレイアウトにおいて、このことは、通常より効率的な空間の使用であると仮定されているものを上回る空間節約の利点である。附加的な空間節約技術が図4の実施例のレイアウトにおいて実施されている。即ち、比較回路内のトランジスタP1, N1乃至N5を介してのデータ真からのデータノード接続及びデータ電極に対して使用されているポリシリコンの単一の連続的なストリップと共に、Pチャンネル及びNチャンネルトランジスタN2及びP2に対してポリシリコンからなる単一のストリップが使用されている。従って、2つのトランジスタP1及びN1に対してポリシリコンからなる単一の連続した部分が使用されている。同様に、第二メモリ回路もマスク真相互接続に対して及びゲート電極P4及びN4に対してポリシリコンの連続した部分84Cを使用している。連続したポリシリコンの単一の部分がゲート電極N3, P3及びマスク偽接続98に対して使用されている。ゲート電極T1及びT2に対してもポリシリコンからなる別個のストリップが使用されている。ポリシリコンからなる単一の連続したストリップが、マスク真接続84Aの共通ノードを形成する比較回路N9及びN6内の2個のイネーブルトランジスタに対して使用されている。更に、共通接続されるべき夫々のノードの各々は互いに電気的接続を行うことを容易とし、近付け且つ稠密とさせるために、互いに物理的に隣接して配設されている。例えば、データ偽d\_fに対する電気的接続の各々は互いに近接して大略真っ直ぐな水平線内に配設されており、従って単一の金属層82Bは図5に示したようにそれらを電気的に接続させるために容易に取付けることが可能である。

#### 【0033】

同様に、データ真ノードd\_tの各々は互いに近接して電気的に接続され、従って金属80Bからなる単一のストリップはそれらを容易に電気的に接続することが可能である。マスクセル20におけるノードも同様に互いに近接して配設されている。例えば、マスクセル内部の全てのノードMTは互いに近接して配設されており、従って単一の金属層84Bはノードの全てを容易に電気的に接続することが可能である。ノードMFの全ても、図4及び5に示されるように、互いに隣接して配設されており、従って単一の金属層83が小さな大きさの空間内においてそれら全てを接続することが可能である。従って、比較回路と関連して、第一及び第二メモリ回路のレイアウトは、非常に小さな量のシリコン基板を使用し且つ密度が高いコンパクトなレイアウトを提供すべく構成されている。別の実施例においては、勿論、各メモリ回路のワード線は異なって配設することが可能であり、ワード線はポリシリコンの共通の連続したストリップから構成されており、メモリ回路内のその他のワード線又は相互接続も同様にすることが可能である。従って、これらの変形実施例は図示例のものと幾分異なったレイアウトを取ることが可能である。

#### 【0034】

CAMセルの動作は、図4のMATH(マッチ)線上において論理状態のマッチ(論理高)及び非マッチ(論理低)を与える。これらの論理状態は、入力データ信号c\_f及びc\_tをメモリデータ信号d\_t及びd\_fに対して比較することにより発生される。入力データ信号c\_f及びc\_tは公知の態様で比較回路30へ提供する前に補元が取られる。イネーブル信号MTは比較回路30のステータスを決定し、有効又は無効MATH信号を発生する。初期的に、MATH信号は高に設定される。MATHが高である場合には、第一メモリ回路10の格納されているデータと入力データとの間の有効なマッチ即ち一致が示される。

#### 【0035】

CAMセルの1実施例において、本装置の動作は以下のステップを有している。データ値 50

を第一メモリ回路 10 内に格納する。マスク値を第二メモリ回路 20 内に格納する。比較データを比較回路 30 へ供給する。MATCH 信号のステータスが同一のままであるか又は状態を変化するかについてモニタする。

#### 【 0 0 3 6 】

データ値の格納は、第一ワード線 WLD へ高信号を印加し、ビット線真 BLT へ第一値を印加し、且つ第二ビット線 BLF へ第二値を印加することにより実施され、それにより第一メモリ回路 10 内に値を格納し且つ、図 4 に示したように、比較回路 30 へ印加されるデータ真信号 dt の値を設定する。マスク値の格納は、第二ワード線 WLW へ値を印加し、ビット線 BLT へ値を印加し、第二ビット線 BLF へ第二値を印加することを含んでおり、それにより第二メモリ回路 20 内にマスク値を格納し、それにより比較回路 30 のトランジスタ N6 及び N9 をイネーブルさせるイネーブル信号 MT の値を設定する。ある時間において、比較トランジスタの入力信号 ct 及び cf に対して値を印加するステップが実施され、それにより第一メモリ回路 10 の格納されているデータ値 dt 及び df を印加された入力信号値 ct 及び cf と比較する。比較が所望される場合には、ct 及び cf は反対の値を有しているが、列上でグローバルブロックを実施することが所望される場合には、両方が低である場合がある。両方が低である場合には、比較が行われることはなく且つ全体的なセルグループがブロックされ、そのことは同一の ct 及び cf 信号を受取る。MATCH 信号線のステータスを検知することによりマッチ即ち一致が判別される。10

#### 【 0 0 3 7 】

本明細書において MOS トランジスタに関して使用されたドレイン及びソースの用語は、MOS トランジスタのチャンネルの両側における 2 つの領域を 2 つの別個の領域である一般的な意味で使用している。1 つの領域が実際にドレイン又はソースであるとして識別することは、トランジスタの動作特性及び電気的接続、及び異なるノードに存在する電圧に依存して変化する場合がある。従って、本明細書全体及び特許請求の範囲において、ドレイン及びソースという用語は、その状態及び夫々のノードの値に依存して特定のトランジスタに対して互いに交換可能なものである。従って、これらの用語の各々はトランジスタの活性領域を意味することとして広義に理解すべきであり、且つ特定のトランジスタの動作状態に基づいてドレイン又はソースのいずれかであることを意味するものとして理解すべきである。20

#### 【 0 0 3 8 】

以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。30

#### 【 図面の簡単な説明 】

【 図 1 】 本発明の 1 実施例に基づく CAM セルの第一及び第二メモリ回路及び比較回路を示した概略図。

【 図 2 】 図 1 の CAM セルの比較回路の 1 実施例を示した概略図。

【 図 3 】 本発明に基づく CAM セルのトランジスタ概略接続の 1 実施例を示した概略図。40

【 図 4 】 1 実施例に基づく活性領域及びポリシリコンを例示した CAM セルのシリコンにおけるレイアウトを示した概略平面図。

【 図 5 】 活性金属及びコンタクトを示した CAM セルの付加的な層を示した図 5 のシリコン内のレイアウトの概略平面図。

#### 【 符号の説明 】

10 第一メモリ回路

20 第二メモリ回路

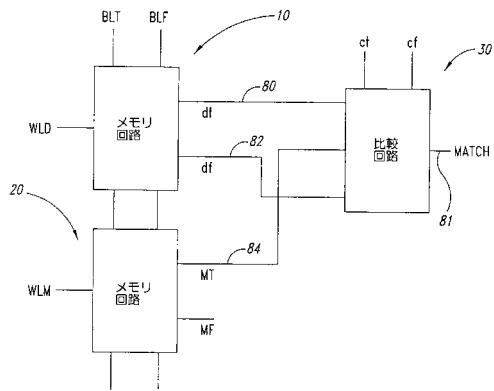
30 比較回路

80, 82 信号線

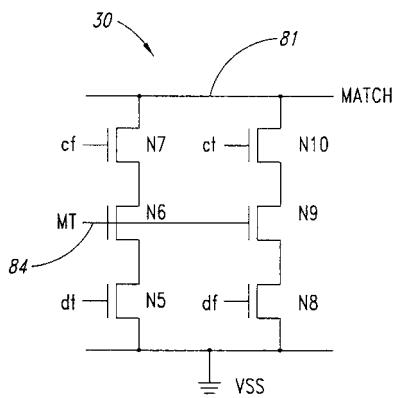
90 第二活性領域

92 第一活性領域

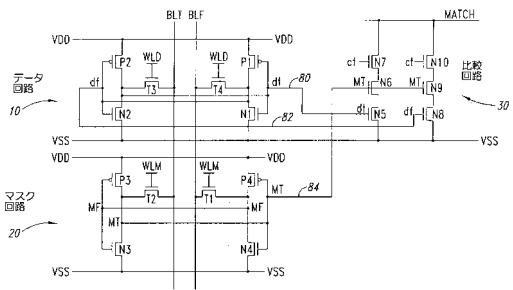
【図1】



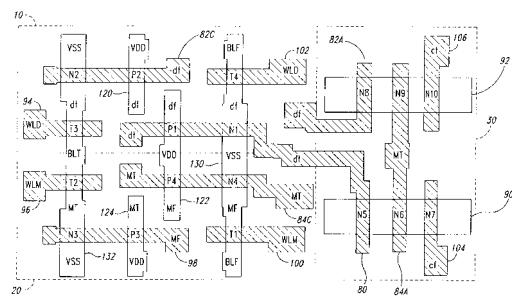
【図2】



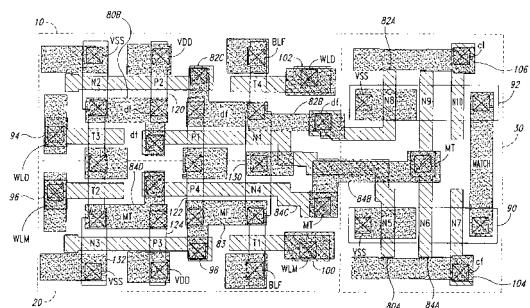
【図3】



【図4】



【図5】



---

フロントページの続き

(72)発明者 クリストファー フレイ  
フランス国, 38240, メラン, アレ デ セミニー 17

(72)発明者 フレデリク ララーン  
フランス国, 38190, ベルニン, シュマン デュ キャピトン 155

審査官 須原 宏光

(56)参考文献 米国特許第06108227(US,A)  
特開2002-074964(JP,A)  
特開平04-021997(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 15/04  
H01L 27/10