

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6036765号  
(P6036765)

(45) 発行日 平成28年11月30日 (2016.11.30)

(24) 登録日 平成28年11月11日 (2016.11.11)

(51) Int. Cl.	F I
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 6 5 7 D
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 3 A
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 2 M
H O 1 L 21/8234 (2006.01)	H O 1 L 29/78 6 5 8 F
H O 1 L 27/06 (2006.01)	H O 1 L 29/78 6 5 2 J
請求項の数 6 (全 16 頁) 最終頁に続く	

(21) 出願番号	特願2014-169454 (P2014-169454)	(73) 特許権者	000003207
(22) 出願日	平成26年8月22日 (2014. 8. 22)		トヨタ自動車株式会社
(65) 公開番号	特開2016-46377 (P2016-46377A)		愛知県豊田市トヨタ町 1 番地
(43) 公開日	平成28年4月4日 (2016. 4. 4)	(74) 代理人	110000110
審査請求日	平成28年4月4日 (2016. 4. 4)		特許業務法人快友国際特許事務所
		(72) 発明者	添野 明高
			愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内
		審査官	恩田 和彦
		最終頁に続く	

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体装置であって、  
 表面にトレンチが形成されている半導体基板と、  
 前記トレンチ内に配置されているトレンチ電極と、  
 前記トレンチ電極の表面を覆っており、前記半導体基板の前記表面から突出している層間絶縁膜と、  
 前記半導体基板の前記表面上に配置されており、前記層間絶縁膜から離間した位置に配置されており、前記半導体基板に対してショットキー接触しているショットキー電極と、  
 前記層間絶縁膜と前記ショットキー電極の間の凹部内に配置されており、前記ショットキー電極とは異なる金属により構成されている埋め込み電極と、  
 前記層間絶縁膜、前記埋め込み電極及び前記ショットキー電極を覆う表面電極、  
 を有し、  
 前記埋め込み電極に覆われている範囲において、前記半導体基板の前記表面と前記ショットキー電極の側面の間の角度が90度より大きい半導体装置。

【請求項 2】

前記埋め込み電極に覆われている範囲において、前記半導体基板の前記表面と前記層間絶縁膜の側面の間の角度が90度より大きい請求項1の半導体装置。

【請求項 3】

前記ショットキー電極と前記表面電極の間、及び、前記層間絶縁膜と前記表面電極の間

10

20

に、前記埋め込み電極に対してエッチング選択性を有するバリアメタル層が配置されている請求項 1 または 2 の半導体装置。

【請求項 4】

前記埋め込み電極が、前記半導体基板に対してオーミック接触している請求項 1 ~ 3 のいずれか一項の半導体装置。

【請求項 5】

半導体装置を製造する方法であって、

半導体基板の表面にトレンチを形成する工程と、

前記トレンチ内にトレンチ電極を形成する工程と、

前記トレンチ電極の表面上に、前記トレンチ電極の表面を覆う層間絶縁膜を含み、前記半導体基板の前記表面から突出する第 1 凸部を形成する工程と、

前記半導体基板の前記表面上であって前記第 1 凸部から離間した位置に、前記半導体基板に対してショットキー接触しているショットキー電極を含み、前記半導体基板の前記表面から突出する第 2 凸部を形成する工程と、

前記第 1 凸部と、前記第 2 凸部と、前記第 1 凸部と前記第 2 凸部の間の前記半導体基板の前記表面を覆うように、埋め込み電極を成長させる工程と、

前記第 1 凸部と前記第 2 凸部の表面が露出し、前記第 1 凸部と前記第 2 凸部の間の凹部内に前記埋め込み電極が残存するように、前記埋め込み電極をエッチングする工程と、

前記エッチングの後に、前記第 1 凸部、前記埋め込み電極及び前記第 2 凸部を覆う表面電極を成長させる工程、

を有する方法。

【請求項 6】

前記埋め込み電極が、前記ショットキー電極とは異なる金属により構成されている請求項 5 の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に開示の技術は、半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

特許文献 1 に開示の半導体装置は、I G B T とショットキーダイオードを有する。この I G B T は、トレンチ型のゲート電極を有する。また、ショットキーダイオードは、半導体基板の表面の一部に対してショットキー接触している電極を有している。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2 0 1 3 - 0 4 8 2 3 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

トレンチ型のゲート電極を有する素子には、I G B T の他に、M O S F E T 等がある。また、ゲート電極ではない電極が、トレンチ内に配置される場合もある。このように、トレンチ内に配置された電極（以下、トレンチ電極という）は、多くの場合、その上面が層間絶縁膜により覆われる。層間絶縁膜は、半導体基板の表面から突出するように形成される。また、この種の半導体装置では、半導体基板の表面が、表面電極により覆われる。表面電極は、層間絶縁膜を覆うように形成される。層間絶縁膜が半導体基板の表面から突出しているので、表面電極は、層間絶縁膜の上部において凸状に盛り上がった形状となる。このため、表面電極の表面に段差が形成される。

【0005】

表面電極に対して繰り返し温度変化を加えると、表面電極にクラックが生じる。表面電

10

20

30

40

50

極の平坦な箇所が発生したクラックは、表面電極の表面に沿って進行する傾向が強い。これに対し、表面電極の段差の近傍で発生したクラックは、表面電極の厚み方向に向かって進行し易い。クラックが半導体基板まで達すると、半導体装置の特性が劣化するため、問題となる。したがって、本明細書では、層間絶縁膜を覆う表面電極を容易に平坦化することが可能な技術を提供する。

【課題を解決するための手段】

【0006】

本明細書が開示する半導体装置は、半導体基板と、トレンチ電極と、層間絶縁膜と、ショットキー電極と、埋め込み電極と、表面電極を有する。半導体基板の表面にトレンチが形成されている。トレンチ電極は、前記トレンチ内に配置されている。層間絶縁膜は、前記トレンチ電極の表面を覆っており、前記半導体基板の前記表面から突出している。ショットキー電極は、前記半導体基板の前記表面上に配置されており、前記層間絶縁膜から離間した位置に配置されており、前記半導体基板に対してショットキー接触している。埋め込み電極は、前記層間絶縁膜と前記ショットキー電極の間の凹部内に配置されており、前記ショットキー電極とは異なる金属により構成されている。表面電極は、前記層間絶縁膜、前記埋め込み電極及び前記ショットキー電極を覆っている。

10

【0007】

なお、層間絶縁膜、埋め込み電極及びショットキー電極と、これらを覆う表面電極の間に、他の層が介在していてもよい。また、これらが表面電極と接触していてもよい。

【0008】

20

この半導体装置は、半導体基板の表面から突出する層間絶縁膜と、半導体基板の表面上であって層間絶縁膜から離間した位置に配置されているショットキー電極を有している。したがって、層間絶縁膜とショットキー電極とに挟まれた位置が、凹部となっている。凹部内には、埋め込み電極が形成されている。製造工程において、層間絶縁膜とショットキー電極と凹部を覆うように埋め込み電極を成長させ、その後、埋め込み電極をエッチングすることで、凹部内に埋め込み電極を残存させることができる。埋め込み電極をエッチングする際に、埋め込み電極を残存させる範囲が広いと、その範囲の中央部が凹状に窪み、埋め込み電極の表面を平坦に形成することが難しい。しかしながら、狭い凹部内に埋め込み電極を残存させるのであれば、埋め込み電極の表面を比較的平坦に形成することが可能である。この半導体装置では、凹部内に埋め込み電極が残存するので、埋め込み電極の表面を平坦にすることができる。その後、層間絶縁膜、埋め込み電極及びショットキー電極を覆うように表面電極を成長させることで、上記の半導体装置が完成する。層間絶縁膜とショットキー電極の間の凹部に埋め込み電極が配置されており、かつ、埋め込み電極の表面が平坦であるので、表面電極を平坦に形成することができる。

30

【0009】

本明細書が開示する半導体装置の製造方法は、半導体基板の表面にトレンチを形成する工程と、前記トレンチ内にトレンチ電極を形成する工程と、第1凸部を形成する工程と、第2凸部を形成する工程と、埋め込み電極を成長させる工程と、埋め込み電極をエッチングする工程と、表面電極を成長させる工程を有する。第1凸部を形成する工程では、前記トレンチ電極の表面上に、前記トレンチ電極の表面を覆う層間絶縁膜を含み、前記半導体基板の前記表面から突出する第1凸部を形成する。第2凸部を形成する工程では、前記半導体基板の前記表面上であって前記第1凸部から離間した位置に、前記半導体基板に対してショットキー接触しているショットキー電極を含み、前記半導体基板の前記表面から突出する第2凸部を形成する。埋め込み電極を成長させる工程では、前記第1凸部と、前記第2凸部と、前記第1凸部と前記第2凸部の間の前記半導体基板の前記表面を覆うように、埋め込み電極を成長させる。埋め込み電極をエッチングする工程では、前記第1凸部と前記第2凸部の表面が露出し、前記第1凸部と前記第2凸部の間の凹部内に前記埋め込み電極が残存するように、前記埋め込み電極をエッチングする。表面電極を成長させる工程では、前記エッチングの後に、前記第1凸部、前記埋め込み電極及び前記第2凸部を覆う表面電極を成長させる。

40

50

## 【 0 0 1 0 】

なお、第 2 凸部は、第 1 凸部より先に形成してもよいし、第 1 凸部より後に形成してもよい。

## 【 0 0 1 1 】

この方法によれば、平坦な表面電極を有する半導体装置を製造することができる。

## 【図面の簡単な説明】

## 【 0 0 1 2 】

【図 1】実施例 1 の半導体装置 1 0 の縦断面図。

【図 2】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 3】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 4】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 5】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 6】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 7】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 8】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 9】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 1 0】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 1 1】金属をエッチングする工程の説明図。

【図 1 2】金属をエッチングする工程の説明図。

【図 1 3】実施例 1 の半導体装置 1 0 の製造工程の説明図。

【図 1 4】実施例 2 の半導体装置 2 0 0 の縦断面図。

【図 1 5】実施例 2 の半導体装置 2 0 0 の製造工程の説明図。

【図 1 6】実施例 2 の半導体装置 2 0 0 の製造工程の説明図。

【図 1 7】実施例 2 の半導体装置 2 0 0 の製造工程の説明図。

## 【発明を実施するための形態】

## 【実施例 1】

## 【 0 0 1 3 】

図 1 に示す実施例の半導体装置 1 0 は、半導体基板 1 2 を有する。半導体基板 1 2 の上面 1 2 a には、複数のトレンチ 1 4 が形成されている。各トレンチ 1 4 の内面は、ゲート絶縁膜 1 6 によって覆われている。各トレンチ 1 4 内には、ゲート電極 1 8 が配置されている。各ゲート電極 1 8 は、ゲート絶縁膜 1 6 によって半導体基板 1 2 から絶縁されている。各ゲート電極 1 8 の上面は、層間絶縁膜 2 0 によって覆われている。各層間絶縁膜 2 0 は、半導体基板 1 2 の上面 1 2 a から上側に突出するように形成されている。

## 【 0 0 1 4 】

半導体基板 1 2 の上面 1 2 a 上には、ソース電極 2 2 が形成されている。ソース電極 2 2 は、層間絶縁膜 2 0 を覆っている。層間絶縁膜 2 0 によってソース電極 2 2 はゲート電極 1 8 から絶縁されている。ソース電極 2 2 は、埋め込み電極 2 2 a と、ショットキー電極 2 2 b と、表面電極 2 2 c を有している。

## 【 0 0 1 5 】

ショットキー電極 2 2 b は、半導体基板 1 2 上に複数個形成されている。各ショットキー電極 2 2 b は、2 つの層間絶縁膜 2 0 に挟まれた範囲内であって各層間絶縁膜 2 0 から離間した位置に配置されている。ショットキー電極 2 2 b は、半導体基板 1 2 の上面 1 2 a から上側に突出するように形成されている。半導体基板 1 2 の上面 1 2 a からショットキー電極 2 2 b の上面までの高さは、半導体基板 1 2 の上面 1 2 a から層間絶縁膜 2 0 の上面までの高さと略等しい。ショットキー電極 2 2 b は、A 1 (アルミニウム) により構成されている。ショットキー電極 2 2 b は、半導体基板 1 2 に対してショットキー接触している。層間絶縁膜 2 0 とショットキー電極 2 2 b の間には、凹部 2 4 が形成されている。凹部 2 4 の底面は半導体基板 1 2 の上面 1 2 a であり、凹部 2 4 の一方の側面は層間絶縁膜 2 0 の側面であり、凹部 2 4 の他方の側面はショットキー電極 2 2 b の側面である。凹部 2 4 の底面 (すなわち、半導体基板 1 2 の上面 1 2 a) と層間絶縁膜 2 0 の側面との

間の角度 1 は、90 度より大きい。また、凹部 24 の底面（すなわち、半導体基板 12 の上面 12a）とショットキー電極 22b の側面との間の角度 2 は、90 度より大きい。

【0016】

埋め込み電極 22a は、各凹部 24 内に配置されている。埋め込み電極 22a は、凹部 24 内に隙間なく形成されている。埋め込み電極 22a は、凹部 24 の内面を構成する半導体基板 12 の上面 12a、層間絶縁膜 20 の側面及びショットキー電極 22b の側面に接している。埋め込み電極 22a は、W（タングステン）により構成されている。埋め込み電極 22a は、半導体基板 12 に対してオーミック接触している。

【0017】

表面電極 22c は、層間絶縁膜 20、埋め込み電極 22a 及びショットキー電極 22b 上に形成されている。表面電極 22c は、層間絶縁膜 20、埋め込み電極 22a 及びショットキー電極 22b 上に跨って伸びている。表面電極 22c は、A1 により構成されている。

【0018】

上記の通り、本実施例では、表面電極 22c が、ショットキー電極 22b と同じ材料により構成されている。したがって、本実施例では、表面電極 22c とショットキー電極 22b の境界を視認することが難しい。しかしながら、境界を視認できない場合でも、埋め込み電極 22a の側方に位置する A1 層をショットキー電極 22b と認め、埋め込み電極 22a の上面よりも上側に位置する A1 層を表面電極 22c と認めることができる。

【0019】

半導体基板 12 の下面 12b には、ドレイン電極 26 が形成されている。ドレイン電極 26 は、半導体基板 12 に対してオーミック接触している。

【0020】

半導体基板 12 の内部には、ソース領域 30、上部ボディ領域 32、中間領域 34、下部ボディ領域 36、ドリフト領域 38 及びドレイン領域 40 が形成されている。

【0021】

ソース領域 30 は、n 型の半導体領域である。ソース領域 30 は、半導体基板 12 の上面 12a に露出している。ソース領域 30 は、埋め込み電極 22a に対してオーミック接触している。ソース領域 30 は、ゲート絶縁膜 16 に接触している。

【0022】

上部ボディ領域 32 は、ソース領域 30 の側方及び下側に形成されている。上部ボディ領域 32 は、p 型不純物濃度が高い p 型の半導体領域である高濃度領域 32a と、p 型不純物濃度が低濃度領域 32a よりも低い p 型の半導体領域である低濃度領域 32b を有している。高濃度領域 32a は、ソース領域 30 の側方に形成されており、半導体基板 12 の上面 12a に露出している。高濃度領域 32a は、埋め込み電極 22a に対してオーミック接触している。低濃度領域 32b は、ソース領域 30 と高濃度領域 32a の下側に形成されている。低濃度領域 32b は、ソース領域 30 の下側でゲート絶縁膜 16 に接触している。

【0023】

中間領域 34 は、比較的 n 型不純物濃度が低い n 型の半導体領域である。中間領域 34 は、上部ボディ領域 32 に接している。中間領域 34 は、上部ボディ領域 32 によってソース領域 30 から分離されている。中間領域 34 は、ピラー領域 34a とバリア領域 34b を有している。ピラー領域 34a は、半導体基板 12 の上面 12a から半導体基板 12 の厚み方向に沿って伸びる領域である。ピラー領域 34a は、半導体基板 12 の上面 12a に露出しており、ショットキー電極 22b に対してショットキー接触している。バリア領域 34b は、上部ボディ領域 32 の下側に形成されている。バリア領域 34b は、ピラー領域 34a と繋がっている。バリア領域 34b は、上部ボディ領域 32 の下側でゲート絶縁膜 16 に接触している。

【0024】

下部ボディ領域 36 は、p 型の半導体領域である。下部ボディ領域 36 は、中間領域 34 の下側に形成されている。下部ボディ領域 36 は、バリア領域 34b の下側でゲート絶縁膜 16 に接触している。下部ボディ領域 36 は、中間領域 34 によって上部ボディ領域 32 から分離されている。

【0025】

ドリフト領域 38 は、比較的 n 型不純物濃度が低い n 型の半導体領域である。ドリフト領域 38 は、下部ボディ領域 36 の下側に形成されている。ドリフト領域 38 は、下部ボディ領域 36 の下側でゲート絶縁膜 16 に接触している。ドリフト領域 38 は、下部ボディ領域 36 によって中間領域 34 から分離されている。

【0026】

ドレイン領域 40 は、ドリフト領域 38 よりも n 型不純物濃度が高い n 型の半導体領域である。ドレイン領域 40 は、ドリフト領域 38 の下側に形成されている。ドレイン領域 40 は、半導体基板 12 の下面 12b に露出している。ドレイン領域 40 は、ドレイン電極 26 に対してオーミック接触している。

【0027】

半導体装置 10 は、MOSFET としての動作と、ダイオードとしての動作を実行することができる。

【0028】

MOSFET として動作する際には、ドレイン電極 26 にソース電極 22 よりも高い電位が印加される。ゲート電極 18 に閾値以上の電位を印加すると、ゲート絶縁膜 16 近傍の上部ボディ領域 32 及び下部ボディ領域 36 にチャンネルが形成される。すると、ドレイン電極 26 から、ドレイン領域 40、ドリフト領域 38、下部ボディ領域 36 のチャンネル、中間領域 34、上部ボディ領域 32 のチャンネル及びソース領域 30 を経由して、ソース電極 22 に向かって電流が流れる。すなわち、MOSFET がオンする。ゲート電極 18 の電位を閾値未満に低下させると、チャンネルが消失し、電流が停止する。

【0029】

ソース電極 22 とドレイン電極 26 の間には、ソース電極 22 と中間領域 34 との境界であるショットキー界面を有するショットキーダイオードと、上部ボディ領域 32 と中間領域 34 との境界である pn 接合を有する pn ダイオードが形成されている。半導体装置 10 がダイオードとして動作する際には、ソース電極 22 にドレイン電極 26 よりも高い電位が印加される。すると、ソース電極 22 と中間領域 34 の境界のショットキー界面がオンする。これによって、ソース電極 22 から、中間領域 34、下部ボディ領域 36、ドリフト領域 38 及びドレイン領域 40 を経由して、ドレイン電極 26 に向かって電流が流れる。また、ショットキー界面がオンすることで、バリア領域 34b の電位はソース電極 22 の電位と略等しい電位とされる。これによって、上部ボディ領域 32 と中間領域 34 との境界の pn 接合がオンし難くなっており、上部ボディ領域 32 からドリフト領域 38 にホールが流入することが抑制される。その後、ダイオードに逆電圧を印加すると、ダイオードが逆回復動作を行う。上記のようにダイオードがオンしているときにドリフト領域 38 へのホールの流入が抑制されるので、逆回復動作時にダイオードに流れる逆電流が抑制される。

【0030】

次に、半導体装置 10 の製造方法について説明する。半導体装置 10 は、ドリフト領域 38 と略同じ不純物濃度を有する n 型の半導体基板 12 から製造される。まず、イオン注入等によって、図 2 に示すように、半導体基板 12 に、ソース領域 30、上部ボディ領域 32、中間領域 34 及び下部ボディ領域 36 を形成する。次に、半導体基板 12 の上面 12a を選択的にエッチングすることによって、図 3 に示すように、半導体基板 12 の上面 12a にトレンチ 14 を形成する。トレンチ 14 は、ソース領域 30、低濃度領域 32b、バリア領域 34b 及び下部ボディ領域 36 を貫通するように形成する。次に、図 4 に示すように、トレンチ 14 の内面に、ゲート絶縁膜 16 を形成する。次に、トレンチ 14 の内部に、ゲート電極 18 を形成する。なお、以下では、半導体基板 12 と、半導体基板 1

10

20

30

40

50

2に形成された電極、絶縁層等をまとめて、ウエハ13と呼ぶ。

【0031】

次に、図5に示すように、ウエハ13上に、層間絶縁膜20を成長させる。層間絶縁膜20は、ウエハ13の上面の全域を覆うように形成する。層間絶縁膜20を形成したら、層間絶縁膜20を選択的にエッチングする。これによって、図6に示すように、ゲート電極18の上部に層間絶縁膜20を残存させ、その他の位置の層間絶縁膜20を除去する。ここでは、図6に示すように、層間絶縁膜20の側面と、露出している範囲の半導体基板12の上面12aとの間の角度1が90度より大きくなるように、層間絶縁膜20の側面が成形される。

【0032】

次に、スパッタリングによって、図7に示すように、ウエハ13上にショットキー電極22b(すなわち、A1)を成長させる。ショットキー電極22bは、半導体基板12の上面12a及び層間絶縁膜20の表面の全域を覆うように形成する。ショットキー電極22bを形成したら、ショットキー電極22bを選択的にエッチングする。これによって、図8に示すように、中間領域34が上面12aに露出する範囲にショットキー電極22bを残存させ、その他の位置のショットキー電極22bを除去する。ここでは、図8に示すように、ショットキー電極22bの側面と、露出している範囲の半導体基板12の上面12aとの間の角度2が90度より大きくなるように、ショットキー電極22bの側面が成形される。このようにショットキー電極22bをエッチングすることで、ショットキー電極22bが層間絶縁膜20から離間する。このため、ショットキー電極22bと層間絶縁膜20の間に凹部24が形成される。

【0033】

次に、図9に示すように、ウエハ13上に埋め込み電極22a(すなわち、W)を成長させる。埋め込み電極22aは、半導体基板12の上面12a、層間絶縁膜20及びショットキー電極22bの表面の全域を覆うように形成する。埋め込み電極22aの材料であるWは、基礎となる素材の表面に均等に成長する。このため、図9に示すように、層間絶縁膜20及びショットキー電極22bによってウエハ13の表面に凹凸が形成されていても、埋め込み電極22aの表面が略平坦となる。また、埋め込み電極22aの材料であるWは、狭い凹部24内にも隙間なく成長させることができる。特に、凹部24では、底面と層間絶縁膜20側の側面との間の角度1が90度より大きく、底面とショットキー電極22b側の側面との間の角度2が90度より大きい。すなわち、凹部24は、上端部の幅が底部の幅より広がっている。このため、埋め込み電極22aを凹部24内により確実に成長させることが可能となっている。したがって、凹部24内に空隙が形成されることが防止される。

【0034】

埋め込み電極22aを形成したら、埋め込み電極22aをエッチングする。ここでは、SF6(六フッ化硫黄)をエッチングガスとして用いる。エッチングによって、図10に示すように、埋め込み電極22aの上面を、層間絶縁膜20の上面及びショットキー電極22bの上面より下側まで後退させる。すなわち、層間絶縁膜20の上面及びショットキー電極22bの上面を露出させる。このため、層間絶縁膜20は、凹部24内に残存する。エッチング時には、エッチング後の埋め込み電極22aの上面が、層間絶縁膜20の上面及びショットキー電極22bの上面に近い高さとなるように、エッチング時間を調節する。また、このように埋め込み電極22aをエッチングすると、埋め込み電極22aの上面が略平坦となる。以下、その理由について説明する。

【0035】

図11、12は、金属をエッチングする工程の説明図である。図11、12では、2つの凸部102と、2つの凸部102に挟まれた凹部104を有する表面100上に金属層110を形成し、その後、2つの凸部102の上面が露出するまで金属層110をエッチングする工程を表している。図11は、凹部104の幅が広い場合を示しており、図12は、凹部104の幅が狭い場合を示している。エッチングは凹部104の中央部では、凹

10

20

30

40

50

部 1 0 4 の端部（すなわち、凸部 1 0 2 の近傍）よりも速く進行する。このエッチング速度の差は、凹部 1 0 4 の幅が広いほど顕著となる。このため、凹部 1 0 4 の幅が広いと、図 1 1 に示すように、エッチング後に凹部 1 0 4 内に残存する金属層 1 1 0 の表面は凹状に大きく湾曲した形状となる。これに対し、凹部 1 0 4 の幅が狭いと、図 1 2 に示すように、エッチング後の金属層 1 1 0 の表面が湾曲する度合いが小さい。凹部 1 0 4 の幅が狭いと、エッチング後の金属層 1 1 0 の表面はより平坦となる。

#### 【 0 0 3 6 】

本実施例の製造方法では、図 1 0 に示すように、凸状の層間絶縁膜 2 0 から間隔を開けた位置に、凸状のショットキー電極 2 2 b が形成されている。これによって、層間絶縁膜 2 0 とショットキー電極 2 2 b の間に、幅が狭い凹部 2 4 が形成されている。このように凹部 2 4 の幅が狭いため、埋め込み電極 2 2 a のエッチング後に、埋め込み電極 2 2 a の上面を略平坦とすることができる。このため、埋め込み電極 2 2 a のエッチング後に、埋め込み電極 2 2 a の上面、層間絶縁膜 2 0 の上面及びショットキー電極 2 2 b の上面によって構成されるウエハ 1 3 の上面が、略平坦となる。

10

#### 【 0 0 3 7 】

次に、図 1 3 に示すように、ウエハ 1 3 上に、表面電極 2 2 c（すなわち、A 1）を成長させる。表面電極 2 2 c は、層間絶縁膜 2 0、埋め込み電極 2 2 a 及びショットキー電極 2 2 b の上面の全域を覆うように形成する。上述したように、ウエハ 1 3 の上面が平坦であるので、表面電極 2 2 c の上面が平坦となる。

20

#### 【 0 0 3 8 】

表面電極 2 2 c を形成したら、裏面側の構造（すなわち、ドレイン領域 4 0 及びドレイン電極 2 6）を形成する。その後、ウエハ 1 3 をダイシングすることで、図 1 に示す半導体装置 1 0 が完成する。

#### 【 0 0 3 9 】

以上に説明したように、この製造方法によれば、表面電極 2 2 c の表面を平坦化することができる。

#### 【 実施例 2 】

#### 【 0 0 4 0 】

図 1 4 に示す実施例 2 の半導体装置 2 0 0 では、ソース電極 2 2 が、バリアメタル層 2 2 d を有する。実施例 2 の半導体装置 2 0 0 のその他の構成は、実施例 1 の半導体装置 1 0 と等しい。

30

#### 【 0 0 4 1 】

バリアメタル層 2 2 d は、TiN（窒化チタン）により構成されている。バリアメタル層 2 2 d の厚みは、層間絶縁膜 2 0 及びショットキー電極 2 2 b に比べて遥かに薄い。バリアメタル層 2 2 d は、層間絶縁膜 2 0 の上面と、ショットキー電極 2 2 b の上面と、凹部 2 4 の内面を覆っている。実施例 2 の半導体装置 2 0 0 は、実施例 1 の半導体装置 1 0 と略同様に動作する。

#### 【 0 0 4 2 】

実施例 2 の半導体装置 2 0 0 を製造する際には、まず、実施例 1 と同様にして、図 8 に示すようにウエハ 1 3 を加工する。次に、図 1 5 に示すように、ウエハ 1 3 上に、バリアメタル層 2 2 d を成長させる。すなわち、層間絶縁膜 2 0 の上面と、ショットキー電極 2 2 b の上面と、凹部 2 4 の内面にバリアメタル層 2 2 d を成長させる。すなわち、実施例 2 では、ゲート電極 1 8 上の凸部が、層間絶縁膜 2 0 とバリアメタル層 2 2 d によって構成される。また、ピラー領域 3 4 a 上の凸部が、ショットキー電極 2 2 b とバリアメタル層 2 2 d によって構成される。次に、図 1 6 に示すように、バリアメタル層 2 2 d 上に、埋め込み電極 2 2 a（すなわち、W）を成長させる。ここでは、実施例 1 と同様にして、埋め込み電極 2 2 a の表面が平坦になり、凹部 2 4 内に隙間なく埋め込み電極 2 2 a が形成される。

40

#### 【 0 0 4 3 】

次に、埋め込み電極 2 2 a をエッチングする。ここでは、SF<sub>6</sub>（六フッ化硫黄）をエ

50



エッチングガスとして用いる。これによって、図 17 に示すように、埋め込み電極 22a の上面を、層間絶縁膜 20 上のバリアメタル層 22d の上面及びショットキー電極 22b 上のバリアメタル層 22d の上面より下側まで後退させる。すなわち、層間絶縁膜 20 上及びショットキー電極 22b 上のバリアメタル層 22d を露出させる。埋め込み電極 22a は、凹部 24 内に残存させる。本実施例では、層間絶縁膜 20 とショットキー電極 22b がバリアメタル層 22d に覆われているので、図 17 に示すエッチング時に、層間絶縁膜 20 とショットキー電極 22b がエッチングガスに曝されない。また、バリアメタル層 22d (TiN) とエッチング対象である埋め込み電極 22a (W) のエッチングガス (SF<sub>6</sub>) に対する選択比は、1 対 30 である。すなわち、バリアメタル層 22d は、エッチングガスによるエッチングをほとんど受けない。したがって、バリアメタル層 22d によって層間絶縁膜 20 とショットキー電極 22b がエッチングガスから保護される。なお、少なくとも上記選択比が 1 対 5 以上となる材料を、バリアメタル層 22d として使用することができる。また、ここでも、実施例 1 と同様にして、埋め込み電極 22a のエッチング後に、ウエハ 13 の上面が、略平坦となる。

#### 【0044】

埋め込み電極 22a をエッチングしたら、図 14 に示すように、ウエハ 13 の上面に表面電極 22c を成長させる。実施例 1 と同様に、上面が平坦な表面電極 22c を形成することができる。その後、下面側の構造を形成し、ダイシングすることで、図 14 に示す半導体装置 200 が完成する。

#### 【0045】

以上に説明したように、実施例 2 の半導体装置 200 の製造工程でも、表面電極 22c の表面を平坦化することができる。また、実施例 2 の方法によれば、層間絶縁膜 20 及びショットキー電極 22b をエッチングガスから保護することができる。

#### 【0046】

なお、上述した実施例 1、2 では、トレンチ型のゲート電極を有する MOSFET とショットキーダイオードを有する半導体装置について説明した。しかしながら、MOSFET の代わりに、トレンチ型のゲート電極を有する IGBT が形成されていてもよい。また、MOSFET の代わりに、トレンチ内に配置された電極を有する pn ダイオードが形成されていてもよい。すなわち、トレンチ内に配置された電極を有する素子と、ショットキー電極を有する様々な半導体装置において、本明細書に開示の技術を適用することができる。

#### 【0047】

また、上述した実施例 1、2 では、ショットキー電極 22b と表面電極 22c が同じ Al によって構成されていたが、これらが異なる材料によって構成されていてもよい。例えば、ショットキー電極 22b を Pd (パラジウム) により構成されていてもよい。

#### 【0048】

次に、本明細書で開示される構成の例について説明する。本明細書で開示される一例の半導体装置では、埋め込み電極に覆われている範囲において、半導体基板の表面と層間絶縁膜の側面の間の角度が 90 度より大きい。

#### 【0049】

このような構成によれば、凹部内に埋め込み電極を好適に形成することができる。

#### 【0050】

本明細書で開示される一例の半導体装置では、埋め込み電極に覆われている範囲において、半導体基板の表面とショットキー電極の側面の間の角度が 90 度より大きい。

#### 【0051】

このような構成によれば、凹部内に埋め込み電極を好適に形成することができる。

#### 【0052】

本明細書で開示される一例の半導体装置では、ショットキー電極と表面電極の間、及び、層間絶縁膜と表面電極の間に、埋め込み電極に対してエッチング選択性を有するバリアメタル層が配置されている。

## 【 0 0 5 3 】

このような構成によれば、ショットキー電極及び層間絶縁膜をエッチング剤から保護することができる。

## 【 0 0 5 4 】

本明細書で開示される一例の半導体装置では、埋め込み電極が、半導体基板に対してオーミック接触している。

## 【 0 0 5 5 】

これにより、ショットキー電極とオーミック電極を有する半導体装置を製造することができる。

## 【 0 0 5 6 】

本明細書で開示される一例の半導体装置の製造方法では、埋め込み電極が、ショットキー電極とは異なる金属により構成される。

## 【 0 0 5 7 】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

## 【 符号の説明 】

## 【 0 0 5 8 】

1 0 : 半導体装置

1 2 : 半導体基板

1 4 : トレンチ

1 6 : ゲート絶縁膜

1 8 : ゲート電極

2 0 : 層間絶縁膜

2 2 : ソース電極

2 2 a : 埋め込み電極

2 2 b : ショットキー電極

2 2 c : 表面電極

2 2 d : バリアメタル層

2 4 : 凹部

2 6 : ドレイン電極

3 0 : ソース領域

3 2 : 上部ボディ領域

3 4 : 中間領域

3 6 : 下部ボディ領域

3 8 : ドリフト領域

4 0 : ドレイン領域

10

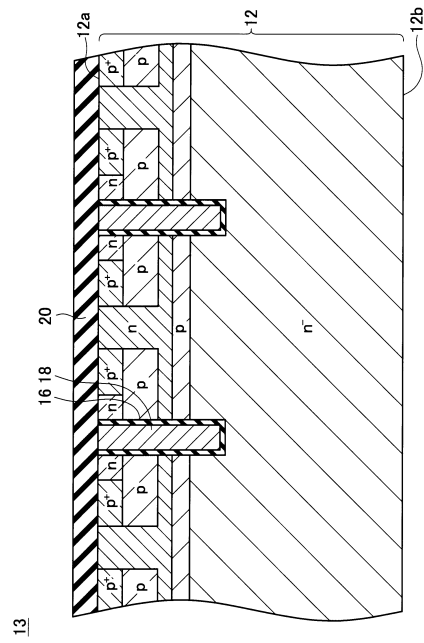
20

30

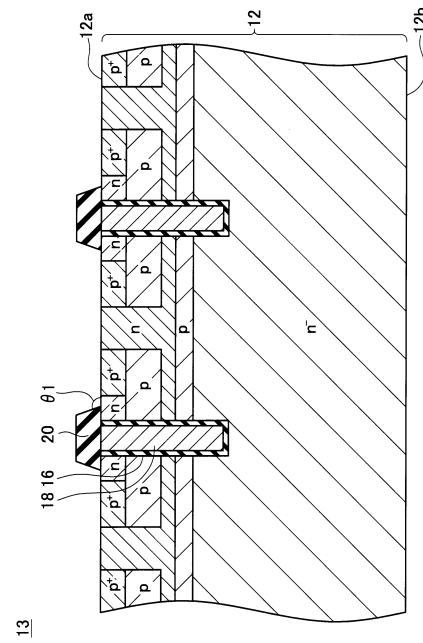
40



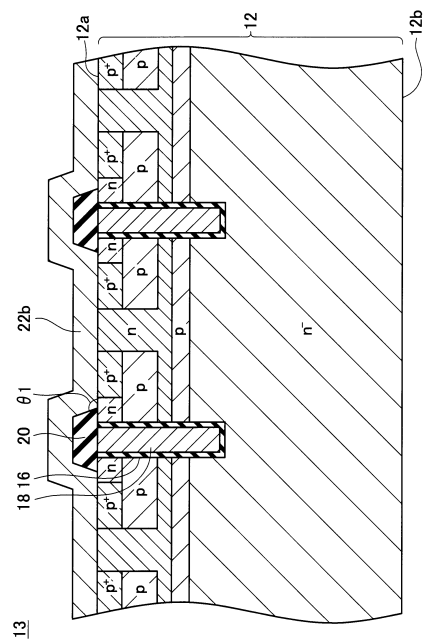
【 図 5 】



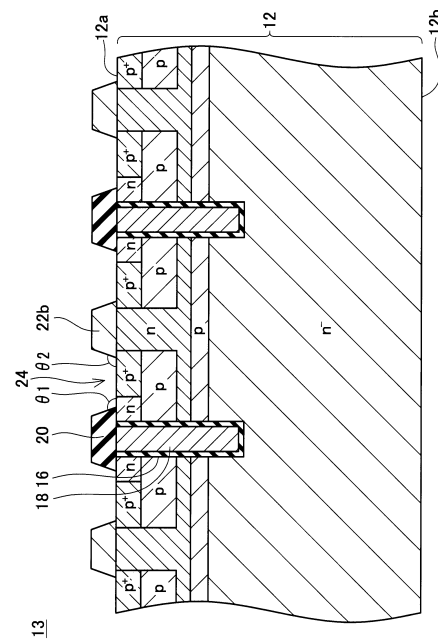
【 図 6 】



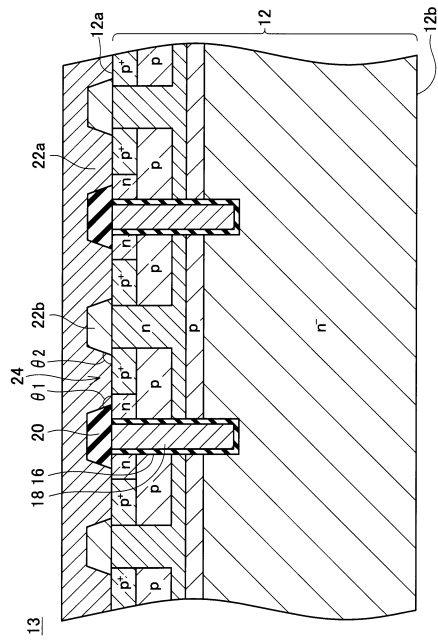
【圖 7】



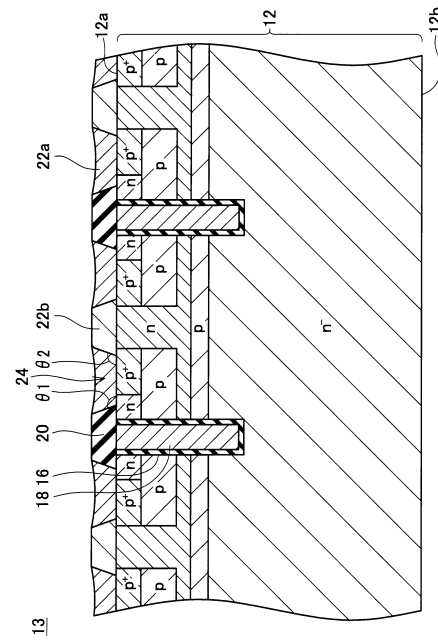
【 図 8 】



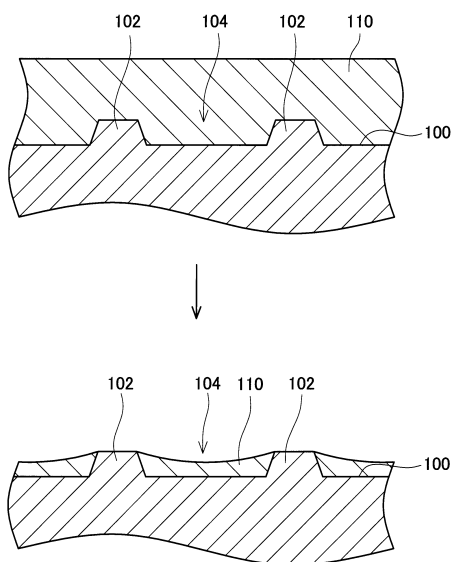
【図 9】



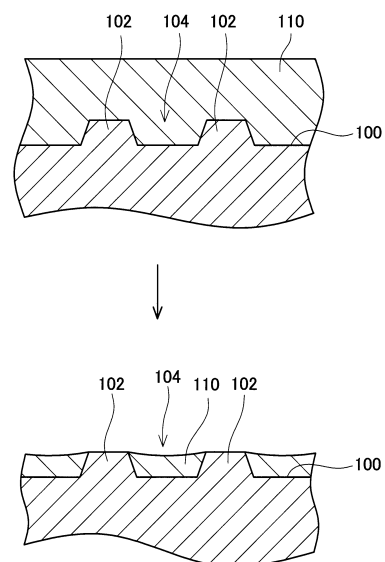
【図 10】



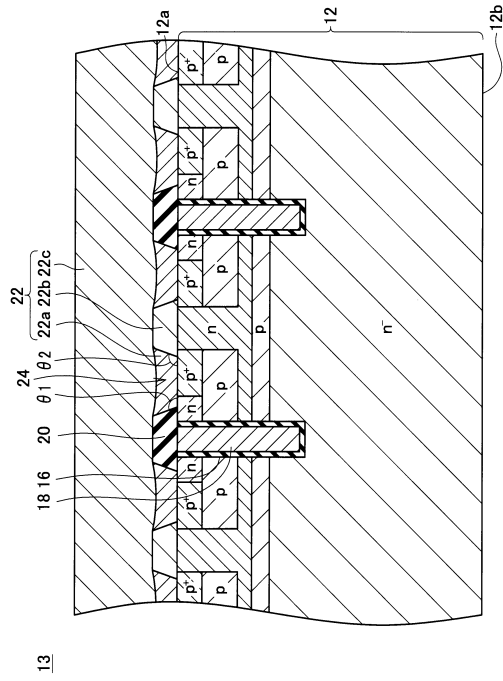
【図 11】



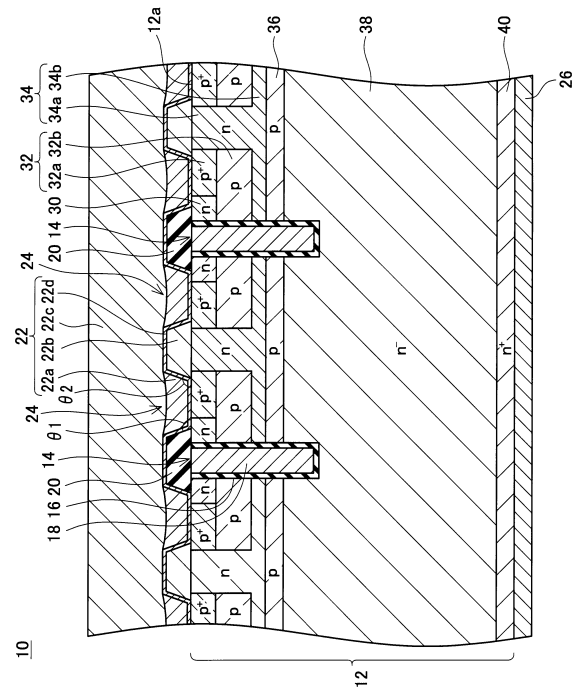
【図 12】



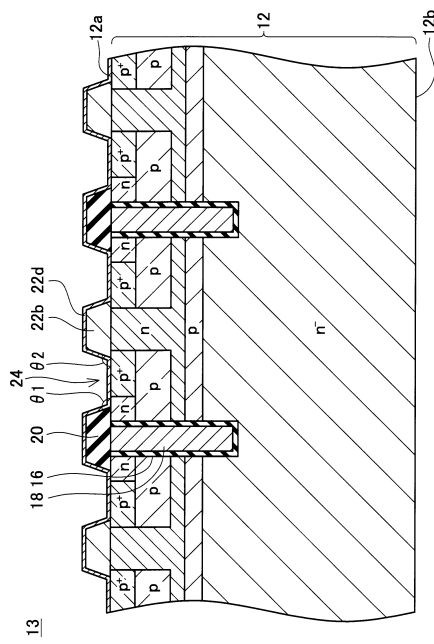
【図 13】



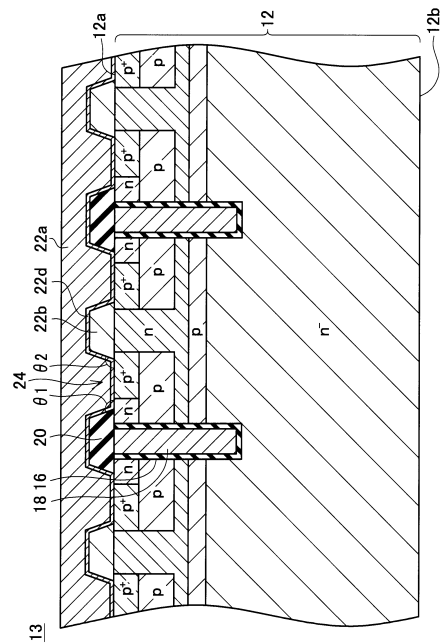
【図 14】



【図 15】



【図 16】





## フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	27/088	(2006.01)	H 0 1 L	29/78	6 5 2 E
H 0 1 L	29/872	(2006.01)	H 0 1 L	29/78	6 5 2 C
H 0 1 L	21/329	(2006.01)	H 0 1 L	27/06	1 0 2 A
H 0 1 L	29/41	(2006.01)	H 0 1 L	27/08	1 0 2 E
H 0 1 L	21/28	(2006.01)	H 0 1 L	29/86	3 0 1 F
H 0 1 L	29/861	(2006.01)	H 0 1 L	29/86	3 0 1 P
H 0 1 L	29/868	(2006.01)	H 0 1 L	29/44	S
			H 0 1 L	21/28	E
			H 0 1 L	29/91	K
			H 0 1 L	29/91	A
			H 0 1 L	29/91	C

- (56) 参考文献 特開 2 0 0 4 - 2 2 1 2 1 8 ( J P , A )  
 米国特許出願公開第 2 0 1 4 / 0 2 3 1 8 2 7 ( U S , A 1 )  
 特開 2 0 1 1 - 1 9 9 0 6 0 ( J P , A )  
 特開 2 0 0 5 - 1 0 1 5 1 4 ( J P , A )  
 特表 2 0 0 6 - 5 0 1 6 6 6 ( J P , A )  
 特開 2 0 1 1 - 0 9 1 2 8 3 ( J P , A )

## (58) 調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8  
 H 0 1 L 2 9 / 8 6 1  
 H 0 1 L 2 9 / 8 6 8  
 H 0 1 L 2 9 / 4 1  
 H 0 1 L 2 9 / 4 2 3  
 H 0 1 L 2 1 / 2 8  
 H 0 1 L 2 1 / 3 2 9  
 H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 7 / 0 6  
 H 0 1 L 2 7 / 0 8 8