



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월08일
(11) 등록번호 10-2200184
(24) 등록일자 2021년01월04일

(51) 국제특허분류(Int. Cl.)
H03M 1/50 (2006.01) H03K 5/1534 (2006.01)
(52) CPC특허분류
H03M 1/50 (2019.01)
H03K 5/1534 (2013.01)
(21) 출원번호 10-2019-0139990
(22) 출원일자 2019년11월05일
심사청구일자 2019년11월05일
(56) 선행기술조사문헌
KR101636610 B1
KR101202742 B1

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
강진구
서울특별시 서초구 양재대로2길 109, 104동 1202호(우면동, 서초호반써밋)
김남훈
서울특별시 강서구 공항대로39길 100, 107동 803호(등촌동, 대림아파트)
(74) 대리인
양성보

전체 청구항 수 : 총 6 항

심사관 : 조준근

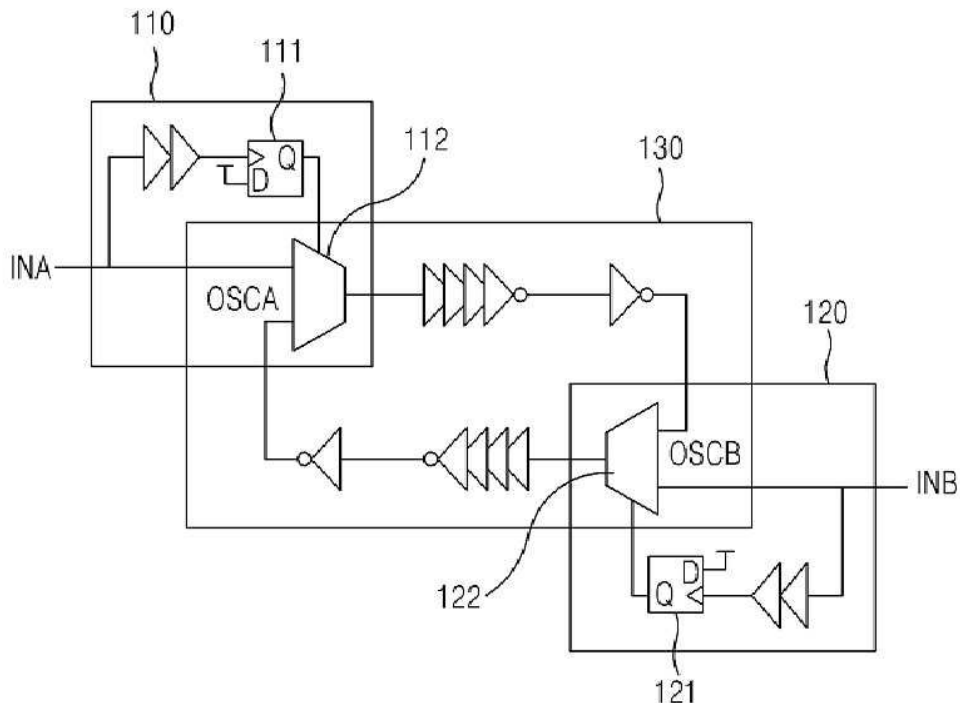
(54) 발명의 명칭 최소 오차범위 시간차 반복 발생 회로

(57) 요약

최소 오차범위 시간차 반복 발생 회로가 제시된다. 본 발명에서 제안하는 최소 오차범위 시간차 반복 발생 회로는 제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부-상기 반복 제어부는 제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로

(뒷면에 계속)

대표도 - 도1



입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성되는 반복 제어부, 제1 입력신호와 제2 입력신호 간의 시간차 정보를 디지털 값으로 변환하여 제1 시간차 정보 및 제2 시간차 정보를 출력하는 시간-디지털 변환부 및 시간-디지털 변환부에 의해 디지털 값으로 변환된 제1 입력신호와 제2 입력신호 간의 제1 시간차 정보 및 제2 시간차 정보 각각의 상승 에지의 차이만을 검출하고, 제1 D-FF 및 제2 D-FF을 리셋 시킴으로써 펄스 형태의 출력으로 변환하는 에지 검출부를 포함한다.

명세서

청구범위

청구항 1

제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부 -상기 반복 제어부는 제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성되는 반복 제어부;

제1 입력신호와 제2 입력신호 간의 시간차 정보를 디지털 값으로 변환하여 제1 시간차 정보 및 제2 시간차 정보를 출력하는 시간-디지털 변환부; 및

시간-디지털 변환부에 의해 디지털 값으로 변환된 제1 입력신호와 제2 입력신호 간의 제1 시간차 정보 및 제2 시간차 정보 각각의 상승 에지의 차이만을 검출하고, 제1 D-FF 및 제2 D-FF을 리셋 시킴으로써 펄스 형태의 출력으로 변환하는 에지 검출부

를 포함하는 시간차 반복 발생 회로.

청구항 2

제1항에 있어서,

반복 제어부는,

미리 정해진 기간 동안 지연된 후 제1 D-FF의 출력이 제1 mux의 선택입력으로 입력되고, 미리 정해진 기간 동안 지연된 후 제2 D-FF의 출력이 제2 mux의 선택입력으로 입력되어 제1 D-FF 및 제2 D-FF의 동작에 따라 제1 입력신호 및 제2 입력신호의 반복 횟수가 제어되는

시간차 반복 발생 회로.

청구항 3

제1항에 있어서,

반복 제어부는,

제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성되는 순환 경로를 서로 다른 위치에서 입력되는 제1 입력신호와 제2 입력신호가 이동하고, 제1 입력신호와 제2 입력신호가 같은 순환경로를 이용함으로써 제1 입력신호와 제2 입력신호 간의 시간차 정보가 순환될 때마다 반복되는

시간차 반복 발생 회로.

청구항 4

삭제

청구항 5

제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부를 통해 제1 입력신호와 제2 입력신호의 입력이 반복되는 단계-상기 반복 제어부는 제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성됨-;

시간-디지털 변환부를 통해 제1 입력신호와 제2 입력신호 간의 시간차 정보를 디지털 값으로 변환하여 제1 시간차 정보 및 제2 시간차 정보를 출력하는 단계; 및

에지 검출부를 통해 시간-디지털 변환부에 의해 디지털 값으로 변환된 제1 입력신호와 제2 입력신호 간의 제1

시간차 정보 및 제2 시간차 정보 각각의 상승 에지의 차이만을 검출하고, 제1 D-FF 및 제2 D-FF을 리셋 시킴으로써 펄스 형태의 출력으로 변환하는 단계

를 포함하는 시간차 반복 발생 회로 동작 방법.

청구항 6

제5항에 있어서,

제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부를 통해 제1 입력신호와 제2 입력신호의 입력이 반복되는 단계는,

미리 정해진 기간 동안 지연된 후 제1 D-FF의 출력이 제1 mux의 선택입력으로 입력되고, 미리 정해진 기간 동안 지연된 후 제2 D-FF의 출력이 제2 mux의 선택입력으로 입력되어 제1 D-FF 및 제2 D-FF의 동작에 따라 제1 입력신호 및 제2 입력신호의 반복 횟수가 제어되는

시간차 반복 발생 회로 동작 방법.

청구항 7

제5항에 있어서,

제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부를 통해 제1 입력신호와 제2 입력신호의 입력이 반복되는 단계는,

제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성되는 순환 경로를 서로 다른 위치에서 입력되는 제1 입력신호와 제2 입력신호가 이동하고, 제1 입력신호와 제2 입력신호가 같은 순환경로를 이용함으로써 제1 입력신호와 제2 입력신호 간의 시간차 정보가 순환될 때마다 반복되는

시간차 반복 발생 회로 동작 방법.

청구항 8

삭제

발명의 설명

기술 분야

[0001] 본 발명은 최소 오차범위 시간차 반복 발생 회로 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 시간-디지털 변환기(Time-to-digital Converter; TDC)는 두 신호의 시간차 정보를 디지털 값으로 변환해 주는 회로이다. 디지털 위상 잠금 루프(Digital Phase Lock Loop; DPLL), 시간-도메인 아날로그 디지털 변환기(Time-Domain ADC), 비행시간(Time-Of-Flight) 측정에 쓰인다. 디지털 구조는 양자화 잡음이 동반되며, TDC의 해상도와 선형성에 의해 지터(Jitter) 혹은 위상잡음(Phase noise)의 크기가 결정된다. TDC의 해상도를 높여주기 위해 지터를 최소화하는 여러 가지 방안이 필요하다.

[0003] 한국등록특허 10-1202742호는 이러한 시간-디지털 변환기 및 변환 방법에 관한 것으로, 시작신호 및 중지신호를 수신하고, 상기 시작신호를 제1시간단위로 지연시켜 n개의 제1지연시작신호를 생성하며, 상기 제1지연시작신호와 중지신호의 논리레벨에 따른 출력비트를 생성하고, 상기 제1지연시작신호 중 하나의 제1지연시작신호를 상기 제1시간단위보다 짧은 시간단위로 지연시킨 제2지연시작신호를 생성하는 코오스 TDC, 상기 코오스 TDC에서 생성된 제2지연시작신호 및 상기 중지신호를 수신하고, 상기 제2지연시작신호와 중지신호의 시간차를 제2시간 단위로 측정하는 파인 TDC를 포함하는 시간-디지털 변환기에 관한 기술을 기재하고 있다.

[0004] 본 발명에서는 지연 라인들의 부정합을 최소화하여 지연시간 차이를 최소화하기 위한 시간 차 반복 회로를 제안한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 양자화 잡음이 동반되고, TDC의 해상도와 선형성에 의해 지터(Jitter) 혹은 위상잡음(Phase noise)의 크기가 결정되는 디지털 구조에서, TDC의 해상도를 높여주기 위해 지터를 최소화 하는 방법 및 장치를 제공하는데 있다.

과제의 해결 수단

[0006] 일 측면에 있어서, 본 발명에서 제안하는 최소 오차범위 시간차 반복 발생 회로는 제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부 -상기 반복 제어부는 제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성되는 반복 제어부, 제1 입력신호와 제2 입력신호 간의 시간차 정보를 디지털 값으로 변환하여 제1 시간차 정보 및 제2 시간차 정보를 출력하는 시간-디지털 변환부 및 시간-디지털 변환부에 의해 디지털 값으로 변환된 제1 입력신호와 제2 입력신호 간의 제1 시간차 정보 및 제2 시간차 정보 각각의 상승 에지의 차이만을 검출하고, 제1 D-FF 및 제2 D-FF를 리셋 시킴으로써 펄스 형태의 출력으로 변환하는 에지 검출부를 포함한다.

반복 제어부는 미리 정해진 기간 동안 지연된 후 제1 D-FF의 출력이 제1 mux의 선택입력으로 입력되고, 미리 정해진 기간 동안 지연된 후 제2 D-FF의 출력이 제2 mux의 선택입력으로 입력되어 제1 D-FF 및 제2 D-FF의 동작에 따라 제1 입력신호 및 제2 입력신호의 반복 횟수가 제어된다.

반복 제어부는 제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성되는 순환 경로를 서로 다른 위치에서 입력되는 제1 입력신호와 제2 입력신호가 이동하고, 제1 입력신호와 제2 입력신호가 같은 순환경로를 이용함으로써 제1 입력신호와 제2 입력신호 간의 시간차 정보가 순환될 때마다 반복된다.

또 다른 일 측면에 있어서, 본 발명에서 제안하는 최소 오차범위 시간차 반복 발생 회로 동작 방법은 제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부를 통해 제1 입력신호와 제2 입력신호의 입력이 반복되는 단계-상기 반복 제어부는 제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성됨-, 시간-디지털 변환부를 통해 제1 입력신호와 제2 입력신호 간의 시간차 정보를 디지털 값으로 변환하여 제1 시간차 정보 및 제2 시간차 정보를 출력하는 단계 및 에지 검출부를 통해 시간-디지털 변환부에 의해 디지털 값으로 변환된 제1 입력신호와 제2 입력신호 간의 제1 시간차 정보 및 제2 시간차 정보 각각의 상승 에지의 차이만을 검출하고, 제1 D-FF 및 제2 D-FF를 리셋 시킴으로써 펄스 형태의 출력으로 변환하는 단계를 포함한다.

제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부를 통해 제1 입력신호와 제2 입력신호의 입력이 반복되는 단계는 미리 정해진 기간 동안 지연된 후 제1 D-FF의 출력이 제1 mux의 선택입력으로 입력되고, 미리 정해진 기간 동안 지연된 후 제2 D-FF의 출력이 제2 mux의 선택입력으로 입력되어 제1 D-FF 및 제2 D-FF의 동작에 따라 제1 입력신호 및 제2 입력신호의 반복 횟수가 제어된다.

제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부를 통해 제1 입력신호와 제2 입력신호의 입력이 반복되는 단계는 제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성되는 순환 경로를 서로 다른 위치에서 입력되는 제1 입력신호와 제2 입력신호가 이동하고, 제1 입력신호와 제2 입력신호가 같은 순환경로를 이용함으로써 제1 입력신호와 제2 입력신호 간의 시간차 정보가 순환될 때마다 반복된다.

[0007] 삭제

[0008] 삭제

[0009] 삭제

[0010] 삭제

발명의 효과

[0011] 본 발명의 실시예들에 따른 시간 차 반복 회로를 통해 디지털 구조에서, TDC의 해상도를 높여주기 위해 지터를 최소화하고, 지연 라인들의 부정합을 최소화하여 지연시간 차이를 최소화할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 최소 오차범위 시간차 반복 발생 회로도이다.

도 2는 본 발명의 일 실시예에 따른 반복 제어부를 나타내는 회로도이다.

도 3은 본 발명의 일 실시예에 따른 에지 검출부를 나타내는 회로도이다.

도 4는 본 발명의 일 실시예에 따른 최소 오차범위 시간차 반복 발생 회로의 동작 방법을 설명하기 위한 흐름도이다.

도 5는 본 발명의 일 실시예에 따른 시뮬레이션 결과 파형이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0015] 도 1은 본 발명의 일 실시예에 따른 최소 오차범위 시간차 반복 발생 회로도이다.

[0016] 제안하는 최소 오차범위 시간차 반복 발생 회로(Time Difference Repetition generation circuit; TDR)는 도 1과 같이 두 입력을 받아 두 출력을 원하는 횟수만큼 반복적으로 얻어내는 시스템이다. 해당 회로는 시간차 반복 회로(130)에 반복 제어부(110, 120), 에지 검출부(도 3에 도시)를 추가적으로 포함하며 기존의 TDR의 성능을 개선하고 불필요한 구조를 제거하였다.

[0017] 제안하는 최소 오차범위 시간차 반복 발생 회로(Time Difference Repetition generation circuit; TDR)는 반복 제어부(110, 120), 시간차 반복회로(130) 및 에지 검출부(도 3에 도시)를 포함한다.

[0018] 반복 제어부(110, 120)는 두 개의 D-FF(111, 121) 및 두 개의 mux(112, 122)를 이용하여 제1 입력신호(INA)와 제2 입력신호(INB) 각각의 반복이 가능하도록 루프를 형성한다.

[0019] 반복 제어부(110, 120)는 제1 입력신호(INA)와 제2 입력신호(INB)가 서로 다른 두 개의 mux(112, 122)를 통해 각각 입력되고, 미리 정해진 기간 동안 지연된 후 두 개의 D-FF(111, 121)이 켜지면서 두 개의 mux(112, 122)의 경로를 바꾸어 제1 입력신호(INA)와 제2 입력신호(INB)가 각각 반복되도록 루프를 형성한다.

다시 말해, 반복 제어부는 제1 D-FF(111) 및 제1 mux(112)를 포함하는 제1 반복 제어부(210)와 제2 D-FF(121) 및 제2 mux(122)를 포함하는 제2 반복 제어부(220)로 구성된다. 반복 제어부(110, 120)는 제1 입력신호(INA)가 제1 mux(112)로 입력된 후, 제1 mux(112)의 출력신호가 제2 mux(122)로 입력되고, 제2 입력신호(INB)는 제2 mux(122)로 입력된 후, 제2 mux(122)의 출력신호가 제1 mux(112)로 입력되어 입력신호의 반복이 가능하도록 루프가 형성된다.

[0020] 반복 제어부(110, 120)는 서로 다른 위치에서 입력되는 제1 입력신호(INA)와 제2 입력신호(INB)가 서로 같은 순환 경로를 이용하도록 하고, 제1 입력신호(INA)와 제2 입력신호(INB) 간의 시간차 정보가 순환될 때마다 지속적으로 반복되도록 한다. 반복 횟수는 두 개의 D-FF(111, 121)의 리셋 신호와 별도의 카운터를 통해 조절할 수 있다.

[0021] 시간차 반복회로(130)는 제1 입력신호(INA)와 제2 입력신호(INB) 간의 시간차 정보를 반복회로와 같은 경로를

통하여 부정합 효과를 제거하고 제1 시간차 정보(OSCA) 및 제2 시간차 정보(OSCB)를 출력한다.

- [0022] 예지 검출부(도 3에 도시)는 시간차 반복회로(130)에 의해 디지털 값으로 변환된 제1 입력신호(INA)와 제2 입력신호(INB) 간의 제1 시간차 정보(OSCA) 및 제2 시간차 정보(OSCB)를 펄스 형태의 출력으로 변환한다. 예지 검출부는 디지털 값으로 변환된 제1 입력신호(INA)와 제2 입력신호(INB) 간의 제1 시간차 정보(OSCA) 및 제2 시간차 정보(OSCB)의 상승 에지의 차이만 검출하고, D-FF을 리셋 시켜 펄스 형태의 출력으로 변환한다. 도 3을 참조하여 예지 검출부에 대해 더욱 상세히 설명한다.
- [0023] 제1 입력신호(INA)와 제2 입력신호(INB)는 각각 첫 번째 mux를 통과한 후, 두 번째 mux를 통과하기 전에 인버터에 의해 0이 된다. 다음 인버터를 지나게 되면, 제1 입력신호(INA)와 제2 입력신호(INB)는 각각 제1 시간차 정보(OSCA) 및 제2 시간차 정보(OSCB)에 해당하는 출력으로 얻어낼 수 있다. 이때 TDR의 두 입력은 하나의 버퍼경로를 공유하며 회전하기 때문에, 기존 펄스-트레인 시간 증폭기(Pulse-train Time-Amplifier)의 버퍼 체인(buffer chain)과 피seudo(pseudo) 또는 게이트(gate)에서 존재하는 지연 부정합과 문턱전압 부정합에 의한 에러를 없앨 수 있다. 시간 증폭을 할 때 기존 회로의 에러가 대략 0.1% 이므로 제안한 회로는 에러가 0.1%이내 나오도록 설계하였다.
- [0025] 도 2는 본 발명의 일 실시예에 따른 반복 제어부를 나타내는 회로도이다.
- [0026] 반복제어부(210, 220)는 도 2와 같이 버퍼단과 D-FF(211, 221) 및 mux(212, 222)로 구성된다. 제1 입력신호(INA)와 제2 입력신호(INB)가 각각 mux(212, 222)를 통해 입력된 후, 일정 시간 동안 지연되면 D-FF(211, 221)이 켜지면서 mux(212, 222)의 경로를 바꾸고, 입력신호의 반복이 가능하도록 루프를 형성한다. 이러한 과정을 통해 서로 다른 위치에서 두 입력이 들어왔지만 순환하는 경로는 서로 같아지게 되고, 두 에지의 시간 간격 역시 회로를 한 바퀴 돌 때마다 지속적으로 반복하게 된다. 반복 횟수는 반복제어부 내의 D-FF의 리셋(Reset)신호와 별도의 카운터를 통해 원하는 횟수만큼 조절이 가능하다.
- [0028] 도 3은 본 발명의 일 실시예에 따른 예지 검출부를 나타내는 회로도이다.
- [0029] 도 3의 예지 검출부는 입력 시간 차의 출력 에지 값 OSCA와 OSCB를 펄스 형태의 출력으로 변환하는 회로이다. 예지 검출부는 상승 에지의 차이만 검출할 수 있도록 설계되었다. OSCA 와 OSCB의 신호에 의해 D-FF을 리셋 시켜 필요한 출력 에지 값을 얻는다.
- [0031] 도 4는 본 발명의 일 실시예에 따른 최소 오차범위 시간차 반복 발생 회로의 동작 방법을 설명하기 위한 흐름도이다.
- [0032] 제안하는 최소 오차범위 시간차 반복 발생 회로의 동작 방법은 제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부를 통해 제1 입력신호와 제2 입력신호의 입력이 반복되는 단계(410), 시간-디지털 변환부를 통해 제1 입력신호와 제2 입력신호 간의 시간차 정보를 디지털 값으로 변환하여 제1 시간차 정보 및 제2 시간차 정보를 출력하는 단계(420) 및 예지 검출부를 통해 시간-디지털 변환부에 의해 디지털 값으로 변환된 제1 입력신호와 제2 입력신호 간의 제1 시간차 정보 및 제2 시간차 정보 각각의 상승 에지의 차이만을 검출하고, 제1 D-FF 및 제2 D-FF을 리셋 시킴으로써 펄스 형태의 출력으로 변환하는 단계(430)를 포함한다.
- [0033] 단계(410)에서, 제1 D-FF 및 제1 mux를 포함하는 제1 반복 제어부와 제2 D-FF 및 제2 mux를 포함하는 제2 반복 제어부로 구성되는 반복 제어부를 통해 제1 입력신호와 제2 입력신호의 입력이 반복된다.
- [0034] 반복 제어부는 반복 제어부는 제1 입력신호가 제1 mux로 입력된 후, 제1 mux의 출력신호가 제2 mux로 입력되고, 제2 입력신호는 제2 mux로 입력된 후, 제2 mux의 출력신호가 제1 mux로 입력되어 입력신호의 반복이 가능하도록 루프가 형성된다.
- 제1 입력신호와 제2 입력신호가 서로 다른 두 개의 mux를 통해 각각 입력되고, 미리 정해진 기간 동안 지연된 후 두 개의 D-FF이 켜지면서 두 개의 mux의 경로를 바꾸어 제1 입력신호와 제2 입력신호가 각각 반복되도록 루프를 형성한다.
- [0035] 반복 제어부는 서로 다른 위치에서 입력되는 제1 입력신호와 제2 입력신호가 서로 같은 순환 경로를 이용하도록 하고, 제1 입력신호와 제2 입력신호 간의 시간차 정보가 순환될 때마다 지속적으로 반복되도록 한다. 반복 횟수는 두 개의 D-FF의 리셋 신호와 별도의 카운터를 통해 조절할 수 있다.
- [0036] 단계(420)에서, 시간-디지털 변환부를 통해 제1 입력신호와 제2 입력신호 간의 시간차 정보를 디지털 값으로 변

환하여 제1 시간차 정보 및 제2 시간차 정보를 출력한다.

- [0037] 단계(430)에서, 에지 검출부를 통해 시간-디지털 변환부에 의해 디지털 값으로 변환된 제1 입력신호와 제2 입력신호 간의 제1 시간차 정보 및 제2 시간차 정보 각각의 상승 에지의 차이만을 검출하고, 제1 D-FF 및 제2 D-FF를 리셋 시킴으로써 펄스 형태의 출력으로 변환한다.
- [0038] 에지 검출부는 디지털 값으로 변환된 제1 입력신호와 제2 입력신호 간의 제1 시간차 정보 및 제2 시간차 정보의 상승 에지의 차이만 검출하고, D-FF를 리셋 시켜 펄스 형태의 출력으로 변환한다.
- [0040] 도 5는 본 발명의 일 실시예에 따른 시뮬레이션(100ps) 결과 파형이다.
- [0041] 도 5(a)는 OSCA, OSCB 신호, 도 5(b)는 10ps의 독립변수 분석, 도 5(c)는 시간 결과의 히스토그램이다. Cadence Spectre 시뮬레이션을 통해 100ps의 시간차를 가진 INA, INB의 두 입력 신호를 mux에 인가하여 동일한 지연경로를 통해 시간을 반복적으로 측정된 결과, 150ns의 측정시간 동안 500MS의 샘플링 주기를 가지며, 평균 0.2ps에 해당하는 오차를 유지할 수 있었다. 최대 유지 가능한 시간차의 범위는 버퍼 체인의 개수에 비례한다. 현재 구성회로의 시간차 범위는 총 버퍼 체인의 1/4에 해당하는 300ps이다. 도 5(a)는 OSCA 와 OSCB 노드에서 나오는 입력 시간차이의 반복된 결과를 나타낸다. 도 5(b)는 OSCA와 OSCB의 신호의 차이에 대하여 300ns 동안의 지연시간 차이를 나타낸 결과이다. 이 결과는 초기 입력한 시간차이를 매개변수해석(Parametric Analysis)을 이용하여 10ps의 상승 에지 간의 간격으로 시뮬레이션 하여 보여주고 있다. 도 5(c)는 도 5(b)에서의 결과값에 대한 히스토그램을 통하여 반복 시간 동안의 입력대비 결과값의 표준편차를 알 수 있다.
- [0043] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0044] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0045] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.
- [0046] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과

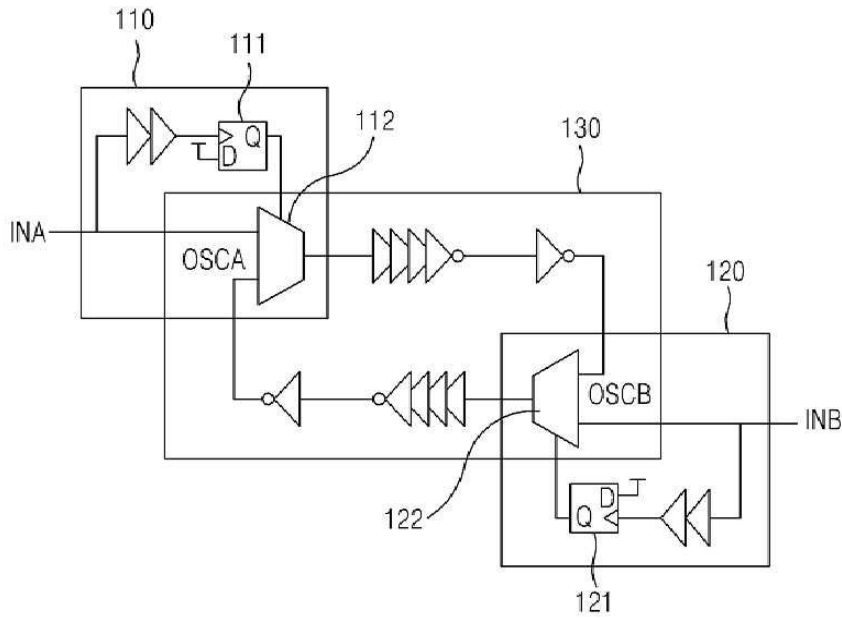
다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0047]

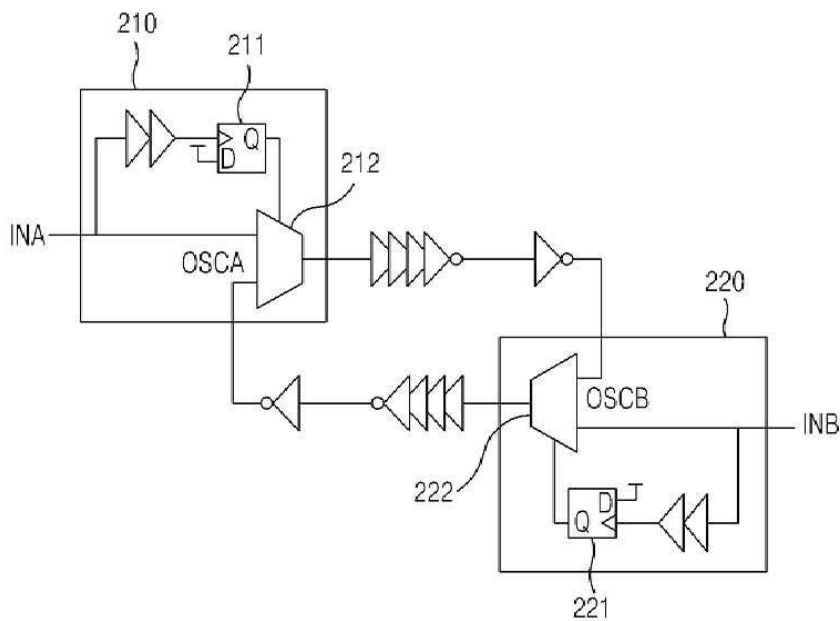
그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

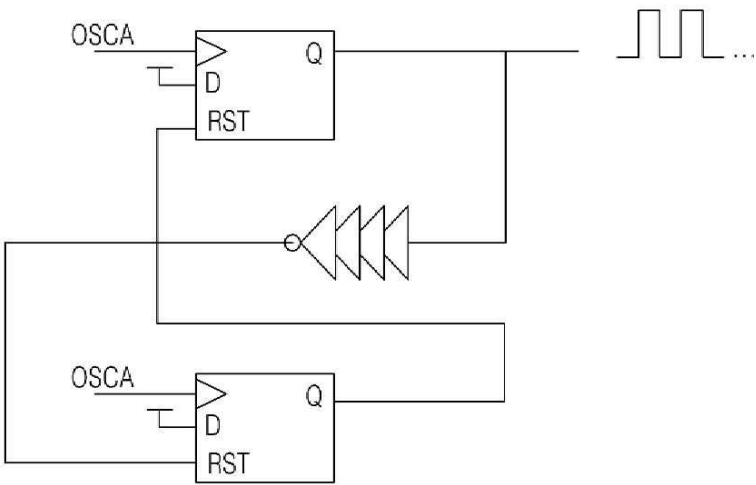
도면1



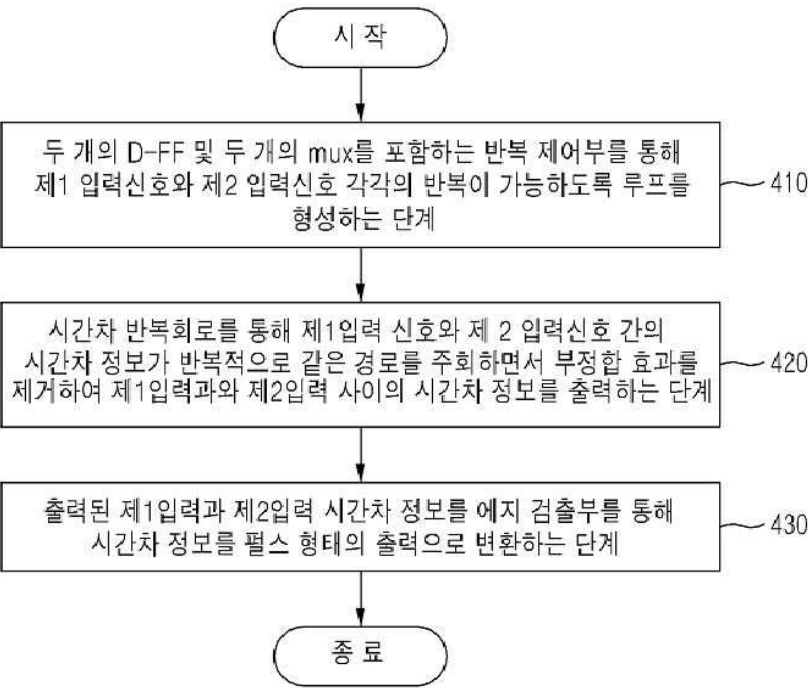
도면2



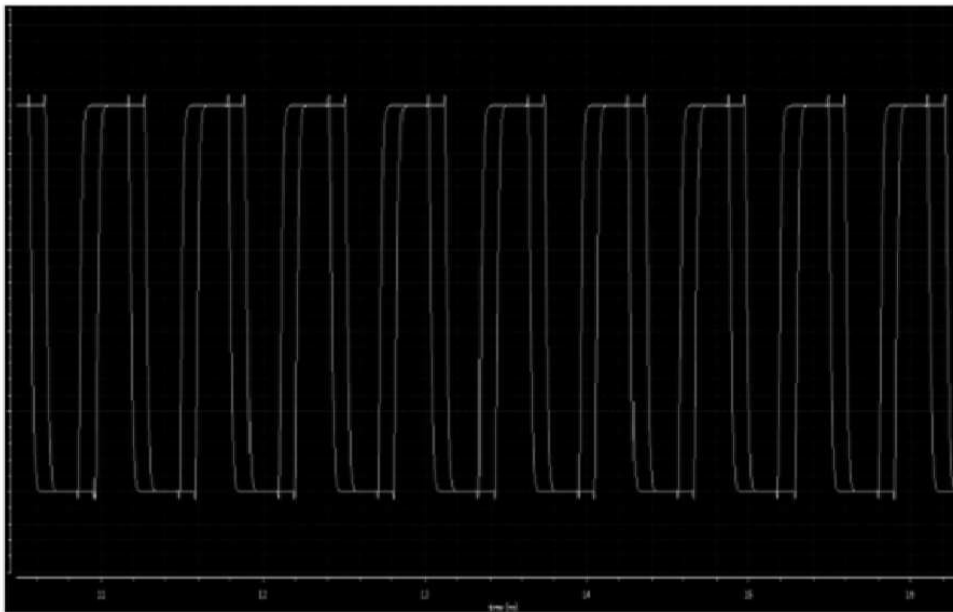
도면3



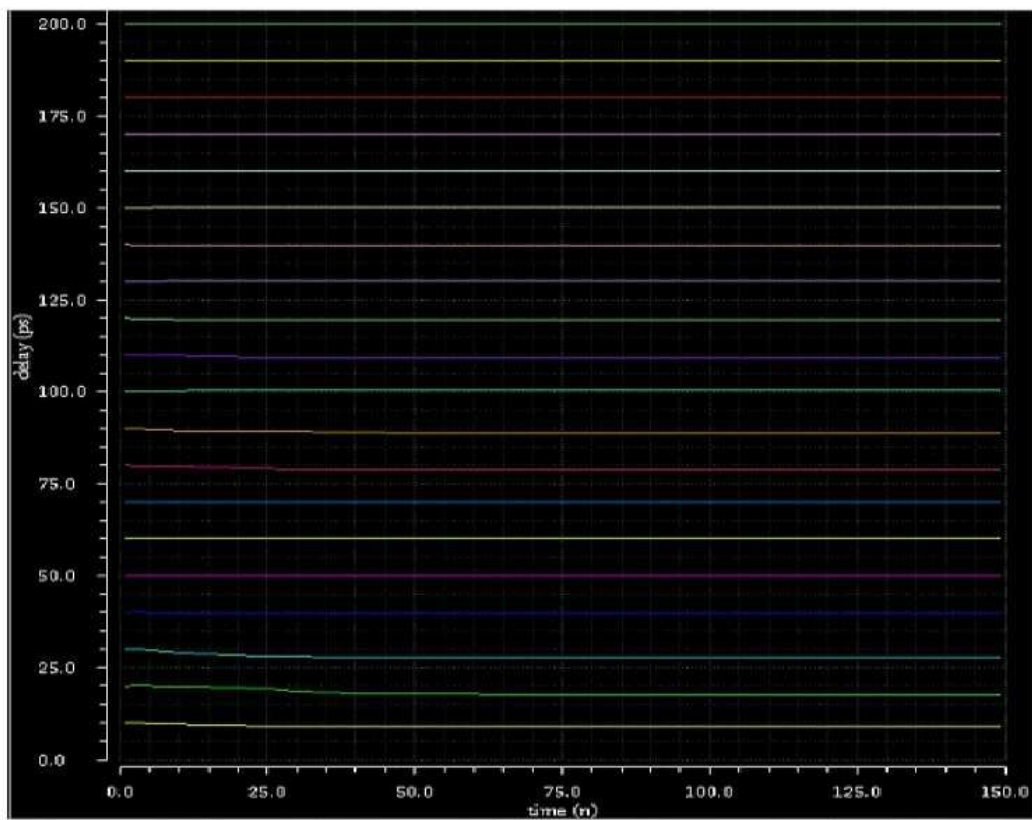
도면4



도면5a



도면5b



도면5c

