

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成28年6月23日(2016.6.23)

【公開番号】特開2014-2133(P2014-2133A)

【公開日】平成26年1月9日(2014.1.9)

【年通号数】公開・登録公報2014-001

【出願番号】特願2013-104618(P2013-104618)

【国際特許分類】

G 0 1 R	19/00	(2006.01)
H 0 1 L	29/786	(2006.01)
H 0 1 L	21/336	(2006.01)
H 0 1 L	21/8234	(2006.01)
H 0 1 L	27/088	(2006.01)
H 0 1 L	21/822	(2006.01)
H 0 1 L	27/04	(2006.01)

【F I】

G 0 1 R	19/00	H
G 0 1 R	19/00	E
H 0 1 L	29/78	6 1 8 B
H 0 1 L	29/78	6 2 3
H 0 1 L	29/78	6 1 8 Z
H 0 1 L	27/08	1 0 2 F
H 0 1 L	27/08	1 0 2 E
H 0 1 L	27/04	H

【手続補正書】

【提出日】平成28年5月10日(2016.5.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

プローブ針と、第1乃至第4のFETと、高電位側の第1の電源線と、低電位側の第2の電源線と、バイアス電位を印加する配線と、を有し、

前記第1のFETのゲートは、前記プローブ針と、前記第2のFETのゲート及びドレインと、前記第3のFETのソースと、に電気的に接続され、

前記第1のFETのドレインは、前記第1の電源線と電気的に接続され、

前記第1のFETのソースは、前記第4のFETのドレインに電気的に接続され、

前記第2のFETのソースは、前記第1の電源線と電気的に接続され、

前記第3のFETのゲート及びドレインは、前記第2の電源線と電気的に接続され、

前記第4のFETのゲートは、前記配線と電気的に接続され、

前記第4のFETのソースは、前記第2の電源線と電気的に接続され、

前記第2のFET及び前記第3のFETは、チャネル形成領域に酸化物半導体膜が用いられていることを特徴とする測定装置。

【請求項2】

プローブ針と、第1乃至第3のFETと、高電位側の電源線と、を有し、

前記第1のFETのゲートは、前記プローブ針と、前記第2のFETのゲート及びドレ

インと、前記第3のFETのソースと、に電気的に接続され、

前記第1のFETのドレインは、前記電源線と電気的に接続され、

前記第1のFETのソースは、前記第3のFETのゲート及びドレインに電気的に接続され、

前記第2のFETのソースは、前記電源線と電気的に接続され、

前記第2のFET及び前記第3のFETは、チャネル形成領域に酸化物半導体膜が用いられていることを特徴とする測定装置。

#### 【請求項3】

プローブ針と、第1乃至第4のFETと、高電位側の第1の電源線と、低電位側の第2の電源線と、バイアス電位を印加する配線と、を有し、

前記第1のFETのゲートは、前記プローブ針と、前記第2のFETのゲート及びドレインと、前記第3のFETのソースと、に電気的に接続され、

前記第1のFETのドレインは、前記第2の電源線と電気的に接続され、

前記第1のFETのソースは、前記第4のFETのドレインに電気的に接続され、

前記第2のFETのソースは、前記第1の電源線と電気的に接続され、

前記第3のFETのゲート及びドレインは、前記第2の電源線と電気的に接続され、

前記第4のFETのゲートは、前記配線と電気的に接続され、

前記第4のFETのソースは、前記第1の電源線と電気的に接続され、

前記第2のFET及び前記第3のFETは、チャネル形成領域に酸化物半導体膜が用いられていることを特徴とする測定装置。

#### 【請求項4】

プローブ針と、第1乃至第3のFETと、低電位側の電源線と、を有し、

前記第1のFETのゲートは、前記プローブ針と、前記第2のFETのゲート及びドレインと、前記第3のFETのソースと、に電気的に接続され、

前記第1のFETのドレインは、前記電源線と電気的に接続され、

前記第1のFETのソースは、前記第2のFETのソースに電気的に接続され、

前記第3のFETのドレインは、前記電源線と電気的に接続され、

前記第2のFET及び前記第3のFETは、チャネル形成領域に酸化物半導体膜が用いられていることを特徴とする測定装置。

#### 【請求項5】

請求項1乃至4のいずれか一項において、

前記第2のFET及び前記第3のFETのオフ時の漏れ電流は、それぞれ $10^{-2} \text{ A}$ 以下であることを特徴とする測定装置。

#### 【請求項6】

請求項1乃至5のいずれか一項において、

前記第1のFETと、前記第2のFET及び前記第3のFETとは、同一の素子基板に積層して設けられていることを特徴とする測定装置。