



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0098757  
(43) 공개일자 2018년09월05일

(51) 국제특허분류(Int. Cl.)  
H01L 27/11582 (2017.01) H01L 27/11573 (2017.01)  
H01L 29/66 (2006.01) H01L 29/78 (2006.01)  
H01L 29/792 (2006.01)

(52) CPC특허분류  
H01L 27/11582 (2013.01)  
H01L 27/11573 (2013.01)

(21) 출원번호 10-2017-0025279  
(22) 출원일자 2017년02월27일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자  
윤수욱  
경기도 수원시 장안구 과장로 53,109동 802호 (정자동, 정자 벽산블루밍)

윤장근  
경기도 화성시 동탄대로22길 30,610동 302호 (영천동, 동탄센트럴자이)  
(뒷면에 계속)

(74) 대리인  
박영우

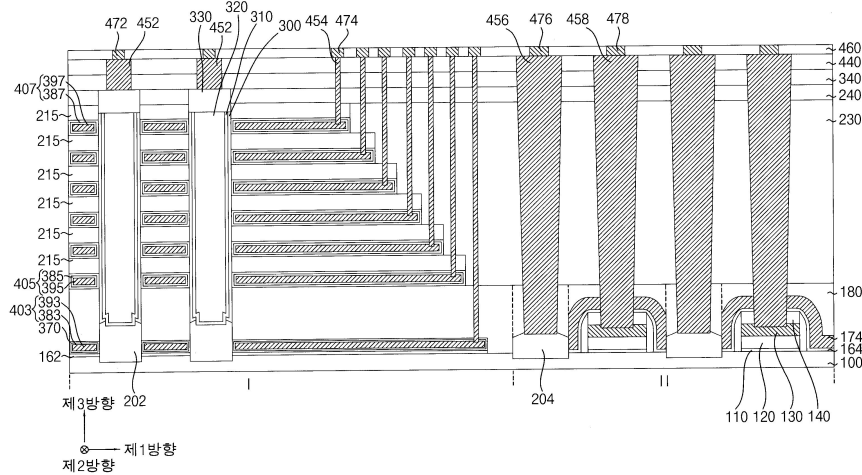
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 수직형 메모리 장치

(57) 요약

수직형 메모리 장치는 셀 영역 및 주변 회로 영역을 포함하는 기관의 상기 주변 회로 영역 상에 형성되어 제1 게이트 전극을 포함하는 게이트 구조물, 상기 기관 상면에 수직인 수직 방향을 따라 상기 기관의 셀 영역 상의 복수의 층들에 순차적으로 형성된 제2 내지 제4 게이트 전극들, 상기 기관의 셀 영역 상에 형성되어 상기 제2 게이트 전극을 관통하는 제1 에피택시얼 층, 상기 제1 에피택시얼 층 상에 상기 수직 방향을 따라 연장되어 상기 제3 및 제4 게이트 전극들을 관통하는 채널, 및 상기 게이트 구조물에 인접한 상기 기관의 주변 회로 영역 상에 형성된 제2 에피택시얼 층을 포함할 수 있다.

대표도



(52) CPC특허분류

*H01L 29/66628* (2013.01)

*H01L 29/7834* (2013.01)

*H01L 29/7926* (2013.01)

(72) 발명자

**임준성**

경기도 용인시 수지구 신봉3로12번길 9,411동 170  
1호 (신봉동, 신봉마을 동일하이빌4단지)

**황성민**

경기도 화성시 동탄지성로 94, 동일하이빌, 508호  
(반송동)

## 명세서

### 청구범위

#### 청구항 1

셀 영역 및 주변 회로 영역을 포함하는 기관의 상기 주변 회로 영역 상에 형성되어 제1 게이트 전극을 포함하는 게이트 구조물;

상기 기관 상면에 수직인 수직 방향을 따라 상기 기관의 셀 영역 상의 복수의 층들에 순차적으로 형성된 제2 내지 제4 게이트 전극들;

상기 기관의 셀 영역 상에 형성되어 상기 제2 게이트 전극을 관통하는 제1 에피택시얼 층;

상기 제1 에피택시얼 층 상에 상기 수직 방향을 따라 연장되어 상기 제3 및 제4 게이트 전극들을 관통하는 채널; 및

상기 게이트 구조물에 인접한 상기 기관의 주변 회로 영역 상에 형성된 제2 에피택시얼 층을 포함하는 수직형 메모리 장치.

#### 청구항 2

제1항에 있어서, 상기 제1 및 제2 에피택시얼 층들은 서로 동일한 물질을 포함하는 수직형 메모리 장치.

#### 청구항 3

제1항에 있어서, 상기 게이트 구조물의 표면 상에 형성되어 질화물을 포함하는 식각 저지 패턴을 더 포함하며, 상기 식각 저지 패턴의 두께는 상기 제2 게이트 전극의 두께보다 큰 수직형 메모리 장치.

#### 청구항 4

제3항에 있어서, 상기 제2 게이트 전극의 적어도 상하면을 커버하는 블로킹 패턴을 더 포함하며,

상기 식각 저지 패턴의 두께는 상기 제2 게이트 전극의 두께, 및 상기 제2 게이트 전극 상하면을 커버하는 상기 블로킹 패턴의 두께의 합과 실질적으로 동일한 수직형 메모리 장치.

#### 청구항 5

제1항에 있어서, 상기 게이트 구조물은 순차적으로 적층된 게이트 절연 패턴, 상기 제1 게이트 전극, 및 게이트 마스크를 포함하며,

상기 제1 게이트 전극은 순차적으로 적층된 제1 폴리실리콘 패턴 및 제1 금속 패턴을 포함하는 수직형 메모리 장치.

#### 청구항 6

제5항에 있어서, 상기 제2 게이트 전극은 순차적으로 적층된 제2 폴리실리콘 패턴 및 제2 금속 패턴을 포함하며,

상기 제1 및 제2 금속 패턴들은 서로 동일한 금속을 포함하는 수직형 메모리 장치.

#### 청구항 7

제6항에 있어서, 상기 제1 및 제2 폴리실리콘 패턴들은 서로 동일한 두께를 가지며, 상기 제1 및 제2 금속 패턴들은 서로 동일한 두께를 갖는 수직형 메모리 장치.

#### 청구항 8

셀 영역 및 주변 회로 영역을 포함하는 기관의 상기 주변 회로 영역 상에 형성되어 제1 게이트 전극을 포함하는 게이트 구조물;

상기 게이트 구조물에 인접한 상기 기관의 주변 회로 영역 상에 형성된 소스/드레인 층;

상기 기관 상면에 수직한 수직 방향을 따라 상기 기관의 셀 영역 상의 복수의 층들에 순차적으로 형성된 제2 내지 제4 게이트 전극들;

상기 기관의 셀 영역 상에 형성되어 상기 제2 게이트 전극을 관통하는 하부 채널; 및

상기 하부 채널 상에 상기 수직 방향을 따라 연장되어 상기 제3 및 제4 게이트 전극들을 관통하는 상부 채널을 포함하며,

상기 하부 채널과 상기 소스/드레인 층은 서로 실질적으로 동일한 물질을 포함하는 수직형 메모리 장치.

**청구항 9**

제8항에 있어서,

상기 게이트 구조물의 표면 상에 형성되어 질화물을 포함하는 식각 저지 패턴; 및

상기 제2 게이트 전극의 적어도 상하면을 커버하는 블로킹 패턴을 더 포함하며,

상기 식각 저지 패턴의 두께는 상기 제2 게이트 전극의 두께, 및 상기 제2 게이트 전극 상하면을 커버하는 상기 블로킹 패턴의 두께의 합과 실질적으로 동일한 수직형 메모리 장치.

**청구항 10**

제8항에 있어서, 상기 게이트 구조물은 순차적으로 적층된 게이트 절연 패턴, 상기 제1 게이트 전극, 및 게이트 마스크를 포함하며,

상기 제1 게이트 전극은 순차적으로 적층된 제1 폴리실리콘 패턴 및 제1 금속 패턴을 포함하고, 상기 제2 게이트 전극은 순차적으로 적층된 제2 폴리실리콘 패턴 및 제2 금속 패턴을 포함하며,

상기 제1 및 제2 금속 패턴들은 서로 동일한 금속을 포함하는 수직형 메모리 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 수직형 메모리 장치에 관한 것이다.

**배경 기술**

[0002] VNAND 플래시 메모리 장치의 셀 영역에서 GSL을 포함하는 트랜지스터의 채널 역할을 수행하는 반도체 패턴을 선택적 에피택시얼 성장(SEG) 공정을 통해 형성할 수 있는데, 주변 회로 영역에 형성되는 트랜지스터의 소스/드레인 층으로서 역시 에피택시얼 층을 형성하는 방법이 요구되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 과제는 우수한 전기적 특성을 갖는 수직형 메모리 장치를 제공하는 것이다.

**과제의 해결 수단**

[0004] 상술한 본 발명의 과제를 달성하기 위하여, 예시적인 실시예들에 따른 수직형 메모리 장치는 셀 영역 및 주변 회로 영역을 포함하는 기관의 상기 주변 회로 영역 상에 형성되어 제1 게이트 전극을 포함하는 게이트 구조물, 상기 기관 상면에 수직한 수직 방향을 따라 상기 기관의 셀 영역 상의 복수의 층들에 순차적으로 형성된 제2 내지 제4 게이트 전극들, 상기 기관의 셀 영역 상에 형성되어 상기 제2 게이트 전극을 관통하는 제1 에피택시얼 층, 상기 제1 에피택시얼 층 상에 상기 수직 방향을 따라 연장되어 상기 제3 및 제4 게이트 전극들을 관통하는 채널, 및 상기 게이트 구조물에 인접한 상기 기관의 주변 회로 영역 상에 형성된 제2 에피택시얼 층을 포함할 수 있다.

[0005] 상술한 본 발명의 과제를 달성하기 위하여, 다른 예시적인 실시예들에 따른 수직형 메모리 장치는 셀 영역 및

주변 회로 영역을 포함하는 기관의 상기 주변 회로 영역 상에 형성되어 제1 게이트 전극을 포함하는 게이트 구조물, 상기 게이트 구조물에 인접한 상기 기관의 주변 회로 영역 상에 형성된 소스/드레인 층, 상기 기관 상면에 수직인 수직 방향을 따라 상기 기관의 셀 영역 상의 복수의 층들에 순차적으로 형성된 제2 내지 제4 게이트 전극들, 상기 기관의 셀 영역 상에 형성되어 상기 제2 게이트 전극을 관통하는 하부 채널, 및 상기 하부 채널 상에 상기 수직 방향을 따라 연장되어 상기 제3 및 제4 게이트 전극들을 관통하는 상부 채널을 포함할 수 있으며, 상기 하부 채널과 상기 소스/드레인 층은 서로 실질적으로 동일한 물질을 포함할 수 있다.

**발명의 효과**

[0006] 전술한 바와 같이 예시적인 실시예들에 따른 수직형 메모리 장치의 제조 공정에서, 셀 영역의 GST의 채널 역할을 수행하는 제1 에피택시얼 층 및 주변 회로 영역의 트랜지스터의 소스/드레인 역할을 수행하는 제2 에피택시얼 층을 하나의 SEG 공정을 통해 형성함으로써, 공정 단순화를 꾀할 수 있다.

**도면의 간단한 설명**

[0007] 도 1 내지 도 10은 예시적인 실시예들에 따른 수직형 메모리 장치의 제조 방법의 단계들을 설명하기 위한 단면도들이다.

도 11 내지 도 14는 예시적인 실시예들에 따른 수직형 메모리 장치의 제조 방법의 단계들을 설명하기 위한 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0008] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 수직형 메모리 장치 및 그 제조 방법에 대하여 상세하게 설명한다.

[0009] 도 1 내지 도 10은 예시적인 실시예들에 따른 수직형 메모리 장치의 제조 방법의 단계들을 설명하기 위한 단면도들이다. 한편, 도 8은 도 7의 X 영역에 대한 확대 단면도이다.

[0010] 이하에서는, 기관 상면에 실질적으로 평행한 수평 방향들 중에서 서로 교차하는 두 방향들을 각각 제1 및 제2 방향들로 정의하고, 상기 기관 상면에 실질적으로 수직인 수직 방향을 제3 방향으로 정의한다. 예시적인 실시예들에 있어서, 상기 제1 및 제2 방향들은 서로 직교할 수 있다.

[0011] 도 1을 참조하면, 제1 및 제2 영역들(I, II)을 포함하는 기관(100)의 제2 영역(II) 상에 제1 게이트 구조물 및 게이트 스페이서(150)를 형성할 수 있다.

[0012] 기관(100)은 실리콘, 게르마늄, 실리콘-게르마늄과 같은 반도체 물질, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 화합물을 포함할 수 있다. 일부 실시예들에 따르면, 기관(100)은 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기관 또는 게르마늄-온-인슐레이터(Germanium-On-Insulator: GOI) 기관일 수 있다.

[0013] 예시적인 실시예들에 있어서, 기관(100)의 제1 및 제2 영역들(I, II)은 각각 셀 영역 및 주변 회로 영역일 수 있다.

[0014] 상기 제1 게이트 구조물은 기관(100) 상에 게이트 절연막, 폴리실리콘 막, 금속막, 및 게이트 마스크 막을 순차적으로 적층하고 이들을 패터닝함으로써 형성될 수 있다. 이에 따라, 상기 제1 게이트 구조물은 순차적으로 적층된 게이트 절연 패턴(110), 제1 폴리실리콘 패턴(120), 제1 금속 패턴(130), 및 제1 게이트 마스크(140)를 포함할 수 있다. 이때, 제1 폴리실리콘 패턴(120) 및 제1 금속 패턴(130)은 제1 게이트 전극을 정의할 수 있다.

[0015] 게이트 스페이서(150)는 상기 제1 게이트 구조물을 커버하는 게이트 스페이서 막을 기관(100) 상에 형성한 후, 이를 이방성 식각함으로써 상기 게이트 스페이서의 측벽에 형성될 수 있다.

[0016] 게이트 절연 패턴(110)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있고, 제1 폴리실리콘 패턴(120)은 p형 불순물 혹은 n형 불순물이 도핑된 폴리실리콘을 포함하도록 형성될 수 있으며, 제1 금속 패턴(130)은 예를 들어, 텅스텐, 탄탈륨, 티타늄 등의 금속을 포함하도록 형성될 수 있고, 제1 게이트 마스크(140)는 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있다. 한편, 게이트 스페이서(150)는 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 이에 따라 제1 게이트 마스크(140) 및/또는 게이트 절연 패턴(110)에 병합될 수도 있다.

[0017] 도 2를 참조하면, 기관(100) 상에 상기 제1 게이트 구조물을 커버하는 제1 절연막 및 식각 저지막을 형성한 후,

이들을 패터닝하여, 기관(100)의 제1 영역(I) 상에 순차적으로 적층된 제1 절연 패턴(162) 및 제1 희생 패턴(172)을 형성하고, 기관(100)의 제2 영역(II) 상에 순차적으로 적층된 제2 절연 패턴(164) 및 식각 저지 패턴(174)을 형성할 수 있다.

- [0018] 예시적인 실시예들에 있어서, 제1 절연 패턴(162) 및 제1 희생 패턴(172)은 상부에서 보았을 때, 기관(100)의 제1 영역(I) 상에 직사각 형상을 갖도록 형성될 수 있으며, 제2 절연 패턴(164) 및 식각 저지 패턴(174)은 상부에서 보았을 때, 기관(100)의 제2 영역(II) 상에서 상기 제1 게이트 구조물을 커버하도록 형성될 수 있다.
- [0019] 상기 제1 절연막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 이에 따라 제1 게이트 마스크(140) 및/또는 게이트 스페이서(150)에 병합될 수도 있다. 상기 식각 저지막은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있다.
- [0020] 이후, 제2 절연 패턴(164) 및 식각 저지 패턴(174)에 의해 커버되지 않은 기관(100)의 제2 영역(II) 상부에 불순물을 주입하여 제1 불순물 영역(도시하지 않음)을 형성할 수 있다.
- [0021] 도 3을 참조하면, 기관(100) 상에 제1 및 제2 절연 패턴들(162, 164), 제1 희생 패턴(172), 및 식각 저지 패턴(174)을 커버하는 제1 층간 절연막(180)을 형성한 후, 기관(100)의 제1 영역(I) 상의 제1 층간 절연막(180) 일부, 및 그 하부의 제1 희생 패턴(172) 및 제1 절연 패턴(162) 부분을 제거하여 기관(100)의 제1 영역(I)을 노출시키는 제1 개구(192)를 형성하고, 기관(100)의 제2 영역(II) 상의 제1 층간 절연막(180) 일부를 제거하여 기관(100)의 제2 영역(II)을 노출시키는 제2 개구(194)를 형성할 수 있다.
- [0022] 즉, 제2 개구(194)는 기관(100)의 제2 영역(II) 상에서 제2 절연 패턴(164) 및 식각 저지 패턴(174)이 형성되지 않은 상기 제1 게이트 구조물에 인접한 제1 층간 절연막(180) 부분을 제거하여 형성될 수 있다.
- [0023] 한편, 제1 개구(192)는 상기 제1 및 제2 방향들을 따라 각각 복수 개로 형성될 수 있으며, 이에 따라 제1 개구 어레이(array)가 정의될 수 있다.
- [0024] 예시적인 실시예들에 있어서, 제1 및 제2 개구들(192, 194)을 형성할 때, 기관(100)의 제1 및 제2 영역들(I, II) 상부도 함께 부분적으로 제거될 수 있다.
- [0025] 이후, 선택적 에피택시얼 성장(Selective Epitaxial Growth: SEG) 공정을 수행하여, 제1 및 제2 개구들(192, 194)을 부분적으로 채우는 제1 및 제2 에피택시얼 층들(202, 204)을 각각 형성할 수 있다.
- [0026] 예시적인 실시예들에 있어서, 상기 선택적 에피택시얼 성장(SEG) 공정은 실리콘 소스 가스, 게르마늄 소스 가스, 식각 가스 및 캐리어 가스를 기관(100) 상으로 공급하여 수행될 수 있다. 상기 선택적 에피택시얼 성장(SEG) 공정은 상기 실리콘 소스 가스로서 예를 들어, 실란( $\text{SiH}_4$ ) 가스, 다이실란( $\text{Si}_2\text{H}_6$ ) 가스, 디클로로실란( $\text{SiH}_2\text{Cl}_2$ ) 가스 등을 사용할 수 있고, 상기 게르마늄 소스 가스로서 예를 들어, 저메인( $\text{GeH}_4$ ) 가스를 사용할 수 있으며, 상기 식각 가스로서 염화수소( $\text{HCl}$ ) 가스를 사용할 수 있고, 상기 캐리어 가스로서 수소( $\text{H}_2$ ) 가스를 사용할 수 있다. 이에 따라, 각 제1 및 제2 에피택시얼 층들(202, 204)로서 단결정의 실리콘-게르마늄 층이 형성될 수 있다.
- [0027] 일 실시예에 있어서, 상기 선택적 에피택시얼 성장(SEG) 공정은 p형 불순물 소스 가스, 예를 들어, 디보란( $\text{B}_2\text{H}_6$ ) 가스를 함께 사용할 수도 있으며, 이에 따라 각 제1 및 제2 에피택시얼 층들(202, 204)로서 p형 불순물이 도핑된 단결정 실리콘-게르마늄 층이 형성될 수도 있다.
- [0028] 이와는 달리, 별도의 도핑 공정에 의해, 제2 에피택시얼 층(204)에만 p형 불순물을 도핑할 수도 있으며, 이에 따라 제2 에피택시얼 층(204)은 피모스(Positive-channel Metal Oxide Semiconductor: PMOS) 트랜지스터의 소스/드레인 영역 역할을 수행할 수 있다.
- [0029] 다른 실시예들에 있어서, 상기 선택적 에피택시얼 성장(SEG) 공정은 실리콘 소스 가스, 탄소 소스 가스, 식각 가스 및 캐리어 가스를 사용하여 수행될 수 있으며, 이에 따라 각 제1 및 제2 에피택시얼 층들(202, 204)로서 단결정 실리콘 탄화물 층이 형성될 수 있다. 상기 선택적 에피택시얼 성장(SEG) 공정에서는, 상기 실리콘 소스 가스로서 예를 들어, 실란( $\text{SiH}_4$ ) 가스, 다이실란( $\text{Si}_2\text{H}_6$ ) 가스, 디클로로실란( $\text{SiH}_2\text{Cl}_2$ ) 가스 등을 사용할 수 있고, 상기 탄소 소스 가스로서 예를 들어,  $\text{SiH}_3\text{CH}_3$  가스를 사용할 수 있으며, 상기 식각 가스로서 염화수소( $\text{HCl}$ ) 가스를 사용할 수 있고, 상기 캐리어 가스로서 수소( $\text{H}_2$ ) 가스를 사용할 수 있다.

- [0030] 이와는 달리, 상기 선택적 에피택시얼 성장(SEG) 공정은 실리콘 소스 가스, 식각 가스 및 캐리어 가스를 사용하여 수행될 수 있으며, 이에 따라 각 제1 및 제2 에피택시얼 층들(202, 204)로서 단결정 실리콘 층이 형성될 수 있다.
- [0031] 일 실시예에 있어서, n형 불순물 소스 가스, 예를 들어, 포스핀(PH3) 가스 등이 함께 사용되어 n형 불순물이 도핑된 단결정 실리콘 탄화물 층 혹은 n형 불순물이 도핑된 단결정 실리콘 층이 형성될 수도 있다.
- [0032] 이와는 달리, 별도의 도핑 공정에 의해, 제2 에피택시얼 층(204)에만 n형 불순물을 도핑할 수도 있으며, 이에 따라 제2 에피택시얼 층(204)은 엔모스(Negative-channel Metal Oxide Semiconductor: NMOS) 트랜지스터의 소스/드레인 영역 역할을 수행할 수 있다.
- [0033] 예시적인 실시예들에 있어서, 제1 에피택시얼 층(202)의 상면은 제2 에피택시얼 층(204)의 상면보다 높을 수 있으나, 본 발명의 개념은 반드시 이에 한정되지는 않는다.
- [0034] 도 4를 참조하면, 제1 및 제2 개구들(192, 194)의 나머지 부분을 채우는 제2 층간 절연막을 제1 및 제2 에피택시얼 층들(202, 204) 및 제1 층간 절연막(180) 상에 형성한 후, 이를 평탄화할 수 있다. 상기 평탄화 공정은 화학 기계적 연마(Cheical Mechanical Polishing: CMP) 공정 및/또는 에치 백(etch back) 공정을 통해 수행될 수 있다.
- [0035] 예시적인 실시예들에 있어서, 상기 제2 층간 절연막은 제1 층간 절연막(180)과 실질적으로 동일한 물질, 예를 들어 실리콘 질화물을 포함하도록 형성할 수 있으며, 이에 따라 제1 층간 절연막(180)에 병합될 수 있다. 이하에서는 상기 제2 층간 절연막은 별도로 표시하지 않기로 한다.
- [0036] 이후, 제1 층간 절연막(180) 상에 희생막(220) 및 제2 절연막(210)을 교대로 반복적으로 적층할 수 있다. 이에 따라, 복수의 희생막들(220) 및 복수의 제2 절연막들(210)이 상기 제3 방향을 따라 교대로 적층될 수 있다. 도 4에는 예시적으로, 6개 층의 제2 절연막들(210) 및 6개 층의 희생막들(220)이 교대로 형성된 것이 도시되어 있으나, 제2 절연막(210) 및 희생막(220)의 개수는 이에 한정되지 않으며, 각각 더 많거나 혹은 더 적은 개수로 형성될 수도 있다.
- [0037] 제2 절연막(210) 및 희생막(220)은, 예를 들어, 화학 기상 증착(Cheical Vapor Deposition: CVD) 공정, 플라즈마 화학 기상 증착(Plasma Enhanced Cheical Vapor Deposition: PECVD) 공정, 원자층 증착(Atomic Layer Deposition: ALD) 공정 등을 통해 형성할 수 있다.
- [0038] 제2 절연막(210)은 예를 들어, 피이-테오스(PE-TEOS), 고밀도 플라즈마(HDP) 산화물 또는 피이오엑스(PEOX) 등과 같은 실리콘 산화물을 포함하도록 형성될 수 있다. 희생막(220)은 제2 절연막(210)에 대해 식각 선택비를 갖는 물질, 예를 들어, 실리콘 질화물을 포함하도록 형성될 수 있다.
- [0039] 도 5를 참조하면, 최상층에 형성된 제2 절연막(210)을 부분적으로 커버하는 포토레지스트 패턴(도시되지 않음)을 최상층 제2 절연막(210) 상에 형성한 후, 이를 식각 마스크로 사용하여 최상층 제2 절연막(210) 및 그 하부의 최상층 희생막(220)을 식각한다. 이에 따라, 최상층 희생막(220) 하부에 형성된 제2 절연막(210)의 일부가 노출될 수 있다. 상기 포토레지스트 패턴의 면적을 일정한 비율로 축소시킨 후, 이를 식각 마스크로 사용하여 최상층 제2 절연막(210), 최상층 희생막(220), 상기 노출된 제2 절연막(210), 및 그 하부의 희생막(220)을 다시 식각하는 트리밍(trimming) 공정을 수행한다. 상기 트리밍 공정을 반복적으로 수행함으로써, 기판(100)의 제1 영역(I) 상에는 순차적으로 적층된 제2 희생 패턴(225) 및 제3 절연 패턴(215)으로 각각 구성되는 복수 개의 계단들을 포함하는 계단 구조물이 형성될 수 있다.
- [0040] 예시적인 실시예들에 있어서, 상기 계단 구조물에 포함된 계단들은 하층에서 상층으로 갈수록 일정한 비율로 감소하는 면적을 가질 수 있다. 또한 상기 계단 구조물의 최하층 계단은 상부에서 보았을 때, 제1 절연 패턴(162) 및 제1 희생 패턴(172)을 포함하는 계단보다 작은 면적을 가질 수 있다.
- [0041] 도 6을 참조하면, 상기 계단 구조물을 커버하는 제3 층간 절연막을 제1 층간 절연막(180) 상에 형성하고, 최상층의 제3 절연 패턴(215)의 상면이 노출될 때까지 상기 제3 층간 절연막을 평탄화함으로써, 상기 계단 구조물의 측면을 커버하는 제3 층간 절연 패턴(230)을 형성할 수 있다.
- [0042] 상기 제3 층간 절연막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 이에 따라 제3 층간 절연 패턴(230)은 제3 절연 패턴(215) 및/또는 제1 층간 절연막(180)과 병합될 수도 있다.
- [0043] 이후, 상기 계단 구조물의 상면 및 제3 층간 절연 패턴(230)의 상면에 제4 층간 절연막(240)을 형성할 수 있다.

- [0044] 제4 층간 절연막(240)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 이에 따라 제3 층간 절연 패턴(230) 및/또는 최상층의 제3 절연 패턴(215)에 병합될 수도 있다.
- [0045] 이후, 제4 층간 절연막(240) 상에 제1 마스크(도시되지 않음)를 형성한 후, 이를 식각 마스크로 사용하여 하부의 제4 층간 절연막(240), 제3 절연 패턴들(215), 제2 희생 패턴들(225), 및 제1 층간 절연막(180)을 식각함으로써, 이들을 적어도 부분적으로 관통하여 기판(100)의 제1 영역(I) 상에 형성된 제1 에피택시얼 층(202) 상면을 노출시키는 채널 홀(hole)(250)을 형성할 수 있다.
- [0046] 채널 홀(250)은 상기 제1 및 제2 방향들을 따라 각각 복수 개로 형성될 수 있으며, 상기 제1 개구 어레이에 대응하여 채널 홀 어레이(array)가 정의될 수 있다.
- [0047] 도 7 및 도 8을 참조하면, 먼저 상기 제1 마스크를 제거한 후, 채널 홀들(250)의 측벽, 제1 에피택시얼 층(202)의 상면, 및 제4 층간 절연막(240)의 상면에 제1 블로킹막, 전하 저장막, 터널 절연막 및 제1 스페이서 막(도시되지 않음)을 순차적으로 형성하고, 상기 제1 스페이서 막을 이방성 식각하여 채널 홀들(250)의 측벽 상에만 잔류하는 제1 스페이서(도시되지 않음)를 형성한 후, 상기 제1 스페이서를 식각 마스크로 사용하여 상기 터널 절연막, 상기 전하 저장막 및 상기 제1 블로킹막을 식각함으로써, 제1 에피택시얼 층(202) 및 채널 홀들(250)의 측벽 상에 저면 중앙부가 뚫린 컵 형상을 갖는 터널 절연 패턴(290), 전하 저장 패턴(280) 및 제1 블로킹 패턴(270)을 각각 형성할 수 있다. 이때, 제1 에피택시얼 층(202)의 상부도 부분적으로 함께 제거될 수 있다. 한편, 터널 절연 패턴(290), 전하 저장 패턴(280) 및 제1 블로킹 패턴(270)은 함께 전하 저장 구조물(300)을 형성할 수 있다.
- [0048] 상기 제1 블로킹막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성할 수 있고, 상기 전하 저장막은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성할 수 있으며, 상기 터널 절연막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성할 수 있고, 상기 제1 스페이서 막은 예를 들어 실리콘 질화물과 같은 질화물을 포함하도록 형성할 수 있다.
- [0049] 상기 제1 스페이서를 제거한 후, 노출된 제1 에피택시얼 층(202), 터널 절연 패턴(290), 및 제4 층간 절연막(240) 상에 채널막을 형성하고, 채널 홀들(250)의 나머지 부분을 충분히 채우는 충전막을 상기 채널막 상에 형성한다.
- [0050] 상기 채널막은 불순물이 도핑되거나 또는 도핑되지 않은 폴리실리콘 혹은 비정질 실리콘을 포함하도록 형성할 수 있다. 상기 채널막이 비정질 실리콘을 포함하도록 형성되는 경우, 이후 레이저 에피택시얼 성장(Laser Epitaxial Growth: LEG) 공정 혹은 고상 에피택시(Solid Phase Epitaxy: SPE) 공정을 추가적으로 수행하여 이를 결정질 실리콘으로 변환시킬 수 있다. 상기 충전막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성할 수 있다.
- [0051] 이후, 제4 층간 절연막(240)의 상면이 노출될 때까지 상기 충전막 및 상기 채널막을 평탄화함으로써, 각 채널 홀들(250)의 나머지 부분을 채우는 충전 패턴(320)을 형성할 수 있으며, 상기 채널막은 채널(310)로 변환될 수 있다.
- [0052] 이에 따라, 각 채널 홀들(250) 내 제1 에피택시얼 층(202) 상에는 전하 저장 구조물(300), 채널(310) 및 충전 패턴(320)이 순차적으로 적층될 수 있다. 이때, 전하 저장 구조물(300)은 저면 중앙부가 뚫린 컵 형상으로 형성될 수 있고, 채널(310)은 컵 형상으로 형성될 수 있으며, 충전 패턴(320)은 필라(pillar) 형상으로 형성될 수 있다.
- [0053] 채널(310)이 형성되는 채널 홀들(250)이 상기 채널 홀 어레이를 정의함에 따라, 채널(310) 역시 이에 대응하여 채널 어레이를 정의할 수 있다. 한편, 채널(310) 하부에 형성되는 제1 에피택시얼 층(202)은 하부 채널로, 채널(310)은 상부 채널로 각각 지칭될 수도 있다.
- [0054] 이후, 충전 패턴(320), 채널(310), 및 전하 저장 구조물(300)로 구성되는 제1 구조물의 상부를 제거하여 트렌치(도시되지 않음)를 형성하고, 상기 트렌치를 채우는 캐핑 패턴(330)을 형성할 수 있다.
- [0055] 구체적으로, 상기 제1 구조물의 상부를 에치 백 공정을 통해 제거하여 상기 트렌치를 형성한 후, 상기 트렌치를 채우는 캐핑막을 상기 제1 구조물 및 제4 층간 절연막(240) 상에 형성하고, 제4 층간 절연막(240)의 상면이 노출될 때까지 상기 캐핑막의 상부를 평탄화하여 캐핑 패턴(330)을 형성할 수 있다. 예시적인 실시예들에 있어서, 상기 캐핑막은 불순물이 도핑되거나 또는 도핑되지 않은 폴리실리콘 혹은 비정질 실리콘을 포함하도록 형성될 수 있으며, 상기 캐핑막이 비정질 실리콘을 포함하도록 형성되는 경우, 이를 결정화시키는 공정이 추가적으로

수행될 수도 있다.

- [0056] 한편, 각 채널 홀들(250) 내부에 형성되는 상기 제1 구조물, 제1 에피택시얼 층(202) 및 캐핑 패턴(330)은 제2 구조물을 정의할 수 있다.
- [0057] 도 9를 참조하면, 제4 층간 절연막(240) 및 캐핑 패턴(330) 상에 제5 층간 절연막(340)을 형성한다. 제5 층간 절연막(340) 상에 제2 마스크(도시되지 않음)를 형성한 후, 이를 식각 마스크로 사용하여 하부의 제4 및 제5 층간 절연막들(240, 340), 제3 절연 패턴들(215), 및 제2 희생 패턴들(225)을 관통하는 제3 개구(도시하지 않음)를 형성하여 기판(100) 상면을 노출시킨다. 제5 층간 절연막(340)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 이에 따라 하부의 제4 층간 절연막(240)에 병합될 수도 있다.
- [0058] 예시적인 실시예들에 있어서, 상기 제3 개구는 기판(100)의 제1 영역(I) 상에서 상기 제1 방향을 따라 연장되도록 형성될 수 있으며, 이에 따라 상기 제2 방향을 따라 복수 개로 형성될 수 있다.
- [0059] 상기 제2 마스크를 제거한 후, 상기 제3 개구에 의해 노출된 제1 및 제2 희생 패턴들(172, 225)을 제거하여, 각 층의 제3 절연 패턴들(215) 사이 및 제1 절연 패턴(162)과 제1 층간 절연막(180) 사이에 갭(도시하지 않음)을 형성할 수 있으며, 상기 갭에 의해 제1 블로킹 패턴(270)의 외측벽 일부 및 제1 에피택시얼 층(202)의 측벽 일부가 노출될 수 있다. 예시적인 실시예들에 따르면, 인산 혹은 황산을 포함하는 식각액을 사용하는 습식 식각 공정을 통해 상기 제3 개구에 의해 노출된 제1 및 제2 희생 패턴들(172, 225)을 제거할 수 있다.
- [0060] 이후, 노출된 제1 블로킹 패턴(270)의 외측벽, 노출된 제1 에피택시얼 층(202)의 측벽, 상기 갭의 내벽, 제1 및 제3 절연 패턴들(162, 215)의 표면, 노출된 기판(100) 상면, 및 제5 층간 절연막(340)의 상면에 제2 블로킹막(370)을 형성하고, 제2 블로킹 막(370) 상에 게이트 배리어막을 형성한 후, 상기 갭의 나머지 부분을 충분히 채우는 게이트 도전막을 상기 게이트 배리어막 상에 형성한다.
- [0061] 제2 블로킹 막(370)은 예를 들어, 알루미늄 산화물, hafnium 산화물, lanthan 산화물, lanthan hafnium 산화물, hafnium 산화물, hafnium hafnium 산화물, 티타늄 산화물, tantalum 산화물, zirconium 산화물 등의 금속 산화물을 포함하도록 형성될 수 있다. 상기 게이트 도전막은 예를 들어, 텅스텐, 티타늄, tantalum, 백금 등의 전기 저항이 낮은 금속을 포함하도록 형성될 수 있다. 상기 게이트 배리어막은 예를 들어, 티타늄 질화물, tantalum 질화물 등의 금속 질화물을 포함하도록 형성될 수 있다. 이와는 달리, 상기 게이트 배리어막은 금속을 포함하는 제1 층 및 금속 질화물을 포함하는 제2 층으로 구성될 수도 있다.
- [0062] 이후, 상기 게이트 도전막 및 상기 게이트 배리어막을 부분적으로 제거하여, 상기 갭 내부에 각각 게이트 도전 패턴 및 게이트 배리어 패턴을 형성할 수 있으며, 이들은 함께 셀 게이트 전극을 형성할 수 있다. 예시적인 실시예들에 따르면, 상기 게이트 도전막 및 상기 게이트 배리어막은 습식 식각 공정을 통해 부분적으로 제거될 수 있다.
- [0063] 예시적인 실시예들에 있어서, 상기 셀 게이트 전극은 상기 제1 방향으로 연장될 수 있으며, 상기 제2 방향을 따라 복수 개로 형성될 수 있다. 즉, 상기 제1 방향으로 연장되는 상기 각 복수 개의 셀 게이트 전극들은 상기 제3 개구에 의해 상기 제2 방향으로 서로 이격될 수 있다.
- [0064] 상기 셀 게이트 전극 중에서 상기 제1 방향으로의 각 말단 부분은 패드(pad)로 지칭될 수도 있다. 즉, 상기 셀 게이트 전극은 상기 제3 방향을 따라 서로 이격되도록 복수 개로 적층될 수 있으며, 또한 각 셀 게이트 전극들은 기판(100)의 제1 영역(I) 상에서 상기 제1 방향으로 연장될 수 있다. 이때, 상기 셀 게이트 전극들의 상기 제1 방향으로의 길이는 상부로 갈수록 점차 작아질 수 있으며, 이에 따라 이들은 전체적으로 계단 형상을 가질 수 있다.
- [0065] 상기 셀 게이트 전극은 상기 제3 방향을 따라 순차적으로 형성된 제2 내지 제4 게이트 전극들(403, 405, 407)을 포함할 수 있다. 이때, 제2 게이트 전극(403)은 그라운드 선택 라인(Ground Selection Line: GSL) 역할을 수행할 수 있고, 제3 게이트 전극(405)은 워드 라인 역할을 수행할 수 있으며, 제4 게이트 전극(407)은 스트링 선택 라인(String Selection Line: SSL) 역할을 수행할 수 있다. 이때, 제2 게이트 전극(403)은 최하층에 형성될 수 있으며, 각 제3 및 제4 게이트 전극들(405, 407)은 제2 게이트 전극(403) 상에서 1개 혹은 복수 개의 층들에 형성될 수 있다. 예시적인 실시예들에 있어서, 제4 게이트 전극(407)은 최상층 및 그 하부의 1개의 층에 형성될 수 있으며, 제3 게이트 전극(405)은 제2 게이트 전극(403) 및 제4 게이트 전극(407) 사이에서 짝수 개의 층들에 형성될 수 있다.
- [0066] 이에 따라, 제2 게이트 전극(403)은 제1 에피택시얼 층(202)에 인접하여 형성될 수 있고, 각 제3 및 제4 게이트

전극들(405, 407)은 채널(310)에 인접하여 형성될 수 있다. 즉, 제1 에피택시얼 층(202)은 제2 게이트 전극(203)을 관통하여 이를 포함하는 그라운드 선택 트랜지스터(GST)의 채널 역할을 수행할 수 있으며, 채널(310)은 제3 및 제4 게이트 전극들(405, 407)을 관통하여 셀 트랜지스터 및 스트링 선택 트랜지스터(SST)의 채널 역할을 수행할 수 있다.

- [0067] 제2 게이트 전극(403)은 제2 게이트 도전 패턴(393) 및 이의 상하면 및 측벽 일부를 커버하는 제2 게이트 배리어 패턴(383)을 포함할 수 있고, 제3 게이트 전극(405)은 제3 게이트 도전 패턴(395) 및 이의 상하면 및 측벽 일부를 커버하는 제3 게이트 배리어 패턴(385)을 포함할 수 있으며, 제4 게이트 전극(407)은 제4 게이트 도전 패턴(397) 및 이의 상하면 및 측벽 일부를 커버하는 제4 게이트 배리어 패턴(387)을 포함할 수 있다.
- [0068] 이후, 상기 제3 개구에 의해 노출된 기판(100) 상부에 불순물을 주입하여 제2 불순물 영역(도시하지 않음)을 형성할 수 있다. 예시적인 실시예들에 따르면, 상기 불순물은 인, 비소와 같은 n형 불순물을 포함할 수 있다.
- [0069] 이후, 상기 제3 개구에 의해 노출된 기판(100) 상면, 상기 제3 개구의 측벽, 및 제5 층간 절연막(340) 상면에 제2 스페이서 막(도시되지 않음)을 형성한 후, 상기 제2 스페이서 막을 이방성 식각함으로써, 상기 제3 개구의 측벽 상에 제2 스페이서(도시하지 않음)를 형성할 수 있다. 이에 따라 기판(100) 상부에 형성된 상기 제2 불순물 영역의 일부가 노출될 수 있다. 상기 제2 스페이서 막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성할 수 있다.
- [0070] 이후, 노출된 상기 제2 불순물 영역 상에 상기 제3 개구의 나머지 부분을 채우는 공통 소스 라인(Common Source Line: CSL)(도시하지 않음)을 형성할 수 있다.
- [0071] 예시적인 실시예들에 따르면, 상기 제3 개구를 채우는 도전막을 상기 노출된 제2 불순물 영역 상면, 상기 제2 스페이서, 및 제5 층간 절연막(340) 상에 형성한 후, 제5 층간 절연막(340)의 상면이 노출될 때까지 상기 도전막 상부를 평탄화함으로써, 상기 공통 소스 라인(CSL)을 형성할 수 있다. 이때, 제5 층간 절연막(340) 상면에 형성된 상기 제2 블로킹 막 부분도 함께 제거될 수 있다. 상기 도전막은 금속, 금속 질화물 및/또는 금속 실리콘 사이드를 포함하도록 형성될 수 있다.
- [0072] 상기 공통 소스 라인(CSL)은 상기 제3 개구 내에 형성되어 하부의 상기 제2 불순물 영역 상면에 접촉할 수 있다.
- [0073] 도 10을 참조하면, 제5 층간 절연막(340), 상기 공통 소스 라인(CSL), 상기 제2 스페이서 및 제2 블로킹 막(370) 상에 제6 층간 절연막(440)을 형성한 후, 제5 및 제6 층간 절연막들(340, 440)을 관통하여 캐핑 패턴들(330) 상면에 각각 접촉하는 제1 콘택 플러그들(452)을 형성할 수 있고, 제4 내지 제6 층간 절연막들(240, 340, 440), 제3 절연 패턴(215), 제2 블로킹 막(370), 및 게이트 배리어 패턴들(383, 385, 387)을 관통하여 게이트 도전 패턴들(393, 395, 397)의 상면에 각각 접촉하는 제2 콘택 플러그들(454)을 형성할 수 있으며, 제1 층간 절연막(180), 제3 층간 절연 패턴(230), 및 제4 내지 제6 층간 절연막들(240, 340, 440)을 관통하여 제2 에피택시얼 층(204) 상면에 접촉하는 제3 콘택 플러그(456)를 형성할 수 있고, 제1 층간 절연막(180), 제3 층간 절연 패턴(230), 및 제4 내지 제6 층간 절연막들(240, 340, 440), 식각 저지 패턴(174), 제2 절연 패턴(164), 및 제1 게이트 마스크(140)을 관통하여 제1 금속 패턴(130) 상면에 접촉하는 제4 콘택 플러그(458)를 형성할 수 있다.
- [0074] 이때, 각 제2 콘택 플러그들(454)은 상기 계단 형상의 각 패드들 상에 형성될 수 있다. 즉, 각 제2 콘택 플러그들(454)은 상층 패드들에 의해 커버되지 않는 각 패드들 부분 상에 형성될 수 있다.
- [0075] 제6 층간 절연막(440)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 이에 따라 하부의 제5 층간 절연막(340)에 병합될 수도 있다. 제1 내지 제4 콘택 플러그들(452, 454, 456, 458)은 예를 들어, 텅스텐, 티타늄, 탄탈륨, 구리, 알루미늄 등의 금속 및/또는 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물 등의 금속 질화물을 포함하도록 형성될 수 있다.
- [0076] 이후, 제6 층간 절연막(440), 및 제1 내지 제4 콘택 플러그들(452, 454, 456, 458) 상에 제7 층간 절연막(460)을 형성하고, 이를 관통하여 제1 내지 제4 콘택 플러그들(452, 454, 456, 458) 상면에 각각 접촉하는 제1 내지 제4 배선들(472, 474, 476, 478)을 각각 형성함으로써 상기 수직형 메모리 장치를 완성할 수 있다.
- [0077] 예시적인 실시예들에 있어서, 제1 배선(472)은 상기 제2 방향으로 연장될 수 있으며, 상기 수직형 메모리 장치의 비트 라인 역할을 수행할 수 있다.
- [0078] 제7 층간 절연막(460)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 이에 따라 하부의 제6 층간 절연막(440)에 병합될 수도 있다. 또한, 제1 내지 제4 배선들(472, 474, 476, 478)은 예를 들

어, 텅스텐, 티타늄, 탄탈륨, 구리, 알루미늄 등의 금속 및/또는 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물 등의 금속 질화물을 포함하도록 형성될 수 있다.

- [0079] 전술한 바와 같이, 예시적인 실시예들에 따른 상기 수직형 메모리 장치의 제조 공정에서, 셀 영역에서 GST의 채널 역할을 수행하는 제1 에피택시얼 층(202)과 주변 회로 영역에서 트랜지스터의 소스/드레인 역할을 수행하는 제2 에피택시얼 층(204)을 하나의 선택적 에피택시얼 성장(SEG)을 통해 형성할 수 있다. 이에 따라, 전체 공정이 단순해질 수 있다.
- [0080] 한편, 전술한 공정을 통해 제조된 수직형 메모리 장치는 기판(100)의 상기 주변 회로 영역 상에 형성되어 제1 게이트 전극(120, 130)을 포함하는 상기 제1 게이트 구조물, 기판(100)의 상기 셀 영역 상에 형성되어 제2 게이트 전극(403)을 관통하는 제1 에피택시얼 층(202), 제1 에피택시얼 층(202) 상에 수직 방향을 따라 연장되어 제3 및 제4 게이트 전극들(405, 407)을 관통하는 채널(310), 및 상기 제1 게이트 구조물에 인접한 기판(100)의 상기 주변 회로 영역 상에 형성된 제2 에피택시얼 층(204)을 포함할 수 있다.
- [0081] 이때, 제1 및 제2 에피택시얼 층들(202, 204)은 동일한 SEG 공정을 통해 형성되므로 실질적으로 서로 동일한 물질을 포함할 수 있다.
- [0082] 한편, 상기 수직형 메모리 장치는 상기 제1 게이트 구조물의 표면 상에 형성된 식각 저지 패턴(174)을 더 포함할 수 있다. 기판(100)의 제2 영역(II) 상에 형성되는 식각 저지 패턴(174)은 기판(100)의 제1 영역(I) 상에 형성되는 제1 희생 패턴(172)과 동일한 공정을 통해 동일한 두께로 형성되므로, 제1 희생 패턴(172)을 제거하여 형성되는 상기 갭을 채우는 제2 게이트 전극(403) 및 이의 상하면을 커버하는 제2 블로킹 패턴(370)의 두께의 합은 식각 저지 패턴(174)의 두께와 실질적으로 동일할 수 있다.
- [0083] 도 11 내지 도 14는 예시적인 실시예들에 따른 수직형 메모리 장치의 제조 방법의 단계들을 설명하기 위한 단면도들이다. 상기 제조 방법은 도 1 내지 도 10을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 포함하므로, 이에 대한 자세한 설명은 생략한다.
- [0084] 도 11을 참조하면, 제1 및 제2 영역들(I, II)을 포함하는 기판(100)의 제2 영역(II) 상에 상기 제1 게이트 구조물 및 게이트 스페이서(150)를 형성할 수 있으며, 또한 기판(100)의 제1 영역(I) 상에 제2 게이트 구조물을 형성할 수 있다.
- [0085] 구체적으로, 기판(100) 상에 게이트 절연막, 폴리실리콘 막, 금속막, 및 게이트 마스크 막을 순차적으로 적층하고 이들을 패터닝함으로써, 기판(100)의 제2 영역(II) 상에 순차적으로 적층된 게이트 절연 패턴(110), 제1 폴리실리콘 패턴(120), 제1 금속 패턴(130), 및 제1 게이트 마스크(140)를 포함하는 상기 제1 게이트 구조물을 형성할 수 있으며, 기판(100)의 제2 영역(II) 상에 순차적으로 적층된 제4 절연 패턴(115), 제2 폴리실리콘 패턴(125), 제2 금속 패턴(135), 및 제2 게이트 마스크(145)를 포함하는 상기 제2 게이트 구조물을 형성할 수 있다.
- [0086] 이때, 상기 제1 게이트 구조물은 순차적으로 적층된 제1 폴리실리콘 패턴(120) 및 제1 금속 패턴(130)을 포함하는 상기 제1 게이트 전극을 포함할 수 있으며, 상기 제2 게이트 구조물은 순차적으로 적층된 제2 폴리실리콘 패턴(125) 및 제2 금속 패턴(135)을 포함하는 제5 게이트 전극을 포함할 수 있다.
- [0087] 한편, 상기 제2 게이트 구조물 내에는 기판(100) 상면을 노출시키는 제4 개구가 형성될 수 있으며, 상기 제4 개구는 도 3을 참조로 설명한 제1 개구(192)와 같이 상기 제1 및 제2 방향들을 따라 각각 복수 개로 형성되어 제4 개구 어레이를 형성할 수 있다.
- [0088] 이후, 기판(100)의 제2 영역(II) 상에 형성된 상기 제1 게이트 구조물의 측벽에 게이트 스페이서(150)를 더 형성할 수 있다.
- [0089] 도 12를 참조하면, 도 2를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0090] 다만, 기판(100)의 제1 영역(I) 상에는 제1 절연 패턴(162) 및 제1 희생 패턴(172)이 형성되지 않으며, 기판(100)의 제2 영역(II) 상에만 상기 제2 게이트 구조물을 커버하는 제2 절연 패턴(164) 및 식각 저지 패턴(174)이 순차적으로 형성될 수 있다.
- [0091] 이후, 제2 절연 패턴(164) 및 식각 저지 패턴(174)에 의해 커버되지 않은 기판(100)의 제2 영역(II) 상부에 불순물을 주입하여 제1 불순물 영역(도시하지 않음)을 형성할 수 있다.
- [0092] 도 13을 참조하면, 도 3을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.

- [0093] 이에 따라, 기관(100) 상에 상기 제1 및 제2 게이트 구조물들, 제2 절연 패턴(164), 및 식각 저지 패턴(174)을 커버하는 제1 층간 절연막(180)을 형성한 후, 기관(100)의 제1 영역(I) 상의 제1 층간 절연막(180) 일부를 제거하여 기관(100)의 제1 영역(I)을 노출시키는 제1 개구(192)를 형성하고, 기관(100)의 제2 영역(II) 상의 제1 층간 절연막(180) 일부를 제거하여 기관(100)의 제2 영역(II)을 노출시키는 제2 개구(194)를 형성할 수 있다.
- [0094] 즉, 제1 개구(192)는 상기 제2 게이트 구조물 내에 형성된 상기 제3 개구에 오버랩되는 위치에 형성될 수 있으며, 제2 개구(194)는 기관(100)의 제2 영역(II) 상에서 제2 절연 패턴(164) 및 식각 저지 패턴(174)이 형성되지 않은 상기 제2 게이트 구조물에 인접한 제1 층간 절연막(180) 부분을 제거하여 형성될 수 있다.
- [0095] 이후, 선택적 에피택시얼 성장(SEG) 공정을 수행하여, 제1 및 제2 개구들(192, 194)을 부분적으로 채우는 제1 및 제2 에피택시얼 층들(202, 204)을 각각 형성할 수 있다.
- [0096] 한편, 제1 층간 절연막(180)은 기관(100)의 제1 영역(I) 상에 형성된 제2 게이트 마스크(145)와 실질적으로 동일한 물질을 포함하여 이와 병합될 수 있다.
- [0097] 도 14를 참조하면, 도 4 내지 도 10을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행함으로써, 상기 수직형 메모리 장치를 완성할 수 있다.
- [0098] 다만, 상기 제2 게이트 구조물에 포함된 상기 제5 게이트 전극은 순차적으로 적층된 제2 폴리실리콘 패턴(125) 및 제2 금속 패턴(135)을 포함하므로, 도 9를 참조로 설명한 공정들 중에서, 제2 희생 패턴들(225)을 제거하여 상기 갭을 형성하는 공정에서 제거되지 않을 수 있다. 이에 따라, 상기 제5 게이트 전극은 상기 갭을 채우도록 형성되는 제3 및 제4 게이트 전극들(405, 407)과 다른 구조를 가질 수 있다.
- [0099] 전술한 바와 같이, 예시적인 실시예들에 따른 상기 수직형 메모리 장치의 제조 공정에서, 셀 영역에서 GST의 채널 역할을 수행하는 제1 에피택시얼 층(202)과 주변 회로 영역에서 트랜지스터의 소스/드레인 역할을 수행하는 제2 에피택시얼 층(204)을 하나의 선택적 에피택시얼 성장(SEG)을 통해 형성할 수 있다. 이에 따라, 전체 공정이 단순해질 수 있다.
- [0100] 한편, 전술한 공정을 통해 제조된 수직형 메모리 장치는 기관(100)의 상기 주변 회로 영역 상에 형성되어 제1 게이트 전극(120, 130)을 포함하는 상기 제1 게이트 구조물, 기관(100)의 상기 셀 영역 상에서 복수의 층들에 순차적으로 형성된 상기 제5 게이트 전극, 및 제3 및 제4 게이트 전극들(405, 407), 기관(100)의 상기 셀 영역 상에 형성되어 상기 제5 게이트 전극을 관통하는 제1 에피택시얼 층(202), 제1 에피택시얼 층(202) 상에 수직 방향을 따라 연장되어 제3 및 제4 게이트 전극들(405, 407)을 관통하는 채널(310), 및 상기 제1 게이트 구조물에 인접한 기관(100)의 상기 주변 회로 영역 상에 형성된 제2 에피택시얼 층(204)을 포함할 수 있다.
- [0101] 예시적인 실시예들에 있어서, 상기 제1 게이트 구조물은 순차적으로 적층된 게이트 절연 패턴(110), 상기 제1 게이트 전극, 및 제1 게이트 마스크(140)를 포함할 수 있으며, 상기 제1 게이트 전극은 순차적으로 적층된 제1 폴리실리콘 패턴(120) 및 제1 금속 패턴(130)을 포함할 수 있다. 또한, 상기 제5 게이트 전극은 순차적으로 적층된 제2 폴리실리콘 패턴(125) 및 제2 금속 패턴(135)을 포함할 수 있다. 이때, 제1 및 제2 폴리실리콘 패턴들(120, 125)은 서로 동일한 두께를 가질 수 있으며, 제1 및 제2 금속 패턴들(130, 135)은 서로 동일한 두께를 가지면서 서로 동일한 금속을 포함할 수 있다.
- [0102] 상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 특히 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

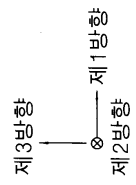
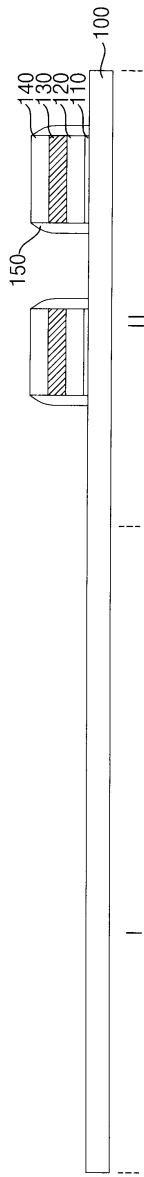
**부호의 설명**

- [0103] 100: 기관 110: 게이트 절연 패턴
- 120, 125: 제1, 제2 폴리실리콘 패턴
- 130, 135: 제1, 제2 금속 패턴 140, 145: 제1, 제2 게이트 마스크
- 150: 게이트 스페이서
- 162, 164, 215, 115: 제1 내지 제4 절연 패턴
- 172, 225: 제1, 제2 희생 패턴

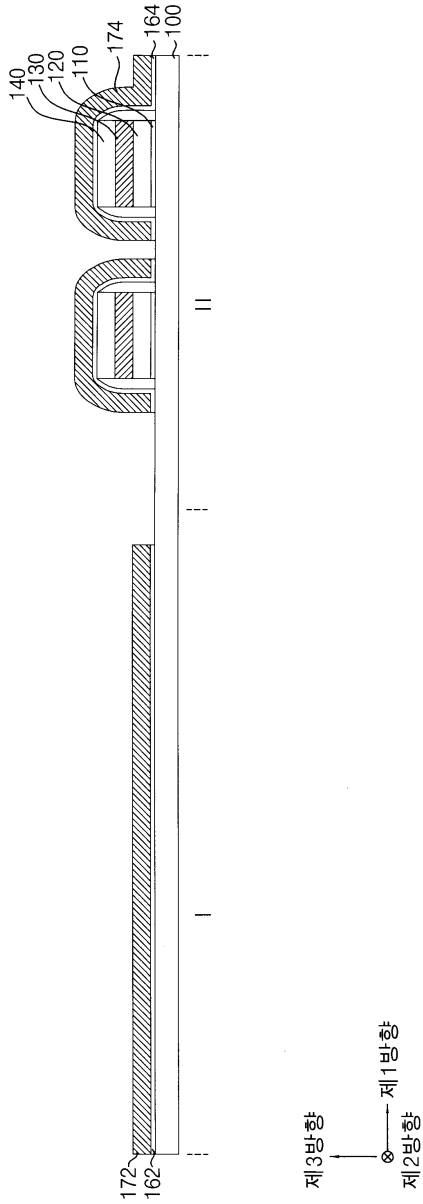
180: 제1 층간 절연막 192, 194: 제1, 제2 개구  
202, 204: 제1, 제2 에피택시얼 층  
210: 제2 절연막 220: 희생막  
230: 제3 층간 절연 패턴  
240, 340, 440, 460: 제4 내지 제7 층간 절연막  
250: 채널 홀 270: 제1 블로킹 패턴  
280: 전하 저장 패턴 290: 터널 절연 패턴  
300: 전하 저장 구조물 310: 채널  
320: 충전 패턴 330: 캐핑 패턴  
370: 제2 블로킹 막  
383, 385, 387: 제1 내지 제3 게이트 배리어 패턴  
393, 395, 397: 제1 내지 제3 게이트 도전 패턴  
403, 405, 407: 제2 내지 제4 게이트 전극  
452, 454, 456, 458: 제1 내지 제4 콘택  
472, 474, 476, 478: 제1 내지 제4 배선

도면

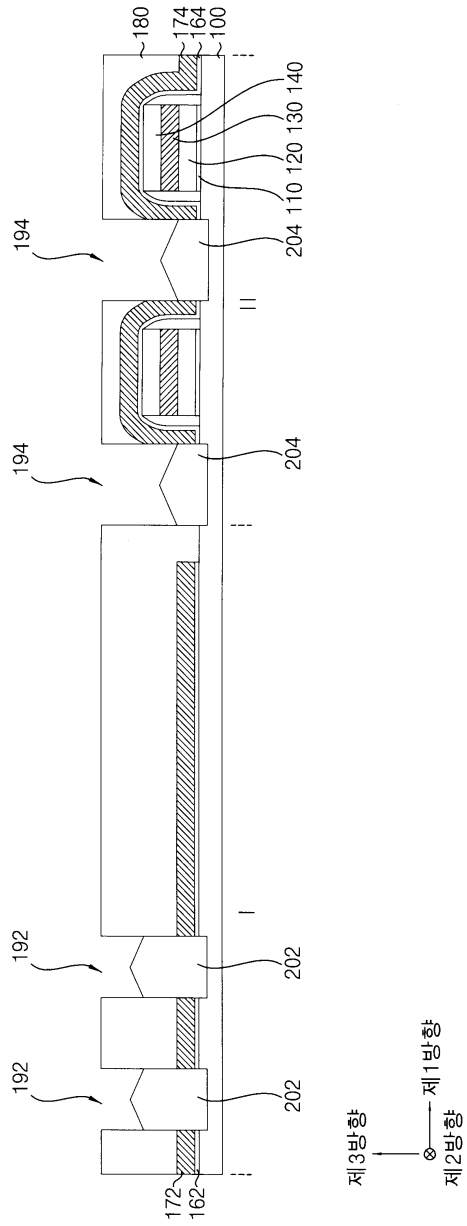
도면1



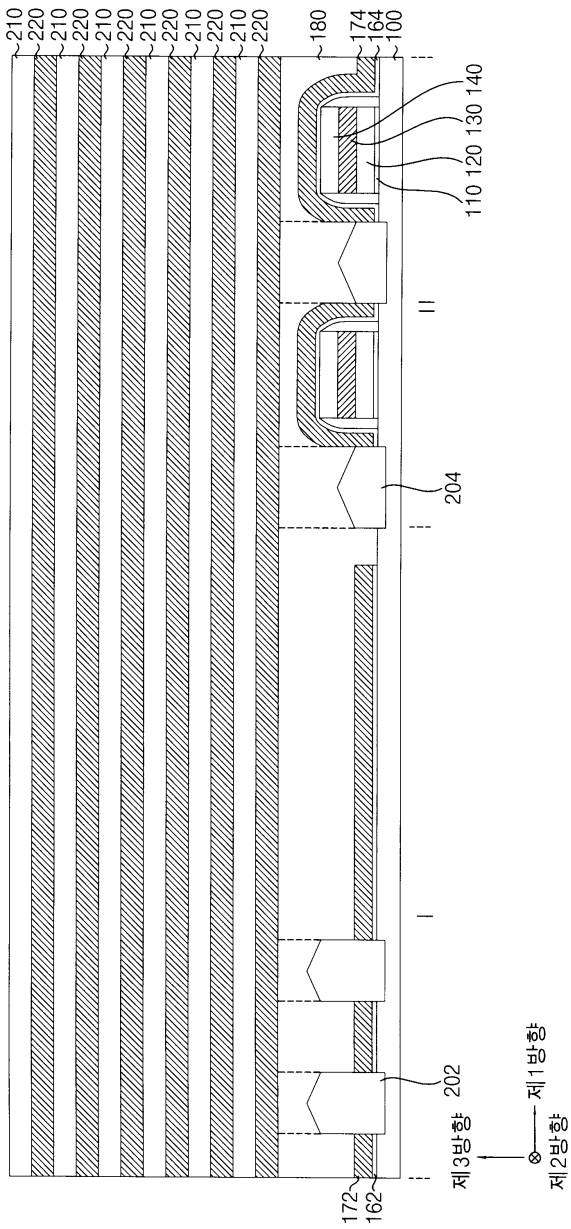
도면2



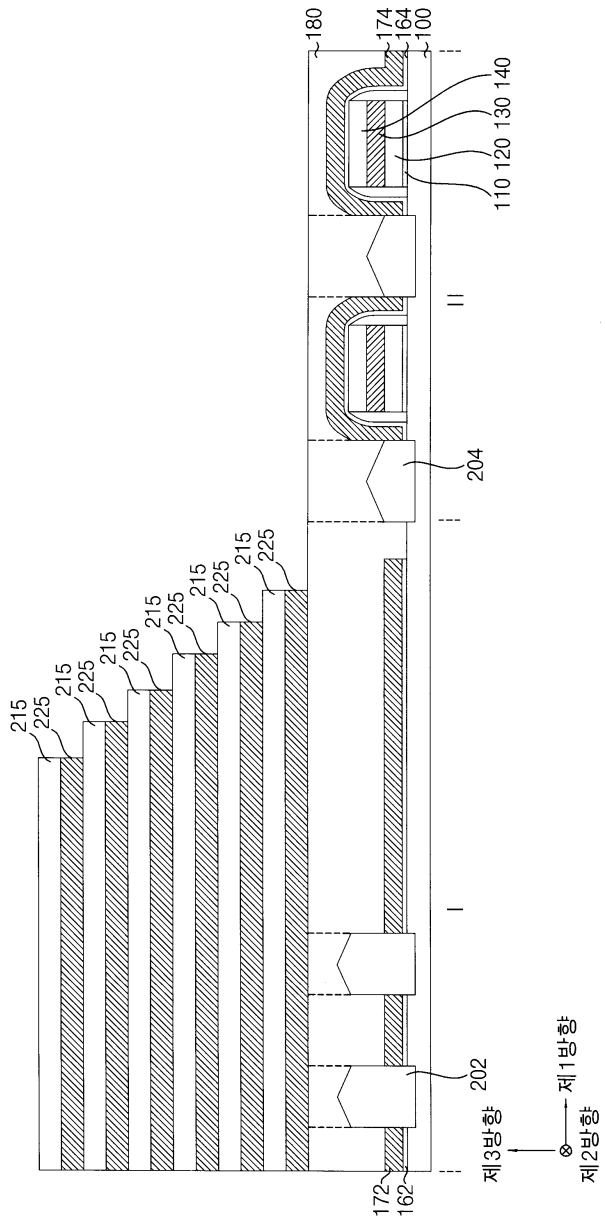
도면3



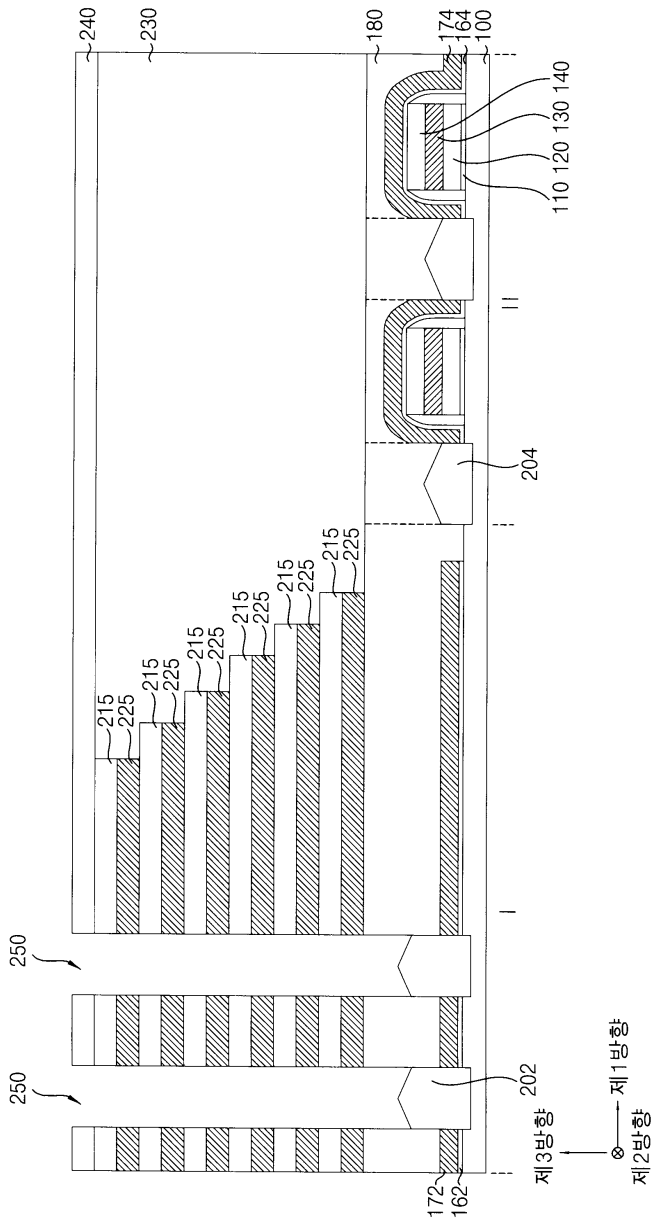
도면4



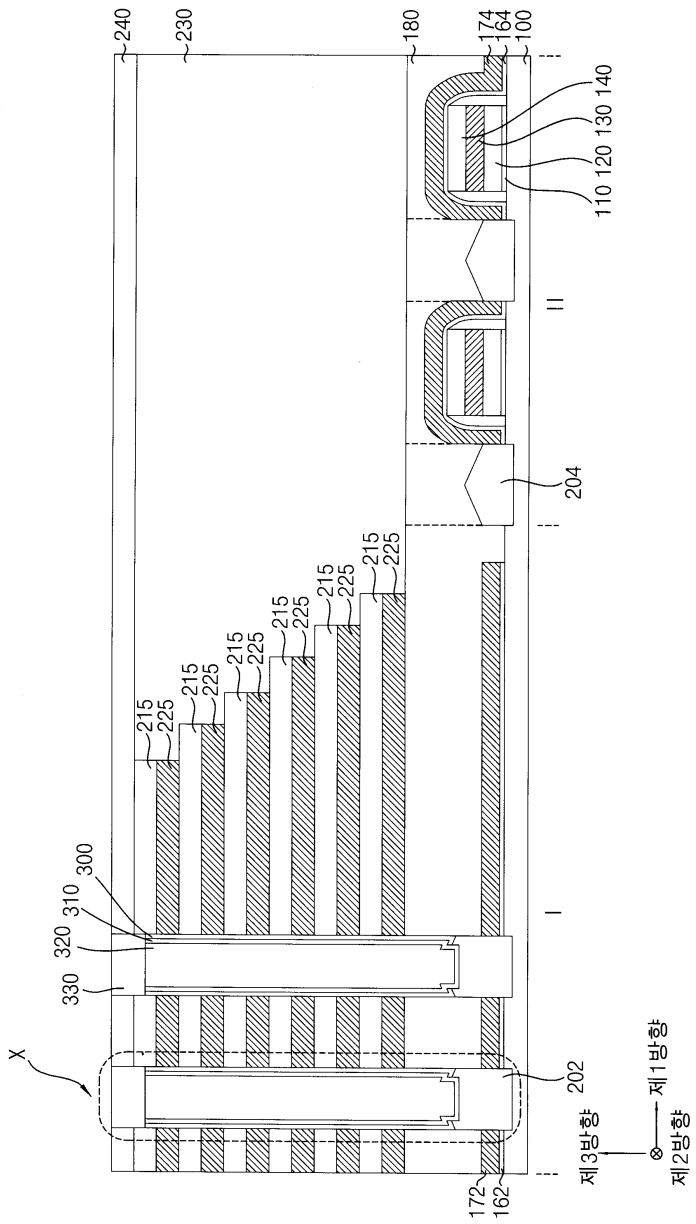
도면5



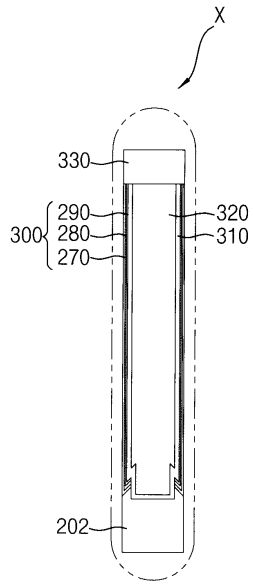
도면6



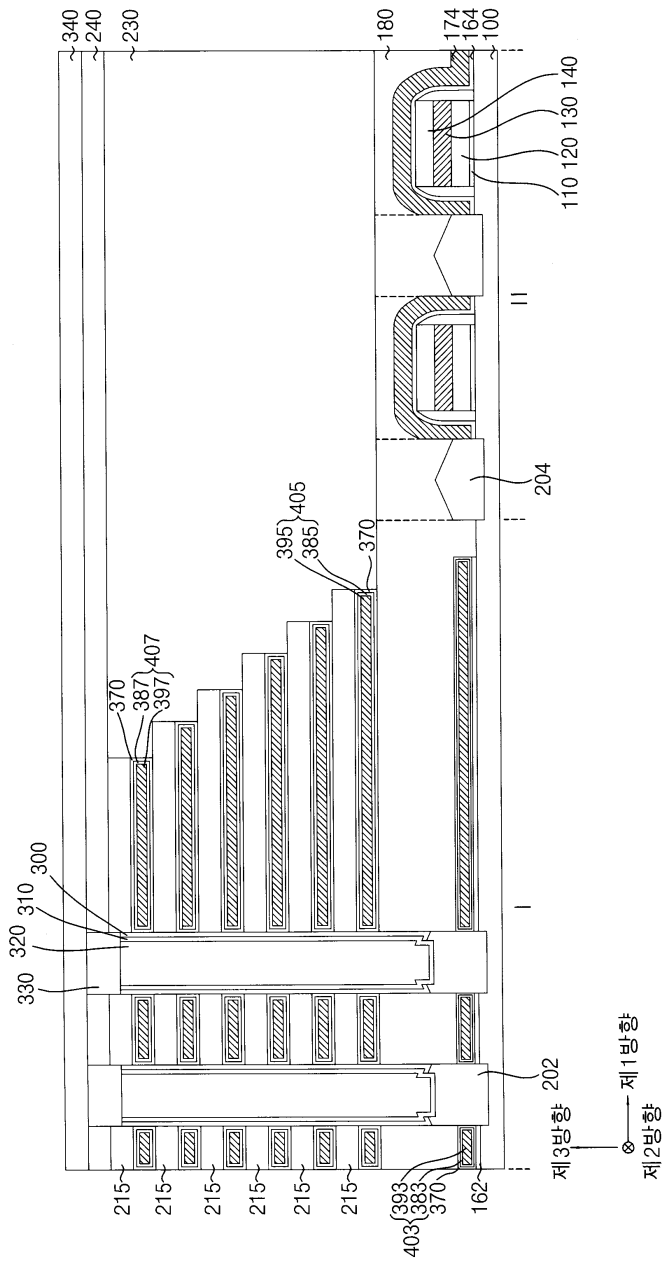
도면7



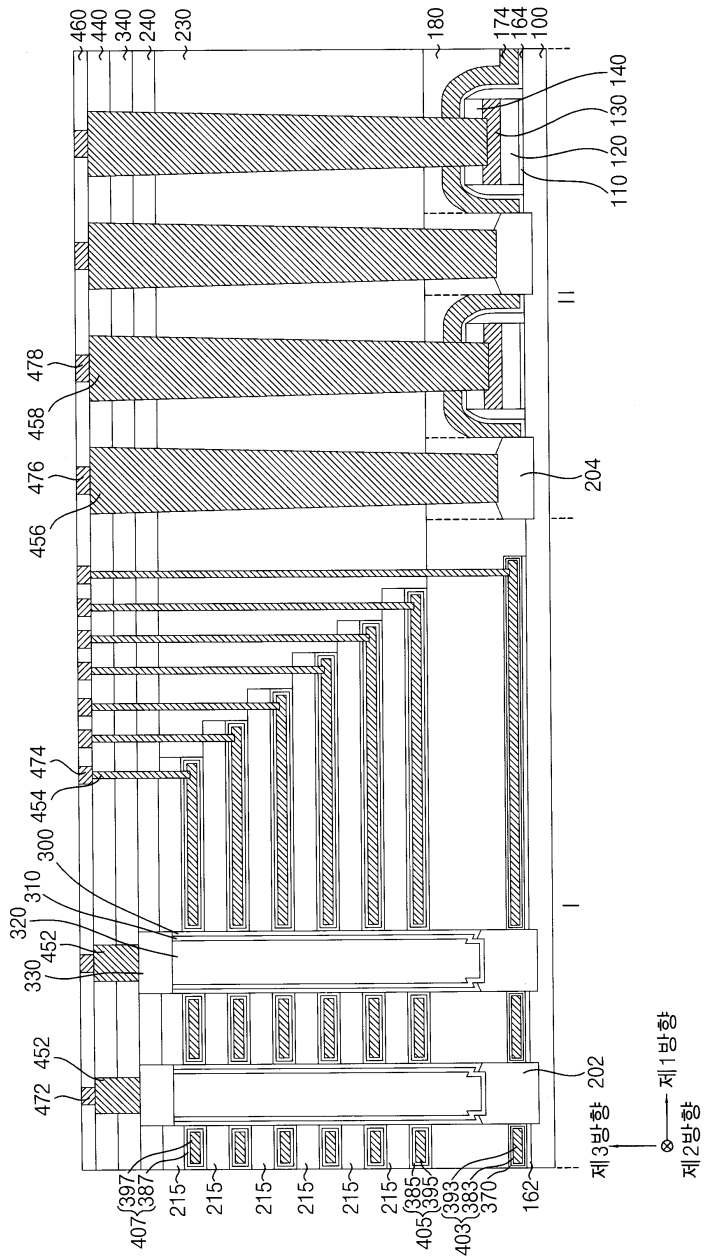
도면8



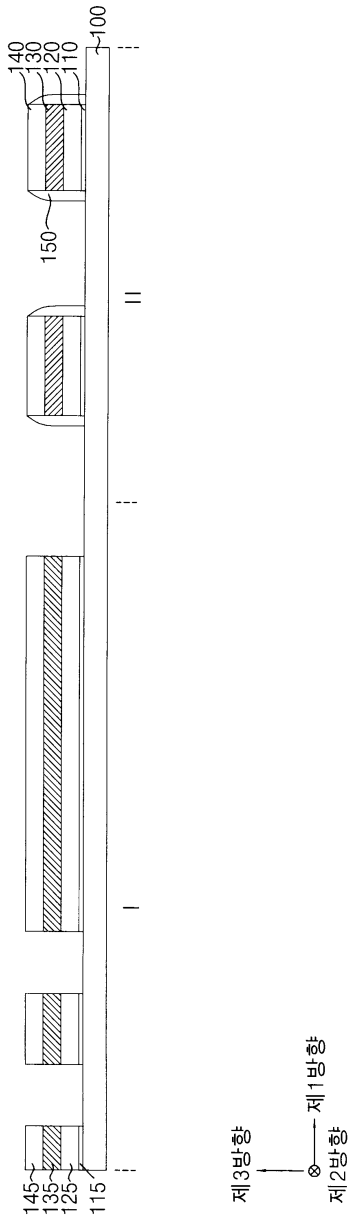
도면9



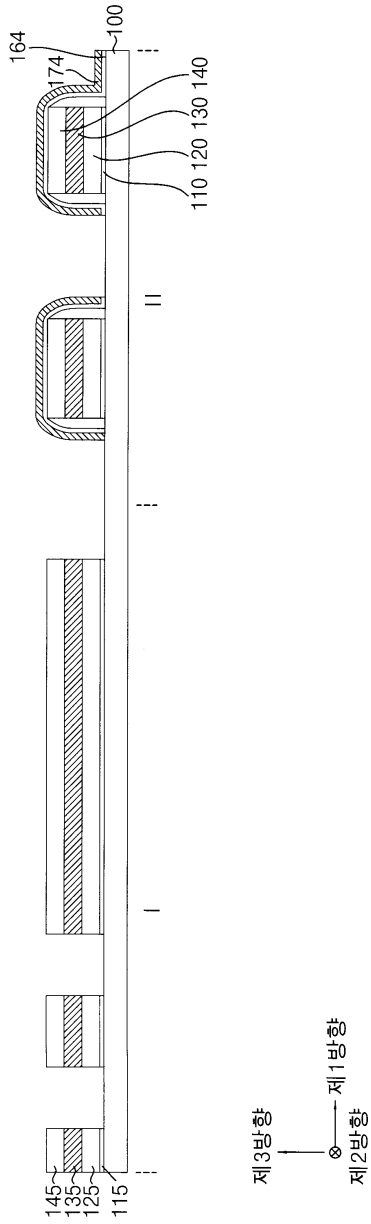
도면10



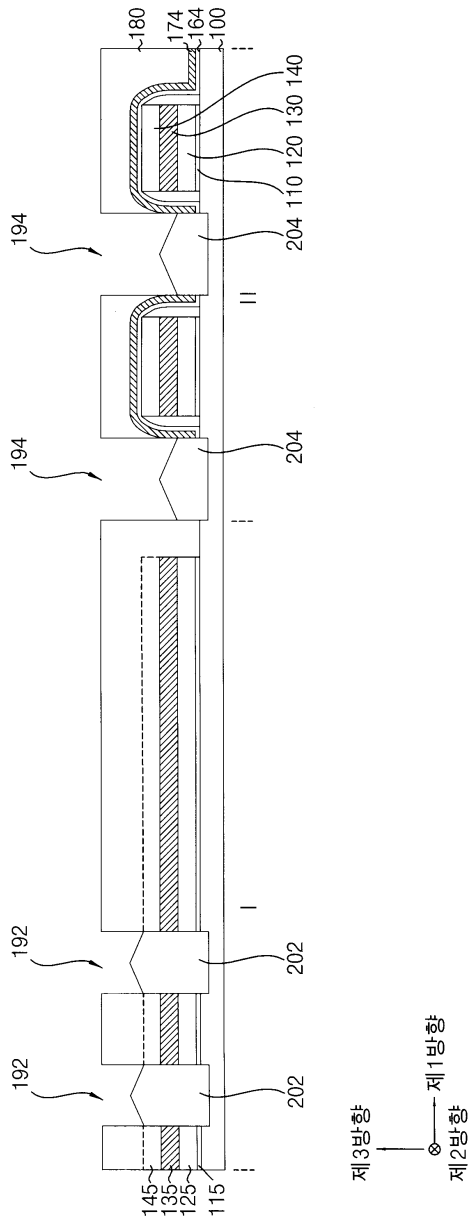
도면11



도면12



도면13



도면14

