

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-197680

(P2006-197680A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int. Cl.

H02P 8/12 (2006.01)

F I

H02P 8/00

B

テーマコード (参考)

5H580

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号

特願2005-4707 (P2005-4707)

(22) 出願日

平成17年1月12日 (2005.1.12)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町2 1 番地

(74) 代理人 100079555

弁理士 梶山 侑是

(74) 代理人 100079957

弁理士 山本 富士男

(72) 発明者 藤村 高志

京都市右京区西院溝崎町2 1 番地 ローム株式会社内

Fターム(参考) 5H580 BB05 FA02 FA12 FA22 FC04
GG08 HH22

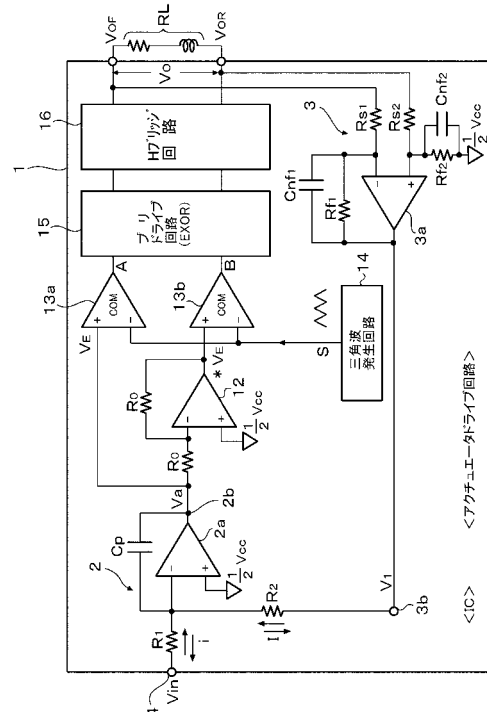
(54) 【発明の名称】 アクチュエータドライブ回路

(57) 【要約】 (修正有)

【課題】 アクチュエータを電流駆動するドライブ回路において、外付けコンデンサが不要となり、高速駆動が可能でIC化に適したアクチュエータドライブ回路を提供する。

【解決手段】 入力信号に応じた第1の電流を受ける積分回路と、この積分回路により積分された電圧に応じてPWMパルスを発生するPWMパルス発生回路と、駆動回路の出力電圧に応じて積分コンデンサを充電あるいは放電する第2の電流を送出する電流出力回路とを備え、第1の電流が積分コンデンサを充電する電流であるときには第2の電流は積分コンデンサの電荷を放電する電流であり、第1の電流が積分コンデンサの電荷を放電する電流であるときには第2の電流は積分コンデンサを充電する電流であって、第1の電流の電流値の絶対値に対して第2の電流の電流値の絶対値が大きく出力電圧がゼロになるにつれて第1の電流の電流値と第2の電流の電流値との絶対値が実質的に等しくなっていく。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

PWMパルスに応じてアクチュエータを電流駆動するアクチュエータドライブ回路において、

コンデンサを有するアクティブフィルタで構成され、入力端子に入力された入力信号に応じて発生する第 1 の電流を受けて前記コンデンサに積分電圧を発生する積分回路を備え、前記積分電圧に応じて前記 PWMパルスを発生し、前記アクチュエータを電流駆動するときの出力電圧あるいは駆動電流に対応する第 2 の電流を生成してこの第 2 の電流を前記コンデンサに対する充電電流あるいは放電電流とすることで前記出力電圧あるいは前記駆動電流に対応して前記積分電圧の制御するアクチュエータドライブ回路。

10

【請求項 2】

前記積分回路は、前記コンデンサとともに IC 化され、前記コンデンサは、前記第 1 の電流と前記第 2 の電流に応じて所定の基準電圧の方向に向かって充電あるいは放電され、前記積分電圧が前記所定の基準電圧になったときに前記出力電圧あるいは駆動電流がゼロになるとともに前記コンデンサの充電あるいは放電が停止する請求項 1 記載のアクチュエータドライブ回路。

【請求項 3】

PWMパルスに応じてアクチュエータを電流駆動するアクチュエータドライブ回路において、

第 1 のコンデンサを有するアクティブフィルタで構成され、入力端子に入力された入力信号に応じて発生する第 1 の電流を受けて前記第 1 のコンデンサに積分電圧を発生する積分回路と、

20

この積分電圧に応じて前記 PWMパルスを発生する PWMパルス発生回路と、

前記 PWMパルスを受けて所定の出力端子に前記駆動電流を発生する駆動回路と、

前記所定の出力端子に発生する出力電圧あるいはこれに対応する電圧に応じて第 2 の電流を生成しこの第 2 の電流に応じて前記第 1 のコンデンサを充電あるいはその電荷を放電する電流生成回路とを備え、

前記電流生成回路は、前記第 1 の電流が前記第 1 のコンデンサを充電する電流であるときには前記第 1 のコンデンサの電荷を放電する電流として前記第 2 の電流を生成し、前記第 1 の電流が前記第 1 のコンデンサの電荷を放電する電流であるときには前記第 1 のコンデンサを充電する電流として前記第 2 の電流を生成しかつ前記第 2 の電流の電流値の絶対値が前記第 1 の電流の電流値の絶対値に対して大きく前記出力電圧あるいはこれに対応する電圧が実質的にゼロになったときに前記第 1 の電流の電流値の絶対値と実質的に等しくなるアクチュエータドライブ回路。

30

【請求項 4】

前記積分回路と前記 PWMパルス発生回路と前記駆動回路と前記電流生成回路と前記第 1 のコンデンサとは IC 化され、前記第 1 のコンデンサは、前記第 1 の電流と前記第 2 の電流に応じて所定の基準電圧の方向に向かって充電あるいは放電され、前記積分電圧が前記所定の基準電圧になったときに前記出力電圧あるいはこれに対応する電圧が実質的にゼロになる請求項 3 記載のアクチュエータドライブ回路。

40

【請求項 5】

前記入力信号は電圧信号であり、前記基準電圧は実質的に電源電圧の $1/2$ の電圧であり、前記アクチュエータは前記駆動電流が流されるコイルを有する請求項 4 記載のアクチュエータドライブ回路。

【請求項 6】

前記積分回路は、前記第 1 のコンデンサを帰還コンデンサとして有する演算増幅器で構成され、前記第 1 の電流は、前記演算増幅器の第 1 の入力と前記入力端子との間に接続された第 1 の抵抗により生成され、前記第 2 の電流は、第 2 の抵抗を介して前記演算増幅器の前記第 1 の入力端子に入力され、前記演算増幅器の第 2 の入力に前記基準電圧が入力される請求項 5 記載のアクチュエータドライブ回路。

50

【請求項 7】

前記第 1 の抵抗に並列に第 2 のコンデンサが設けられている請求項 6 記載のアクチュエータドライブ回路。

【請求項 8】

前記演算増幅器は、 g_m アンプである請求項 6 記載のアクチュエータドライブ回路。

【請求項 9】

さらに、第 1 および第 2 のコンパレータと反転バッファ回路と三角波発生回路とを有し、前記電流生成回路は、充放電回路であり、前記積分回路により積分された電圧が前記第 1 のコンパレータの一方に入力され、あさらに前記反転バッファ回路を介して前記第 2 のコンパレータの一方に入力され、前記第 1、第 2 のコンパレータの他方の入力に前記三角波発生回路から三角波信号が入力され、前記第 1 および第 2 のコンパレータのそれぞれに前記 PWM パルスが発生する請求項 6 記載のアクチュエータドライブ回路。

10

【請求項 10】

前記アクチュエータは、ソレノイドアクチュエータである請求項 9 記載のアクチュエータドライブ回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、アクチュエータドライブ回路に関し、詳しくは、ソレノイドアクチュエータ、ブラシレスモータ等のインダクタンス成分（コイル）に駆動電流を流すアクチュエータのドライブ回路において、外付けコンデンサが不要となり、高速駆動が可能で IC 化に適したアクチュエータドライブ回路に関する。

20

【背景技術】

【0002】

ソレノイドアクチュエータは、最近では、CD、DVDの光ピックアップの進退や、イジェクト、トラッキング、フォーカス制御、チルト、スレッド、ステッパなどに利用されているが、その他に半導体製造装置のステッパの移動制御を始めとして各種の制御機器における機械要素の位置決めや移動、初期位置設定などに利用されている。

ソレノイドアクチュエータは、モータ等と同様にコイルに電流を流すことで駆動されるが、この種のアクチュエータを電流駆動する IC 駆動回路として各種のアクチュエータドライバが公知である。

30

その回路構成は、通常、CMOS 構成の H 型のブリッジ回路（以下 H ブリッジ回路）を出力段とする単相駆動のブラシレスモータ（ステッピングモータあるいはパルスモータ）とほぼ同様な回路となる。そのためモータドライバとしても利用されることがある。この種のモータドライバとしての公知文献として特許文献 1 を挙げることができる。

なお、駆動の形態に応じて出力段は、H 型ではなく、プッシュ側トランジスタあるいはプル側のトランジスタあるいはこれら両者がアクチュエータのコイルに直列に入る形態のものもある。

ところで、この明細書および特許請求の範囲におけるアクチュエータドライブ回路には、特許文献 1 に示すようなブラシレスモータ（ステッピングモータあるいはパルスモータ）も含むものである。

40

【特許文献 1】特開平 7 - 67391 号公報

【0003】

図 5 は、従来の IC 化されたアクチュエータドライブ回路の一例である。

10 は、アクチュエータドライブ回路であって、11 はその誤差増幅器（Err）、12 は反転バッファ回路、13a、13b はそれぞれコンパレータ（COM）、14 は三角波発生回路、15 はプリドライブ回路、16 は CMOS 構成の H ブリッジ回路、17 は出力電圧を電流に変換して帰還する電流帰還回路（V-I アンプ）、そして 18 は電圧減算抵抗回路である。

また、19 は、H ブリッジ回路 16 の出力端子 16a（VOF 端子）、16b（VOR 端子

50

）間に接続されたソレノイドアクチュエータ（負荷 R_L ）であって、 L （コイル）と R （抵抗）の等価回路として示してある。

【0004】

電圧減算抵抗回路 18 は、出力電圧 V_o に応じた帰還電圧 $V_F (= V_o \times -P\%)$ を発生して入力電圧（指令電圧） V_{in} から減算するものであって、入力端子 10a（その入力電圧 V_{in} ）に接続された抵抗 R_a と抵抗 R_b 、そして外付け積分コンデンサ C_F との直列回路からなり、抵抗 R_a と抵抗 R_b の接続点 N に電圧 $V_s = R_b \cdot (V_{in} - V_F) / (R_a + R_b) + V_F$ を発生する。

なお、 R_c は、誤差増幅器 11 の帰還抵抗である。 R_o は、反転バッファ回路 12 の帰還抵抗と基準抵抗である。また、積分コンデンサ C_F と $V-I$ アンプ 17 とにより積分回路が構成され、帰還電圧 V_F は、積分コンデンサ C_F の充電電圧として発生する。

10

【0005】

$V-I$ アンプ 17 と電圧減算抵抗回路 18 とにより減算された電圧 V_s が誤差増幅器 11 にフィードバックされて、検出電圧 V_s が誤差増幅器 11 において基準電圧 $V_{ref} (= +V_{cc}/2)$ と比較される。

この比較結果に応じて発生する誤差電圧 V_E （誤差検出信号）が誤差増幅器 11 からコンパレータ 13a の（+）入力端子と、反転バッファ回路 12 を介してコンパレータ 13b の（+）入力端子に加えられる。

コンパレータ 13a は、非反転側の誤差に対するコンパレータであり、コンパレータ 13b は、反転側の誤差に対するコンパレータである。これらコンパレータ 13a、13b の基準電圧側となる（-）入力端子には、三角波発生回路 14 から三角波信号 S が加えられる。

20

コンパレータ 13a の（+）入力端子には、誤差電圧 V_E の電圧が加えられ、コンパレータ 13b の（+）入力端子には反転バッファ回路 12 により誤差電圧 $\ast V_E$ の電圧が加えられる。誤差電圧 $\ast V_E$ は、基準電圧 $V_{ref} (= +V_{cc}/2)$ を基準として反転した電圧である。

その結果、デューティ比 50% を基準として +、- されたデューティ比の PWM パルスがそれぞれのコンパレータ 13a、13b の非反転側の出力端子 A と反転側の出力端子 B とにそれぞれ発生する。

なお、三角波信号 S の振幅基準は $+V_{cc}/2$ である。

30

【0006】

ブリドライブ回路 15 は、非反転側の出力端子 A と反転側の出力端子 B の PWM パルスのパルス幅の差を持った PWM パルスを生成する回路であって、例えば、EXOR 回路で構成されている。

そこで、例えば、ソレノイドアクチュエータでは、その作動子（ピストンロッド）を前進駆動するときには、非反転側の出力端子 A のデューティ比が 50% を超えた値となり、反転側の出力端子 B のデューティ比が 50% を以下の値となる。後退駆動するときにはその逆になる。そこで、ブリドライブ回路 15 から Hブリッジ回路 16 にこれらの差の PWM パルスが出力され、この PWM パルスに応じて前進駆動、後退駆動の駆動電流がソレノイドアクチュエータ（負荷 R_L ）に出力される。

40

そして、ここでは、非反転側の出力端子 A のデューティ比と反転側の出力端子 B のデューティ比とが 50% となったときにブリドライブ回路 15 のパルス幅の差の PWM パルスが停止して Hブリッジ回路 16 の駆動が停止される。

Hブリッジ回路 16 は、Pチャネルトランジスタ $TP1$ 、 $TP2$ と Nチャネルトランジスタ $TN1$ 、 $TN2$ とからなり、ブリッジ部分が出力端子 16a、16b に接続されている。そして、Pチャネルトランジスタ $TP1$ のゲートと Nチャネルトランジスタ $TN2$ のゲート（前進駆動）あるいは Pチャネルトランジスタ $TP2$ のゲートと Nチャネルトランジスタ $TN1$ のゲート（後退駆動）に先のパルス幅の差の PWM パルスに対応した駆動パルスを受ける。

【0007】

50

基準電圧 $V_{ref} (= +V_{cc}/2)$ より高い入力電圧 (指令電圧) V_{in} が入力端子 10a に入力されたときには、最初に大きな差の電圧 V_s ($V_s > +V_{cc}/2$) が誤差増幅器 11 に入力され、誤差増幅器 11 に大きな誤差電圧 V_E ($V_E > +V_{cc}/2$) が発生して、50% より大きいデューティ比の PWM パルスがコンパレータ 13a の出力端子 A に発生し、50% より小さいデューティ比の PWM パルスがコンパレータ 13b の出力端子 B に発生する。そこで、これらのデューティ比の差に応じた PWM パルスにより Hブリッジ回路 16 がブリッドドライブ回路 15 により駆動されて三角波信号 S の周波数に対応するチョップパ制御により出力端子 16a (V0F 端子) から出力端子 16b (V0R 端子) へと大きな駆動電流が流れる。これに応じて出力電圧 V_o が発生する。これにより、例えば、ソレノイドの作動子 (ピストンロッド) が前進駆動される。V - I アンプ 17 からの電流によって出力電圧 V_o に応じた帰還電圧 V_F が発生して帰還電圧 V_F が入力電圧 (指令電圧) V_{in} を減算していき、電圧 V_s を低下させていく。

ソレノイドの作動子 (ピストンロッド) が入力電圧 (指令電圧) V_{in} に対応する目標位置に向かって前進するにつれて誤差電圧 V_E が $+V_{cc}/2$ に近づき同時に出力端子 16a (V0F 端子) と出力端子 16b との出力電圧 V_o が小さくなる。やがて、誤差電圧 V_E が $V_E = +V_{cc}/2$ となって出力電圧 $V_o = 0$ となって駆動が終了する。これにより入力電圧 (指令電圧) V_{in} に対応して発生した誤差電圧 V_E を基準電圧 $+V_{cc}/2$ にするようなフィードバック制御で駆動電流が生成される。

なお、後退駆動の場合には、基準電圧 $V_{ref} (= +V_{cc}/2)$ より低い指令電圧が入力電圧 V_{in} として発生して前記とは逆の動作となる。

【発明の開示】

【発明が解決しようとする課題】

【0008】

図 5 に示すようなアクチュエータを PWM パルスでチョップ駆動するドライブ回路にあっては、チョップ周波数が 100kHz ~ 300kHz 程度であるが、帰還電圧 V_F を発生する積分コンデンサ C_F の容量は、数千 pF 以上でないと動作が安定しない問題がある。そのため、図 4 に示すように、積分コンデンサ C_F は、IC に外付けしなければならない。特に、CD の書込 / 再生装置のように 4 ~ 6 チャンネルの駆動系があって、そのチャンネル対応にアクチュエータを設けて多チャンネル駆動する場合には、外付けコンデンサが 4 ~ 6 個程度も必要になる。この外付けコンデンサにより IC の端子が占有され、IC の小型パッケージ化の障害になっている。

【0009】

また、このような積分コンデンサ C_F は、周波数対ゲイン特性 (ボード線図) 上でこれがポールを作り、このポールが 0dB より上の位置に大きく下側に折れる第 2 ポールとなる (第 1 ポールは OP アンプを RC 等価回路として表した場合に $f_p = 1 / 2\pi RC$ の点である)。また、積分コンデンサ C_F の存在は、10kHz 以上のところにピークを発生させる。これと第 2 ポールがあることにより PWM パルスの周波数の $1/2$ より高くすると発振の問題が生じる。そのためオープンゲインを大きく採れず、カットオフ周波数が低くなって、あまり高速な駆動動作を期待できないのが現状である。しかも、駆動特性のリアリティについても第 2 ポールがある分、悪くなる。

一方、CD や DVD の目標位置へのトラッキングなどは、これら媒体が高密度化されるにつれて、より高速な動作が要求される。そのため、周波数対ゲイン特性におけるカットオフ周波数はより高い周波数にあることが望まれている。

この発明の目的は、前記ような従来技術の問題点を解決し、このような要請に応えるものであって、アクチュエータを電流駆動するドライブ回路において、外付けコンデンサが不要となり、高速駆動が可能で IC 化に適したアクチュエータドライブ回路を提供することにある。

【課題を解決するための手段】

【0010】

このような目的を達成するための第 1 の発明のアクチュエータドライブ回路の特徴は、

10

20

30

40

50

PWMパルスに応じてアクチュエータを電流駆動するアクチュエータドライブ回路において、

コンデンサを有するアクティブフィルタで構成され、入力端子に入力された入力信号に応じて発生する第1の電流を受けてコンデンサに積分電圧を発生する積分回路を備えていて、積分電圧に応じてPWMパルスを発生し、アクチュエータを電流駆動するときの出力電圧あるいは駆動電流に対応して第2の電流を生成してこの第2の電流をコンデンサに対する充電電流あるいは放電電流とすることで出力電圧あるいは駆動電流に対応して積分電圧の制御するものである。

また、第2の発明は、第1のコンデンサを有するアクティブフィルタで構成され、入力端子に入力された入力信号に応じて発生する第1の電流を受けて第1のコンデンサに積分電圧を発生する積分回路と、この積分電圧に応じてPWMパルスを発生するPWMパルス発生回路と、PWMパルスを受けて所定の出力端子に駆動電流を発生する駆動回路と、所定の出力端子に発生する出力電圧あるいはこれに対応する電圧に応じて第2の電流を生成しこの第2の電流に応じて第1のコンデンサを充電あるいはその電荷を放電する電流生成回路とを備えていて、

電流生成回路が、第1の電流が第1のコンデンサを充電する電流であるときには第1のコンデンサの電荷を放電する電流として第2の電流を生成し、第1の電流が第1のコンデンサの電荷を放電する電流であるときには第1のコンデンサを充電する電流として第2の電流を生成しかつ第2の電流の電流値の絶対値が第1の電流の電流値の絶対値に対して大きく出力電圧あるいはこれに対応する電圧が実質的にゼロになったときに第1の電流の電流値の絶対値と実質的に等しくなるものである。

【発明の効果】

【0011】

このように第1および第2の発明にあっては、入力端子に入力された電圧（指令電圧）に対応して第1の電流を発生し、この第1の電流が積分コンデンサ（あるいは第1のコンデンサ）の電荷を放電する電流であるときには積分コンデンサを充電する第2の電流を生成し、第1の電流が積分コンデンサを充電する電流であるときには逆に積分コンデンサの電荷を放電する第2の電流を生成して積分電圧の制御するものである。

これにより、誤差増幅器を用いることなくフィードバック制御をして指令電圧値に応じて発生した積分コンデンサの電圧値を基準電圧に戻す制御をする。このフィードバック制御を積分回路の定数に応じて行うことで、指令電圧値に応じたアクチュエータに対する駆動電流を生成することができる。

特に、第2の発明における第2の電流は、第1の電流の電流値の絶対値に対して第2の電流の電流値の絶対値が大きく出力電圧がゼロになるにつれて第1の電流の電流値と第2の電流の電流値との絶対値が実質的に等しくなるようにする。

第1および第2の発明では、誤差増幅器を用いないので、電圧を減算することが不要となり、アクチュエータドライブ回路をIC化した場合に外付けコンデンサが不要になる。

さらに、積分回路の積分電圧がPWMパルスの制御電圧となるので、アクティブフィルタのオープンゲインを高い値にすることができ、誤差増幅器を使用する場合よりも周波数対ゲイン特性（ボード線図）上におけるカットオフ周波数までの帯域幅が大きく採れる。しかも外付けコンデンサがないので、第2ポールが大きく下側に折れることはなく、PWMパルスの周波数を高く設定して高速動作をさせてもこの発明のアクチュエータドライブ回路は発振が防止される。

【発明を実施するための最良の形態】

【0012】

図1は、この発明のアクチュエータドライブ回路を適用した一実施例のブロック図、図2は、他の一実施例のブロック図、図3(a)は、図2の実施例におけるボード線図、図3(b)は、入力電圧対ゲイン特性の説明図、図4は、さらに他の一実施例のブロック図である。なお、図5と同一の構成要素は同一の符号で示し、それらの説明を割愛する。

【実施例1】

10

20

30

40

【0013】

図1のアクチュエータドライブ回路1においては、図5の誤差増幅器11と電圧減算抵抗回路18と積分コンデンサCFとが削除されている。これらに換えてアクティブフィルタ（オペアンプOP/演算増幅器）で構成される積分回路2とこの積分回路2に対する充放電回路3とが設けられている。

これによりICに外付けされる積分コンデンサCFと誤差増幅器11とをなくすることができる。なお、図1の回路図において枠で示す部分がICである。

積分回路2は、反転動作のOPアンプ2aで構成され、充放電回路3は、反転、非反転動作のOPアンプ3aで構成されている。

OPアンプ2aの(+)入力端子は、基準電圧 $+V_{cc}/2$ に接続され、この出力が積分コンデンサCpを介して(-)入力端子に帰還されている。(+)入力端子と入力端子4との間には入力抵抗R1が設けられている。これにより、OPアンプ2aは積分回路となり、出力端子2bに積分電圧Vaを発生する。その積分定数は、コンデンサCpの容量と入力抵抗R1、抵抗R2等により決定される。なお、入力端子4には、指令電圧として入力電圧Vinが加えられる。

【0014】

充放電回路3は、出力電圧Voに応じた電流を生成する電流生成回路であって、反転、非反転動作のOPアンプ3aを有し、OPアンプ3aは、反転動作側の帰還抵抗Rf1と基準抵抗Rs1と、非反転動作側の帰還抵抗Rf2と基準抵抗Rs2とからなり、帰還抵抗Rf1に並列に位相補償用コンデンサCnf1が設けられ、帰還抵抗Rf2に並列に位相補償用コンデンサCnf2が設けられている。

これにより、OPアンプ3aの出力電流は、出力電圧Voの極性とその大きさに応じて吐き出し電流あるいはシンク電流Iを発生する。この出力電流が抵抗R2を介してOPアンプ2a（積分回路2）の(-)入力端子に加えられる。

充放電回路3の動作は、積分回路2の出力端子2bの積分電圧Vaを出力電圧Voが“0”のときに基準電圧 $+V_{cc}/2$ にするように出力電圧Voに応じて充電電流あるいは放電電流を生成してフィードバック制御をする回路である。

【0015】

これは、出力電圧Voが+極性電圧のとき、言い換えれば、出力端子16a（VOF端子）が+側となり、出力端子16b（VOR端子）が-側となって、駆動電流が出力端子16a（VOF端子）から出力端子16b（VOR端子）に流れるときには、充電回路となり、積分回路としての積分コンデンサCpの電荷をオペアンプ3aの出力電流に応じて充電して積分電圧Vaを基準電圧 $+V_{cc}/2$ 以下から基準電圧 $+V_{cc}/2$ 以上に向かわせる制御をする。逆の場合には放電回路となって、積分コンデンサCpの電荷をオペアンプ2aの出力電流に応じて放電して積分電圧Vaを基準電圧 $+V_{cc}/2$ 以上から基準電圧 $+V_{cc}/2$ 以下に向かわせる制御を行う。

これにより基準電圧 $+V_{cc}/2$ に向かわせ、積分電圧Vaが $+V_{cc}/2$ になったときに停止するフィードバック制御をする。そのためにために充放電回路3の出力電流の絶対値は、入力電圧（指令電圧）Vinにより発生する電流の絶対値以上の値を持っている。

OPアンプ3aの出力電圧は、入力端子4の入力電圧（指令電圧）Vinが $+V_{cc}/2$ の初期状態では $+V_{cc}/2$ になるように設定され、このときには、積分電圧Vaも $+V_{cc}/2$ であり、駆動電流は発生せずに、そのときの出力電圧も“0”である。

【0016】

入力抵抗R1は、入力電圧Vinを入力電流に変換する抵抗である。充放電回路3は、ここでは、積分回路2対しては変換電流i（入力電流）の電流方向とは逆方向の電流Iを発生する。これにより、これらの電流差でコンデンサCpが充放電されることになる。その結果としてそのきに生成されるべきPWMパルスに必要な所定の制御電圧を積分回路2が積分電圧Vaとして発生する。

充放電回路3のフィードバック制御により積分回路2の出力電圧が $+V_{cc}/2$ 以上あるいは $+V_{cc}/2$ 以下に向かうような充放電が積分定数により行われるように入力抵抗R1

10

20

30

40

50

と抵抗 R_2 の抵抗値、そしてコンデンサ C_p の容量とが適宜選択されている。なお、コンデンサ C_p の容量は、 IC 化可能な容量であって、例えば、数十 pF ~ 百 pF 程度である。

【0017】

出力電圧 V_o が + 極性電圧のときには、入力抵抗 R_1 による変換電流 i (入力された充電電流) に対して OP アンプ 3 a (充放電回路 3) の出力電流は、シンク電流となり、これがコンデンサ C_p に対する放電電流 I となって変換電流 i に加わる。このとき、 OP アンプ 3 a の放電電流 I の電流値は、変換電流 i の絶対値よりも大きく、変換電流 i との差電流がオペアンプ 2 a の (-) 入力側からコンデンサ C_p の電荷を放電する電流となる。それにより積分コンデンサ C_p は、反転動作のオペアンプ 2 a の出力電流に応じて充電されていき、 $+V_{cc}/2$ 以下の電圧から $+V_{cc}/2$ に向かい、出力電圧 V_o が実質的にゼロになって変換電流 i の絶対値と実質的に等しくなるように出力電圧 V_o に応じて積分定数に従って変化していく。

逆に、出力電圧 V_o が - 極性電圧のときには、入力抵抗 R_1 による変換電流 i (入力された放電電流) に対して OP アンプ 3 a (充放電回路 3) の出力電流は、吐き出し電流となり、これがコンデンサ C_p に対する充電電流 I となって変換電流 i に加わる。このとき、 OP アンプ 3 a の充電電流 I の電流値は、変換電流 i の絶対値よりも大きく、変換電流 i との差電流がオペアンプ 2 a の (-) 入力側からコンデンサ C_p に電荷を充電する電流となる。それにより積分コンデンサ C_p は、反転動作のオペアンプ 2 a の出力電流に応じて放電されていき、 $+V_{cc}/2$ 以上の電圧から $+V_{cc}/2$ に向かい、出力電圧 V_o が実質的にゼロになって変換電流 i の絶対値と実質的に等しくなり、そこで、コンデンサ C_p の電荷のオペアンプ 3 a の出力電流による放電が停止する。

【0018】

その動作を具体的に説明すると、基準電圧 V_{ref} ($= +V_{cc}/2$) より高い指令電圧が入力端子 4 に入力されたときには、まず、入力電圧 V_{in} が抵抗 R_1 により電流値に変換されて電流 i でコンデンサ C_p が瞬間的に充電される。これにより反転動作のオペアンプ 2 a の出力電流により積分電圧 V_a が $+V_{cc}/2$ 以下となって、それが出力端子 2 b に発生する。このときには、まだ、出力電圧 V_o が発生していないので充放電回路 3 の放電電流 I は発生していない。出力端子 2 b に積分電圧 V_a が発生すると、50% より大きいデューティ比の PWM パルスがコンパレータ 13 a の出力端子 A に発生し、50% より小さいデューティ比の PWM パルスがコンパレータ 13 b の出力端子 B に発生してそれらのデューティ比の差に応じた PWM パルスにより H ブリッジ回路 16 が三角波信号 S の周波数に対応するチョッパ制御により駆動され、出力端子 16 a (V_{OF} 端子) から出力端子 16 b (V_{OR} 端子) へと大きな駆動電流が流れる。このとき流れる駆動電流に応じて、例えば、ソレノイドの作動子 (ピストンロッド) が前進駆動される。

【0019】

このときの発生した出力電圧 V_o ($V_{OF} > V_{OR}$) に応じて OP アンプ 3 a が反転動作をしてシンクする電流 (放電電流) I を発生してコンデンサ C_p に対する積分電流値が ($i - I$)、ただし、 $|I| > |i|$ が発生して、コンデンサ C_p の電荷が積分定数と放電電流値とに従ってオペアンプ 2 a の (-) 入力側からコンデンサ C_p の電荷が放電され、これにより反転動作のオペアンプ 2 a の出力電流でコンデンサ C_p に電荷が充電されて積分電圧 V_a が次第に上昇して $+V_{cc}/2$ に向かっていく。

そして、目標位置に向かって前進するにつれて積分電圧 V_a も $+V_{cc}/2$ に近づいていく。それとともに出力端子 16 a (V_{OF} 端子) と出力端子 16 b との出力電圧 V_o が小さくなって、シンクする電流 (放電電流) I の電流値が変換電流 i の電流値に近づいていく。やがて、積分電圧 V_a が $+V_{cc}/2$ になり、出力電圧 V_o が “0” になると $|i| = |I|$ のところでコンデンサ C_p の電荷の充電が停止され、アクチュエータドライブ回路 1 の駆動動作が停止する。

【0020】

後退駆動の場合には、基準電圧 V_{ref} ($= +V_{cc}/2$) より低い指令電圧入力端子 4 に

10

20

30

40

50

入力されて前記とは逆の動作となり、入力電圧 V_{in} が抵抗 R_1 により電流値に変換されて電流 i でコンデンサ C_p の電荷が瞬間的に放電される。反転動作のオペアンプ 2 a の出力電流により積分電圧 V_a が $+V_{cc}/2$ 以上となって、それが出力端子 2 b に発生する。このときには、まだ、出力電圧 $-V_o$ が発生していないので充放電回路 3 の充電電流 I は発生しない。出力端子 2 b に積分電圧 V_a が発生すると、50%より小さいデューティ比の PWM パルスがコンパレータ 13 a の出力端子 A に発生し、50%より大きいデューティ比の PWM パルスがコンパレータ 13 b の出力端子 B に発生してそれらのデューティ比の差に応じた PWM パルスにより Hブリッジ回路 16 が三角波信号 S の周波数に対応するチョッパ制御により駆動され、出力端子 16 b (V_{OR} 端子) から出力端子 16 a (V_{OF} 端子) へと大きな駆動電流が前記とは逆方向に流れる。これによりソレノイドの作動子 (ピストンロッド) が後退駆動される。

10

【0021】

このときの発生した出力電圧 $-V_o$ ($V_{OF} < V_{OR}$) に応じて OP アンプ 3 a の出力電流が吐き出す電流 I となり、コンデンサ C_p に対する積分電流値が $(I - i)$ となって、コンデンサ C_p に電荷が積分定数と充電電流値とに従ってオペアンプ 2 a の (-) 入力側からコンデンサ C_p の電荷が充電され、これにより反転動作のオペアンプ 2 a の出力電流でコンデンサ C_p の電荷が放電されて積分電圧 V_a が次第に降下して $+V_{cc}/2$ に向かっていく。

ただし、 $|I| > |i|$ である。

そして、目標位置に向かって後退するにつれて出力端子 16 b と出力端子 16 a (V_{OF} 端子) との出力電圧 $-V_o$ が小さくなって、吐き出す電流 I の値が変換電流 i の値に近づき、やがて、積分電圧 V_a が $+V_{cc}/2$ になり、出力電圧 V_o が “ 0 ” になると $|i| = |I|$ のところでコンデンサ C_p の電荷の放電が停止され、出力端子 2 b の積分電圧 V_a が $+V_{cc}/2$ で停止する。

20

その結果、積分コンデンサ C_F を I_C に外付けしなくても、入力電圧 (指令電圧) V_{in} に応じた駆動制御が可能になる。

【0022】

ここで、積分電圧 V_a が図 5 の誤差増幅器 11 の誤差電圧 V_E に対応するものとしてアクチュエータドライブ回路 1 のゲインを考えてみる。

誤差電圧 V_E は、入力電圧 ($V_s - V_{cc}/2$) を誤差増幅器 11 の基準抵抗と帰還抵抗で決定される増幅率で増幅することで得られる。電圧 V_s は、 $V_s = R_a \cdot (V_{in} - V_F) / (R_a + R_b) + V_F$ である。一方、積分電圧 V_a は、誤差増幅器 11 の帰還抵抗 R_c が積分コンデンサ C_F が帰還抵抗に置き換わっている。

30

そこで、このアクチュエータドライブ回路 1 のゲインは、誤差増幅器 11 を用いる従来の回路よりも大きくなる。

オペアンプ 3 a の各抵抗の抵抗値を $R_{f1} = R_{f2} = R_f$ とし、 $R_{s1} = R_{s2} = R_s$ とし、コンデンサの容量を $C_{nf1} = C_{nf2} = C_{nf}$ とし、 $R_1 \ll R_2$ として、このアクチュエータドライブ回路 1 のゲイン A について式で説明すると次のようになる。

$$R_f / R_s \times V_o = V_{in} \quad \dots (1)$$

$$-1 / S \times C (V_{in} / R_1 + V_1 / R_2) = V_a \quad \dots (2)$$

40

$$V_o = V_a \times K \quad \dots (3)$$

ただし、 $S = 1 / j\omega$, K は変換率, V_1 は充放電回路 3 の出力電圧とする。

(1) ~ (3) より、ゲイン A は、

$$A = V_o / V_{in} =$$

$$(K / R_1 \cdot C_p) / [S + (K \cdot R_f / R_2 \cdot R_s \cdot C_p) \times \{1 / (1 + S \cdot C_{nf} \cdot R_f)\}]$$

となる。

DC ゲイン A_{DC} は、 $S = 0$ より、

$$A_{DC} = (R_2 \times R_s) / (R_1 \times R_f) \text{ となる。}$$

【実施例 2】

【0023】

50

図 2 は、他の一実施例のブロック図である。

通常、フィードバック制御系に積分回路が入ると、積分電圧 V_a に位相遅れが生じて高域周波数で制御電流に乱れを生じて振動や騒音の原因になる場合がある。

そこで、この実施例のアクチュエータドライブ回路 1 a においては、入力抵抗 R_1 に並列に位相進みコンデンサ C_f を設けて、充放電電流の位相遅れを補償している。このコンデンサ C_f の容量としては、ここでは数十 pF 程度であり、IC に内蔵可能である。

前記と同様に、アクチュエータドライブ回路 1 a のゲイン A について式で説明すると次のようになる。

図 1 の実施例に対して入力抵抗 R_1 は、図 2 ではインピーダンス R_{in} となり、 $R_{in} = R_1 / (1 + S \cdot C_f \cdot R_1)$ となる。そこで、前記の式の R_1 に $R_1 / (1 + S \cdot C_f \cdot R_1)$ を代入すると、ゲイン A は、

$$A = V_o / V_{in} = \frac{(K(1 + S \cdot C_f \cdot R_1) / R_1 \cdot C_p) / [S + (K \cdot R_f / R_2 \cdot R_s \cdot C_p)] \times \{1 / (1 + S \cdot C_{nf} \cdot R_f)\}}{1}$$

となる。

DC ゲイン A_{DC} は、 $S = 0$ より、

$$A_{DC} = (R_2 \times R_s) / (R_1 \times R_f) \text{ となる。}$$

【0024】

図 3 (a) は、図 2 の実施例におけるボード線図、すなわち、周波数対ゲイン特性と周波数対位相特性である。

5 G が図 2 の実施例のゲイン特性であり、6 G が誤差増幅器を使用した場合のゲイン特性である。また、5 H が図 2 の実施例のゲイン特性であり、6 H が誤差増幅器を使用した場合の位相特性である。

図示するように、第 1 ポールを 10 kHz とすると、これを超える周波数帯域においてゲイン特性 5 G にはピークがほとんどなく、位相特性 5 H もなだらかに変化していることが理解できる。この点、誤差増幅器を使用した場合のゲイン特性 6 G ではピークがあり、6 H では、位相が急激に変化している。

図 3 (b) は、入力電圧対ゲイン特性であり、周波数を上げた場合の不感帯についての説明図である。縦軸はゲインであり、横軸は、入力電圧 ($V_{in} - V_{ref}$) である。

5 が図 2 の実施例の入力電圧対ゲイン特性であり、6 が誤差増幅器を使用した場合の入力電圧対ゲイン特性である。

グラフ 6 では、-1 V ~ -1.5 V の所で不感帯があるが、グラフ 5 では不感帯がほとんど生じていない。

その理由は、前記したゲイン A で示すように、アクチュエータドライブ回路 10 では、誤差増幅器 11 の入力と出力との間に基準抵抗 R_b と帰還抵抗 R_c が挿入されているが、図 1, 図 2 のアクチュエータドライブ回路 1, 1 a では、積分回路 2 となり、入力と出力との間にコンデンサ C_p が挿入されている関係から、この発明のアクチュエータドライブ回路のオープンゲインが従来の回路よりも向上していることによるものである。

【実施例 3】

【0025】

図 4 は、さらに他の一実施例のブロック図であり、この実施例のアクチュエータドライブ回路 1 b においては、充放電回路 3 を gm アンプ 3 c で構成したものである。

gm アンプ 3 b の出力電流は、抵抗 R_3 を介して OP アンプ 2 a の (-) 入力端子に加えられている。

その動作については図 1 と同様であるので割愛する。

【0026】

ところで、各実施例では、充放電回路 (電流生成回路) 3 は、積分回路 2 に対して充放電する電流を発生している。しかし、この充放電回路 3 は、積分回路 2 に対して充電だけあるは放電だけする回路でであってもよい。

実施例では、コンパレータ 13 a とコンパレータ 13 b とによりデューティ比 50 % を

基準として +、- されたデューティ比の P W M パルスを非反転側の誤差に対する出力端子 A、反転側の誤差に対する出力端子 B にそれぞれ発生している。しかし、この発明は、基準電圧 V_{ref} を $+V_{cc}/2$ でなく、グランド電位としてコンパレータ 13 b と反転バッファ回路 12 とを削除してコンパレータ 13 a をだけを動作させるドライブ回路であってもよい。

この場合には、入力端子 4 に加える指令電圧（入力電圧 V_{in} ）を + 側の電圧だけとし、ブリッドドライブ回路 15 は単なるレベル調整回路とし、コンパレータ 13 a で発生する P W M パルスは、指令電圧（入力電圧）に応じて 0 % ~ 100 % の範囲あるいは選択された範囲でデューティ比が変化するようにすればよい。このときには、充放電回路 3 は放電回路となる。

10

【0027】

また、この発明は、基準電圧 V_{ref} を $+V_{cc}/2$ でなく、グランド電位としてコンパレータ 13 a を削除して反転バッファ回路 12 とコンパレータ 13 b をだけを動作させるドライブ回路としてもよい。

この場合には、入力端子 4 に加える指令電圧（入力電圧 V_{in} ）を - 側の電圧だけとし、ブリッドドライブ回路 15 は単なるレベル調整回路とし、コンパレータ 13 b で発生する P W M パルスは、指令電圧（入力電圧）に応じて 0 % ~ 100 % の範囲あるいは選択された範囲でデューティ比が変化するようにする。このときには、充放電回路 3 は、充電回路となる。

このように、ここでの充放電回路 3 は、充電回路であっても放電回路であってもよい。また、指令電圧（入力電圧 V_{in} ）に対する基準電圧は、任意の電圧を選択することができる。

20

【産業上の利用可能性】

【0028】

以上説明してきたが、実施例では、出力電圧 V_o に応じて積分回路 2 の積分電圧 V_a を制御しているが、積分回路 2 の積分電圧 V_a は、出力電圧 V_o に対応する電圧で制御されても、さらにはコイルに流す駆動電流値に応じて制御されてもよい。

また、実施例のアクチュエータは、モータ駆動等の場合であれば一方向駆動のものであってもよい。

さらに、実施例では、充放電回路 3 で生成する電流を出力電圧 V_o に対応して生成しているが、これは、出力電圧 V_o そのものではなく、これに対応する電圧を発生させて、この電圧に応じて生成するようにしてもよい。

30

さらに、実施例では、出力段回路として H ブリッジ回路を例としているが、この発明の出力段回路は、単なるスイッチ回路であってもよく、このような回路に限定されるものではない。

【図面の簡単な説明】

【0029】

【図 1】図 1 は、この発明のアクチュエータドライブ回路を適用した一実施例のブロック図である。なお、図 5 と同一の構成要素は同一の符号で示し、それらの説明を割愛する。図 1 は、この発明の一実施例の欠陥検査装置の構成図である。

40

【図 2】図 2 は、他の一実施例のブロック図である。

【図 3】図 3 (a) は、図 2 の実施例におけるボード線図、図 3 (b) は、入力電圧対ゲイン特性の説明図である。

【図 4】図 4 は、さらに他の一実施例のブロック図である。

【図 5】図 5 は、従来の I C 化されたアクチュエータドライブ回路である。

【符号の説明】

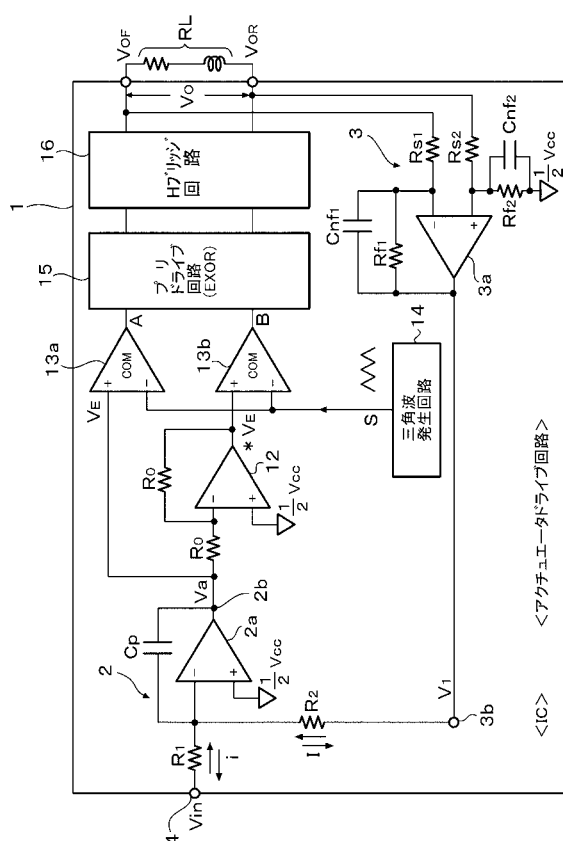
【0030】

- 1, 1 a, 10 ... アクチュエータドライブ回路、
- 2 ... 積分回路、2 a, 3 a ... O P アンプ、
- 3 ... 充放電回路、4 ... 入力端子、

50

1 1 ... 誤差増幅器 (E r r)、1 2 ... 反転バッファ回路、
 1 3 a, 1 3 b ... コンパレータ、1 4 ... 三角波発生回路、
 1 5 ... プリドライブ回路、1 6 ... Hブリッジ回路、
 1 7 ... 電流帰還回路 (V - I アンプ)、1 8 ... 電圧減算抵抗回路、
 1 6 a, 1 6 b ... Hブリッジ回路 1 6 の出力端子、
 1 9 ... ソレノイドアクチュエータ、
 L ... ソレノイドアクチュエータのコイル、R ... ソレノイドアクチュエータの等価抵抗。

【図 1】



【図 2】

