



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월13일  
(11) 등록번호 10-1328862  
(24) 등록일자 2013년11월06일

(51) 국제특허분류(Int. Cl.)

H01L 21/28 (2006.01)

(21) 출원번호 10-2006-0063325

(22) 출원일자 2006년07월06일

심사청구일자 2011년06월07일

(65) 공개번호 10-2007-0005519

(43) 공개일자 2007년01월10일

(30) 우선권주장

JP-P-2005-00197938 2005년07월06일 일본(JP)

(56) 선행기술조사문헌

KR1020030024551 A\*

KR1020000022861 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

르네사스 일렉트로닉스 가부시키가이샤

일본국 카나가와켄 카와사키시 나카하라쿠 시모누  
마베 1753번지

(72) 발명자

훗타 카츠히코

일본국 도쿄도 지요다구 마루노우찌 2쥬메 4-1 가  
부시끼가이샤르네사스테크놀로지 지테크자이산켄  
도카츠부나이

사사하라 교코

일본국 도쿄도 지요다구 마루노우찌 2쥬메 4-1 가  
부시끼가이샤르네사스테크놀로지 지테크자이산켄  
도카츠부나이

(74) 대리인

특허법인 원전

전체 청구항 수 : 총 9 항

심사관 : 정구원

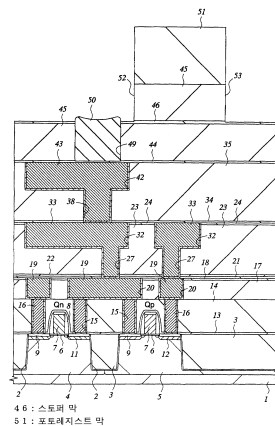
(54) 발명의 명칭 반도체집적회로장치 및 반도체집적회로장치의 제조 방법

(57) 요약

듀얼 대머신(Dual-Damascene)법을 이용한 다층 Cu배선의 형성 공정을 간략화한다.

층간절연막(45) 위로 형성한 포토레지스트막(51)을 마스크로 해서 층간 절연막(45)을 드라이 에칭하고, 층간 절연막(45)의 중도부에 형성한 스토퍼막(46)의 표면에서 에칭을 정지함으로써 배선홈(52, 53)을 형성한다. 여기에 서, 스토퍼막(46)을 광반사율이 낮은 SiCN막에 의해 구성하고, 포토레지스트막(51)을 노광할 때의 반사 방지막으 로서 기능시키는 것에 의해, 포토레지스트막(51)의 하층에 반사 방지막을 형성하는 공정이 불필요하게 된다.

대표도 - 도19



46 : 스토퍼 막  
51 : 포토레지스트 막

## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

- (a) 반도체 기판의 주면 상에, 제1 배선(19)을 형성하는 공정과,
- (b) 상기 제1 배선 상에 제1 층간 절연막(23)을 형성하는 공정과,
- (c) 상기 제1 층간 절연막 상에 제1 반사 방지막(25)을 형성하고, 상기 제1 반사 방지막 상에 제1 포토레지스트막(26)을 형성하는 공정과,
- (d) 상기 제1 포토레지스트막을 마스크로 하고, 상기 제1 반사 방지막 및 상기 제1 층간 절연막을 에칭하는 것으로, 상기 제1 층간 절연막에 제1 비어홀(27)을 형성하는 공정과,
- (e) 상기 제1 포토레지스트막 및 상기 제1 반사 방지막을 제거하는 공정과,
- (f) 상기 제1 비어홀의 내부에 제1 매립제(28)를 충전하는 공정과,
- (g) 상기 공정(f) 후, 상기 제1 층간 절연막 상에 제2 반사 방지막(30)을 형성하고, 상기 제2 반사 방지막 상에 제2 포토레지스트막(31)을 형성하는 공정과,
- (h) 상기 제2 포토레지스트막을 마스크로 하고, 상기 제1 비어홀이 형성된 영역을 포함한 영역의 상기 제1 층간 절연막을 에칭하는 것으로, 상기 제1 층간 절연막에 제1 배선홈(32)을 형성하는 공정과,
- (i) 상기 제2 포토레지스트막, 상기 제2 반사 방지막 및 상기 제1 매립제를 제거하는 공정과,
- (j) 상기 제1 배선홈 및 상기 제1 비어홀의 내부에 제1 금속막을 매립하고, 제2 배선(33)을 형성하는 공정과,
- (k) 상기 제2 배선의 상층에, 중도부(中途部)에 제1 스토퍼막(46)을 가지는 제2 층간 절연막(45)을 형성하는 공정과,
- (l) 상기 제2 층간 절연막 상에 제3 반사 방지막(47)을 형성하고, 상기 제3 반사 방지막 상에 제3 포토레지스트막(48)을 형성하는 공정과,
- (m) 상기 제3 포토레지스트막을 마스크로 하고, 상기 제3 반사 방지막, 상기 제2 층간 절연막 및 상기 제1 스토퍼막을 에칭하는 것으로, 상기 제2 층간 절연막에 제2 비어홀(49)을 형성하는 공정과,
- (n) 상기 제3 포토레지스트막 및 상기 제3 반사 방지막을 제거하는 공정과,
- (o) 상기 제2 비어홀의 내부에 제2 매립제(50)를 충전하는 공정과,

(p) 상기 공정(o) 후, 상기 제2 층간 절연막 상에, 반사 방지막을 개재하는 일 없이, 제4 포토레지스트막(51)을 형성하는 공정과,

(q) 상기 제4 포토레지스트막을 마스크로 하고, 또한, 상기 제 1 스토퍼막을 에칭 스토퍼로서, 상기 제2 비어홀이 형성된 영역을 포함한 영역의 상기 제2 층간 절연막을 에칭하는 것으로, 상기 제1 스토퍼막의 상부의 상기 제2 층간 절연막에 제2 배선홈(52)을 형성하는 공정과,

(r) 상기 제4 포토레지스트막 및 상기 제2 매립제를 제거하는 공정과,

(s) 상기 제2 배선홈 및 상기 제2 비어홀의 내부에 제2 금속막을 매립하고, 제3 배선(54)을 형성하는 공정을 포함하고,

상기 제2 층간 절연막의 두께는, 상기 제1 층간 절연막의 두께보다 두껍게 형성되고 있고,

상기 제2 배선홈의 깊이는, 상기 제1 배선홈의 깊이보다 깊으며,

상기 제2 비어홀의 깊이는, 상기 제1 비어홀의 깊이보다 깊고,

상기 제2 비어홀의 구경은, 상기 제1 비어홀의 구경보다 크며,

상기 제1 층간 절연막은 상기 제2 층간 절연막보다 유전율이 낮은 재료로 구성되어 있고,

상기 제1 스토퍼막을 상기 제2 층간 절연막보다 광반사율이 낮은 재료로 구성하는 것으로, 상기 제4 포토레지스트막을 형성할 때에, 상기 제1 스토퍼막을 반사 방지막으로서 기능시키고 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 8

제 7 항에 있어서,

상기 제1 층간 절연막은, SiOC를 주체(主體)로 하는 재료로 구성되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 9

제 8 항에 있어서,

상기 제2 층간 절연막은, 산화 실리콘막을 주체로 하는 재료로 구성되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 10

제 9 항에 있어서,

상기 제2 층간 절연막은, 산화 실리콘에 불소가 첨가된 절연막인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 11

제 7 항에 있어서,

상기 제1 스토퍼막은, SiCN막인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 12

제 7 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제1 스토퍼막은, SiN 또는 SiON막인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 13

제 7 항에 있어서,

상기 제1 및 제2 금속막은, 동(銅)을 주체로 하는 금속막인 것을 특징으로 하는 반도체 집적회로 장치의 제조

방법.

#### 청구항 14

- (a) 반도체 기판의 주면 상에, 제1 배선(19)을 형성하는 공정과,
  - (b) 상기 제1 배선 상에 제1 층간 절연막(23)을 형성하는 공정과,
  - (c) 상기 제1 층간 절연막 상에 제1 반사 방지막(25)을 형성하고, 상기 제1 반사 방지막 상에 제1 포토레지스트막(26)을 형성하는 공정과,
  - (d) 상기 제1 포토레지스트막을 마스크로 하고, 상기 제1 반사 방지막 및 상기 제1 층간 절연막을 에칭하는 것으로, 상기 제1 층간 절연막에 제1 비어홀(27)을 형성하는 공정과,
  - (e) 상기 제1 포토레지스트막 및 상기 제1 반사 방지막을 제거하는 공정과,
  - (f) 상기 제1 비어홀의 내부에 제1 매립제(28)를 충전하는 공정과,
  - (g) 상기 공정(f) 후, 상기 제1 층간 절연막 상에 제2 반사 방지막(30)을 형성하고, 상기 제2 반사 방지막 상에 제2 포토레지스트막(31)을 형성하는 공정과,
  - (h) 상기 제2 포토레지스트막을 마스크로 하고, 상기 제1 비어홀이 형성된 영역을 포함한 영역의 상기 제1 층간 절연막을 에칭하는 것으로, 상기 제1 층간 절연막에 제1 배선홈(32)을 형성하는 공정과,
  - (i) 상기 제2 포토레지스트막, 상기 제2 반사 방지막 및 상기 제1 매립제를 제거하는 공정과,
  - (j) 상기 제1 배선홈 및 상기 제1 비어홀의 내부에 제1 금속막을 매립하고, 제2 배선(33)을 형성하는 공정과,
  - (k) 상기 제2 배선의 상층에, 중도부(中途部)에 제1 스톱퍼막(46)을 가지는 제2 층간 절연막(45)을 형성하는 공정과,
  - (l) 상기 제2 층간 절연막 상에 제3 반사 방지막(47)을 형성하고, 상기 제3 반사 방지막 상에 제3 포토레지스트막(48)을 형성하는 공정과,
  - (m) 상기 제3 포토레지스트막을 마스크로 하고, 상기 제3 반사 방지막, 상기 제2 층간 절연막 및 상기 제1 스톱퍼막을 에칭하는 것으로, 상기 제2 층간 절연막에 제2 비어홀(49)을 형성하는 공정과,
  - (n) 상기 제3 포토레지스트막 및 상기 제3 반사 방지막을 제거하는 공정과,
  - (o) 상기 제2 비어홀의 내부에 제2 매립제(50)를 충전하는 공정과,
  - (p) 상기 공정(o) 후, 상기 제2 층간 절연막 상에, 반사 방지막을 개재하는 일 없이, 제4 포토레지스트막(51)을 형성하는 공정과,
  - (q) 상기 제4 포토레지스트막을 마스크로 하고, 또한, 상기 제1 스톱퍼막을 에칭 스톱퍼로서, 상기 제2 비어홀이 형성된 영역을 포함한 영역의 상기 제2 층간 절연막을 에칭하는 것으로, 상기 제1 스톱퍼막의 상부의 상기 제2 층간 절연막에 제2 배선홈(52)을 형성하는 공정과,
  - (r) 상기 제4 포토레지스트막 및 상기 제2 매립제를 제거하는 공정과,
  - (s) 상기 제2 배선홈 및 상기 제2 비어홀의 내부에 제2 금속막을 매립하고, 제3 배선(54)을 형성하는 공정을 포함하고,
- 상기 제2 층간 절연막의 두께는, 상기 제1 층간 절연막의 두께보다 두껍게 형성되고 있고,
- 상기 제2 배선홈의 깊이는, 상기 제1 배선홈의 깊이보다 깊으며,
- 상기 제2 비어홀의 깊이는, 상기 제1 비어홀의 깊이보다 깊고,
- 상기 제2 비어홀의 구경은, 상기 제1 비어홀의 구경보다 크며,
- 상기 제1 층간 절연막은, SiOC를 주체(主體)로 하는 재료로 구성되어 있고,
- 상기 제2 층간 절연막은, 산화 실리콘막 또는 산화 실리콘에 불소가 첨가된 막으로 구성되어 있으며,
- 상기 제1 스톱퍼막은, SiN 또는 SiON막이고,

상기 제1 및 제2 금속막은, 동(銅)을 주체로 하는 금속막이며,

상기 제1 배선과 상기 제1 층간 절연막의 사이에, 실리콘, 탄소 및 질소를 포함한 막이며, 또한, 상기 제1 배선을 구성하는 금속의 확산을 막는 기능을 가지는 제1 배리어 절연막(21)이 형성되고 있고,

상기 제1 스토퍼막을 상기 제2 층간 절연막보다 광반사율이 낮은 재료로 구성하는 것으로, 상기 제4 포토레지스트막을 형성할 때에, 상기 제1 스토퍼막을 반사 방지막으로서 기능시키고 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 15

제 14 항에 있어서,

상기 배리어 절연막은, SiCN막인 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- [0065] 본 발명은, 반도체집적회로장치의 제조 기술에 관한 것으로, 특히, 듀얼대머신(Dual-Damascene)법을 이용한 배선의 형성에 적용하는 유효한 기술에 관한다.
- [0066] 최근의 미세화된 반도체집적회로장치의 제조 공정에서는 대머신(Damascene)법이라고 불리는 미세배선 형성 방법이 주류가 되고 있다.
- [0067] 대머신법은, 반도체기판상의 층간절연막에 미세한 배선홈을 형성한 후, 이 배선홈의 내부를 포함하는 층간절연막 위로 금속막을 퇴적하고, 다음에 화학적 기계연마(CMP:Chemical Mechanical Polishing)법을 이용해서 배선홈의 외부의 금속막을 제거함으로써, 배선홈의 내부에 미세한 매립 배선을 형성하는 방법이다.
- [0068] 상기 대머신법 중, 듀얼대머신법이라고 불리는 방법에 있어서는, 층간절연막에 형성한 배선홈의 하부에 하층배선 접속용의 비어홀을 형성하고, 배선홈과 비어홀에 동시에 금속막을 매립해서 배선을 형성함으로써, 공정수의 단축을 꾀하고 있다. 한편, 미리 비어홀의 내부에 금속 플러그를 형성한 후, 배선홈의 내부에 매립 배선을 형성하는 방법은, 싱글대머신(Single -Damascene)법이라고 불린다.
- [0069] 매립 배선용의 금속재료로서는, 세션화해도 높은 신뢰성을 확보할 수 있는 Cu(동)이 주로 사용되고 있다. 또한, 대머신법을 사용하여 층간 절연막에 매립 배선을 형성할 경우는, 인접 배선 간에 생기는 용량을 저감하기 위해서, 층간절연막을 유전율의 낮은 절연 재료로 구성하는 것이 행하여지고 있다. 저유전율 재료로 이루어지는 층간 절연막에 대머신법으로 매립 배선을 형성하는 기술에 대해서는, 예컨대 특개 2004-221275호공보(특허문헌1)이나, 특개 2003-124307호공보(특허문헌2)등에 기재가 있다.
- [0070] 또한, 특개2003-163265호공보(특허문헌3)에는, 싱글대머신법에 의해 배선층을 형성할 경우, 비어홀의 개구시에 SiCN막을 레지스트 패턴의 반사 방지막으로서 사용하는 제조 방법의 개시가 있다.
- [0071] [특허문헌1]특개 2004-221275호 공보

- [0072] [특허문헌2]특개 2003-124307호 공보
- [0073] [특허문헌3]특개 2003-163265호 공보
- [0074] 본 발명자가 검토한 듀얼대머신법에 의한 다층Cu배선의 형성 공정은, 개략 다음과 같다.
- [0075] (공정1) 우선, 종래 주지의 방법을 이용해서 반도체 기판 위로 반도체소자를 형성하고, 반도체소자의 상부에 하층배선을 형성한다.
- [0076] (공정2) 다음에, 하층배선의 상부에 층간절연막을 퇴적하고, 층간 절연막 위로 반사 방지막을 형성한 후, 반사 방지막위로 포토레지스트막을 형성한다. 포토레지스트막은, 비어홀 패턴이 형성된 포토마스크를 사용하여 노광을 하고, 계속해서 현상을 함으로써, 비어홀 형성 영역이 개구된 패턴을 전사한다. 반사 방지막은, 포토레지스트막을 노광할 때, 하층배선의 표면에서 반사한 노광 광이 포토레지스트막에 입사하고, 해상도의 저하를 막기 위해서 형성한다. 포토레지스트막의 하층에 형성하는 반사 방지막은, BARC(Bottom Anti Reflective Coating)이라고도 불린다.
- [0077] (공정3) 다음에, 포토레지스트막을 마스크로 해서 반사 방지막 및 층간 절연막을 드라이 에칭함으로써, 층간절연막에 비어홀을 형성한다. 계속해서, 포토레지스트막과 반사 방지막을 제거하고, 비어홀의 내부에 매립제를 충전한다. 매립제는, 반사 방지막과 거의 동일조성의 절연 재료로부터 이루어진다. 비어홀의 내부에 매립제를 충전하기 위해서는, 비어홀의 내부를 포함하는 층간 절연막 위로 매립제를 퇴적한 후, 비어홀의 외부의 매립제를 에치백에 의해 제거한다. 이 에치백을 하면, 비어홀에 충전된 매립제의 표면은, 거의 평탄해지고, 또한 층간 절연막의 표면과 거의 같은 높이가 된다.
- [0078] (공정4) 다음에, 층간 절연막 위로 제2의 반사 방지막을 형성하고, 이 반사 방지막위로 제2의 포토레지스트막을 형성한다. 제2의 포토레지스트막은, 배선흘 패턴이 형성된 포토마스크를 사용하여 노광을 하고, 계속해서 현상을 함으로써, 배선흘형성 영역이 개구된 패턴을 전사한다. 다음에, 제2의 포토레지스트막을 마스크로 해서 제2의 반사 방지막을 드라이 에칭하고, 계속해서 층간 절연막을 그 도중까지 드라이 에칭함으로써, 비어홀의 상부에 배선흘을 형성한다.
- [0079] (공정5) 다음에, 제2의 포토레지스트막을 제거한 후, 제2의 반사 방지막을 제거한다.
- [0080] 제2의 반사 방지막을 제거할 때는, 비어홀에 충전된 매립제도 제거하고, 비어홀의 저부에 하층배선의 표면을 노출시킨다. 그 후, 배선흘 및 비어홀의 내부에 Cu배선을 형성한다. Cu 배선을 형성하기 위해서는, 배선흘 및 비어홀의 내부를 포함하는 층간절연막 위로 스퍼터링법 또는 도금법에서 Cu막을 퇴적한 후, 배선흘의 외부의 Cu막을 화학적 기계연마법에 의해 제거한다. 이하, 상기에서 행한 공정2~공정5을 반복하는 것에 따라, 반도체 기판 위로 다층Cu배선을 형성한다.
- [0081] 일반적으로, 반도체 기판 위로 형성되는 다층Cu배선은, 상층의 배선 정도 폭 및 두께가 커진다. 따라서, 상층의 층간 절연막에 형성되는 비어홀도, 하층의 층간 절연막에 형성되는 비어홀에 비해서 직경 및 깊이가 커진다.
- [0082] 그런데, 비어홀의 직경 및 깊이가 커지면, 상기에서 행한 공정3에 있어서, 비어홀의 내부에 매립제를 양호하게 충전하는 것이 어려워진다. 그 때문에, 비어홀의 내부를 포함하는 층간 절연막 위로 매립제를 퇴적한 후, 비어홀의 외부의 매립제를 에치백에 의해 제거하면, 비어홀에 충전된 매립제의 표면이 평탄해지지 않고, 층간절연막의 표면과의 사이에 단차가 생긴다. 그 결과, 다음의 공정4에 있어서, 층간절연막 위로 반사 방지막을 균일하게 형성할 수가 없게 된다는 문제가 생긴다.
- [0083] 본 발명의 목적은, 듀얼대머신법에 의한 다층Cu배선의 형성을 수월 좋게 하는 기술을 제공하는 것에 있다.
- [0084] 본 발명의 다른 목적은, 듀얼대머신법에 의한 다층Cu배선의 형성 공정을 간략화하는 것이 할 수 있는 기술을 제공하는 것에 있다.
- [0085] 본 발명의 상기 및 그 밖의 목적과 신규인 특징은, 본 명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.

### 발명이 이루고자 하는 기술적 과제

- [0086] 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.
- [0087] 본 발명에 의한 반도체집적회로장치의 제조 방법은, (a) 반도체 기판의 주면 상에, 제1 배선(19)을 형성하는 공

정과, (b) 상기 제1 배선 상에 제1 층간 절연막(23)을 형성하는 공정과, (c) 상기 제1 층간 절연막 상에 제1 반사 방지막(25)을 형성하고, 상기 제1 반사 방지막 상에 제1 포토레지스트막(26)을 형성하는 공정과, (d) 상기 제1 포토레지스트막을 마스크로 하고, 상기 제1 반사 방지막 및 상기 제1 층간 절연막을 에칭하는 것으로, 상기 제1 층간 절연막에 제1 비어홀(27)을 형성하는 공정과, (e) 상기 제1 포토레지스트막 및 상기 제1 반사 방지막을 제거하는 공정과, (f) 상기 제1 비어홀의 내부에 제1 매립제(28)를 충전하는 공정과, (g) 상기 공정(f) 후, 상기 제1 층간 절연막 상에 제2 반사 방지막(30)을 형성하고, 상기 제2 반사 방지막 상에 제2 포토레지스트막(31)을 형성하는 공정과, (h) 상기 제2 포토레지스트막을 마스크로 하고, 상기 제1 비어홀이 형성된 영역을 포함한 영역의 상기 제1 층간 절연막을 에칭하는 것으로, 상기 제1 층간 절연막에 제1 배선홈(32)을 형성하는 공정과, (i) 상기 제2 포토레지스트막, 상기 제2 반사 방지막 및 상기 제1 매립제를 제거하는 공정과, (j) 상기 제1 배선홈 및 상기 제1 비어홀의 내부에 제1 금속막을 매립하고, 제2 배선(33)을 형성하는 공정과, (k) 상기 제2 배선의 상층에, 중도부(中途部)에 제1 스톱퍼막(46)을 가지는 제2 층간 절연막(45)을 형성하는 공정과, (l) 상기 제2 층간 절연막 상에 제3 반사 방지막(47)을 형성하고, 상기 제3 반사 방지막 상에 제3 포토레지스트막(48)을 형성하는 공정과, (m) 상기 제3 포토레지스트막을 마스크로 하고, 상기 제3 반사 방지막, 상기 제2 층간 절연막 및 상기 제1 스톱퍼막을 에칭하는 것으로, 상기 제2 층간 절연막에 제2 비어홀(49)을 형성하는 공정과, (n) 상기 제3 포토레지스트막 및 상기 제3 반사 방지막을 제거하는 공정과, (o) 상기 제2 비어홀의 내부에 제2 매립제(50)를 충전하는 공정과, (p) 상기 공정(o) 후, 상기 제2 층간 절연막 상에, 반사 방지막을 개재하는 일 없이, 제4 포토레지스트막(51)을 형성하는 공정과, (q) 상기 제4 포토레지스트막을 마스크로 하고, 또한, 상기 제1 스톱퍼막을 에칭 스톱퍼로서, 상기 제2 비어홀이 형성된 영역을 포함한 영역의 상기 제2 층간 절연막을 에칭하는 것으로, 상기 제1 스톱퍼막의 상부의 상기 제2 층간 절연막에 제2 배선홈(52)을 형성하는 공정과, (r) 상기 제4 포토레지스트막 및 상기 제2 매립제를 제거하는 공정과, (s) 상기 제2 배선홈 및 상기 제2 비어홀의 내부에 제2 금속막을 매립하고, 제3 배선(54)을 형성하는 공정을 포함하고, 상기 제2 층간 절연막의 두께는, 상기 제1 층간 절연막의 두께보다 두껍게 형성되고 있고, 상기 제2 배선홈의 깊이는, 상기 제1 배선홈의 깊이보다 깊으며, 상기 제2 비어홀의 깊이는, 상기 제1 비어홀의 깊이보다 깊고, 상기 제2 비어홀의 구경은, 상기 제1 비어홀의 구경보다 크며, 상기 제1 층간 절연막은 상기 제2 층간 절연막보다 유전율이 낮은 재료로 구성되어 있고, 상기 제1 스톱퍼막을 상기 제2 층간 절연막보다 광반사율이 낮은 재료로 구성하는 것으로, 상기 제4 포토레지스트막을 형성할 때에, 상기 제1 스톱퍼막을 반사 방지막으로서 기능시키고 있는 것을 특징으로 한다.

### 발명의 구성 및 작용

- [0088] 이하, 본 발명의 실시형태를 도면에 근거해서 상세히 설명한다. 또, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일한 부재에는 원칙적으로 동일한 부호를 붙이고, 그 반복의 설명은 생략한다.
- [0089] (실시형태1)
- [0090] 본 실시형태는, 예컨대, 4층Cu배선과 플즈를 갖는 반도체집적회로장치이며, 그 제조 방법을 도 1~도 26을 이용하여 공정순으로 설명한다.
- [0091] 우선, 도 1에 나타난 바와 같이, 예컨대, 단결정 실리콘으로 이루어지는 반도체기판 (이하, 단지 기판이라고 한다)(1)의 주면에, 반도체소자로서 n 채널형MISFET(Qn) 및 p 채널형 MISFET(Qp)을 형성한다. 또, 도중의 부호(2)는 소자분리 홈, 부호4는 p형 웰, 부호5는 n형 웰을 각각 나타내고 있다.
- [0092] 소자분리홈(2)은, 기판(1)을 에칭해서 형성한 구의 내부에 절연막으로서, 예컨대, 산화실리콘막(3)을 매립해서 형성한다. p형 웰(4) 및 n형 웰(5)은, 기판(1)에 p형불순물(붕소) 및 n형불순물(인)을 이온 주입하고, 계속해서 기판(1)을 열처리해서 이것들의 불순물을 기판(1) 중에 확산시키는 것에 의해 형성한다.
- [0093] n channel형 MISFET(Qn)은, p형 웰(4)의 표면에 형성된 산화실리콘막 또는 산질화 질화 실리콘막으로 구성되는 것이 게이트 절연막(6), 게이트 절연막(6)의 상부에 형성된다. 결정 실리콘 막 등으로 이루어지는 게이트 전극(7), 게이트 전극(7)의 측벽에 형성된 산화실리콘막등으로 이루어지는 사이드 월 스페이서(8), 게이트 전극(7)의 양측의 p형 웰(4)에 형성된 한 쌍의 n형 반도체영역(소스, 드레인)(11)등에 의해 구성된다.
- [0094] p 채널형 MISFET(Qp)은, 게이트 절연막(6), 게이트 전극(7), 사이드 월 스페이서(8), 게이트 전극(7)의 양측의 n형 웰(5)에 형성된 한 쌍의 p형반도체영역(소스, 드레인)(12)등에 의해 구성된다. n 채널형 MISFET(Qn)의 게이트 전극(7)을 구성하는 다결정 실리콘 막 중에는 n형 불순물(ling)이 도입되어, p 채널형MISFET(Qp)의 게이트 전극(7)을 구성하는 다결정 실리콘 막 중에는 p형 불순물(붕소)이 도입된다. 또한, n 채널형 MISFET(Qn)의 게이트



트 전극(7)과 n형 반도체영역(소스, 드레인)(11)의 각각의 표면 및 p 채널형 MISFET(Qp)의 게이트 전극(7)과 p형 반도체영역(소스, 드레인)(12)의 각각의 표면에는, 게이트 전극(7) 및 소스, 드레인의 저저항화를 목적으로서 Co(코발트)시리사이드막(9)이 형성된다.

[0095] 다음에, 도 2에 나타난 바와 같이, n 채널형MISFET(Qn) 및 p 채널형MISFET(Qp)의 상부에 플러그(16) 및 제1층배선(19)을 형성하고, n 채널형MISFET(Qn) 및 p 채널형MISFET(QP)과 제1층배선(19)과를 플러그(16)를 통해서 전기적으로 접속한다.

[0096] 제1층배선(19)은, 이하의 방법에서 형성한다. 우선, 기관(1)위로 에칭스토퍼막(13)과 절연막(14)을 퇴적한 후, 절연막(14)의 표면을 화학적 기계연마법에서 평탄화한다. 에칭스토퍼막(13)은, 예컨대 CVD법으로 퇴적한 질화실리콘 막으로 구성하고, 절연막(14)은, 예컨대 CVD법으로 퇴적한 산화실리콘막으로 구성한다.

[0097] 다음에, n 채널형MISFET(Qn)의 n형반도체영역(소스, 드레인)(11) 및 p 채널형MISFET(Qp)의 p형반도체영역(소스, 드레인)(12)의 각각의 상부의 절연막(14)을 에칭하고, 계속해서 그 하층의 에칭스토퍼막(13)을 에칭해서 콘택트 홀(15)을 형성한다. 다음에, 콘택트 홀(15)의 내부에 플러그(16)를 형성한다. 플러그(16)는, 예컨대 TiN(질화 티타늄)막과 W(텅스텐)막과의 적층막으로 구성한다.여기에서, TiN막은 W막의 배리어 메탈 막으로서 기능한다. 배리어 메탈 막은, TiN막과 Ti(티타늄)막과의 적층막으로 구성해도 좋다.

[0098] 다음에, 절연막(14)의 상부에 CVD법에서 막두께 200nm정도의 절연막(17)(SiOC막(17))과 막두께 50nm정도의 산화실리콘막으로 구성되는 절연막(18)을 퇴적한 후, 포토레지스트막(도시하지 않음)을 마스크로 해서 절연막(18) 및 SiOC막(17)을 드라이 에칭함으로써, 배선홈(20)을 형성한다. 절연막(17)(SiOC막(17))은, 배선간 용량을 저감하기 위한 저유전율 절연막이며, 산화실리콘막(예를들면 TEOS(Tetra ethoxy silane)산화막)의 유전율보다도 낮은 유전율을 갖는 절연막을 예시할 수 있다.

[0099] 일반적으로는, TEOS산화막의 비유전율  $\epsilon=4.1\sim 4.2$  정도 이하를 저유전율인 절연막이라고 한다. 본 실시형태에 있어서는, 그 비유전율은 2.7 정도이다. SiOC 막(17)의 상부에 형성하는 절연막(18)은, 기계적 강도가 낮은 SiOC막(17)이 화학적 기계연마에 의해 열화하는 것을 막는 보호막으로서 기능한다.

[0100] 다음에, 배선홈(20)의 내부에 막두께 50nm 정도의 TiN막, 또는 TiN막과 Ti막과의 적층막으로 구성하는 것이 배리어 메탈 막을 스퍼터링법으로 퇴적하고, 계속해서 배선홈(20)의 내부를 완전히 매립하는 두꺼운(800nm~1600nm정도)Cu막을 스퍼터링법 또는 도금법으로 퇴적한다. 배리어 메탈 막은, Cu막이 주위의 절연막중에 확산하는 것을 막는 배리어 막으로서 기능한다. 배리어 메탈 막으로서, TiN막이외에, WN(질화 텅스텐)막이나 TaN(질화 탄탈)막과 같은 질화 금속막 또는 이것들에 Si를 첨가한 합금막, 혹은 Ta막, Ti막, W막, TiW막과 같은 고용점금속막, 또는 이것들 고용점금속막의 적층막등, Cu와 반응하기 어려운 각종 도전막을 사용할 수가 있다.

[0101] 다음에, 배선홈(20)의 외부의 Cu막과 배리어 메탈 막과를 화학적 기계연마법에서 제거함으로써, 배선홈(20)의 내부에 동을 주성분으로 하는 금속막이 매립되어서 형성된다. 이렇게 하여, 배선홈(20)의 내부에 남은 배리어 메탈 막과 Cu막과의 적층막으로 구성되는 제1층배선(19)이 형성된다.

[0102] 다음에, 도 3에 나타난 바와 같이, 제1층배선(19)의 상층에 배리어 절연막(21, 22), 층간 절연막(23) 및 절연막(24)을 순차 퇴적한다. 배리어 절연막(21)은, 제1층배선(19)의 재료인 Cu가 층간 절연막(23) 중에 확산하는 것을 막기 위한 절연막이며, 예컨대 플라스마CVD법으로 퇴적한 막두께 20nm~100nm정도의 SiCN막으로 구성한다. 또한, 배리어 절연막(22)은, 하층의 배리어 절연막(21)을 구성하는 SiCN막중 에 포함되는 아민 화합물이 층간절연막(23) 중에 확산하는 것을 막기 위한 절연막이며, 예컨대 CVD법으로 퇴적한 막두께 10nm~100nm정도의 SiCO막으로 구성한다. 층간 절연막(23) 중에 아민 화합물이 확산되면, 다음 공정에서 절연막(24)의 상층에 형성하는 포토레지스트막중에 아민 화합물이 확산되고, 포토레지스트막의 감광 기능이 실활(失活)할 우려가 있다.

[0103] 층간절연막(23)은, 제1층배선(19)과 뒤의 공정에서 형성하는 제2층배선과의 사이에 형성되는 용량을 저감하기 위해서, 유전율이 낮은 절연막, 예컨대 상술의 SiOC막으로 구성한다. SiOC 막은 CVD법으로 퇴적하고, 그 막두께는 460nm정도로 한다. 또한, 층간절연막(23)과 같은 저유전율의 막은 도포법에 의해 형성할 수도 있다. 또한, 층간 절연막(23)의 상부에 형성하는 절연막(24)은, 하층의 절연막(18)과 마찬가지로, 화학적 기계연마에 의해 Cu배선을 형성할 때에, 기계적 강도가 낮은 SiOC막으로 구성하는 것이 층간절연막(23)을 보호하기 위한 절연막이며, 예컨대 CVD법으로 퇴적한 막두께 50nm정도의 산화실리콘막으로 구성한다.

[0104] 다음에, 도 4에 나타난 바와 같이, 절연막(24)위로 반사 방지막(25)을 형성하고, 반사 방지막(25)위로 포토레지스트막(26)을 형성한다. 반사 방지막(25)은, 포토레지스트막(26)을 노광할 때, 제1층배선(19)의 표면에서 반사



한 노광 광이 포토레지스트막(26)에 입사하고, 해상도의 저하를 막기 위해서 형성한다. 반사 방지막은, BARC(Bottom Anti Reflective Coating)이라고 불리는 막이며, 시모지의 절연막(24) 및 층간절연막(23)보다도 굴절율이 높은 막이다. 포토레지스트막(26)은, 비어홀 패턴이 형성된 포토마스크(도시하지 않음)를 사용하여 노광을 하고, 계속해서 현상을 함으로써, 비어홀 형성 영역이 개구된 패턴을 전사한다.

[0105] 다음에, 도 5에 나타난 바와 같이, 포토레지스트막(26)을 마스크로 해서 반사 방지막(25), 절연막(24) 및 층간절연막(23)을 순차 드라이 에칭함으로써, 제1층배선(19)의 상부에 비어홀(27)을 형성한다.

[0106] 다음에, 포토레지스트막(26)과 반사 방지막(25)을 제거한다. 이때, 반사 방지막(25)을 상기의 BARC에서 형성했을 경우, 막의 조성이 포토레지스트막(26)과 유사하기 때문에, 일단의 세정에 의해 포토레지스트막(26) 및 반사 방지막(25)을 동시에 제거할 수가 있다. 그 후, 도 6에 나타난 바와 같이, 비어홀(27)의 내부에 매립제(28)를 충전한다. 매립제(28)는, 반사 방지막(25)과 거의 동일조성의 절연 재료로부터 된다. 매립제(28)를 충전하기 위해서는, 비어홀(27)의 내부를 포함하는 절연막(24)위로 매립제(28)를 스핀 도포해서 경화시킨 후, 비어홀(27)의 외부의 매립제(28)를 에치백에 의해 제거한다. 제1층배선(19)과 뒤에 형성하는 제2층배선을 접속하는 비어홀(27)의 직경은, 비교적 작다. 그 때문에, 이 에치백을 하면, 비어홀(27)에 충전된 매립제(28)의 표면은, 거의 평탄한 면이 되고, 또한 절연막(24)의 표면과 거의 같은 높이가 된다.

[0107] 다음에, 도 7에 나타난 바와 같이, 절연막(24)위로 반사 방지막(30)을 형성하고, 반사 방지막(30)위로 포토레지스트막(31)을 형성한다. 본 실시형태에서는, 반사 방지막(30)은 상술의 BARC를 사용하고 있다. 포토레지스트막(31)은, 배선홈 패턴이 형성된 포토마스크(도시하지 않음)를 사용하여 노광을 하고, 계속해서 현상을 함으로써, 배선홈형성 영역이 개구된 패턴을 전사한다.

[0108] 다음에, 도 8에 나타난 바와 같이, 포토레지스트막(31)을 마스크로 해서 반사 방지막(30) 및 절연막(24)을 순차 드라이 에칭하고, 계속해서 층간절연막(23)을 그 도중까지 드라이 에칭함으로써, 배선홈(32)을 형성한다. 이때, 층간 절연막(23)에는 에칭스토퍼로 되는 막이 존재하지 않기 때문에, 배선홈(32)형성의 에칭은 시간제어에 의해 행하여진다. 후술하지만, 하층의 배선 치수는 상층의 배선 치수에 비해서 미세하게 레이아웃 되기 때문에, 층간 절연막(23)보다도 유전율이 높은 막을 형성하면, 배선간 용량이 증대해버린다. 본 실시형태에서는, 층간 절연막(23) 중에 에칭스토퍼막을 형성하지 않음으로써 배선간의 용량을 저감할 수가 있다. 또한, 상층의 배선홈의 깊이에 비해서 하층의 배선홈의 깊이는 얇게 레이아웃 되는 것부터, 배선홈 형성시의 에칭량은 적어도 되므로, 특히 에칭스토퍼막을 설치하지 않아도 에칭의 시간제어에 의해서 막두께를 제어할 수가 있다.

[0109] 다음에, 포토레지스트막(31)을 제거한 후, 도 9에 나타난 바와 같이, 절연막(24)상의 반사 방지막(30)을 드라이 에칭으로 제거한다. 이때, 비어홀(27)에 충전된 매립제(28)과 그 하층의 배리어 절연막(22, 21)도 에칭하고, 비어홀(27)의 저부에 제1층배선(19)의 표면을 노출시킨다.

[0110] 다음에, 도 10에 나타난 바와 같이, 배선홈(32) 및 비어홀(27)의 내부에 제2층배선(33)을 형성한다. 제2층배선(33)을 형성하기 위해서는, 우선, 배선홈(32) 및 비어홀(27)의 내부를 포함하는 절연막(24)위로 50nm정도의 얇은 TiN막(배리어 메탈 막)을 스퍼터링법으로 퇴적한다. 계속해서, 이 TiN막 위로 배선홈(32) 및 비어홀(27)의 내부를 완전히 매립하는 두꺼운 Cu막을 스퍼터링법 또는 도금법으로 퇴적한 후, 배선홈(32)의 외부의 Cu막과 배리어 메탈 막을 화학적 기계연마법에 의해 제거한다. 이때, 절연막(24)은 층간 절연막(23)보다도 기계적 강도가 강하기 때문에, 층간 절연막(23)의 보호막으로서 기능하고 있다.

[0111] 다음에, 도 11에 나타난 바와 같이, 제2층배선(33)의 상층에 배리어 절연막(34), 층간 절연막(35) 및 반사 방지막(36)을 퇴적한 후, 반사 방지막(36)위로 형성한 포토레지스트막(37)을 마스크로 해서 반사 방지막(36) 및 층간절연막(35)을 드라이 에칭함으로써, 제2층배선(33)의 상부에 비어홀(38)을 형성한다.

[0112] 배리어 절연막(34)은, 제1층배선(19)의 표면을 덮는 배리어 절연막(21)과 마찬가지로, 배선 재료인 Cu가 층간 절연막(35) 중에 확산하는 것을 막기 위한 절연막이며, 예컨대 플라즈마CVD법으로 퇴적한 막두께 20nm~100nm정도의 SiCN막으로 구성한다.

[0113] 일반적으로, 기관(1)위로 형성되는 다층배선은, 상층의 배선으로 될수록 배선끼리의 간격이 넓어지므로, 배선간 용량이 작아진다. 따라서, 층간 절연막(35)은, 뒤의 공정에서 형성하는 제3층배선끼리나, 제3층배선과 제2층배선(33)과의 사이의 용량이 문제가 안될 경우는, 예컨대 CVD법으로 퇴적한 막두께 700nm정도의 산화실리콘막으로 구성한다. 산화실리콘막은 저유전율 재료인 SiO<sub>2</sub>막에 비해서 막질이 치밀한 것부터, 층간 절연막(35)을 산화실리콘막으로 구성했을 경우는, SiCN막으로 구성하는 것이 배리어 절연막(34)위로 층간 절연막(35)을 직접 퇴적해도, 아민 화합물의 확산은 문제가 안된다.또, SiCN막은, 산화실리콘막과의 접착성이 비교적 낮으므로, 배리어

절연막(34)과 층간절연막(35)과의 접착성을 향상시킬 목적에서, 양자간에 SiCO막을 형성해도 좋다. 또한, 층간 절연막(35)을 구성하는 산화 실리콘계 재료로서는, F(불소)를 첨가해서 유전율을 내린 산화 실리콘을 사용할 수도 있다.

[0114] 다른 한편, 제3층배선(43)끼리나, 제3층배선(43)과 제2층배선(33)과의 사이의 용량이 문제가 될 경우는, 층간 절연막(35)을 SiCO막과 같은 저유전율 재료로 구성한다. 이 경우는, 배리어 절연막(34)과 층간절연막(35)과의 사이에 SiCO막을 형성하고, 배리어 절연막(34)중의 아민 화합물의 확산을 방지하는 것이 바람직하다. 이하 그러한 층간 절연막(35)을 산화실리콘막으로 구성할 경우에 대해서 설명한다.

[0115] 다음에, 포토레지스트막(37)과 반사 방지막(36)을 제거한 후, 도 12에 나타난 바와 같이, 비어홀(38)의 내부에 매립제(39)를 충전한다. 상술한 바와 같이, 매립제(39)는, 상술의 반사 방지막과 거의 동일조성의 절연 재료로부터 된다. 매립제(39)의 충전 방법도, 상기한 비어홀(27)의 내부에 매립제(28)를 충전하는 방법과 같다.

[0116] 제2층배선(33)과 뒤에 형성하는 제3층배선을 접속하는 비어홀(38)의 직경은 비교적 작으므로, 비어홀(38)에 충전된 매립제(39)의 표면은, 거의 평탄한 면이 되고, 또한 층간절연막(35)의 표면과 거의 같은 높이가 된다.

[0117] 다음에, 도 13에 나타난 바와 같이, 층간 절연막(35)에 배선홈(42)을 형성한다. 배선홈(42)을 형성하기 위해서는, 층간 절연막(35)위로 반사 방지막(40)을 형성하고, 반사 방지막(40)위로 포토레지스트막(41)을 형성한 후, 포토레지스트막(41)을 마스크로 해서 반사 방지막(40)을 드라이 에칭하고, 계속해서 층간 절연막(35)을 그 도중까지 드라이 에칭한다.

[0118] 본 실시형태에서는, 상기의 배선홈(32)의 형성과 동일하게, 배선홈(42)의 형성을 시간제어에 의한 에칭으로 행하고 있다.

[0119] 다음에, 도 14에 나타난 바와 같이, 배선홈(42) 및 비어홀(38)의 내부에 제3층배선(43)을 형성한다. 제3층배선(43)을 형성하기 위해서는, 우선, 포토레지스트막(41)을 제거하고, 계속해서 반사 방지막(40)을 드라이 에칭에서 제거한다. 반사 방지막(40)을 제거할 때에는, 비어홀(38)에 충전된 매립제(39)과 그 하층의 배리어 절연막(34)도 제거하고, 비어홀(38)의 저부에 제2층배선(33)의 표면을 노출시킨다. 다음에, 배선홈(42) 및 비어홀(38)의 내부를 포함하는 층간 절연막(35) 위로 얇은 TiN막(배리어 메탈 막)을 스퍼터링법으로 퇴적하고, 계속되고, 이 TiN막 위로 두꺼운 Cu막을 스퍼터링법 또는 도금법으로 퇴적한 후, 배선홈(42)의 외부의 Cu막과 배리어 메탈 막과를 화학적 기계연마법에 의해 제거한다.

[0120] 다음에, 도 15에 나타난 바와 같이, 제3층배선(43)의 상층에 배리어 절연막(44)과 층간절연막(45)을 퇴적한다. 배리어 절연막(44)은, Cu의 확산을 막기 위한 절연막이며, 하층의 배리어 절연막(34, 21)과 마찬가지로, 플라즈마CVD법으로 퇴적한 막두께 50nm~100nm정도의 SiCN막으로 구성한다. 다음 공정에서 층간 절연막(45) 중에 형성하는 제4층배선은, 하층의 배선에 비해서 배선의 치수, 배선끼리의 간격 및 배선의 막두께가 크다. 거기에서, 층간절연막(45)은, CVD법으로 퇴적한 막두께 1 $\mu$ m정도의 산화실리콘막으로 구성한다.

[0121] 또, 배리어절연막(44)과 층간 절연막(45)과의 사이에는, 양자의 접착성을 향상시킬 목적에서 SiCO막을 형성해도 좋다. 또한, 층간 절연막(45)을 구성하는 산화 실리콘계 재료로서, F를 첨가해서 유전율을 내린 산화 실리콘을 사용할 수도 있다.

[0122] 층간 절연막(45)의 막두께가 커지면, 층간 절연막(45)을 그 도중까지 에칭해서 배선홈을 형성할 때, 배선홈의 깊이를 고정밀도로 제어하는 것이 어렵게 된다. 즉, 상술한 배선홈(32, 42)보다도 배선홈(52, 53)의 깊이는 깊기 때문에, 상술한 배선홈(32, 42)과 같이 시간제어의 에칭에 의해 형성하는 것이 어렵다. 그래서, 에칭 선택비가 층간 절연막(45)과 다른 에칭 선택비를 갖도록 스토퍼막(46)을 층간절연막(45)의 도중에 형성하고, 스토퍼막(46)의 표면에서 에칭을 정지함으로써, 배선홈의 깊이를 제어한다. 본 실시형태에서는, 층간 절연막(45)의 도중에 형성하는 스토퍼막(46)으로서, 플라즈마CVD법으로 퇴적한 막두께 10nm~100nm정도의 SiCN막을 사용한다. SiCN 막은, 산화실리콘막에 대한 에칭 선택비가 크고, 또한 유전율도 낮으므로, 스토퍼막(46)으로서 유용하다. 또한, 빛의 반사율이 낮다(층간절연막(45)에 비해서 굴절율이 작다)고 하는 특성을 가지므로, 후술하는 것 같이, 반사 방지막으로서도 기능한다.

[0123] 다음에, 도 16에 나타난 바와 같이, 층간절연막(45)위로 반사 방지막(47)을 형성한 후, 반사 방지막(47)위로 형성한 포토레지스트막(48)을 마스크로 해서 반사 방지막(47), 층간절연막(45), 스토퍼막(46) 및 층간 절연막(45)을 순차 드라이 에칭함으로써, 제3층배선(43)의 상부에 비어홀(38)을 형성한다.

[0124] 다음에, 포토레지스트막(48)과 반사 방지막(47)을 제거한 후, 도 17에 나타난 바와 같이, 비어홀(49)의 내부에

매립제(50)를 충전한다. 매립제(50)의 재료 및 충전 방법은, 상술한 그것과 같다. 단지, 제4층배선을 형성하기 위한 비어홀(49)은, 하층의 비어홀(38, 27)에 비해서 직경 및 깊이가 크기 때문에, 매립제(50)를 양호하게 매립하는 것이 어렵게 된다. 따라서, 비어홀(49)에 충전된 매립제(50)는, 그 표면이 평탄해지지 않고, 또한 층간 절연막(45)의 표면과의 사이에 단차가 생긴다.

[0125] 다음에, 도 18에 나타난 바와 같이, 층간절연막(45)위로 포토레지스트막(51)을 형성한다. 상술한 바와 같이, 비어홀(49)에 충전된 매립제(50)의 표면은, 평탄하지 않고, 또한 층간 절연막(45)의 표면과의 사이에 단차가 생기고 있으므로, 층간 절연막(45)의 표면전체에 균일한 막두께의 반사 방지막을 도포하는 것은 곤란하다. 따라서, 여기에서는, 반사 방지막을 이용하는 일없이, 층간절연막(45)위로 포토레지스트막(51)을 직접 형성한다.

[0126] 포토레지스트막(51)은, 배선홈 패턴과 퓨즈 패턴이 형성된 포토마스크(도시하지 않음)를 사용하여 노광을 하고, 계속해서 현상을 함으로써, 배선홈형성 영역과 퓨즈 형성 영역이 개구된 패턴을 전사한다. 상술한 바와 같이, 층간 절연막(45)의 도중에는, 빛의 반사율이 낮은 SiCN막으로 구성된 스토퍼막(46)이 형성되어 있다. 그 때문에, 포토레지스트막(51)의 하층에 반사 방지막을 형성하지 않더라도, 제3층배선(43)의 표면에서 반사한 노광 광이 포토레지스트막(51)에 입사해서 해상도를 저하시키는 문제를 억제할 수가 있다. 이것에 의해, 포토레지스트막(51)의 하층에 반사 방지막을 형성하는 공정이 불필요하게 되므로, 공정을 간략화할 수가 있다. 이렇게, 층간 절연막(45)의 도중에 형성하는 스토퍼막(46)에는, 에칭 선택비가 산화실리콘막과 다르다는 것, 광의 반사율이 낮다는 것 및 유전율에서 낮은 것이 요구된다. 이러한 절연 재료로서는, 상기 SiCN 이외에, 질화 실리콘(SiN)이나 산질화 실리콘(SiON)을 들 수 있지만, 이것들 중에서는 SiCN이 가장 바람직하다.

[0127] 다음에, 도 19에 나타난 바와 같이, 포토레지스트막(51)을 마스크로 해서 층간절연막(45)을 드라이 에칭하고, 스토퍼막(46)의 표면에서 에칭을 정지한다. 이것에 의해, 스토퍼막(46)의 상층의 층간 절연막(45)에 배선홈(52, 53)이 형성된다.

[0128] 다음에, 포토레지스트막(51)을 제거한 후, 도 20에 나타난 바와 같이, 비어홀(49)에 충전된 매립제(50)를 드라이 에칭에서 제거함으로써, 비어홀(49)의 저부에 제3층배선(43)의 표면을 노출시킨다.

[0129] 다음에, 도 21에 나타난 바와 같이, 배선홈(52) 및 비어홀(49)의 내부에 제4층배선(54)을 형성하고, 배선홈(53)의 내부에 퓨즈(55)가 되는 제4층배선(54)을 형성한다.

[0130] 도시는 하지 않지만, 퓨즈(55)는, 하층배선을 통해서 저항 소자에 접속된다. 저항 소자는, MISFET(Qn, Qp)의 게이트 전극(7)과 동층의 다결정 실리콘 막을 사용하여 형성된다. 그래서, 후술하는 프로브 테스트에 의해 CMOS메모리의 일부에 결함이 발견된 경우는, 레이저 빔 등을 사용하여 퓨즈(55)를 절단함으로써 저항 소자의 저항치를 변화시키고, 결함 메모리를 장황 메모리와 바꿔 놓는다.

[0131] 제4층배선(54) 및 퓨즈(55)를 형성하기 위해서는, 배선홈(52, 53) 및 비어홀(49)의 내부를 포함하는 층간절연막(45)위로 얇은 TiN막(배리어 메탈 막)을 스퍼터링법으로 퇴적하고, 계속해서, 이 TiN막위로 두꺼운 Cu막을 스퍼터링법 또는 도금법으로 퇴적한 후, 배선홈(52, 53)의 외부의 Cu막과 배리어 메탈 막과를 화학적 기계 연마법에 의해서 제거한다.

[0132] 또한, 층간 절연막(45) 중에는 에칭스토퍼막(46)이 남겨져 있으나, 일층의 제1, 제2 및 제3배선층에 비교하면, 상층의 제4배선층은 그 배선간 거리가 크게 레이어아웃되어 있고, 층간 절연막(45)의 막두께가 두껍게 형성되어 있으므로, 배선간 용량 및 배선층간 용량의 증가는 거의 무시할 수 있다.

[0133] 다음에, 도 22에 나타난 바와 같이, 제4층배선(54) 및 퓨즈(55)의 상층에 배리어절연막(56)과 층간 절연막(57)을 퇴적한다. 배리어 절연막(56)은, Cu의 확산을 막기 위한 절연막이며, 하층의 배리어 절연막(44, 34, 21)과 같이, 플라즈마CVD법으로 퇴적한 SiCN막으로 구성한다. 층간 절연막(57)은, 하층의 층간 절연막(45, 35)과 같이, 산화 실리콘계의 절연막으로 구성하고, 막두께는 900nm정도로 한다. 또, 도 22에 및 이하의 도에 있어서는, 제4층배선(54)보다도 하층의 부분의 도시를 생략한다.

[0134] 후술하는 바와 같이, 제4층배선(54) 및 퓨즈(55)의 상층에는, 층간 절연막과 표면보호막이 형성된다. 또한, 퓨즈(55)의 상부의 층간 절연막과 표면보호막에는, 퓨즈(55)에 레이저 빔을 조사하기 위한 개구가 형성된다. 그 때문에, 이 개구를 통해서 외부의 수분이 회로 내로 침입했을 경우, 퓨즈(55)가 부식될 우려가 있다. 그래서, 본 실시형태에서는, 상기 배리어 절연막(56)의 막두께를, 하층의 배리어 절연막(44, 34, 21)의 막두께보다도 크게 하고 (예컨대 150nm~200nm정도), 퓨즈(55)의 내습성을 향상시키고 있다.

[0135] 다음에, 도 23에 나타난 바와 같이, 층간 절연막(57)의 상부에 최상층 배선(제5층배선)(60)을 형성하고, 계속해

서 최상층 배선(60)의 상부에 표면보호막(61)을 형성한다. 최상층 배선(60)을 형성하기 위해서는, 우선 포토레지스트막(도시하지 않음)을 마스크로 해서 제4층배선(54)의 상층의 층간 절연막(57)을 드라이 에칭하고, 계속해서 그 하층의 배리어 절연막(56)을 드라이 에칭해서 관통 구멍(through hole)(58)을 형성한 후, 관통 구멍(through hole)(58)의 내부에 플러그(59)를 형성한다. 플러그(59)는, 하층의 플러그(16)와 같이, TiN막과 W막과의 적층막으로 구성한다. 다음에, 층간 절연막(57)의 상부에 스퍼터링법에서 막두께 50nm~100nm정도의 TiN막, 막두께 1 $\mu$ m정도의 Al(알루미늄)합금막 및 막두께 50nm~100nm정도의 TiN막을 퇴적하고, 포토레지스트막(도시하지 않음)을 마스크로 해서 이것들의 도전 막을 에칭함으로써, 최상층 배선(60)을 형성한다. 또한, 최상층 배선(60)의 상부의 표면보호막(61)은, 플라즈마CVD법으로 퇴적한 막두께 200nm정도의 산화실리콘막과 막두께 (60)0nm정도의 질화 실리콘 막의 적층막으로 구성한다.

[0136] 다음에, 도 24에 나타난 바와 같이, 포토레지스트막(도시하지 않음)을 마스크로 해서 표면보호막(61)을 드라이 에칭하고, 최상층 배선(60)의 일부를 노출시킴으로써, 본딩패드(60B)를 형성한다. 또한, 퓨즈(55)의 상층의 표면보호막(61) 및 층간 절연막(57)을 드라이 에칭함으로써, 개구(62)를 형성한다. 이때, 퓨즈(55)를 덮는 배리어 절연막(56)의 표면에서 에칭을 정지하고, 퓨즈(55)의 상부에 배리어절연막(56)을 남겨 둔다.

[0137] 여기에서, 퓨즈(55)상부의 배리어 절연막(55)의 막두께를 하층의 배리어 절연막(44, 34, 21) 보다도 두껍게 형성하고 있기 때문에, 내습성을 확보할 수가 있다. 즉, 가령 상기의 배리어 절연막(56)의 막두께가 하층의 배리어 절연막(44, 34, 21)의 막두께와 동등하게 했을 경우, 예컨대, 퓨즈(55)상부에 개구(62)를 형성할 때의 에칭 공정, 포토레지스트막을 제거할 때의 산소플라즈마 에칭 공정, 그 밖의 세정 공정 등에 의해, 배리어 절연막(56)의 막두께가 더욱 얇아져서, 이것에 따라 내습성이 저하하는 문제가 발생해버린다. 특히 개구(62)의 에칭에서는, 하층의 층간절연막보다도 두꺼운 막두께를 에칭할 필요가 있기 때문에, 오버에칭(H)에 의한 배리어 절연막(56)의 막줄기가 걱정된다. 따라서, 본 실시형태와 같이, 배리어 절연막(56)의 막두께를 하층의 배리어 절연막(44, 34, 21)보다도 두껍게 형성해야 한다.

[0138] 다음에, 본딩패드(60B)의 표면에 프로브(도시하지 않음)를 대서 회로의 전기시험을 한다(프로브 테스트).이 프로브 테스트에서 반도체소자의 일부에 결함이 발견된 경우에는, 개구(62)를 통해서 퓨즈(55)에 레이저 빔을 조사하고, 퓨즈(55)를 절단함으로써, 결함 메모리를 장황 메모리와 바꿔 놓는다.

[0139] 또한, 퓨즈(55)위로 남기는 절연막은, 후술의 레이저 빔 조사에서 절단이 가능한 막두께가 있으면 좋고, 필요에 따라 절연막(57)을 남겨 두어도 무방하다.

[0140] 다음에, 도 25에 나타난 바와 같이, 표면보호막(61)위로 폴리이미드 수지막(63)을 퇴적한 후, 폴리이미드 수지막(63)의 상부에 인출 배선(64)을 형성함으로써, 본딩패드(60B)와 인출 배선(64)을 전기적으로 접속한다. 이 인출 배선(64)은, CMOS메모리의 외부접속 단자로 구성하는 땀납 범프와 본딩패드(60B)를 전기적으로 접속하기 위한 배선이다. 인출 배선(64)을 형성하기 위해서는, 우선 표면보호막(61)위로 폴리이미드 수지막(63)을 퇴적하고, 계속해서 포토레지스트막(도시하지 않음)을 마스크로 해서 본딩패드(60B)의 상부의 폴리이미드 수지막(63)을 에칭함으로써, 본딩패드(60B)의 표면을 노출시킨다. 다음에, 인출 배선(64)을 형성하는 영역이 개구된 포토레지스트막(도시하지 않음)을 표면보호막(61)위로 형성한 후, 도금법 또는 스퍼터링법을 사용하여 표면보호막(61)위로 Cu막을 퇴적한다.

[0141] 다음에, 도 26에 나타난 바와 같이, Cu막으로 구성하는 것이 인출 배선(64)의 표면을 폴리이미드 수지막(65)에서 덮은 후, 폴리이미드 수지막(65)의 일부를 에칭함으로써, 인출 배선(64)의 일단을 노출시켜, 그 표면에 도금법에서 Au(금)막(66)을 형성한다. 그 후, Au(금)막(66)의 표면에 인쇄법에서 땀납 범프(67)를 형성함으로써, 반도체집적회로장치의 외부접속 단자를 형성한다.

[0142] 상기 한 인출 배선(64)의 형성 공정에서는, 에칭 처리나 포토레지스트막의 앓싱처리에 의해, 퓨즈(55)의 상부의 배리어 절연막(56)도 얇아지지만, 미리 배리어 절연막(56)의 막두께를 두껍게 해 두는 것에 의해, 내습성의 열화를 방지할 수가 있다.

[0143] (실시형태2)

[0144] 상기 실시형태1에서는, 층간 절연막에 비어홀을 형성한 후, 배선홀을 형성할 경우에 대해서 설명했다지만, 본 실시형태에서는, 층간 절연막에 배선홀을 형성한 후, 비어홀을 형성할 경우에 대해서 설명한다.

[0145] 우선, 도 27에 나타난 바와 같이, 제3층배선(43)의 상층에 배리어 절연막(44)과 층간 절연막(45)을 퇴적한다. 또한, 층간절연막(45)의 도중에는 스토퍼막(46)을 형성한다.



- [0146] 스토퍼막(46)으로서는, 플라즈마CVD법으로 퇴적한 막두께 10nm~100nm정도의 SiCN막을 사용한다. 여기까지의 공정은, 상기 실시형태1의 도 1~도 15에 나타난 공정과 같다.
- [0147] 다음에, 도 28에 나타난 바와 같이, 층간 절연막(45)위로 포토레지스트막(51)을 형성한 후, 포토레지스트막(51)을 마스크로 해서 층간절연막(45)을 드라이 에칭하고, 스토퍼막(46)의 표면에서 에칭을 정지함으로써, 스토퍼막(46)의 상층의 층간 절연막(45)에 배선홈(52, 53)을 형성한다. 여기에서는, 층간 절연막(45)과 포토레지스트막(51)과의 사이에 반사 방지막을 형성하지 않지만, 상기 실시형태1과 같이, 층간 절연막(45)의 도중에는, 광의 반사율이 낮은 SiCN막으로 구성된 스토퍼막(46)이 형성되어 있다.
- [0148] 그 때문에, 포토레지스트막(51)의 하층에 반사 방지막을 형성하지 않더라도, 제3층배선(43)의 표면에서 반사한 노광 광이 포토레지스트막(51)에 입사해서 해상도를 저하시키는 불량을 억제할 수가 있다.
- [0149] 다음에, 도 29에 나타난 바와 같이, 층간 절연막(45)위로 포토레지스트막(48)을 형성한 후, 포토레지스트막(48)을 마스크로 해서 층간절연막(45) 및 배리어 절연막(44)을 드라이 에칭함으로써, 비어홀(38)을 형성하고, 비어홀(38)의 저부에 제3층배선(43)을 노출시킨다. 이 경우도, 스토퍼막(46)이 반사 방지막으로서 기능하므로, 제3층배선(43)의 표면에서 반사한 노광 광이 포토레지스트막(48)에 입사해서 해상도를 저하시키는 불량을 억제할 수가 있다.
- [0150] 다음에, 포토레지스트막(48)을 제거한 후, 도 30에 나타난 바와 같이, 배선홈(52) 및 비어홀(49)의 내부에 제4층배선(54)을 형성하고, 배선홈(53)의 내부에 퓨즈(55)를 형성한다. 제4층배선(54) 및 퓨즈(55)를 형성하는 방법은, 상기 실시형태1에서 설명한 방법과 같다.
- [0151] 이와 같이, 층간절연막(45)에 배선홈(52, 53)을 형성한 후, 비어홀(38)을 형성하는 본 실시형태에 있어서도, 제4층배선(54)의 형성 공정을 간략화할 수가 있다. 또한, 제4층배선(54)의 형성을 수율 좋게 할 수가 있다.
- [0152] 이상, 본 발명자에 의해 이루어진 발명을 실시형태에 근거해 구체적으로 설명했지만, 본 발명은 상기 실시형태로 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 여러가지로 변경가능한 것은 말할 필요도 없다. 예컨대, 본 발명은, 5층이상의 Cu배선을 갖는 반도체집적회로장치의 제조 방법에도 적용할 수가 있다.
- [0153] [산업상의 이용 가능성]
- [0154] 본 발명은, 듀얼대머신법을 이용해서 다층배선을 형성하는 반도체집적회로장치에 적용해서 유용한 것이다.

### 발명의 효과

- [0155] 본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면 이하와 같다.
- [0156] 본 발명에 의하면, 듀얼대머신법에 의한 다층Cu배선의 형성을 수율 좋게 하는 것이 가능해진다.
- [0157] 또한, 듀얼대머신법에 의한 다층Cu배선의 형성 공정을 간략화하는 것이 가능해진다.

### 도면의 간단한 설명

- [0001] 도 1은 본 발명의 1 실시형태인 반도체집적회로장치의 제조 방법의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
- [0002] 도 2는 도 1에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
- [0003] 도 3은 도 2에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
- [0004] 도 4는 도 3에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
- [0005] 도 5는 도 4에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
- [0006] 도 6은 도 5에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
- [0007] 도 7은 도 6에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
- [0008] 도 8은 도 7에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
- [0009] 도 9는 도 8에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.

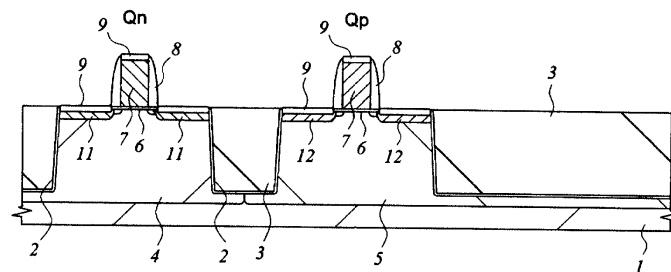
[0010]	도 10은 도 9에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0011]	도 11은 도 10에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0012]	도 12는 도 11에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 평면도이다.
[0013]	도 13은 도 12에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 평면도이다.
[0014]	도 14는 도 13에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0015]	도 15는 도 14에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0016]	도 16은 도 15에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0017]	도 17은 도 16에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0018]	도 18은 도 17에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0019]	도 19는 도 18에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0020]	도 20은 도 19에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0021]	도 21은 도 20에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0022]	도 22는 도 21에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0023]	도 23은 도 22에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0024]	도 24는 도 23에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0025]	도 25는 도 24에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0026]	도 26은 도 25에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0027]	도 27은 본 발명의 다른 실시형태인 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0028]	도 28은 도 27에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0029]	도 29는 도 28에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0030]	도 30은 도 29에 계속되는 반도체집적회로장치의 제조 방법을 나타내는 반도체기판의 요부 단면도이다.
[0031]	[부호의 설명]
[0032]	1 반도체기판 2 소자분리 홈
[0033]	3 산화실리콘막 4 P형 웰
[0034]	5 n형 웰 6 게이트 절연막
[0035]	7 게이트 전극 8 사이드 월 스페이서
[0036]	9 Co실리사이드막 11 n형 반도체영역(소스,드레인)
[0037]	12 p형반도체영역(소스,드레인) 13 에칭스토퍼막
[0038]	14 절연막 15 콘택트 홀
[0039]	16 플러그 17 절연막(SiOC막)
[0040]	18 절연막 19 제1층배선
[0041]	20 배선홈 21, 22 배리어 절연막
[0042]	23 층간 절연막 24 절연막
[0043]	25 반사 방지막 26 포토레지스트막
[0044]	27 비어홀 28 매립제



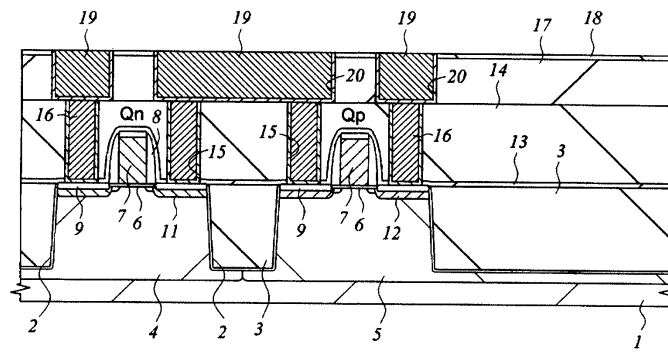
[0045]	30 반사 방지막	31 포토레지스트막
[0046]	32 배선홈	33 제2층배선
[0047]	34 배리어 절연막	35 층간 절연막
[0048]	36 반사 방지막	37 포토레지스트막
[0049]	38 비어홀	39 매립제
[0050]	40 반사 방지막	41 포토레지스트막
[0051]	42 배선홈	43 제3층배선
[0052]	44 배리어 절연막	45 층간 절연막
[0053]	46 스톱퍼막	47 반사 방지막
[0054]	48 포토레지스트막	49 비어홀
[0055]	50 매립제	51 포토레지스트막
[0056]	52, 53 배선홈	54 제4층배선
[0057]	55 퓨즈	56 배리어 절연막
[0058]	57 층간 절연막	58 관통 구멍(through hole)
[0059]	59 플러그	60 최상층 배선(제5층배선)
[0060]	60B 본딩패드	61 표면보호막
[0061]	62 개구	63 폴리이미드 수지막
[0062]	64 인출 배선	65 폴리이미드 수지막
[0063]	66 Au 막	67 땀납 범프
[0064]	Qn n channel형 MISFET	Qp p 채널형 MISFET

## 도면

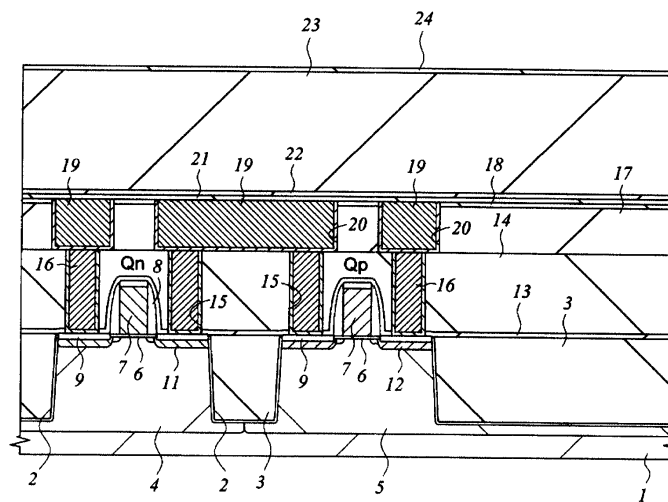
### 도면1



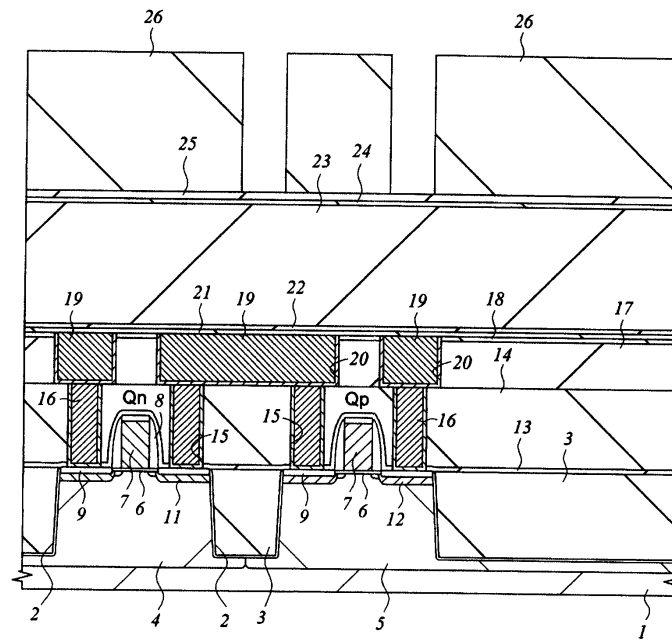
도면2



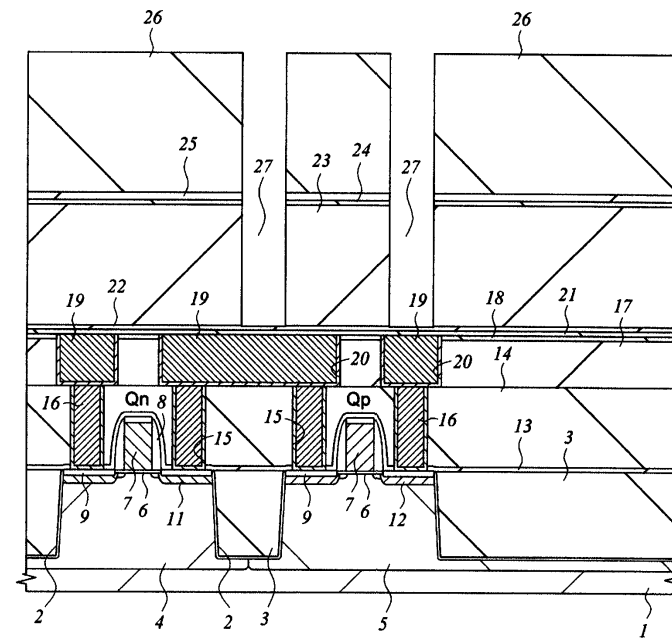
도면3



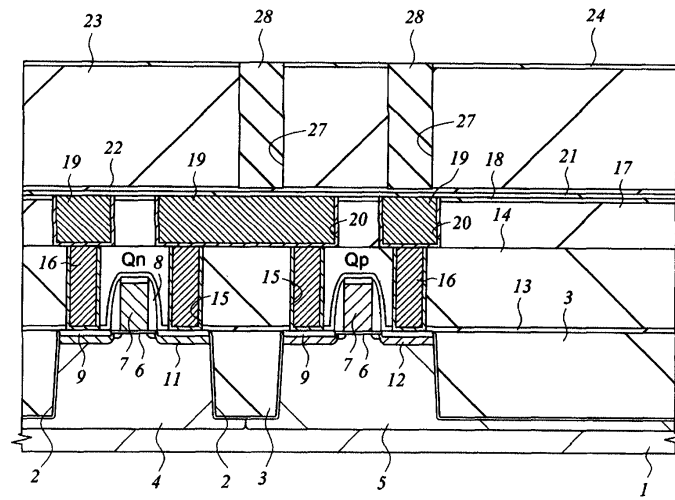
도면4



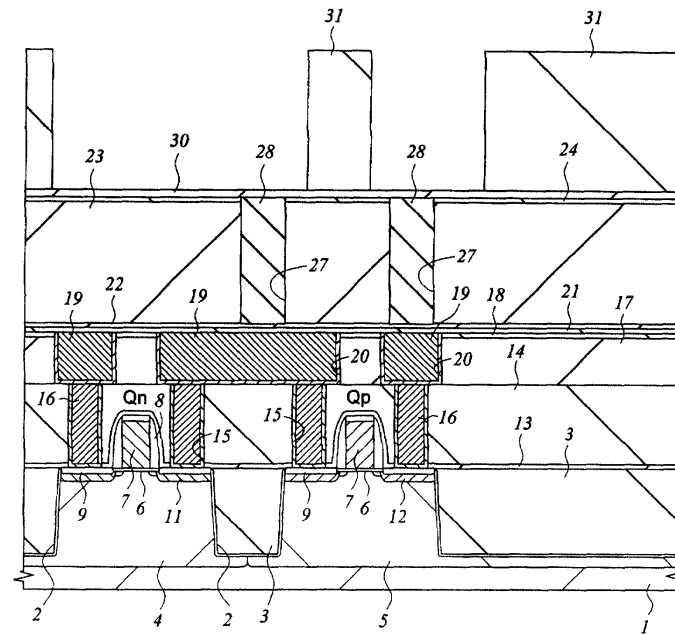
도면5



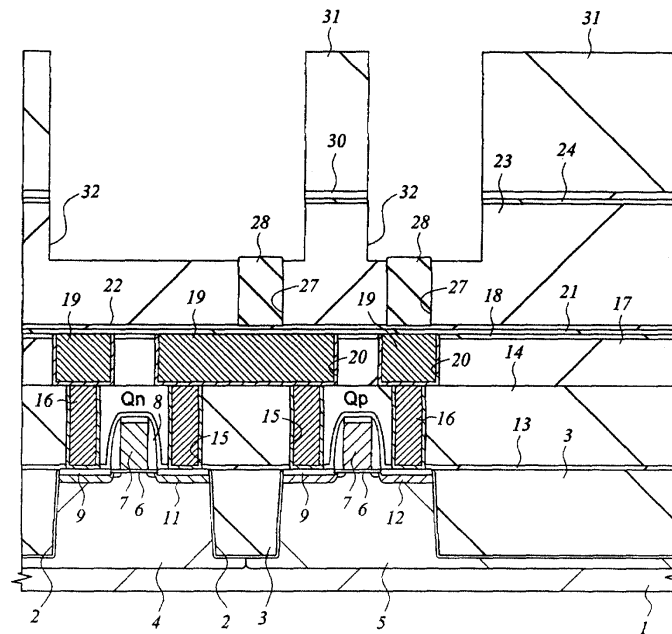
도면6



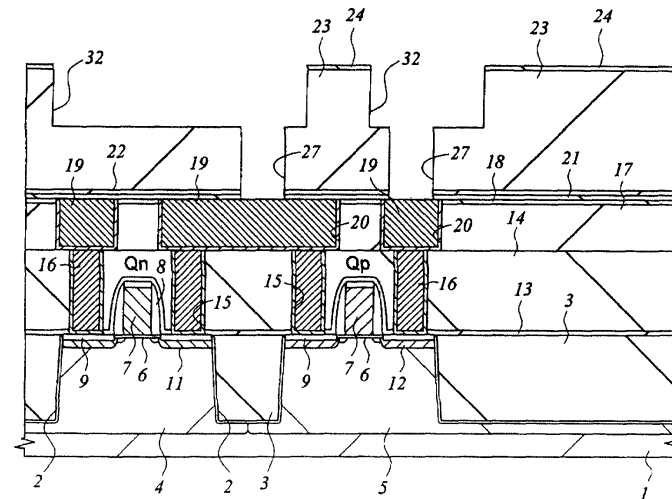
도면7



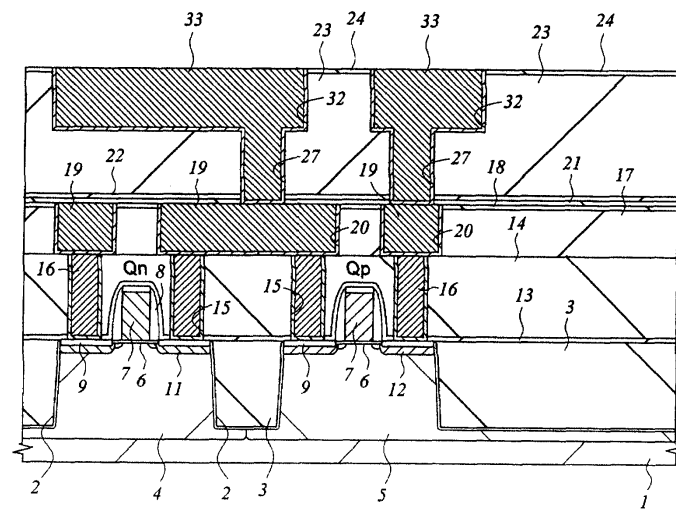
도면8



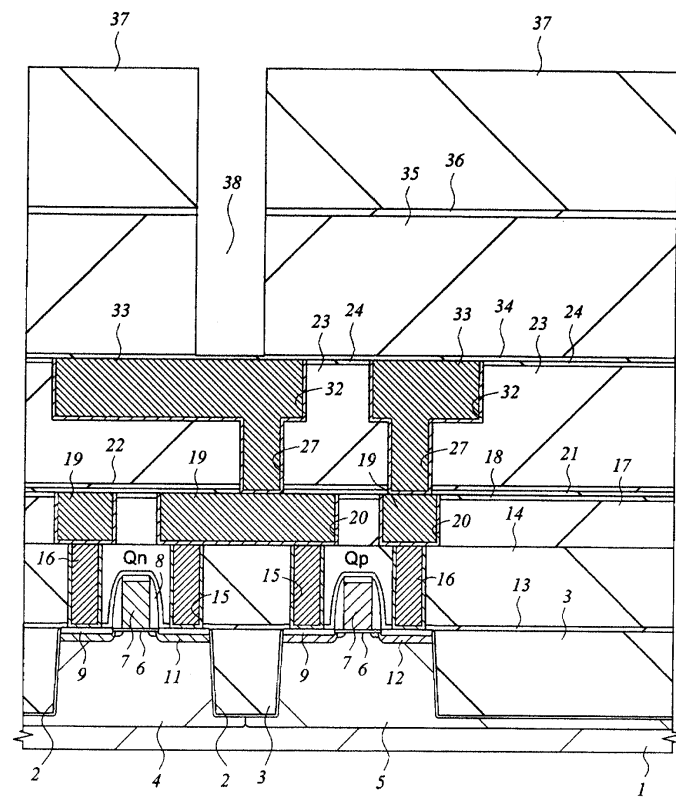
도면9



도면10

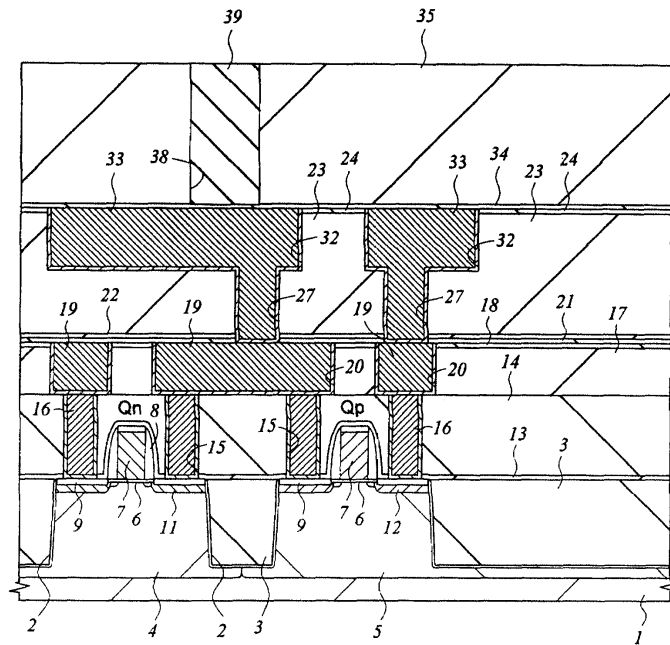


도면11

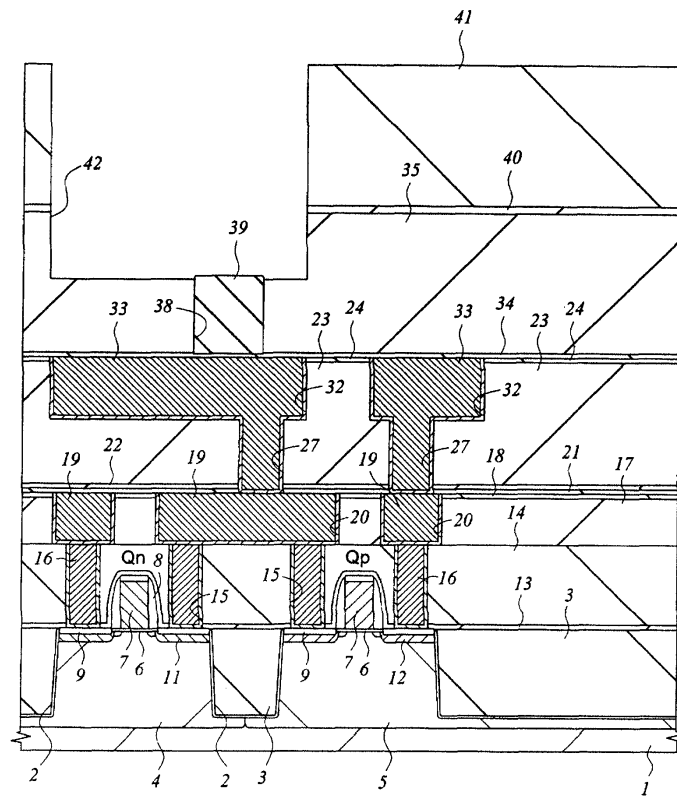




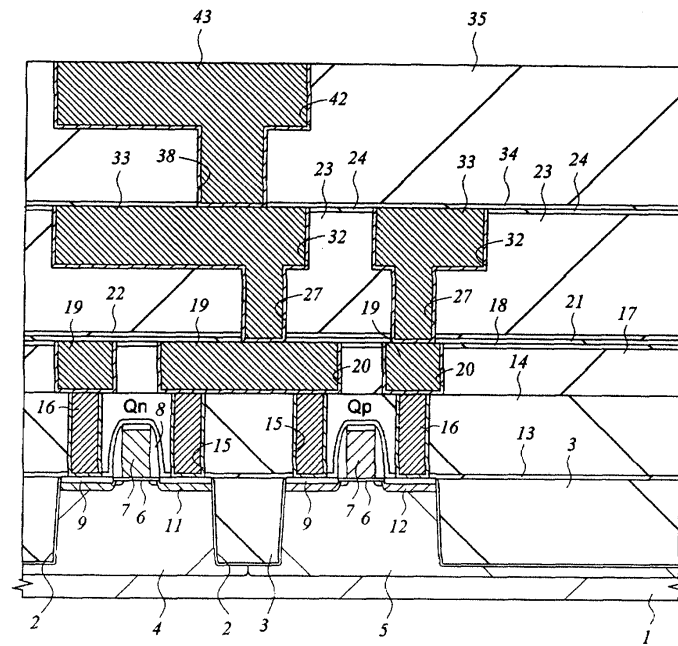
도면12



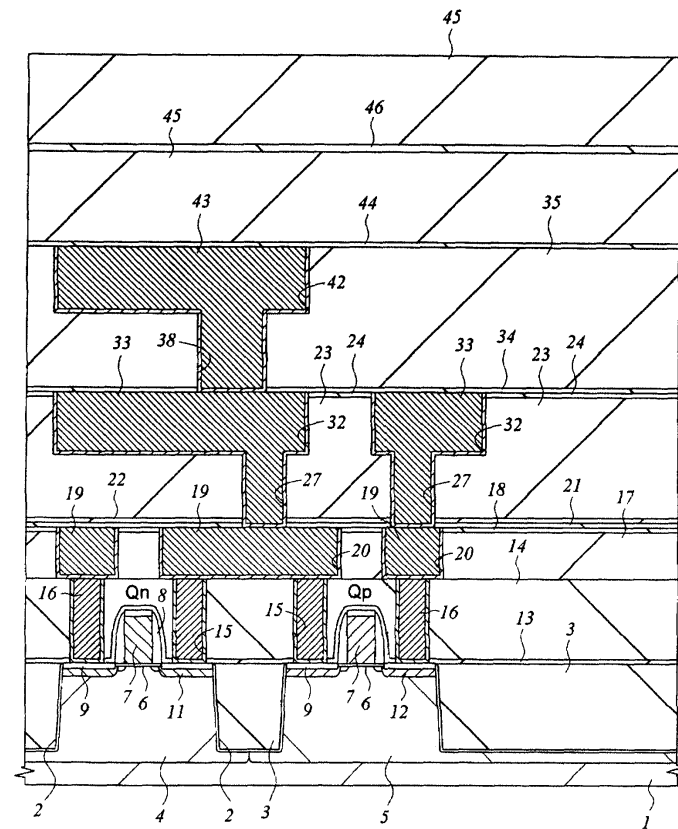
도면13



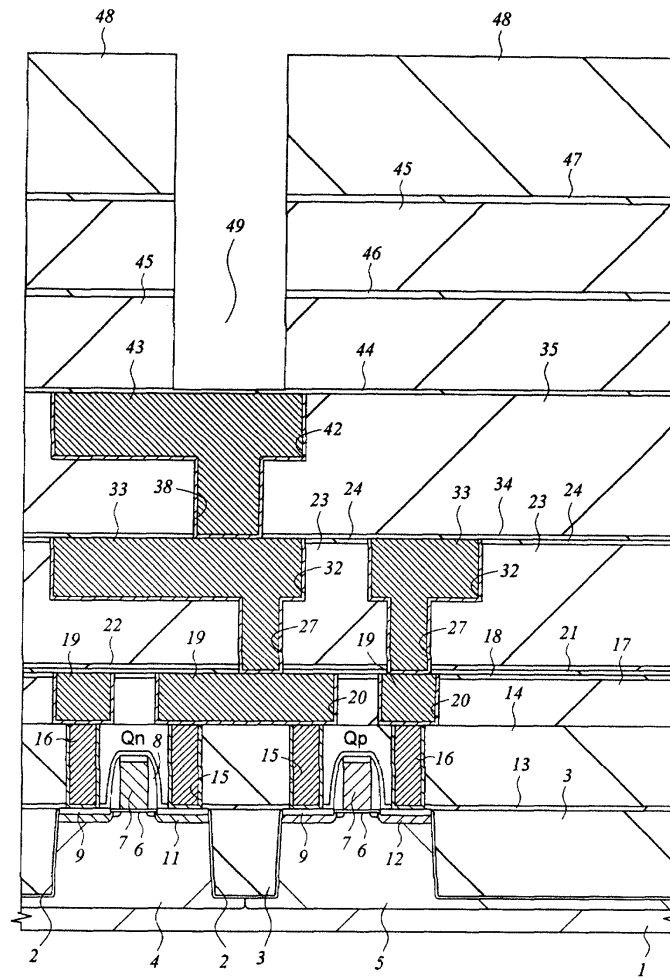
도면14



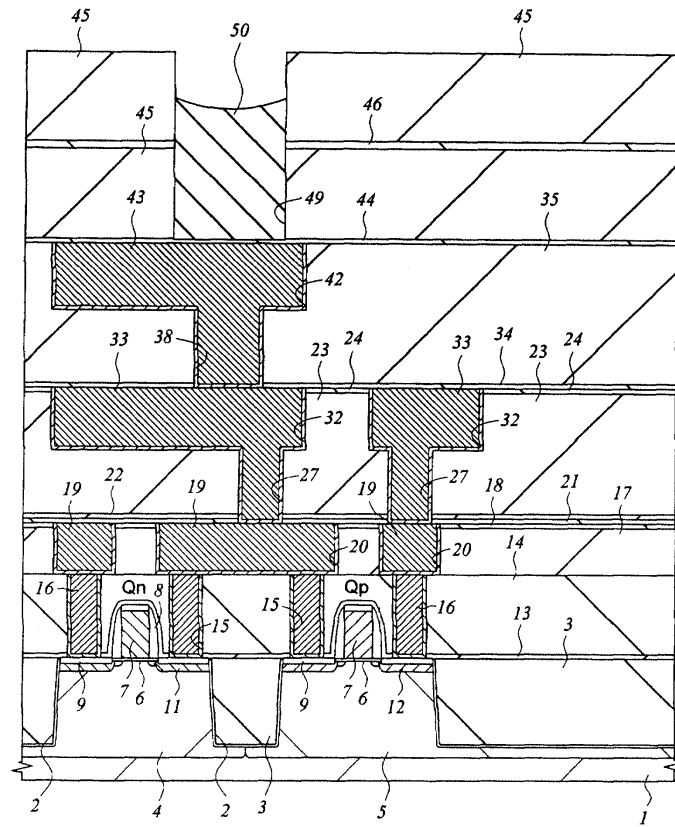
도면15



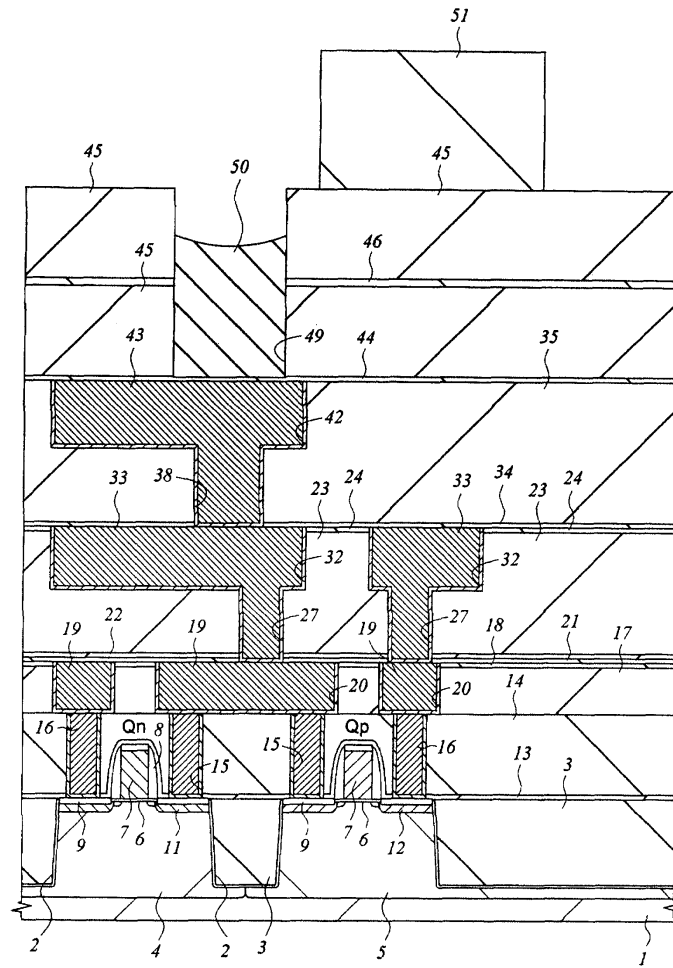
도면16



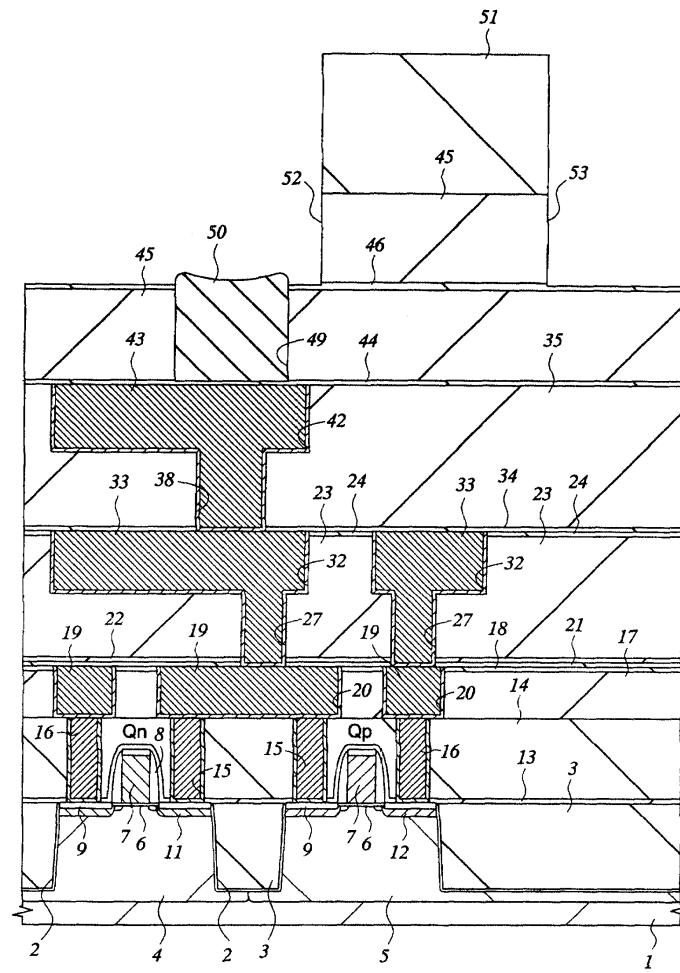
도면17



도면18



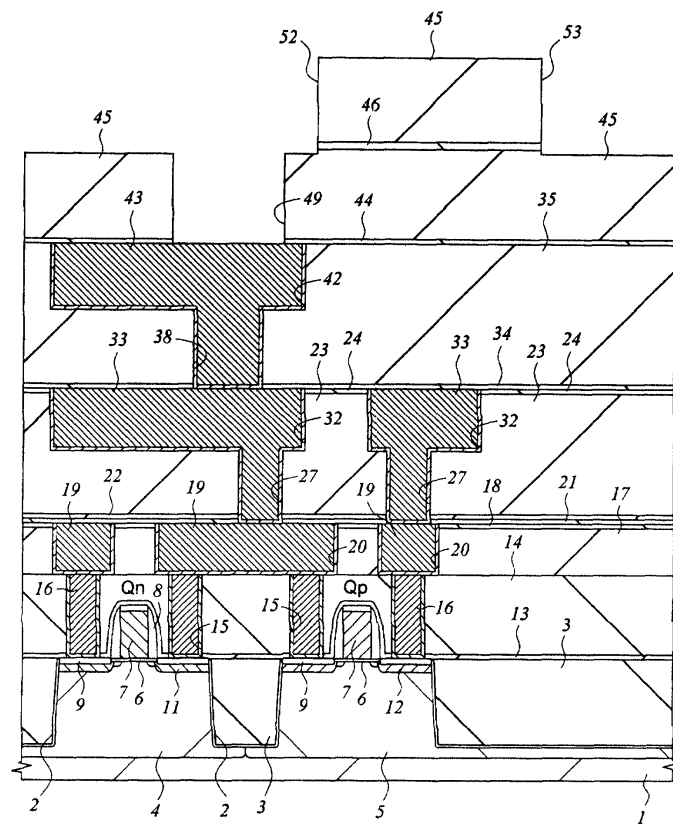
도면19



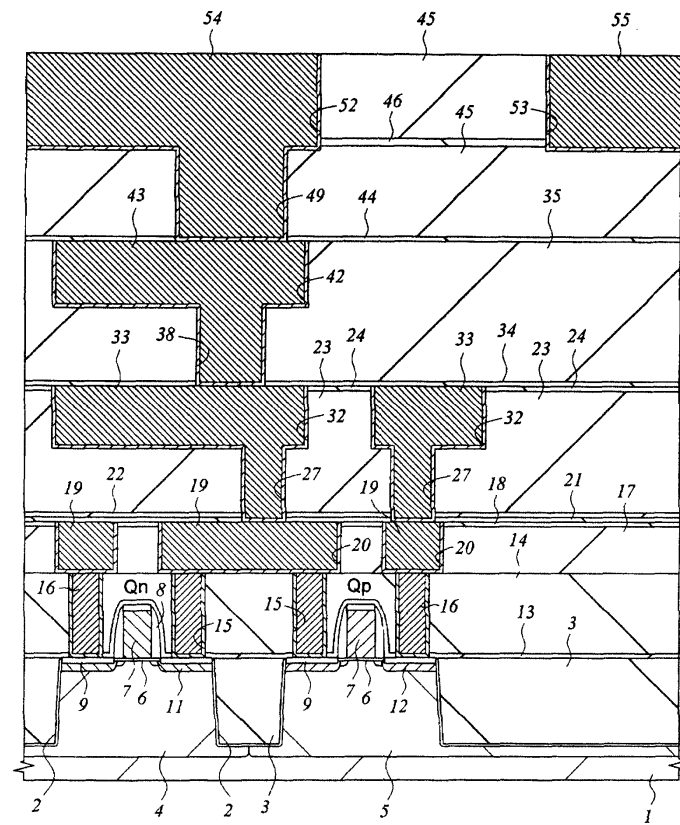
46 : 스톱퍼 막  
51 : 포토레지스트 막



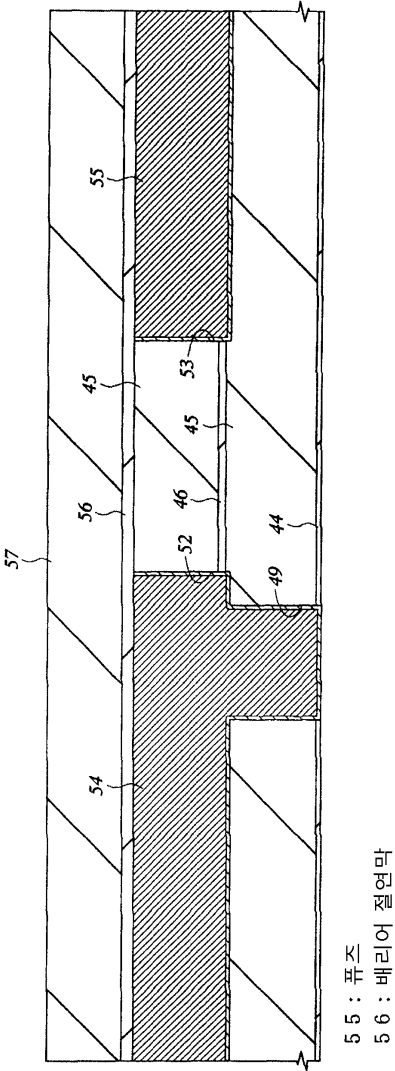
도면20



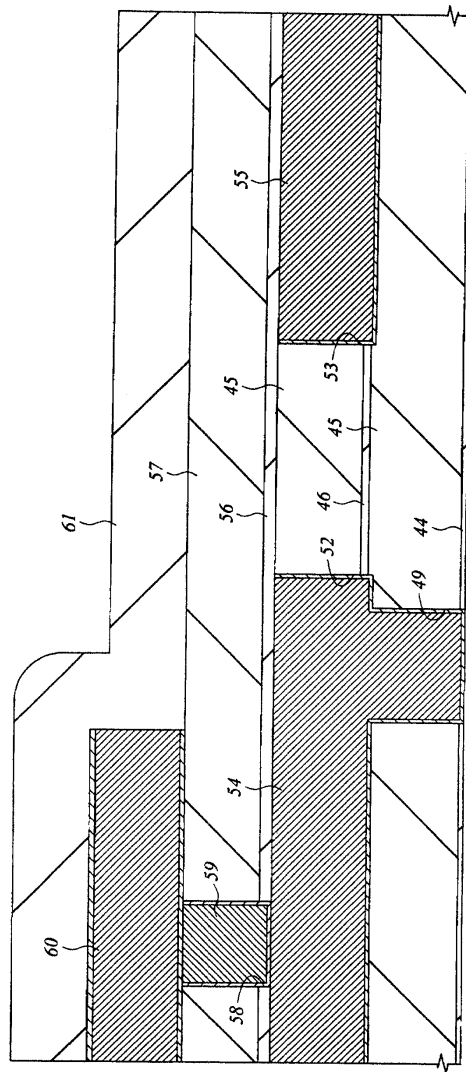
도면21



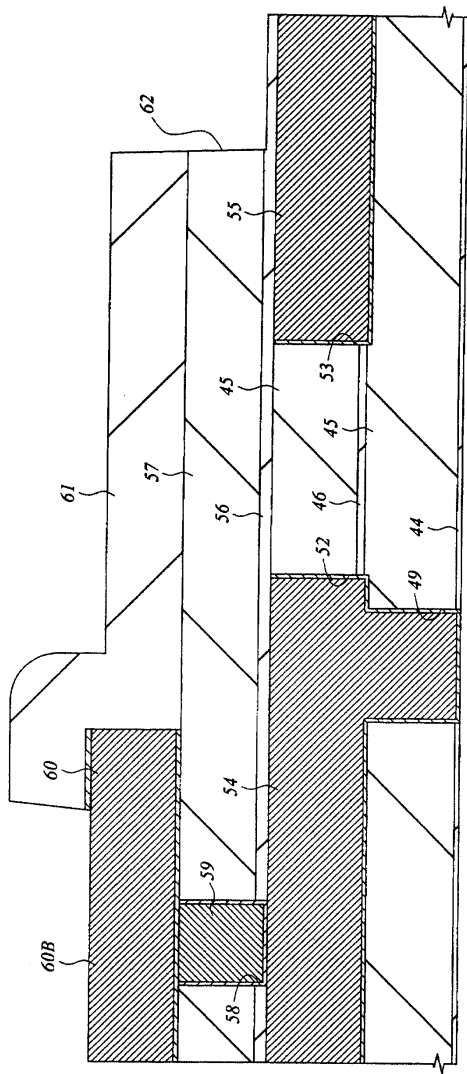
도면22



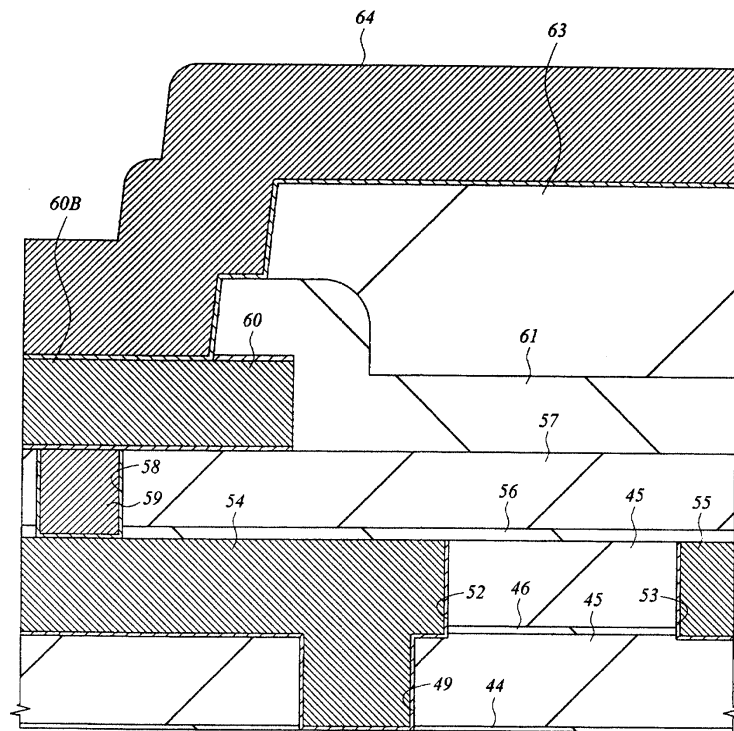
도면23



도면24

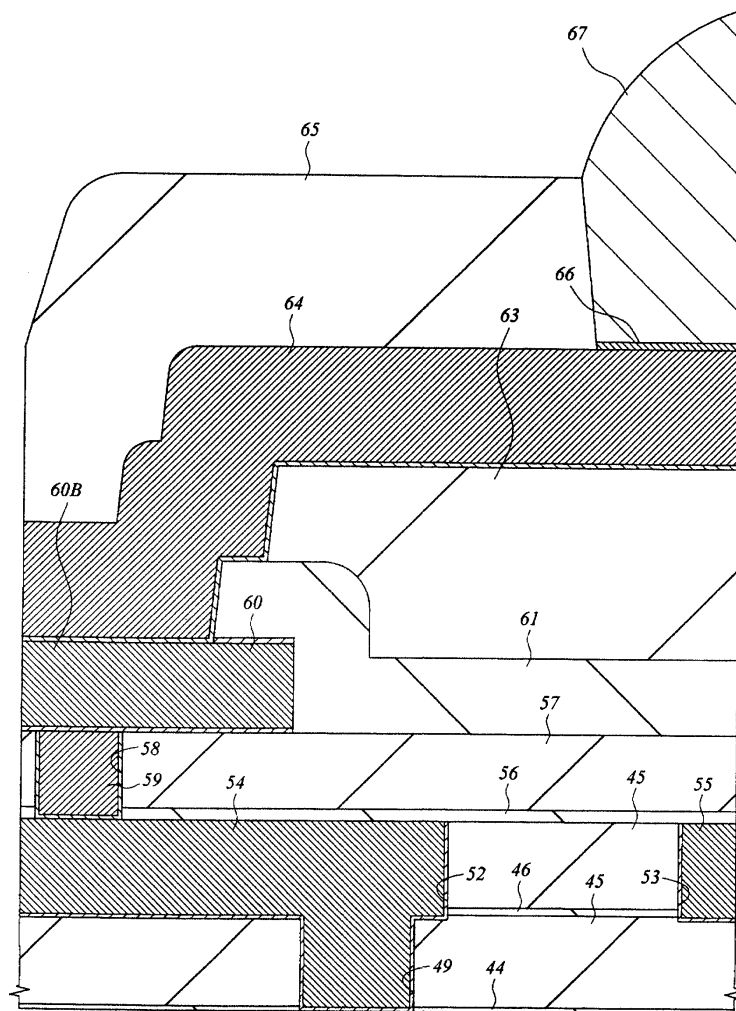


도면25

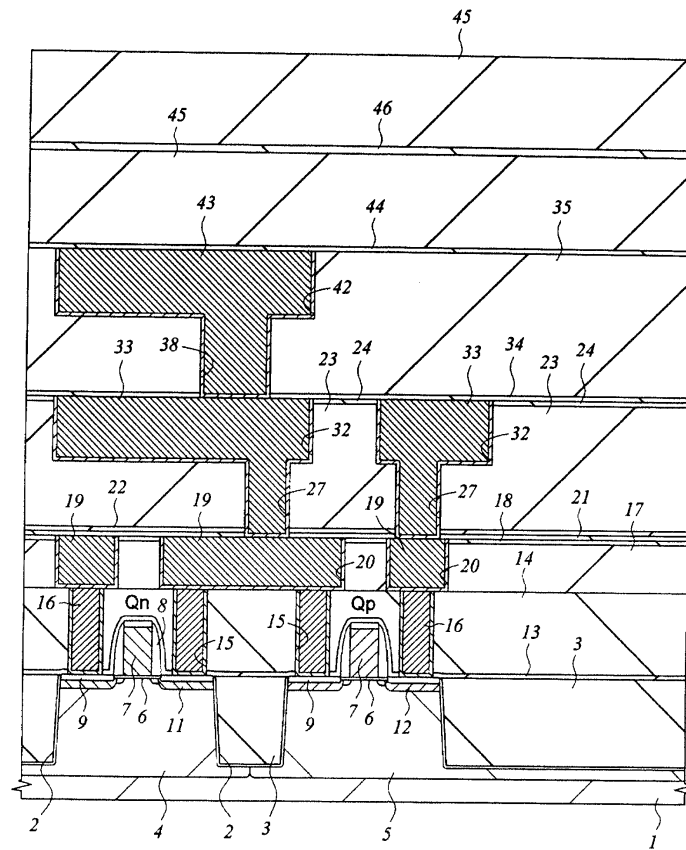




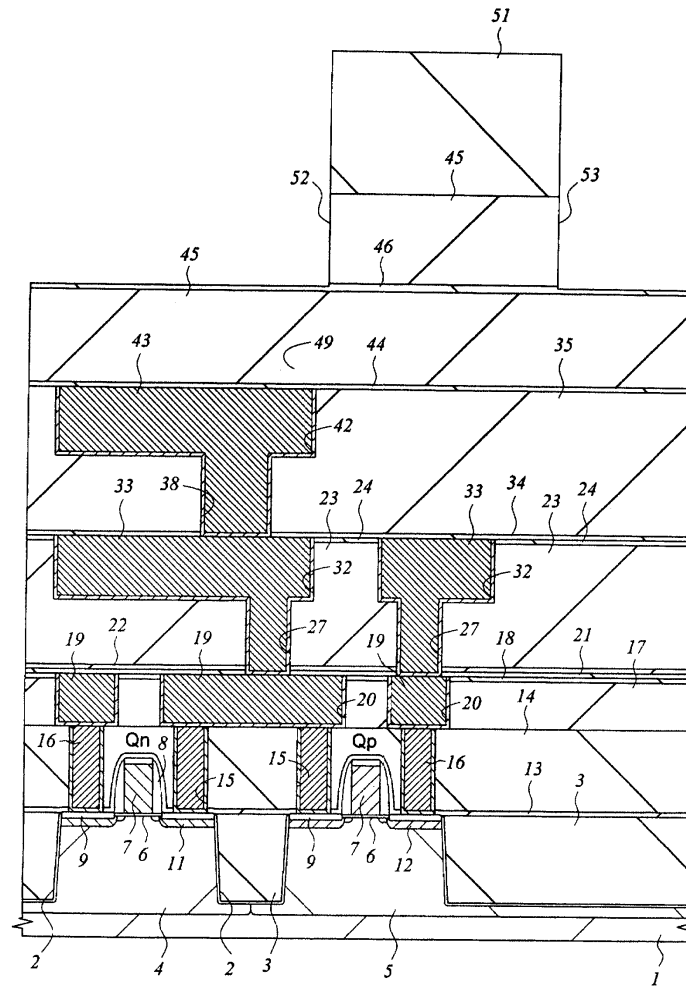
도면26



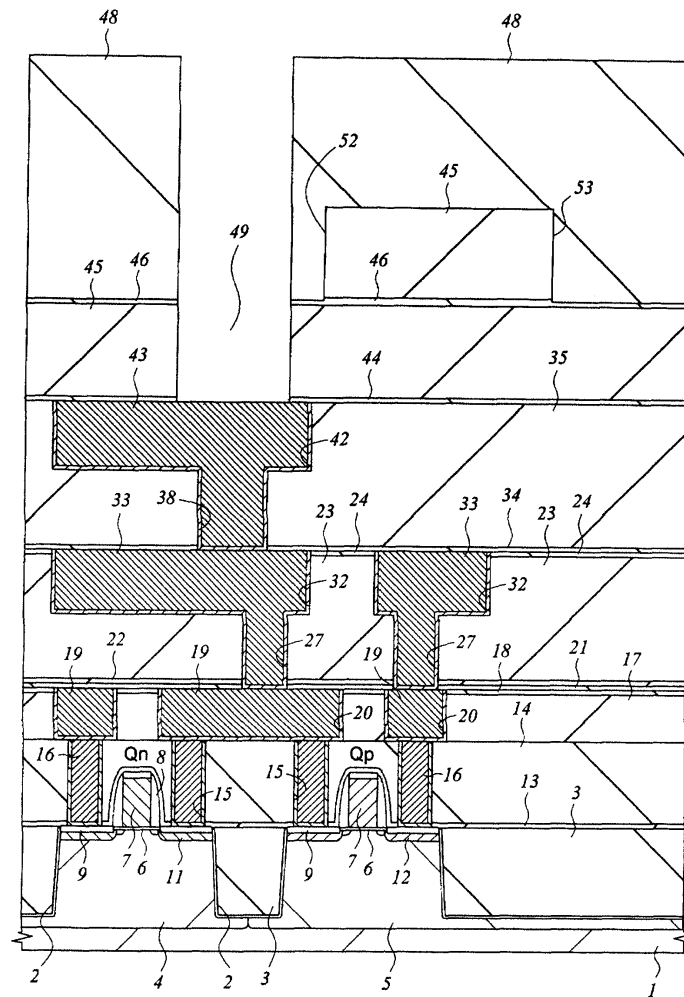
도면27



도면28



도면29



도면30

