

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
H03K 3/02

(11) 공개번호 특2000-0044682
(43) 공개일자 2000년07월 15일

(21) 출원번호	10-1998-0061181
(22) 출원일자	1998년12월30일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 초대열
(74) 대리인	경기도 이천시 대월면 사동리 441번지 1호 현대전자아파트 107동 1305호 박해천, 원석희

심사청구 : 있음

(54) 전압제어 발진기

요약

본 발명은 전원전압의 변화에 둔감하고, 저 잡음 특성을 가지며, 동작 주파수에 관계없이 일정한 출력을 얻을 수 있는 전압제어 발진기를 제공하기 위한 것으로, 이를 위해 본원발명의 발진기는 제1바이어스 전압의 변화에 반비례하여 제2바이어스 전압을 변화시키는 바이어스부; 상기 제2바이어스 전압에 따라 저항치가 변경되며 제1 및 제2노드에 각각 연결되는 제1 및 제2로드 저항과, 소오스가 공통 연결되고 드레인이 각각 제1 및 제2노드에 연결되는 제1 및 제2엔모스트랜지스터와, 드레인이 상기 제1 및 제2엔모스트랜지스터의 공통점과 연결되고 상기 제1바이어스 전압을 게이트 입력으로 하는 제3엔모스트랜지스터를 포함하는 직렬 연결된 복수의 지연셀을 가지는 지연부; 및 상기 지연부의 출력을 차동 증폭하는 제1 및 제2차동 증폭기와, 상기 제1 및 제2차동 증폭기의 출력을 비교하고 비교 결과에 따라 플업 혹은 플다운 신호를 발생하는 비교기를 포함하는 버퍼를 구비한다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 전압제어 발진기를 설명하기 위한 도면.

도 2는 본 발명에 따른 전압제어 발진기의 구성도.

도 3은 도 1에 도시된 바이어스부의 회로도.

도 4는 도 1에 도시된 지연셀의 회로도.

도 5는 도 1에 도시된 버퍼의 회로도.

* 도면의 주요 부분에 대한 설명

10 : 바이어스부 20 : 지연부
30 : 버퍼 40, 50 : 차동 증폭부
60 : 비교부 70 : 플업다운부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전압제어 발진기에 관한 것으로, 특히 전원 전압의 변화에 둔감하고, 동작 주파수에 관계없이 일정한 출력을 얻을 수 있는 전압제어 발진기에 관한 것이다.

일반적으로 위상동기루프(Phase Lock Loop: PLL)는 고속 마이크로 프로세서의 높은 주파수를 사용하기 위해서, 또는 디지털 통신에서의 정확한 데이터 복원을 위하여 이용되는 등, 매우 다양한 분야에서 이용되는 회로로 위상 검출기, 전하 펌프, 루프 필터, 전압제어 발진기로 구성된다. 이러한 위상동기루프는 전원 전압 변화, 주위의 회로 잡음, 등의 요인으로 인하여 지터(jitter)가 커지게 되고 이는 성능을 떨어뜨리게 된다. 특히, 위상동기루프의 구성 요소로서 이용되는 전압제어 발진기에서 발생하는 지터 성분은 전

체 회로의 성능을 좌우하는 중요한 요인이 된다.

도 1은 종래의 전압제어 발진기를 도시한 것으로, 직렬 연결된 인버터들(1~4)로 구성되어 있다. 이러한 종래의 전압제어 발진기는 인버터를 지연 소자로 이용하여 전압제어 발진 동작을 구현한 것으로, 전원 전압의 변화에 민감하고 그 출력 진폭이 동작 주파수에 따라 크게 변한다는 문제점을 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로서, 전원 전압의 변화에 둔감하고, 동작 주파수에 관계없이 일정한 출력을 얻을 수 있는 전압제어 발진기를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은 제1바이어스 전압의 변화에 반비례하여 제2바이어스 전압을 변화시키는 바이어스부; 상기 제2바이어스 전압에 따라 저항치가 변경되며 제1 및 제2노드에 각각 연결되는 제1 및 제2로드 저항과, 소오스가 공통 연결되고 드레인이 각각 상기 제1 및 제2노드에 연결되는 제1 및 제2 엔모스트랜지스터와, 드레인이 상기 제1 및 제2엔모스트랜지스터의 공통점과 연결되고 상기 제1바이어스 전압을 게이트 입력으로 하는 제3엔모스트랜지스터를 포함하는 직렬 연결된 복수의 지연셀을 가지는 지연부; 및 상기 지연부의 출력을 차동 증폭하는 제1 및 제2차동 증폭기와, 상기 제1 및 제2차동 증폭기의 출력을 비교하고 비교 결과에 따라 풀업 혹은 풀다운 신호를 발생하는 비교기를 포함하는 버퍼를 구비하며,

상기 지연부는 상기 제1노드는 다음 지연셀의 상기 제2엔모스트랜지스터의 게이트와 연결되고, 상기 제2노드는 다음 지연셀의 상기 제1엔모스트랜지스터의 게이트와 각각 연결되며, 마지막 지연셀의 상기 제1 및 제2노드 출력은 첫 번째 지연부의 제1 및 제2엔모스트랜지스터의 게이트 입력이 되는 것을 특징으로 하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 전압제어 발진기를 상세히 설명하면 다음과 같다.

도 2는 본 발명에 따른 전압제어 발진기를 설명하기 위한 구성도를 도시한 것이다.

본 발명에 따른 전압제어 발진기는 외부로부터 인가되는 제1바이어스 전압(B_n)의 변화에 반비례하는 제2바이어스 전압을 발생하는 바이어스부(10)와, 직렬 연결되는 지연셀(21~25)로 구성된 지연부(20)와, 동작 주파수에 관계없이 출력이 항상 50%의 듀티(duty)가 되도록 하는 버퍼(30)로 구성된다.

도 3은 도 2에 도시된 바이어스부(10)에 대한 회로도도를 도시한 것으로, 도면 부호 PM1~PM12는 P채널 MOS(이하, 피모스트랜지스터라 칭함)를, NM1~NM12는 N채널 MOS(이하, 엔모스트랜지스터라 칭함)를 각각 나타낸 것이다.

바이어스부(10)는 드레인이 공통 연결되는 피모스트랜지스터(PM1)와 엔모스트랜지스터(NM1)와, 제1바이어스 전압(B_n)을 게이트 입력으로 하는 엔모스트랜지스터(NM2)로 구성된다. 이때, 피모스트랜지스터(PM1) 및 엔모스트랜지스터(NM1)의 게이트와 드레인이 공통 연결되고, 그 출력은 제2바이어스 전압(B_p)으로서 출력된다.

도 4는 도 2에 도시된 지연부를 도시한 것으로, 직렬 연결된 다수의 지연셀(21~25)중 어느 하나에 대한 회로도도를 도시한 것이다.

하나의 지연셀은 제2바이어스 전압(B_p)에 의해 저항치가 가변하기 위한 로드 저항(PM2, PM3)(PM4, PM5)과, 소오스가 공통 연결되고 입력 신호(I_n)(I_p)를 각각 게이트 입력으로 하는 엔모스트랜지스터(NM3)(NM4), 그리고 제1바이어스 전압을 게이트 입력으로 하는 엔모스트랜지스터(NM5)로 구성된다. 이때, 로드 저항은 그 소오스와 드레인이 공통 연결되는 피모스트랜지스터(PM2)와 피모스트랜지스터(PM3)로 구성되며, 이때 피모스트랜지스터(PM2)의 게이트는 그 드레인과 연결되는 구조로서, 피모스트랜지스터(PM4)(PM5)도 구성되는 로드 저항도 동일 구조를 가진다.

도 5는 도 2에 도시된 버퍼를 설명하기 위한 회로도도를 도시한 것으로, 버퍼(30)는 지연부(20)의 최종 지연셀의 출력신호들(I_n)(I_p)을 각각 차동 증폭하는 두 개의 차동 증폭기(40)(50)와, 차동 증폭기(40)(50)의 출력을 비교하여 그 비교 결과로서 풀업 혹은 풀다운 신호를 출력하는 비교기(60) 및 정확한 50% 듀티를 얻기 위한 풀업다운부(70)로 구성된다.

이때, 차동 증폭기(40)는 i_1 경로상의 전류를 i_2 경로로 미러 시키기 위한 전류 미러(PM6, PM7)와, 소오스가 공통 연결되고 입력(I_p)(I_n)을 각각 게이트 입력으로 하는 엔모스트랜지스터(NM6)(NM7)와, 제1바이어스 전압(B_n)에 따라 바이어스 저항치를 조절하는 엔모스트랜지스터(NM13)로 구성된다. 또한, 차동 증폭기(50)는 i_3 경로상의 전류를 i_4 경로로 미러 시키기 위한 전류 미러(PM8, PM9)와, 소오스가 공통 연결되고 입력(I_n)(I_p)을 각각 게이트 입력으로 하는 엔모스트랜지스터(NM8)(NM9)와, 제1바이어스 전압(B_n)에 따라 바이어스 저항치를 조절하는 엔모스트랜지스터(NM14)로 구성된다.

비교부(60)는 차동 증폭기의 구조를 가지며, i_5 경로상의 전류를 i_6 경로상에 미러 시키기 위한 전류 미러(NM10, NM11)와, 제1차동 증폭기(40)의 출력을 게이트 입력으로 하는 피모스트랜지스터(PM11)와, 제2차동 증폭기(50)의 출력을 게이트 입력으로 하는 피모스트랜지스터(PM10)로 구성된다.

그리고, 풀업다운부(70)는 비교부(60)의 출력을 정확하게 50%의 듀티가 되도록 하기 위한 것으로, CMOS(Complementary Metal-Oxide-Semiconductor) 인버터로 구성된다.

도 2 내지 도 5를 참조하여 본 발명에 따른 전압제어 발진기의 동작을 상세히 설명하면 다음과 같다.

먼저, 바이어스부(10)는 발진 파형의 진폭이 (전원전압-제2바이어스 전압(B_p))가 되도록 각 지연셀들(21~25)을 제어한다. 이때, 제2바이어스 전압(B_p)은 외부에서 인가되는 제1바이어스 전압(B_n)에 의해 결정되며, 제1바이어스 전압(B_n)이 높을 때, 엔모스트랜지스터(B_n)의 저항치가 작아지므로 제2바이어스 전압(B_p)은 낮아지게 된다. 피모스트랜지스터(PM1)와 엔모스트랜지스터(NM1)는 로드 저항으로서 동작한다.

지연부(20)의 각 지연셀들(21~25)은 지연 시간을 제어하게 되며, 소오스 정합 차동 증폭기의 구조를 가지므로 전원 전압의 변화에 의해 발생하는 지터를 줄일 수 있다. 즉, 제1바이어스 전압(Bn)이 높으면 바이어스 저항으로서 동작하는 엔모스트랜지스터(NM5)의 저항치가 낮아지고, 제1바이어스 전압(Bn)이 높아지면 반대로 제2바이어스 전압(Bp)이 바이어스부(10)에 의해 낮아지므로 이로 인해 소오스와 드레인이 공통 연결된 로드 저항(PM2, PM3)(PM4, PM5)의 저항치가 낮아진다. 따라서, 출력신호(Op)(On)의 발진 폭은 일정하게 유지된다. 이때, 지연부(20)의 지연셀들(21~25)의 상호 연결에 있어서, 출력신호(Op)는 다음 지연셀의 입력신호(Ip)가 되고, 또한 출력신호(On)는 다음 지연셀의 입력신호가 된다. 최종 지연셀(25)의 출력신호(Op)와 출력신호(On)는 각각 첫 번째 지연셀(21)의 입력신호(Ip)와 입력신호(In)로 피드백 된다. 그런데, 지연부(20)의 출력은 50%의 듀티를 가지지 못하고 폴스윙 하지도 못한다. 그러므로, 버퍼(30)는 지연부(20)의 출력을 50% 듀티를 가지고 폴스윙하는 신호로 만들어주는 역할을 수행한다. 먼저, 두 개의 차동 증폭기(40)(50)는 동일한 구조를 가지며, 180도의 위상차를 가지는 차동 입력(Ip, In)을 입력받으며, 이때 그 두 입력은 서로 반대가 된다. 따라서, 차동 증폭기(40)(50)의 출력은 180도의 위상차를 가지게 된다. 이렇게 차동 증폭된 출력은 비교부(60)에 입력되어 비교되고, 그 비교 결과로서 풀업(Full-Up) 혹은 풀다운(Full-Down)신호가 출력된다. 비교부(60)의 입력이 180도의 위상차를 가지므로 피모스트랜지스터(PM10)의 게이트 전압이 높을 때, 반대로 피모스트랜지스터(PM11)의 게이트 전압은 낮다. 이때, 대부분의 전류가 i6의 경로를 통해 흐르게 된다. 비교부(60)가 차동 증폭기로서 전류미러(NM10, NM11)의 통해서 흐르는 전류가 같아야 하므로, 차전류 성분이 즉, 전원전압에 가까운 풀업 신호가 풀업다운부(70)로 입력된다. 반대로 피모스트랜지스터(PM11)의 게이트 전압이 높은 경우에는 대부분의 전류가 엔모스트랜지스터(NM11)를 통해 흐르게 되므로 차전류 성분이 '0'에 가깝게 되고 따라서, 접지전압에 가까운 풀다운 신호가 풀업다운부(70)에 입력되게 된다. 이때, 비교부(60)의 출력은 거의 50%의 듀티가 되며, 풀업 또는 풀다운 신호로 폴스윙하는 신호가 된다. 풀업다운부(70)는 좀 더 정확한 신호를 얻기 위한 것으로, CMOS 인버터로 구성되며, 비교부(60)의 출력을 반전시켜 출력하게 된다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예에는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 전원 전압의 변화에 둔감하고 저 잡음 특성을 가지며, 동작 주파수에 관계없이 일정한 출력을 얻을 수 있다.

(57) 청구의 범위

청구항 1

제1바이어스 전압의 변화에 반비례하여 제2바이어스 전압을 변화시키는 바이어스부;

상기 제2바이어스 전압에 따라 저항치가 변경되며 제1 및 제2노드에 각각 연결되는 제1 및 제2로드 저항과, 소오스가 공통 연결되고 드레인이 각각 상기 제1 및 제2노드에 연결되는 제1 및 제2엔모스트랜지스터와, 드레인이 상기 제1 및 제2엔모스트랜지스터의 공통점과 연결되고 상기 제1바이어스 전압을 게이트 입력으로 하는 제3엔모스트랜지스터를 포함하는 직렬 연결된 복수의 지연셀을 가지는 지연부; 및

상기 지연부의 출력을 차동 증폭하는 제1 및 제2차동 증폭기와, 상기 제1 및 제2차동 증폭기의 출력을 비교하고 비교 결과에 따라 풀업 혹은 풀다운 신호를 발생하는 비교기를 포함하는 버퍼를 구비하며,

상기 지연부는 상기 제1노드는 다음 지연셀의 상기 제2엔모스트랜지스터의 게이트와 연결되고, 상기 제2노드는 다음 지연셀의 상기 제1엔모스트랜지스터의 게이트와 각각 연결되며, 마지막 지연셀의 상기 제1 및 제2노드 출력은 첫 번째 지연부의 제1 및 제2엔모스트랜지스터의 게이트 입력이 되는 것을 특징으로 하는 전압제어 발진회로.

청구항 2

상기 제1항에 있어서,

상기 바이어스부는 소오스가 전원전압과 연결되고 게이트와 드레인이 공통 연결되는 제1피모스트랜지스터와, 드레인이 상기 제1피모스트랜지스터의 드레인과 연결되고 게이트와 소오스가 공통 연결되는 제3엔모스트랜지스터와, 드레인이 상기 제3엔모스트랜지스터의 소오스와 연결되고 소오스가 접지 되고 상기 제1바이어스 전압을 게이트 입력으로 하는 제4엔모스트랜지스터를 포함하며, 상기 제1피모스트랜지스터의 드레인 출력을 상기 제2바이어스 전압으로써 출력하는 것을 특징으로 하는 전압제어 발진회로.

청구항 3

상기 제1항에 있어서,

상기 제1 및 제2로드 저항은 소오스와 드레인이 각각 공통 연결되는 제2 및 제3피모스트랜지스터로 포함되며, 상기 제2피모스트랜지스터의 게이트는 드레인과 연결되는 것을 특징으로 하는 전압제어 발진회로.

청구항 4

상기 제1항에 있어서,

상기 제1차동 증폭기는 제1경로상의 전류를 제2경로상의 미러 시키기 위한 제1전류미러와, 상기 제1경로상에서 드레인이 상기 제1전류미러와 연결되고 상기 제1입력 신호를 게이트 입력으로 하는 제5엔모스트랜지스터와, 상기 제2경로상에서 드레인이 상기 제1전류미러와 연결되고 상기 제2입력 신호를 게이트 입력으로 하는 제6엔모스트랜지스터와, 소오스가 상기 제5 및 제6엔모스트랜지스터의 드레인과 연결되고 상기 제1바이어스 전압을 게이트 입력으로 하는 제7엔모스트랜지스터를 구비하는 것을 특징으로 하는 전압제어

발진회로.

청구항 5

상기 제1항에 있어서,

상기 제2차동 증폭기는 제3경로상의 전류를 제4경로상의 미리 시키기 위한 제2전류미러와, 상기 제3경로 상에서 드레인이 상기 제2전류미러와 연결되고 상기 제2입력 신호를 게이트 입력으로 하는 제8엔모스트랜 지스터와, 상기 제4경로상에서 드레인이 상기 제2전류미러와 연결되고 상기 제1입력 신호를 게이트 입력 으로 하는 제9엔모스트랜지스터와, 소오스가 상기 제8 및 제9엔모스트랜지스터의 드레인과 연결되고 상기 제1바이어스 전압을 게이트 입력으로 하는 제10엔모스트랜지스터를 구비하는 것을 특징으로 하는 전압제 어 발진회로.

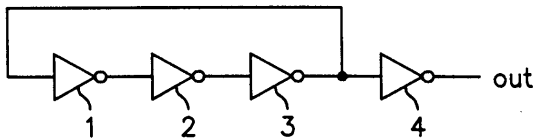
청구항 6

상기 제1항에 있어서,

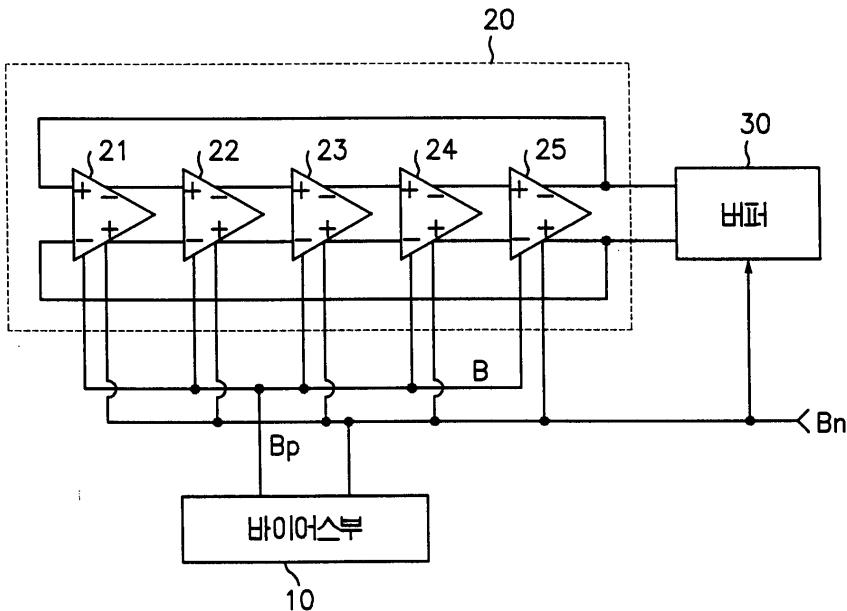
상기 비교부는 제5경로상의 전류를 제6경로상으로 미리 시키기 위한 제3전류미러와, 상기 제1차동 증폭기 의 출력을 게이트 입력으로 하고 상기 제6경로상에서 상기 제3전류미러와 드레인이 연결되는 제4피모스트 랜지스터와, 상기 제2차동 증폭기의 출력을 게이트 입력으로 하고 상기 제5경로상에서 상기 제3전류미러 와 드레인이 연결되는 제5피모스트랜지스터를 구비한 것을 특징으로 하는 전압제어 발진회로.

도면

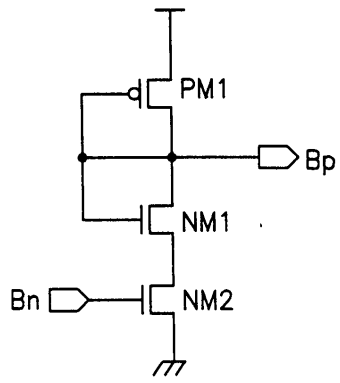
도면1



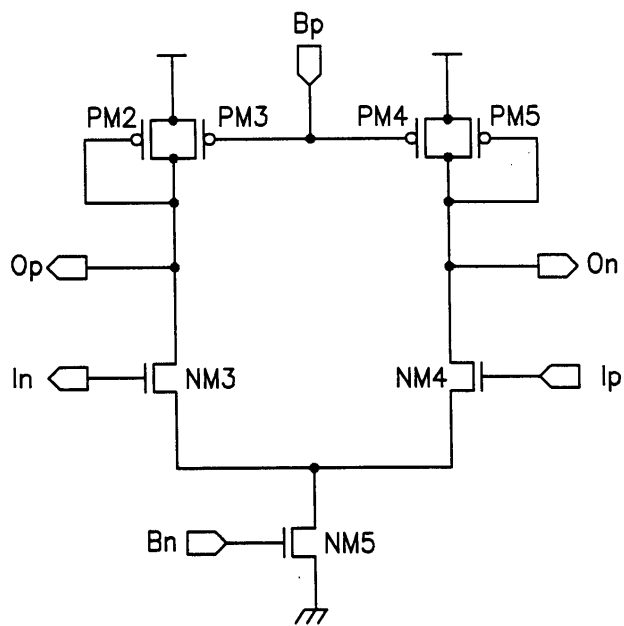
도면2



도면3



도면4



도면5

