(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6603946号
(P6603946)
(45)発行日　令和1年11月13日(2019.11.13)　(24)登録日　令和1年10月25日(2019.10.25)

(51)Int.Cl.　F I
H01L 27/11568 (2017.01)　H01L 27/11568
H01L 21/336 (2006.01)　H01L 29/78 371
H01L 29/788 (2006.01)　H01L 27/1157
H01L 29/792 (2006.01)　H01L 27/11573
H01L 27/1157 (2017.01)　H01L 27/11582

請求項の数 24　(全 28 頁)　最終頁に続く

(21)出願番号　特願2016-567584 (P2016-567584)
(86)(22)出願日　平成27年5月13日 (2015.5.13)
(65)公表番号　特表2017-518635 (P2017-518635A)
(43)公表日　平成29年7月6日 (2017.7.6)
(86)国際出願番号　PCT/US2015/030556
(87)国際公開番号　WO2015/195227
(87)国際公開日　平成27年12月23日 (2015.12.23)
審査請求日　平成28年12月20日 (2016.12.20)
(31)優先権主張番号　14/310,391
(32)優先日　平成26年6月20日 (2014.6.20)
(33)優先権主張国・地域又は機関
米国 (US)

前置審査

(73)特許権者　591003943
インテル・コーポレーション
アメリカ合衆国　９５０５４　カリフォルニア州・サンタクララ・ミッション　カレッジ　ブーレバード・２２００
(74)代理人　110000877
龍華国際特許業務法人
(72)発明者　ティッメガウダ、ディパック
アメリカ合衆国　９５０５４　カリフォルニア州・サンタクララ・ミッション　カレッジ　ブーレバード・２２００　インテル・コーポレーション内

最終頁に続く

(54)【発明の名称】不揮発性メモリのためのアレイ貫通ルーティング

(57)【特許請求の範囲】
【請求項１】
不揮発性メモリであって、
絶縁層上に形成された交互の誘電体層および導電層のスタックを有し、アレイ領域および周辺領域を更に有するメモリアレイと、
少なくとも前記アレイ領域の下に形成され、前記不揮発性メモリの別のコンポーネントに電気的に結合される導電性基板と
を備え、
前記スタックの上部表面から前記導電性基板へと前記スタックを貫通してトレンチが形成され、前記トレンチが前記トレンチの下部に近位の幅が前記トレンチの上部に近位の幅より小さくなるように先細になっており、
少なくとも１つの絶縁材料が前記トレンチを少なくとも部分的に充填し、前記少なくとも１つの絶縁材料のそれぞれが前記上部表面から前記導電性基板へと延在し、
前記少なくとも１つの絶縁材料の上部表面が前記スタックの前記上部表面と実質的に同一平面上にあり、
前記少なくとも１つの絶縁材料の前記上部表面から前記導電性基板へと延在する少なくとも１つのチャネルが、前記少なくとも１つの絶縁材料を前記少なくとも１つの絶縁材料の前記上部表面から前記導電性基板までエッチングすることによって前記少なくとも１つの絶縁材料内に形成されており、前記チャネルが、前記少なくとも１つの絶縁材料を含む側壁を有し、前記側壁が、前記チャネルの下部に近位の幅が前記チャネルの上部に近位の

幅より小さくなるように先細になっており、
アレイ貫通ビアが、前記アレイ領域の前記チャネルに、前記スタックの前記上部表面から前記導電性基板へと形成され、
交互の誘電体層および導電層の前記スタックを貫通して前記スタックの前記上部表面と前記導電性基板との間に電気的接続を提供するべく、前記メモリアレイの少なくとも１つのアクセス線は、前記スタックの前記上部表面から前記導電性基板へと前記アレイ貫通ビアを介してルーティングされる、不揮発性メモリ。
【請求項２】
前記アレイ貫通ビアは、少なくとも前記周辺領域内に形成される、請求項１に記載の不揮発性メモリ。
【請求項３】
前記別のコンポーネントは、前記メモリアレイの少なくとも１つのメモリストリングを駆動するためのドライバ回路を含む、請求項１または２に記載の不揮発性メモリ。
【請求項４】
前記メモリアレイは、各々が複数のメモリセルを含む少なくとも第１のメモリアレイおよび第２のメモリアレイを有し、
前記ドライバ回路は、前記第１のメモリアレイと前記第２のメモリアレイとの間で共有され、前記第１のメモリアレイおよび前記第２のメモリアレイの前記複数のメモリセルを駆動する、請求項３に記載の不揮発性メモリ。
【請求項５】
前記メモリアレイは、複数のメモリセルの縦型スタックを有する、請求項１から４のいずれか一項に記載の不揮発性メモリ。
【請求項６】
前記トレンチは高アスペクト比トレンチである、
請求項１から５のいずれか一項に記載の不揮発性メモリ。
【請求項７】
前記少なくとも１つの絶縁材料は、ホウリンケイ酸ガラス、ＳｉＯ２、およびスピン・オン・誘電性材料の組み合わせである、請求項６に記載の不揮発性メモリ。
【請求項８】
少なくとも１つの導電性材料は、前記少なくとも１つのチャネル内に形成される、請求項１から７のいずれか一項に記載の不揮発性メモリ。
【請求項９】
前記少なくとも１つの導電性材料は、少なくとも１つの第１の導電層、および前記少なくとも１つの第１の導電層上に堆積された少なくとも１つの第２の導電層の形態である、請求項８に記載の不揮発性メモリ。
【請求項１０】
前記少なくとも１つの導電性材料と交互の誘電体層および導電層の前記スタックとの間に形成される少なくとも１つのバリア層を更に備える、請求項８または９に記載の不揮発性メモリ。
【請求項１１】
前記少なくとも１つのバリア層は、窒化チタニウム、窒化タンタル、窒化タングステン、タングステン、およびこれらの組み合わせからなる群から選択されるバリア材料から形成される、請求項１０に記載の不揮発性メモリ。
【請求項１２】
前記第１の導電層と交互の誘電体層および導電層の前記スタックとの間に形成される少なくとも１つのバリア層を更に備え、
前記少なくとも１つのバリア層は、窒化チタニウム、窒化タンタル、窒化タングステン、タングステン、およびこれらの組み合わせからなる群から選択されるバリア材料から形成される、請求項９に記載の不揮発性メモリ。
【請求項１３】

前記少なくとも１つのアクセス線は、ソース線、ワード線、セレクトゲートソース線、およびセレクトゲートドレイン線のうちの少なくとも１つを含む、請求項１から１２のいずれか一項に記載の不揮発性メモリ。

【請求項１４】

不揮発性メモリを形成する方法であって、

絶縁層上に形成される交互の誘電体層および導電層のスタックを含み、アレイ領域および周辺領域を更に含むメモリアレイを提供する段階と、

前記アレイ領域および前記周辺領域のうちの少なくとも１つに少なくとも１つのアレイ貫通ビアを形成する段階と

を備え、

前記アレイ貫通ビアは、交互の誘電体層および導電層の前記スタックの上部表面から前記アレイ領域の下の導電性基板へと延在し、

前記導電性基板は、前記不揮発性メモリの別のコンポーネントに電気的に結合され、

前記アレイ貫通ビアは、前記メモリアレイの少なくとも１つのアクセス線を前記導電性基板に電気的に結合することを可能にし、

前記少なくとも１つのアレイ貫通ビアを形成する段階は、

前記上部表面から前記導電性基板へと延在する少なくとも１つのトレンチを形成する段階と、

前記少なくとも１つのトレンチを少なくとも部分的に、少なくとも１つの絶縁材料で充填する段階であって、前記少なくとも１つの絶縁材料の上部表面が、交互の誘電体層および導電層の前記スタックの前記上部表面と実質的に同一平面上にある、段階と、

前記少なくとも１つの絶縁材料の上部から前記導電性基板へと延在する少なくとも１つのチャネルを前記少なくとも１つの絶縁材料内に形成する段階と

を有し、

前記アレイ貫通ビアは、前記アレイ領域の前記チャネルに、交互の誘電体層および導電層の前記スタックの前記上部表面から前記導電性基板へと形成され、

前記トレンチは、前記トレンチの下部に近位の幅が前記トレンチの上部に近位の幅より小さくなるように先細になっており、

前記少なくとも１つの絶縁材料のそれぞれが、交互の誘電体層および導電層の前記スタックの前記上部表面から前記導電性基板へと延在し、

前記少なくとも１つのチャネルが、前記少なくとも１つの絶縁材料を含む側壁を有し、前記側壁が、前記チャネルの下部に近位の幅が前記チャネルの上部に近位の幅より小さくなるように先細になっており、

交互の誘電体層および導電層の前記スタックを貫通して、交互の誘電体層および導電層の前記スタックの前記上部表面と前記導電性基板との間に電気的接続を提供するべく、前記メモリアレイの前記少なくとも１つのアクセス線は、交互の誘電体層および導電層の前記スタックの前記上部表面から前記導電性基板へと前記アレイ貫通ビアを介してルーティングされる、方法。

【請求項１５】

前記メモリアレイは、複数のメモリセルの縦型スタックを有する、請求項１４に記載の方法。

【請求項１６】

前記別のコンポーネントは、前記メモリアレイの少なくとも１つのメモリストリングを駆動するためのドライバ回路を含み、

前記メモリアレイは、各々が複数のメモリセルを含む少なくとも第１のメモリアレイおよび第２のメモリアレイを有し、

前記ドライバ回路は、前記第１のメモリアレイと前記第２のメモリアレイとの間で共有され、前記第１のメモリアレイおよび前記第２のメモリアレイの前記複数のメモリセルを駆動する、請求項１４または１５に記載の方法。

【請求項１７】

前記トレンチは、高アスペクト比トレンチである、請求項１５または１６に記載の方法。

【請求項１８】

前記少なくとも１つの高アスペクト比トレンチを形成する段階は、前記交互の誘電体層および導電層を、ドライエッチング処理を用いてエッチングする段階を有する、請求項１７に記載の方法。

【請求項１９】

前記少なくとも１つの高アスペクト比トレンチを充填する段階は、

前記少なくとも１つの高アスペクト比トレンチにホウリンケイ酸ガラスを堆積させる段階と、

化学気相成長により前記ホウリンケイ酸ガラス上にテトラオルトシリケートを堆積させる段階と、

前記テトラオルトシリケートをシリカに転換する段階と、

前記シリカおよび前記ホウリンケイ酸ガラスのうちの少なくとも１つにスピン・オン・誘電性材料を堆積させる段階と

を有する、請求項１８に記載の方法。

【請求項２０】

前記少なくとも１つのアレイ貫通ビアを形成する段階は、前記少なくとも１つのチャネルを少なくとも１つの導電性材料で充填する段階を更に有する、請求項１４から１９のいずれか一項に記載の方法。

【請求項２１】

前記少なくとも１つの導電性材料は、少なくとも１つの第１の導電層、および前記少なくとも１つの第１の導電層上に堆積される少なくとも１つの第２の導電層の形態である、請求項２０に記載の方法。

【請求項２２】

前記第１の導電層は、チタニウムであり、前記第２の導電層は、タングステンである、請求項２１に記載の方法。

【請求項２３】

前記少なくとも１つの導電性材料と交互の誘電体層および導電層の前記スタックとの間に少なくとも１つのバリア層を形成する段階を更に備える、請求項２０または２２に記載の方法。

【請求項２４】

不揮発性メモリを形成する方法であって、

絶縁層上に形成される交互の誘電体層および導電層のスタックを含み、アレイ領域および周辺領域を更に含むメモリアレイを提供する段階と、

前記アレイ領域および前記周辺領域のうちの少なくとも１つに少なくとも１つのアレイ貫通ビアを形成する段階と

を備え、

前記アレイ貫通ビアは、交互の誘電体層および導電層の前記スタックの上部表面から前記アレイ領域および前記周辺領域のうちの少なくとも１つの下の構造体へと延在し、

前記構造体は、前記不揮発性メモリの別のコンポーネントに電気的に結合され、

前記アレイ貫通ビアは、前記メモリアレイの少なくとも１つのアクセス線を前記構造体に電気的に結合することを可能にし、

前記少なくとも１つのアレイ貫通ビアを形成する段階は、

前記上部表面から前記構造体へと延在する少なくとも１つのトレンチを形成する段階と、

前記少なくとも１つのトレンチを少なくとも１つの絶縁材料で充填する段階と

を有し、

前記少なくとも１つのトレンチを充填する段階は、

前記少なくとも１つのトレンチにホウリンケイ酸ガラスを堆積させる段階と、

化学気相成長により前記ホウリンケイ酸ガラス上にテトラオルトシリケートを堆積させる段階と、
前記テトラオルトシリケートをシリカに転換する段階と、
前記シリカおよび前記ホウリンケイ酸ガラスのうちの少なくとも１つにスピン・オン・誘電性材料を堆積させる段階と
を有する、方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、概ね、不揮発性メモリにおいて用いられる１または複数のチャネル／ラインをルーティングするための複数の技術に関する。より具体的には、本開示は、概ね、不揮発性メモリにおいて用いられる１または複数のチャネルが下部回路へのアクセスを可能にする、メモリアレイにおいて生成されたビアを介してルーティングされる複数の技術に関する。そのような複数の技術を含むメモリおよびそのような複数のビアを製造する方法も説明される。
【背景技術】
【０００２】
多くのタイプの半導体メモリが当技術分野において既知である。いくつかのメモリタイプは、揮発性であり、電力が除去される場合、そのコンテンツを失う。他の複数のメモリタイプは、不揮発性であり、メモリへの電力がたとえ除去されても、その中に格納された情報を保持する。フラッシュメモリは、不揮発性メモリの１つのタイプである。一般に、フラッシュメモリは、電荷をメモリセルの電荷格納領域内に格納する。浮遊ゲートフラッシュセルにおいて、金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）の制御ゲートとチャネルとの間に位置付けられる導電性浮遊ゲートは、電荷を格納するべく用いられ得る。チャージトラップフラッシュ（ＣＴＦ）セルにおいて、窒化物膜のような非導電性材料の層は、ＭＯＳＦＥＴの制御ゲートとチャネルとの間の電荷を格納するべく用いられ得る。ＭＯＳＦＥＴベースのフラッシュセルの電圧閾値は、セルの電荷格納領域内に格納される電荷の量を変更することにより変更され得、電圧閾値は、セル内に格納される値を示すように用いられ得る。
【０００３】
フラッシュメモリに一般に用いられる１つのアーキテクチャは、ＮＯＴ　ＡＮＤ（ＮＡＮＤ）アーキテクチャである。典型的なＮＡＮＤアーキテクチャでは、２つまたはそれより多くのフラッシュセルは、複数のメモリセルのストリングを形成するように、ソースからドレインへと互いに結合される。個別の複数のセルの制御ゲートは、ワード線のような（例えば、グローバル制御）ラインにアクセスするように結合される。複数のセレクトゲート（例えば、セレクトゲートソース（ＳＧＳ）、セレクトゲートドレイン（ＳＧＤ）等）は、ＮＡＮＤストリングのいずれかの端部に結合され、ＮＡＮＤストリングをストリングの一方の端部でソース線に結合し、他方の端部でデータ（例えば、ビット）線に結合するＭＯＳＦＥＴであり得る。
【０００４】
いくつかのＮＡＮＤフラッシュデバイスは、縦方向に積層され（例えば、縦型ＮＡＮＤ）、任意選択で３次元（例えば、３Ｄ　ＮＡＮＤ）に積層され得る、複数のフラッシュメモリセルのスタックを含む。いずれの場合も、そのような複数のデバイスは、縦方向に配置されるソース、ドレイン、およびチャネルを含む複数のフラッシュメモリセルのスタックを含み得、従って、これらのセルは、縦型ＮＡＮＤストリングを形成するべく、一方が他方の上面に位置付けられる。縦型ＮＡＮＤストリングは、セレクトゲート（例えば、セレクトゲートドレイン（ＳＧＤ）、セレクトゲートソース（ＳＧＳ）等）の上面に位置付けられ得、別のセレクトゲート（例えば、ＳＧＤ、ＳＧＳ）は、縦型ＮＡＮＤストリングの上面に位置付けられ得る。
【０００５】

より高い容量のメモリに対する要求を満たすべく、設計者は、メモリ密度を増大させ、つまり集積回路ダイの所与の領域内に存在するメモリセルの数を増加させることに継続的に努める。メモリ密度を増大させる１つの態様は、個別のメモリセルのフィーチャのサイズ、従ってセル自体の全体としてのサイズを小さくすることである。これは、指定された領域内に含まれ得るメモリセルの数を増加させ得るが、メモリセルのフィーチャのサイズを小さくすることにより、デバイスの障害および電荷漏れのリスクを増大させ得る。メモリ密度を増大させる別のメカニズムは、上述のように、複数の縦型ＮＡＮＤストリングを形成することである。複数のそのような例において、メモリ密度は、設計、規格、またはこれらの組み合わせにより課され得るブロックサイズの考慮事項により実質的に限定される場合がある。従来の（例えば、プレーナ型）ＮＡＮＤデバイスと同様に、縦型ＮＡＮＤの密度は、各縦型ＮＡＮＤストリング内で複数のメモリセルのフィーチャのサイズを小さくすることにより増大され得る。

【０００６】

いずれの場合も、ＮＡＮＤメモリアレイ内の複数のメモリセル密度を増大させることにより、デバイス内で用いられ得る様々なアクセス（例えば、ワード）線、データ（例えば、ビット）線、および他の（例えば、ソース、ドレイン等）線／チャネルをルーティングすることを困難にし得る。これは、設計考慮事項および／または規格がデバイスのブロックの高さを制限する場合に特にそうである。下記のように、本開示の複数の技術は、例えば、縦型および／または３Ｄ　ＮＡＮＤデバイスのような複数の不揮発性メモリデバイスに対する代替のルーティング構成を可能にすることにより、そのような困難の様々な態様に対処することを目的とする。

【図面の簡単な説明】

【０００７】

特許請求される主題における複数の実施形態の特徴および利点は、図面を参照して以下の詳細な説明が進行するにつれ明らかとなるであろう。同一の符号は、同一の部品を図示する。

【図１】本開示に即した１つの例示的なメモリアレイの複数のメモリセルの断面図を例示する。

【図２Ａ】不揮発性メモリのメモリアレイのための例示的なルーティング図の１つの表示である。

【図２Ｂ】不揮発性メモリのメモリアレイのための例示的なルーティング図の別の表示である。

【図３】本開示に即した不揮発性メモリのメモリアレイのための例示的なルーティング図である。

【図４】本開示に即したアレイ貫通チャネルを形成する１つの例示的な方法のフロー図である。

【図５Ａ】本開示に即したアレイ貫通チャネルを形成する１つの例示的な方法を段階的に例示する。

【図５Ｂ】本開示に即したアレイ貫通チャネルを形成する１つの例示的な方法を段階的に例示する。

【図５Ｃ】本開示に即したアレイ貫通チャネルを形成する１つの例示的な方法を段階的に例示する。

【図５Ｄ】本開示に即したアレイ貫通チャネルを形成する１つの例示的な方法を段階的に例示する。

【図５Ｅ】本開示に即したアレイ貫通チャネルを形成する１つの例示的な方法を段階的に例示する。

【図５Ｆ】本開示に即したアレイ貫通チャネルを形成する１つの例示的な方法を段階的に例示する。

【図６】本開示による電子システムの一部としてのハウジングに結合されたメモリデバイスの一例の簡略ブロック図である。

【発明を実施するための形態】
【０００８】
以下の説明において、本明細書の一部を形成し、様々な例示的実施形態を図示する添付の図面を参照する。例示される複数の実施形態は、例示のみを目的とし、図示されるもの以外の複数の実施形態が本開示により想定され、本開示に含まれることが強調される。そのような他の複数の実施形態は、例示される複数の実施形態に対する構造的、論理的、および電気的変更を含み得、これらは、本開示の範囲を逸脱することなく行われ得る。
【０００９】
本開示の文脈において、「半導体」という用語は、材料層、ウェハ、または基板の形態のものを含むが、これらに限定されない任意の半導体構造体を指すものと理解されたい。限定しないが、「半導体」という用語は、シリコン・オン・サファイア（ＳＯＳ）技術、シリコン・オン・インシュレータ（ＳＯＩ）技術、薄膜トランジスタ（ＴＦＴ）技術、ドープおよびアンドープ半導体、ベース半導体構造体により支持されるシリコーンのエピタキシャル層、当業者に既知の他の半導体構造体、これらの組み合わせ等を包含するものと理解され得る。また、「半導体」という用語が本明細書において用いられる場合、様々な処理段階は、半導体の構造体内で複数の領域、接合部等を形成するべく実行され得ることを理解されたい。
【００１０】
本明細書において用いられるように、方向に関する複数の形容詞は、フィーチャ（例えば、メモリセル）が形成される基板面に関するものと理解されたい。例えば、縦型構造体は、構造体が形成され、構造体の底部端が基板面に近位した状態で基板面から離れて延在するものと理解されたい。また、縦型構造体は、それが形成される基板面に対して鉛直である必要はなく、縦型構造体は、基板に対する角度で延在するように形成され得る複数の構造体を含むことを理解されたい。
【００１１】
不揮発性メモリの密度を増大させる要求は、メモリ設計者を、メモリデバイスにおける所与の領域内でメモリセルの数を増加させるように導いた。メモリ密度が増大するにつれて、デバイス性能に好ましくない影響を与えることなくデバイスを起動するべく必要とされ得る様々なアクセス線、データ線、および他の線をルーティングすることは、ますます難しくなっている。
【００１２】
例えば、メモリアレイの上方または下方において、不揮発性メモリに複数のそのような線のための付加的ルーティングチャネルを追加することは可能であるが、そのような複数のチャネルを収納するようにデバイスのブロックの高さを増大させることが必要となり得る。例えば、設計考慮事項、規格等によりブロックの高さが制限される複数の例において、ブロックの高さを増大させることは、許されない場合があり、またはそうでなければ所望でない場合がある。
【００１３】
本開示は、不揮発性メモリ内で用いられ得るアクセス線、データ線、および／または他の線のうちの１または複数をルーティングするための代替的な複数のメカニズムを可能にする複数の技術を提供することにより、この問題に対処することを目的とする。一般に、本明細書に説明される複数の技術は、ＣＭＯＳ　ｕｎｄｅｒ　ａｒｒａｙ（ＣＵＡ）技術により提供され得るストリングドライバ回路または他の支援回路（例えば、相補的金属酸化物半導体（ＣＭＯＳ）回路）の複数のコンタクト等、メモリアレイの上にある複数のコンタクト／トレースからメモリアレイの下の１または複数のコンタクトへと１または複数の線をルーティングするための代替的な複数のメカニズムを可能にする。より具体的には、本明細書に説明される複数の技術は、アレイの下に形成され得る複数の領域／回路へのアクセスを可能にするように、メモリアレイの一部を介して、例えば、アレイ領域および／またはその周辺領域に形成され得る１または複数のビアの使用を活用する。１または複数のチャネルは、そのような複数のビアにおいて形成され、メモリアレイの下に形成され

る回路に様々な線を電気的に結合することを可能にするべく、導電性材料で充填され得る。

【００１４】

ここで、本開示に即した１つの例示的なメモリアレイの複数のメモリセルの断面図を例示する図１を参照する。示されるように、メモリアレイ１００（以下「アレイ１００」）は、複数のメモリストリング$112_{1...4}$において形成された複数のメモリセルを含み、これらはＮＡＮＤ構成で配置される。従って、図１は、本開示に即した１つの例示的なＮＡＮＤメモリデバイスの複数のメモリセルを図示するものと理解され得る。例示されるように、メモリ１００は、セレクトゲートソース（「ＳＧＳ」）ゲート１１０およびセレクトゲートドレイン（「ＳＧＤ」）ゲート１０４を含み、これらの各々は、複数のメモリストリング$112_{1...4}$のうちの１つに結合される。ＳＧＳ１１０は、ＳＧＳ制御線により制御され得、ＳＧＤ１０４は、ＳＧＤ制御線により制御され得る（両方とも図示せず）。一般に、ＳＧＤ１０４およびＳＧＳ１１０は、メモリ１００との１または複数の動作（例えば、読み取り動作、書き込み動作、消去動作等）の実行中にバイアスされ得、その結果、単独、または下記のストリングセレクトゲート１３２の制御バイアスとの組み合わせのいずれかで、そのような複数の動作中に複数のメモリセルまたはそれらのストリングをアクティブ化または非アクティブ化する。

【００１５】

本実施形態におけるストリング$112_{1...4}$は、各ストリングの一部が第１の列138_1に沿って形成された第１の部分で形成され、同じストリングの第２の部分が隣接する（例えば、第２の）列138_2に沿って形成されるように、折り畳まれた構成で形成される。これに関して、「列」138_1、138_2は、ＮＡＮＤストリングに配置される複数のメモリセルのストリングを包含するものと理解され得る。

【００１６】

ストリング$112_{1...4}$は、折り畳まれた（例えば、Ｕ字型）構成で配置され、複数の（例えば、８、１６、３２個等）のメモリセルを含み得る。例として、ストリング$112_{1...4}$は各々、８つのメモリセルを含み得、この場合、４つのメモリセルが１つの縦型の列（例えば、列112_1）に沿って形成され、４つのメモリセルが隣接するメモリ列（例えば、列112_2）に沿って形成され、従って、Ｕ字型構成を形成する。本開示の複数のＮＡＮＤメモリデバイスは、互いに隣接して形成されるそのような複数のＵ字型ストリングのうちの２つまたはそれより多くを含み得る。メモリ１００は、ストリングセレクトゲート（ＳＳＧ）１３２も含み得、ＳＳＧ１３２は、ストリング$112_{1...4}$の各端部の間に形成され得る。

【００１７】

図１に更に示されるように、様々な実施形態において、ストリング$112_{1...4}$は、データ（例えば、ビット）線１１６と２つのソース線114_1、$_2$との間で、例えば、ビット線接点１４４およびソース線接点１４２で結合され得る。ストリングのビット線への結合は、ＳＳＧ１３２により制御され得、ＳＳＧ１３２は、多結晶シリコン（ポリシリコン）のような導体であってもよい。一般に、ＳＳＧ１３２は、選択されたストリング$112_{1...4}$の第１の端部をデータ（ビット）線１１６に、また選択されたストリングの別の端部をソース線114_1、$_2$に結合し、および／または分離するようにバイアス（アクティブ化）され得る。

【００１８】

メモリ１００およびストリング$112_{1...4}$の一部のみが図１に示され、本開示の不揮発性メモリが示される構成に限定されないものと理解されたい。現に、メモリ１００は、図１において、ストリング$112_{1...4}$として識別されるものよりより多いか、または少ないＮＡＮＤストリングを含む複数のメモリセルのアレイを含み得る。更に、各ストリングは、８より多いか、または少ないメモリセルを含み得、これらのいずれかまたは全てがワード線$102_{0...7}$または他のワード線（図示せず）により結合され得る。例えば、追加の複数のメモリセル構造体（図示せず）は、ストリング$112_{1...4}$および／

または１もしくは複数の追加ストリングの各々に配置され得るであろう。そのような追加の複数のメモリセルは、付与前の米国特許公報第２００９／０１６８５１９号に説明されるもののようなアクティブまたは非アクティブな（ダミーの）メモリセルを含み得る。現に、いくつかの実施形態において、本明細書に説明される複数のメモリは、2^nのメモリセルを有するメモリアレイを含むＮＡＮＤメモリであり得る。ｎは整数である。

【００１９】

図１に更に図示されるように、メモリ１００は、電荷格納構造体１２４およびチャネル構造体１２６を更に含み得る。示されるように、電荷格納構造体１２４は、メモリストリング$112_{1...4}$により形成される１または複数の連続した層の形態であり得る。いくつかの実施形態において、電荷格納構造体１２４は、第１の酸化物層、第１の酸化物層上に形成される窒化物層、窒化物層上に形成される第２の酸化物層（全て図示せず）を含み得る。

【００２０】

メモリ１００は、プレーンゲートも含み得る。図１におけるプレーンゲートは、複数の制御ゲート$140_{1...4}$を含むものとして例示され、それらの各々は、メモリセル$112_{1...4}$のストリングの下に形成され得る。限定しないが、制御ゲート$140_{1...4}$は、メモリストリング$112_{1...4}$を駆動するべく用いられ得るメモリアレイ$112_{1...4}$の下の回路の一部を形成し得る。従って、制御ゲート$140_{1...4}$は、メモリストリング$112_{1...4}$の下に形成され得、ＣＭＯＳ　ｕｎｄｅｒ　ａｒｒａｙ技術のような任意の好適な技術により製造され得るワード線ドライバ回路の一部を形成し得る。

【００２１】

例示されないが、メモリ２００の複数のメモリセルは、複数のメモリセルの３Ｄアレイを形成するように３次元（３Ｄ）で配置され得る。例えば、メモリセル$SGS110_{1-2}$、$SGD104_{1-2}$、およびストリングセレクトゲート（「ＳＳＧ」）$132_{1...5}$は、図１に示される面の背後（例えば、下方）および前方（例えば、上方）の両方で反復され得る。そのような複数のゲートのための制御線は、図１における面の前方および下方にも延在し得る。より具体的には、ワード線$102_{0...7}$（アクセス線を含み、局所的に各メモリセルの制御ゲート構造体を含み得る）は、そのような複数の実施形態において、メモリ１００のメモリセルアレイの面に入り、また面から出てくるものと理解され得る。同様に、$SGD104_{1-2}$、$SGS110_{1-2}$、および$SSG132_{1...5}$（各々、ストリング$112_{1...4}$の各々において制御構造体として局所的に機能し得る）は、図１の面を通る制御信号線も含み得る。プレーンゲート（例えば、制御ゲート$140_{1...4}$）も、３Ｄアレイ内で反復され得る。

【００２２】

図１は、本開示により用いられ得るＮＡＮＤメモリアレイの一構成を例示するべく提供されていることが注記される。本開示は、図１のメモリ１００以外の態様で構成されるＮＡＮＤメモリ、およびＮＯＴ　ＯＲ（ＮＯＲ）アーキテクチャを有するメモリを含む、様々な異なるタイプの不揮発性メモリを用いることを想定していることを理解されたい。いずれの場合も、メモリ１００およびそのようなメモリを形成する複数の方法に関する更なる情報は、米国特許第８，６８１，５５５号に見ることができ、その全内容は、参照により本明細書に組み込まれる。

【００２３】

ここで、本開示に即した不揮発性メモリのメモリアレイのためのアクセス線ルーティングスキームの異なるビューを提供する図２Ａおよび図２Ｂを参照する。本明細書において用いられるように、「アクセス線」、「制御線」、およびルーティング線という用語は、互いに交換可能に用いられ、不揮発性メモリの１または複数のコンポーネントへ、および／またはこれから複数の信号を送信するべく用いられ得る複数の線を指す。従って、アクセス線／制御線は、不揮発性メモリにおいて用いられ得る１または複数のゲート（例えば、セレクトゲートソース、セレクトゲートドレイン等）、１または複数のワード線、１または複数のメモリセル、駆動回路、これらの組み合わせ等への、およびこれらからの複数

の信号を送信するべく用いられ得る複数の線／チャネルを含み得る。理解され得るように、複数のアクセス線は、不揮発性メモリ内に形成される１または複数のチャネルを介してルーティングされ得る。

【００２４】

例示の目的で、図２Ａおよび図２Ｂにおけるルーティング図は、不揮発性メモリが、各メモリアレイにより共有される下部ドライバ回路により駆動され得る複数のメモリストリングを含む、複数のメモリアレイ（タイル）を含む例を図示することが更に注記される。従って、図２Ａおよび図２Ｂは、例えば、ＣＵＡ技術により各メモリアレイの下に提供され得る一般的なワード線ドライバアーキテクチャを使用する不揮発性メモリ（例えば、縦型ＮＡＮＤメモリ）のためのルーティング図の異なるビューを図示するものと理解され得る。図２Ａおよび図２Ｂの１つの目的は、そのようなデバイスにおいて用いられ得る様々なアクセス線、データ線等の線のルーティングにおいて発生し得る様々な課題を例示することである。この図示は、専ら例示的であり、本明細書に説明される複数の技術は、任意の好適な不揮発性メモリと共に使用され得ることが強調される。

【００２５】

図２Ａおよび図２Ｂに示されるように、メモリ２００は、複数のメモリアレイ（タイル）を含み得る。このコンセプトは、第１のメモリアレイ（タイル）２０３$_1$および第２のメモリアレイタイル２０３$_2$を含むものとしてメモリ２００を図示する図２Ａにおいて例示される。メモリアレイ（タイル）２０３$_1$、２０３$_2$の各々は、縦型または３Ｄ　ＮＡＮＤアーキテクチャにおいて用いられ得るような複数のメモリセルの縦型アレイの形態であってもよい。従って、メモリアレイ２０３$_1$、２０３$_2$は各々、複数の対応するチャネル２０４を含み、および／またはこれらに結合され得、これらの各々は、１または複数のアクセス（ワード）線プレート２０５を用いてアクセスされ、または制御され得る。ワード線プレート２０５は、複数の導電性（例えば、金属、ポリシリコン等）チャネル（ルーティング線）２０２に結合され得、複数の導電性チャネル２０２は、同様に、メモリアレイ２０３$_1$、$_2$の上方の領域に配置された複数の導電性相互接続２０１に結合され得る。複数の導電性チャネル（線）２０２の接続およびルーティングを容易にするべく、ワード線プレート２０５は、図２Ａに示されるように階層的構造で形成され得る。また、複数の導電性チャネル２０２は、例えば、複数のワード線コンタクト２１２を介してワード線プレート２０５を１または複数のアクセス（ワード）制御線に結合し得る。上述のコンセプトは、第１のワード制御線２０６および／または第２のワード制御線２０７に結合するものとして導電線２０２を示す図２Ａにおいて例示される。第１のワード制御線２０６および第２のワード制御線２０７は、この場合にメモリアレイ２０３$_1$、$_2$の下の領域に配置される。メモリ２００は、相互接続２０９を更に含み得る。相互接続２０９は、導電性材料を含み得、メモリ２００の複数の導電線２０２および／または複数の他のコンポーネントのうちの２つまたはそれより多くを互いに電気的に結合するように機能し得る。

【００２６】

第１および／または第２のワード制御線２０６、２０７は、図２Ａおよび図２Ｂに示されるように、ドライバ回路２０８に結合され得る。上述のように、ドライバ回路２０８は、メモリアレイ２０３$_1$とメモリアレイ２０３$_2$との間で共有され得、それらのメモリストリングを駆動するように機能し得る。従って、ドライバ回路２０８は、いくつかの実施形態において、例えば、ＣＵＡ技術またはいくつかの他の方法によりメモリアレイ２０３$_1$、$_2$の下に提供され得る一般的なワード線ドライバアーキテクチャの形態で構成され得る。図２Ｂに示されるように、第１および／または第２のワード制御線２０６、２０７は、回路ルーティングチャネル２１３を含み、この形態であり、および／またはこれに結合し得る。回路ルーティングチャネル２１３は、ドライバ回路２０８との電気的接触を可能にする複数の導電線（例えば、金属、ポリシリコン等の、またはこれらを含む）を含み得る。

【００２７】

また、図２Ｂに示されるように、メモリ２００は、複数のソースチャネル２１０、ＳＧ

Ｓ線２１１、およびＳＧＤ線２１４を含み得る。複数のソースチャネル２１０は、導電性材料（例えば、金属、ポリシリコン等）を含む１または複数の線で形成されるか、またはこれらを含み得、メモリ２００の１または複数のフィーチャをソースに結合するように機能し得る。同様に、複数のＳＧＳ線２１１およびＳＧＤ線２１４は、導電性材料（やはり金属、ポリシリコン等）で形成され、またはこれらを含み得、各々、対応するＳＧＳゲートおよびＳＧＤゲートをドライバ回路２０８または他の好適な複数のコンポーネントに結合するように機能し得る。

【００２８】

図２Ａおよび図２Ｂから見られ得るように、メモリ２００において用いられる様々な線およびチャネルは、ブロックの高さＨ内でルーティングされ得る。例えば、例示される実施形態において、ワード線２０６、２０７、ソース線２１０、ＳＧＳ線２１１、およびＳＧＤ線２１４は、導電線２０２および／または相互接続２０９に結合され得、これらのうちのいくつかまたは全ては、ドライバ回路２０８にルーティングされ得る。より具体的には、そのような複数のアクセス線のうちの１または複数は、メモリアレイ２０３_{1}、$_{2}$の上方または下方、つまりメモリ２００のブロックの高さＨ内でルーティングされ得る。メモリ密度が増大する場合には、このようなルーティングは有効であるが、複数の追加のアクセス線が必要とされる場合がある。複数の追加のアクセス線のルーティングは、ブロックの高さＨが例えば、設計考慮事項および／またはブロックの最大の高さを規定する規格により制限される場合に、妨げられ、または阻止され得る。このコンセプトは、例えば、領域２１５において駆動回路２１３への接続を欠くものとして複数のＳＧＤ線２１４を図示する図２Ｂに例示される。上述のように、複数のＳＧＤ線２１４は、メモリアレイ２０３_{1}または２０３_{2}の上方または下方にルーティングされ得るが、そのようにするには、ブロックの高さＨを増大する必要があり得、これは所望でない場合がある。

【００２９】

従って、本開示に即した不揮発性メモリのための代替のルーティング図を図示する図３を参照する。示されるように、メモリ３００は、図２Ａおよび図２Ｂのメモリ２００と同じ複数のコンポーネントの多くを含む。複数のそのような要素の性質および機能は、図３において図２Ａおよび図２Ｂと同じであるので、複数のそのような要素は、簡潔にすることを目的として再び説明されない。これを念頭に置いて、メモリ３００は、メモリ３００の対応する部分３０２_{1}、３０２_{2}において形成され得るアレイ貫通ビア領域３０１_{1}、３０１_{2}を含むという点でメモリ２００と異なる。いくつかの実施形態において、部分３０２_{1}、３０２_{2}の一方または両方は、メモリ３００のアレイ領域、つまりメモリアレイ、例えば、図２Ａのメモリアレイ２０３_{1}、２０３_{2}（図３に図示せず）により少なくとも部分的に占有されるメモリ３００の領域に対応し得る。あるいは、部分３０２_{1}、３０２_{2}の一方または両方は、メモリ３００の周辺領域、つまり、メモリアレイ領域の外部および／または周囲に形成され得るメモリ３００の領域に対応し得る。いくつかの実施形態において、不揮発性メモリは、全メモリ面積Ａを有し得、「アレイ領域」という用語は、メモリアレイにより占有される面積Ａ内の領域を指し得る。複数のそのような例において、「周辺領域」という用語は、アレイ領域の外部にあり、アレイ領域の縁部から面積Ａの約３０％（例えば、約２５％、約２０％、約１５％）の距離へと延在し得る面積Ａの領域を指し得る。いくつかの実施形態において、不揮発性メモリの周辺領域は、全メモリ面積Ａの０より大きく約２５％まで延在する。

【００３０】

限定しないが、いくつかの実施形態において、部分３０２_{1}、３０２_{2}の一方または両方は、メモリ３００の周辺領域に対応する。いずれの場合も、１または複数のビア貫通チャネル３０３は、メモリ３００の１または複数のチャネルおよび対応する複数のアクセス線をドライバ回路２０８に結合するように、ビア貫通領域３０１_{1}、３０２_{2}に形成され得る。例えば、例示される実施形態において、複数のＳＧＤ線２１４は、ビア貫通チャネル３０３によりメモリ３００のドライバ回路２０８または複数の他のコンポーネントに結合され得る。

【００３１】
例示を目的とし、理解を容易にするべく、図３は、複数のＳＧＤ線２１４がビア貫通チャネル３０３によりメモリ３００のドライバ回路２０８または複数の他のコンポーネントに結合され得るルーティング図を例示することが注記される。図示される例は、専ら例示的であり、メモリ３００（または２００）のための複数のアクセス線のうちの１つ、全て、または組み合わせが、ビア貫通領域３０２$_1$、３０２$_2$において形成された１または複数のビア貫通チャネル３０３により複数の適切なコンポーネントに結合され得ることが強調される。現に、いくつかの実施形態において、１または複数のビア貫通チャネル３０３は、複数のＳＧＤ線２１４、回路ルーティングチャネル２１３、ＳＧＳ線２１１、ソースチャネル２１０、ワード制御線２０６、２０７、これらの組み合わせ等をメモリ３００の複数の適切なコンポーネントにルーティングするべく用いられ得る。
【００３２】
理解され得るように、ビア貫通チャネル３０３を用いて様々な不揮発性メモリアクセス線をルーティングすることにより、図２Ｂのメモリ２００における階層的スタックまたはワード線プレート２０５等であるが、これらに限定されない、メモリ３００において用いられ得る複数のワード線プレートのスタックを迂回し得る。これは、ブロックの高さＨを増大させる必要なく、また潜在的にはメモリデバイスの複数の他のコンポーネントの周囲でルーティングするべく複数の追加の相互接続を形成して用いる必要なく、駆動回路２０８へのアクセスおよび／または複数の追加のアクセス線のルーティングを可能にし得る。より一般には、アレイ貫通ビア３０３を用いることにより、様々な代替のルーティングスキームに対するアプローチを利用可能にし、これらは、メモリアレイの上方および／または下方の様々なチャネルのルーティングに依存する他の複数のルーティングスキームに対する１または複数の利益を示し得る。
【００３３】
図２Ａ、図２Ｂ、および図３は、特定のメモリアレイ構成、レイアウト、および下部駆動回路を有する不揮発性メモリの使用のために構成され得るような複数のルーティングスキームを図示することが再び注記される。そのような図示は、専ら例示を目的としており、本明細書に説明される複数の技術は、縦型および３Ｄ　ＮＡＮＤ構成を含むが、これらに限定されない様々な異なる不揮発性メモリ構成のための代替のルーティング方法論を可能にするべく用いられ得ることが再び強調される。現に、本開示は、任意の好適なタイプの不揮発性メモリにおいて複数のルーティング機能を実行する複数のアレイ貫通チャネル／線、および関連するビアの使用に広く関係するものと解釈されるべきである。
【００３４】
従って、いくつかの実施形態において、本開示は、アレイ領域および周辺領域を含むＮＡＮＤメモリに関し、複数の縦型メモリストリング（例えば、縦型および／または３ＤＮＡＮＤ）の少なくとも１つのアレイは、アレイ領域内、および少なくとも１つのアレイのための駆動回路（例えば、ストリング駆動回路）上方に形成され、不揮発性メモリは、少なくとも１つのアクセス線をメモリの駆動回路または別の好適なコンポーネントに電気的に結合するように構成される少なくとも１つのアレイ貫通チャネルを含む、少なくとも１つのアレイ貫通ビア領域を更に含む。この文脈において、「アクセス」線は、不揮発性メモリにおいて用いられ得る複数の制御線（ＳＧＳ、ＳＧＤ）、ソース線、ドレイン線、ワード線等のうちの１または複数を意味する。
【００３５】
上述を念頭に置いて、本開示の別の態様は、不揮発性メモリのための複数のアレイ貫通チャネルおよびそれらを製造するための複数の方法に関する。これに関して、ここで本開示に即したアレイ貫通チャネルを製造する１つの例示的な方法に従って実行され得る複数の工程のフロー図である、図４を参照する。分かりやすく例示する目的で、図４における複数の工程は、図５Ａ～図５Ｆと共に説明され、これらは、ＮＡＮＤのアレイ領域および周辺領域における本開示に即した例示的アレイ貫通チャネルの形成を段階的に例示する。本開示は、アレイ貫通ビアの形成のみに焦点を当てるが、本開示に即した複数のアレイ貫

通ビアは、１または複数のメモリアレイ、制御ゲート、ソース、ドレイン、アクセス線等を含む不揮発性メモリの複数の他のコンポーネントの形成前、形成後、または形成中に形成され得ることを理解されたい。限定しないが、本明細書に説明される複数のアレイ貫通チャネルは、不揮発性メモリの１または複数の他のコンポーネントを提供するべく用いられ得る複数の他の処理工程中に、例えば追加の、もしくは異なるマスキング、堆積、洗浄、または複数の他の処理段階に対する必要を回避し、もしくは限定するように形成されることが好ましい。

【００３６】

図４に示されるように、方法４００は、ブロック４０１で開始する。次に、本方法は、ブロック４０２に進み得、不揮発性メモリのメモリアレイが、例えばウェハ上または他のものに提供され得る。メモリアレイは、上記のようにアレイ領域および周辺領域を含み得る。このコンセプトは、メモリアレイ５００の一部におけるアレイ領域５０１および周辺領域５０２を図示する図５Ａに例示される。示されるように、アレイ領域５０１および周辺領域５０２は、交互の複数の誘電体層５０４および導電層５０５を含み得る。複数の誘電体層５０４は、窒化誘電体、および酸化シリコン（SiO_x）および酸化アルミニウムのような酸化誘電体を含むが、これらに限定されない任意の好適な誘電性材料で形成され、またはこれらを含み得る。同様に、複数の導電層５０５は、多結晶シリコン（ポリシリコン）、１または複数の金属および／または窒化チタニウムのような窒化金属、これらの組み合わせ等であるが、これらに限定されない任意の好適な導電性材料で形成され、またはこれらを含み得る。

【００３７】

交互の複数の誘電体層５０４および導電層５０５は、絶縁層５０８上に成長または堆積され得る。絶縁層５０８自体は、構造体５０９上、またはこの上方に成長または堆積され得る。絶縁層５０８は、酸化シリコン等であるが、これらに限定されない誘電性および／または酸化絶縁材料で形成され、またはこれらを含み得る。図５Ａに示されるように、第１および第２のルーティング線５０６、５０７のような１または複数のルーティング線が絶縁層５０８に形成され得る。第１および第２のルーティング線は、１または複数のソースチャネル、ワード線チャネル、ＳＧＳ線、ＳＧＤ線等、不揮発性メモリにおいて使用され得る任意の好適な複数のルーティング線であってもよい。勿論、上述の説明に即して、ルーティング線５０６、５０７は、例えば、複数のそのような線が例えば、本開示に即したビア貫通チャネルを用いてメモリアレイ５００の他の複数の部分を通ってルーティングされ得る複数の例において省略されてもよい。しかし、例示を目的として、ルーティング線５０６、５０７は、本明細書に説明される複数のアレイ貫通チャネルが、メモリアレイ５００の絶縁層５０８または任意の他の部分内で複数のルーティング線および他のコンポーネントとの干渉を回避するべく、どのように形成され得るかを例示するために、絶縁層５０８内に図示される。後で検討されるように、本明細書に説明される複数のアレイ貫通チャネルは、層５０８内に存在し得るルーティング線５０６、５０７等であるが、これらに限定されない、メモリアレイ５００内に存在し得る複数のルーティング線および／または他のコンポーネントから絶縁され、またはそうでなければこれらを回避するように形成されることが好ましい。

【００３８】

構造体５０９は、導電性基板または他の構造体（例えば、ボンドパッド、導体線等）であってもよく、これらは、本開示に即したアレイ貫通チャネルを、例えば上記のＣＵＡ技術によりメモリアレイ５００の下に形成され得る駆動回路等、不揮発性メモリの別のコンポーネントに電気的に結合するように機能し得る。これに関して、タングステン、銅、およびアルミニウムのような複数の金属、ならびにポリシリコンのような複数の他の導電性材料等を含むが、これらに限定されない任意の好適な導電性材料が、構造体５０９を形成するべく用いられ得る。限定しないが、構造体５０９は、タングステンのような金属で形成されるボンドパッドまたは導電線の形態であることが好ましい。

【００３９】

図４に戻ると、方法は、ブロック４０３に進み得、１または複数のトレンチがメモリアレイにおいて形成され得る。このコンセプトは、メモリアレイ５００のアレイ領域５０１および周辺領域５０２におけるトレンチ５１０、５１０'の形成を各々図示する図５Ｂに例示される。トレンチ５１０、５１０'は、ウェット化学エッチング、ドライエッチング、フォトリソグラフィ、これらの組み合わせ等であるが、これらに限定されない、当技術分野において既知の任意の好適なトレンチ形成処理により形成され得る。限定しないが、トレンチ５１０、５１０'のうちの１または複数は、高アスペクト比トレンチ（ＨＡＲＴ）ドライエッチング処理のようなドライエッチング処理を用いて形成されることが好ましい場合がある。ＨＡＲＴドライエッチング処理は、当技術分野において良く理解されており、従ってその詳細な説明は、本明細書において提供されない。いくつかの実施形態において、ＨＡＲＴドライエッチング処理は、複数の誘電体層５０４（例えば、SiO_x）、複数の導電層５０５（例えば、ポリシリコン）、層５０８（例えば、SiO_x）、および（任意選択で）ルーティング線５０６、５０７のための複数の材料を積極的にエッチングし得るが、構造体５０９の材料（例えば、タングステンのような複数の金属）をエッチングし得ず、または積極的にエッチングしない場合があるドライエッチャントを使用し得る。結果として、ドライエッチング処理は、アレイ領域５０１および周辺領域５０２の上部表面から構造体５０９へと延在するトレンチを生成し得る。従って、トレンチ５１０、５１０'は、それらを通って構造体５０９へと至るアクセスを提供し得る。

【００４０】

例示を目的として、図５Ｂ～図５Ｆは、単一のトレンチが不揮発性メモリのアレイ領域および周辺領域の両方に形成され、単一のチャネルがトレンチ内に形成される実施形態を段階的に図示することが注記される。そのような実施形態は、本開示の専ら非限定的な一例であり、本明細書に説明される複数の技術は、メモリアレイのアレイ領域のみ、メモリアレイの周辺領域のみ、そのようなアレイのアレイ領域および周辺領域の両方、および／または周辺領域およびアレイ領域のうちの１または複数、ならびにメモリアレイのいくつかの他の領域またはメモリアレイを含む不揮発性メモリデバイスにおいて１または複数のトレンチを形成するべく用いられ得ることを理解されたい。従って、いくつかの実施形態において、本明細書に説明される複数の不揮発性メモリは、周辺領域およびアレイ領域を有するメモリアレイを含み得、１または複数の（例えば２つ、３つ、４つ、５つ、６つ等の）トレンチは、周辺領域およびアレイ領域のうちの少なくとも１つにおいて、および任意選択でアレイの別の領域またはアレイを含むデバイスにおいて形成され得る。更に、各トレンチは次に、１または複数のアレイ貫通チャネルを含むように加工され得る。

【００４１】

図５Ｂ～図５Ｆにおいて、トレンチ５１０、５１０'は、先細の構造を有するものとして例示され、従って、トレンチの底部に近位の大きさ（例えば、幅）は、トレンチの上面に近位の対応する大きさより小さくなる。従って、トレンチ５１０、５１０'は、傾きを示す側壁を有するものとして理解され得る。トレンチ５１０、５１０'の側壁の傾きの大きさは、大きく変わり得、設計および／または処理の制約により決定され得る。限定しないが、トレンチ５１０、５１０'の側壁のうちの一方または両方の傾きは、約８７～８９°、または更に約８８～約８９°等、構造体５０９の上部表面の平面に対して約８５～約９０°の範囲であり得る。理解され得るように、トレンチ５１０、５１０'の側壁の傾きは、トレンチ５１０、５１０'に追加され得る複数の導電性材料（例えば、下記のバリア層５１３、５１３'および導電性材料５１４、５１４'）の間に所望のレベルの電気的絶縁を提供するように選択され得る。しかし、過度の高い傾きは、空隙または他の欠陥なしにトレンチ５１０、５１０'を充填することを困難にする場合がある。

【００４２】

いくつかの実施形態において、トレンチ５１０、５１０'は、これらが層５０８内に存在し得るルーティング線５０６、５０７等、メモリアレイにおける複数の他のコンポーネントを回避し、またはそうでなければこれらの機能に影響を与えないように位置付けられ得る。このコンセプトは、ルーティング線５０６、５０７に衝突しないように形成される

ものとして、例えば、そのような複数のルーティング線間に形成されるものとして、トレンチ５１０'を図示する図５Ｂの周辺アスペクトにおいて示される。

【００４３】

再び、図４に戻ると、方法は次に、ブロック４０４に進み得、ブロック４０３に従って形成されるトレンチは、絶縁材料で充填され得る。このコンセプトは、トレンチ５１０、５１０'を絶縁材料５１１、５１１'で充填されるものとして例示する図５Ｃに図示される。絶縁材料５１１、５１１'は、トレンチ５１０、５１０'内で複数の絶縁材料のうちの１つまたは組み合わせを堆積および／または成長させることにより形成され得る。絶縁材料５１１、５１１'として、またはこれらにおいて用いられ得る好適な複数の絶縁材料の非限定的な例としては、ホウリンケイ酸ガラス、SiO_xのような絶縁酸化物（例えば、SiO_2）、オルトケイ酸テトラエチル（ＴＥＯＳ）のようなケイ酸前駆体から派生したシリカおよび／またはケイ酸、スピン・オン・ポリマー誘電性材料、スピン・オン・シリコンベースの高分子誘電性材料、これらの組み合わせ等が挙げられる。いずれの場合も、トレンチ５１０、５１０'は、任意の好適な処理を用いて絶縁材料５１１、５１１'で充填され得る。

【００４４】

いくつかの実施形態において、トレンチ５１０、５１０'は、トレンチ５１０、５１０'のバルクが、例えば、化学気相成長（ＣＶＤ）または他の好適な処理を用いてＢＰＳＧで最初に充填され得る多段階処理により充填され得る。初期のＢＰＳＧ充填材の深さは、相当に変わり得、トレンチ５１０、５１０'の深さに応じて、約１０００～約５０，０００オングストローム、またはこれより大きい範囲であり得る。限定しないが、初期のＢＰＳＧ充填材の深さは、約１８，０００～約２５，０００オングストローム等、約１０，０００～約３０，０００オングストロームの範囲になり得る。（例えば、ＣＶＤまたは複数の他の処理を用いて）ＢＰＳＧの高品質の堆積が可能であるが、多くの例において、クラックまたは他の欠陥がＢＰＳＧ充填材において存在する場合がある。放置されると、複数のそのような欠陥は、本明細書において説明されるビア貫通チャネルの性能にマイナスの影響を与える場合がある。従って、いくつかの実施形態において、ＢＰＳＧ充填材における複数のクラックおよび／または他の欠陥は、（もしあれば）１または複数の追加の材料をトレンチ５１０、５１０'へと堆積させることにより充填され得る。

【００４５】

例として、いくつかの実施形態において、ＢＰＳＧ充填材における複数の欠陥は、ＢＰＳＧ充填材上に、例えば化学気相成長によりオルトケイ酸テトラエチル（ＴＥＯＳ）を堆積させることにより、少なくとも部分的に充填され得る。次に、堆積されたＴＥＯＳは、単独で、または当技術分野において理解される複数の他の処理段階との組み合わせのいずれかで熱を適用することにより、二酸化シリコンに転換され得る。

【００４６】

いくつかの実施形態において、上述のＢＰＳＧ堆積は、トレンチ５１０、５１０'内で引っ張り応力を示すＢＰＳＧ膜の形成をもたらし得る。ＢＰＳＧを用いたトレンチ５１０、５１０'の充填が進むにつれて、引っ張り応力の蓄積が著しくなり得る。この問題に対処するべく、いくつかの実施形態において、ＴＥＯＳ堆積は、ＢＰＳＧ堆積によりもたらされた引っ張り応力のいくらかまたは全てを軽減するように構成され得る。これは、例えば、もたらされた酸化シリコンがＢＰＳＧ充填材により示される応力と反対の引っ張り応力を示す膜を形成するように、ＴＥＯＳを堆積させることにより実現され得る。これは、ウェハの撓みを限定し、および／または防止し得る。

【００４７】

ＢＰＳＧおよびＴＥＯＳ堆積中に、材料は、交互の誘電体層５０４および導電層５０５の上部表面の上方および／またはその上に堆積され得る。従って、いくつかの実施形態において、化学機械研磨のような任意選択の第１の研磨処理は、望ましくないＢＰＳＧおよびSiO_2を除去し、いくつかの例において交互の複数の誘電体層５０４および導電層５０５の表面を平坦化するように実行され得る。任意選択の第１の研磨処理後（または第１

の研磨処理が省略される場合）、複数のクラックまたは他の欠陥は、絶縁材料５１１、５１１'の充填材に残存する（またはそうでなければもたらされる）場合がある。複数のそのような例において、ＴＥＯＳは、そのような欠陥を充填するべく、再び堆積され得る。あるいは、または更に、スピン・オン・誘電体のような別の絶縁材料が、そのような欠陥を充填するべく堆積され得る。ＴＥＯＳおよび／または他の絶縁材料の更なる堆積後に、任意選択の第２の研磨処理が、望ましくない材料を除去し、および／または交互の複数の誘電体層５０４および導電層５０５の表面を平坦化するべく実行され得る。

【００４８】

堆積処理後に、絶縁材料５１１、５１１'は、絶縁材料５１１、５１１'の上部表面が複数の誘電体層５０４および導電層５０５のうちの最上のものの表面と実質的に同一平面上にあり得るように、トレンチ５１０、５１０'の全てまたは実質的に全てを充填し得る。図５Ｃに示される実施形態において、絶縁材料５１１、５１１'の上部表面は、誘電体層５０４または導電層５０５のうちの最上のものの表面と同一平面上にある。

【００４９】

図４に戻ると、方法は、ブロック４０５に進み得、１または複数のチャネルは、ブロック４０４に従って形成された絶縁材料内に形成され得る。上述のように、本開示は、単一のチャネル５１２、５１２'が絶縁材料５１１、５１１'において形成される実施形態に焦点を当てるが、複数のチャネル（例えば、２つ、３つ、４つ、５つ、６つ等）は、トレンチ５１０、５１０'の大きさおよび絶縁材料５１１、５１１'の特性に応じて、各トレンチ５１０、５１０'の絶縁材料５１１、５１１'に形成され得ることを理解されたい。いずれの場合も、絶縁材料内にチャネルを形成するコンセプトは、絶縁材料５１１、５１１'内の単一のチャネル５１２、５１２'の形成を例示する図５Ｄに図示される。

【００５０】

チャネル５１２、５１２'は、エッチングまたはアブレーション処理等、当技術分野で既知の任意の好適な処理を用いて形成され得る。限定しないが、いくつかの実施形態において、チャネル５１２、５１２'は、コンタクトエッチング処理および高アスペクト比トレンチ（ＨＡＲＴ）処理等であるが、これらに限定されないドライエッチング処理を用いて形成されることが好ましい。トレンチ５１０、５１０'を形成するべく用いられ得るＨＡＲＴ処理と同様に、チャネル５１２、５１２'を形成するべく用いられるドライエッチング処理は、絶縁材料５１１、５１１'（例えば、ＢＰＳＧ、SiO_2、スピン・オン・誘電体等）に用いられる材料を積極的にエッチングするように構成され得るが、構造体５０９（例えば、タングステンのような導体）の材料をエッチングしない場合があり、または実質的にエッチングしない場合がある。チャネル５１２、５１２'の上部の大きさは、トレンチ５１０、５１０'よりはるかに小さい。しかし、チャネル５１２、５１２'を形成するべく用いられるドライエッチング処理は、トレンチ５１０、５１０'を形成するべく用いられ得るＨＡＲＴ処理より著しく高いアスペクト比のエッチングを可能にするように構成され得る。いずれの場合も、チャネル５１２、５１２'は、構造体５０９へのアクセスを提供し得る。後で説明されるように、チャネル５１２、５１２'は、誘電体層５０４および導電層５０５のスタックの上方の領域からスタックの下方の領域、例えば、構造体５０９（例えば、ＣＵＡ回路）へと１または複数のアクセス線をルーティングするように用いられ得る。

【００５１】

本開示は、チャネル５１２、５１２'が任意の好適な複数の大きさに形成され得る複数の実施形態を想定するが、いくつかの実施形態において、チャネル５１２、５１２'の大きさを制御して、次に交互の複数の誘電体層５０４および導電層５０５、ならびにチャネル５１２、５１２'のスタックの間に残存する絶縁層５１１、５１１'の厚さを制御することが望ましい場合がある。これは、チャネル５１２、５１２'が充填され、または別の方法で導電性材料を含む複数の例において特にそうである。複数のそのような例において、チャネル５１２、５１２'の形成後に残存する絶縁層５１１の厚さが、例えば、電気的短絡を防止するように、交互の複数の誘電体層５０４および導電層５０５のスタックからチ

ャネル５１２、５１２'に追加される導電性充填材を電気的に絶縁するのに十分であることを保証することが望ましい場合がある。これに関して、チャネル５１２、５１２'の形成後に残存する絶縁材料５１１、５１１'の厚さは、大きく変わり得る。いくつかの実施形態において、チャネル５１２、５１２'の形成後に残存する絶縁材料５１１、５１１'の厚さは、約１００ナノメートル（ｎｍ）等、約９０～約２５０ｎｍの範囲にあり得る。限定しないが、チャネル５１２、５１２'の形成後に残存する絶縁材料５１１、５１１'の厚さは、約１００ｎｍより大きいか、またはこれに等しい。図５Ｄ～図５Ｆにおいて、チャネル５１２、５１２'は、先細の構造を有するものとして例示され、従って、チャネルの底部に近位の大きさ（例えば、幅）は、各チャネルの上面に近位の対応する大きさより小さくなる。従って、チャネル５１２、５１２'は、傾きを示す側壁を有するものとして理解され得る。チャネル５１２、５１２'の側壁の傾きの大きさは、大きく変わり得、設計および／または処理の制約により決定され得る。限定しないが、チャネル５１２、５１２'の側壁の一方または両方の傾きは、構造体５０９の上部面に対して約８８～約８９°の範囲であり得る。いくつかの実施形態において、チャネル５１２、５１２'の傾きは、トレンチ５１０、５１０'の傾きと同じであるか、または実質的に同じであり得る。

【００５２】

図４に戻ると、方法は、ブロック４０６に進み得、ブロック４０５に従って形成されたチャネルは、それを通る導電線を形成するようにメタライズされ得る。これに関して、本開示は、チャネル５１２、５１２'が導電性金属のような少なくとも１つの導電性材料を含む１または複数の材料で充填され得る様々な実施形態を想定する。いくつかの実施形態において、メタライゼーションは、バリア層がチャネル５１２、５１２'の壁部および／または底部に堆積され、その後に導電性材料（例えば、金属）の１または複数の層がバリア層上に堆積される多段階処理を用いて実行される。いくつかの実施形態において、バリア層の堆積の後に、単一の金属層の堆積が続く。他の複数の実施形態において、バリア層の堆積の後に、第１の金属層および第２の金属層／充填材の堆積が続く。

【００５３】

上述の複数のコンセプトは、図５Ｅおよび図５Ｆに例示される。具体的には、図５Ｅは、バリア層５１３、５１３'がチャネル５１２、５１２'の側壁および底部上に形成される実施形態を例示する。バリア層５１３、５１３'は、化学気相成長、物理気相成長、電子ビーム堆積、原子層堆積、パルスレーザ堆積、これらの組み合わせ等であるが、これらに限定されない任意の好適な処理を用いて形成され得る。限定しないが、バリア層５１３、５１３'は、化学気相成長により形成されることが好ましい。

【００５４】

バリア層５１３、５１３'は、任意の好適なバリア材料または複数のバリア材料の組み合わせから形成され得る。バリア層５１３、５１３'として用いられ得る好適な複数の材料の非限定的な例としては、バリア金属、および窒化チタニウム、窒化タンタル、窒化タングステンのような窒化金属、ならびにタングステンが挙げられる。限定しないが、バリア層５１３、５１３'は、化学気相成長により堆積される窒化チタニウムから形成されることが好ましい。勿論、他の複数のバリア材料が本開示により用いられると共に、想定され得る。

【００５５】

バリア層５１３、５１３'の厚さは、大きく変わり得る。いくつかの実施形態において、バリア層５１３、５１３'の厚さは、約１～約５００オングストローム、または更に約１～約１００オングストローム等、約１～約５０００オングストロームの範囲である。限定しないが、バリア層５１３、５１３'は、約２５～約７５オングストロームの範囲の厚さを有するのが好ましく、いくつかの実施形態において、厚さは約６０オングストロームである。バリア層５１３、５１３'の堆積後、化学機械研磨は、バリア層５１３、５１３'がチャネル５１２、５１２'内にのみ存在することを保証するべく、任意選択で実行され得る。いずれの場合も、チャネル５１２、５１２'のある部分は、図５Ｅに示されるように、バリア層５１３、５１３'の堆積後に残存し得る。換言すれば、バリア層５１３、５

１３'は、チャネル５１２、５１２'の一部を充填するのみであることが好ましい。
【００５６】
図５Ｆに示されるように、チャネル５１２、５１２'のメタライゼーションは、チャネル５１２、５１２'の残存する部分内で導電性材料５１４、５１４'の堆積を継続し得る。上記のように、導電性材料５１４、５１４'は、層の形態であるか、または互いに混合され得る１または複数のタイプの導電性材料を含み得る。これに関して、アルミニウム、銅、チタニウム、タングステン、それらの導電性窒化物および酸化物、導電性ポリマー、多結晶シリコン等の複数の他の導電性材料、これらの組み合わせ等のような金属を含む広範な導電性材料が、導電性材料５１４、５１４'を形成するべく用いられ得る。
【００５７】
いくつかの実施形態において、導電性材料５１４、５１４'は、上述の複数の材料の１つまたは組み合わせを含む単一の充填材の形態である。他の複数の実施形態において、導電性材料５１４、５１４'は、多層構造の形態であり、上述の複数の導電性材料の１または複数の層が最初に形成され、その後に上述の複数の導電性材料の１または複数の追加の層の形成が続き、またはこれらの層と交互積層される。いくつかの実施形態において、導電性材料５１４、５１４'は、（例えば、チタニウムまたは他の導電性材料の）第１の金属層を堆積させ、その後に（例えば、タングステンまたは別の導電性材料の）第２の金属層を第１の金属層上に形成することにより形成される。
【００５８】
導電性材料５１４、５１４'は、化学気相成長、物理気相成長、電子ビーム堆積、原子層堆積、パルスレーザ堆積、これらの組み合わせ等であるが、これらに限定されない任意の好適な態様で、チャネル５１２、５１２'の残存する部分内に形成され、および／または堆積され得る。限定しないが、導電性材料は、（例えば、チタニウムまたは他の導電性材料ンの）第１の金属層を化学気相成長し、その後に第１の金属層上で（例えば、タングステンまたは別の導電性材料の）第２の金属層を化学気相成長することにより形成されることが好ましい。
【００５９】
導電性材料５１４、５１４'の堆積後、誘電体層５０４および導電層５０５のスタックのうちの最上のものの上部表面から導電性材料を除去するように、化学機械研磨（ＣＭＰ）が任意選択で実行され得、従って、導電性材料５１４、５１４'は、トレンチ５１０、５１０'内まで、またはより具体的にはその中に形成されたチャネル５１２、５１２'内まで絶縁され得る。いくつかの実施形態において、導電性材料５１４、５１４'の表面は、図５Ｆに示されるように、複数の誘電体層５０４および導電層５０５のスタックのうちの最上のものの上部表面と同一平面上にある。
【００６０】
この点において、不揮発性メモリの形成は、例えば、１または複数のアクセス線を導電性材料５１４、５１４'に結合することにより、複数のそのような線を構造体５０９、例えば、メモリアレイおよび／またはその周辺領域の下方に既に形成されている場合がある駆動回路をルーティングするように継続し得る。このように、複数のアクセス線は、チャネル５１２、５１２'を介してルーティングされ得る。上記のように、これは、複数のアクセス線が１または複数の貫通ビアを介して下部回路へとルーティングされ得る多種多様な代替のルーティング構成を利用可能にし得る。いくつかの実施形態において、これは、不揮発性メモリのブロックの高さおよび性能に影響を与えることなく、または実質的に影響を与えることなく、多数のアクセス線がルーティングされ、および／または複数の追加のアクセス線が追加されることを可能にし得る。従って、本明細書に説明される複数の技術は、多数のアクセス線がルーティングされる必要があり、アレイのブロックの高さが設計考慮事項および／または規格により制限される複数の高密度メモリアレイにおいて特に有用であることが期待されている。
【００６１】
図６は、本開示の１または複数の実施形態による少なくとも１つのメモリデバイスを有

する電子システムの機能ブロック図である。図６に例示されるメモリデバイス６００は、プロセッサ６１０のようなホストに結合される。プロセッサ６１０は、マイクロプロセッサまたはいくつかの他のタイプの制御回路であってもよい。メモリデバイス６００およびプロセッサ６１０は、電子システム６２０の一部を形成する。メモリデバイス６００は、本開示の様々な実施形態を理解するのに役立つメモリデバイスの複数のフィーチャに焦点を当てるべく簡略化されている。

【００６２】

メモリデバイス６００は、複数の行および列のバンクに論理的に配置され得るメモリセルの１または複数のメモリアレイ６９０を含む。１または複数の実施形態によれば、メモリアレイ６９０は、図１～図３および図５Ａ～図５Ｆの複数のメモリアレイに関して上記されたように構成され得る。従って、メモリアレイ６９０は、メモリデバイス６００の一部としての１または複数のダイ上に存在する複数のメモリセルの複数のバンクおよびブロックを含む、フラッシュメモリの形態であり得る。

【００６３】

アドレスバッファ回路６４０は、複数のアドレス入力接続部Ａ０～ＡＸ６４２に提供される複数のアドレス信号をラッチするべく提供され得る。複数のアドレス信号は、メモリアレイ６９０にアクセスするべく、行デコーダ６４４および列デコーダ６４８により受信およびデコードされる。行デコーダ６４４は、例えば、本開示の様々な実施形態による複数のワード線、ストリングセレクトゲート、および１または複数のプレーンゲートを駆動するように構成される複数のドライバ回路を備え得る。本明細書の利益と共に、アドレス入力接続部６４２の数がメモリアレイ６９０の密度およびアーキテクチャに依存し得ることが当業者には理解されるであろう。即ち、アドレス数字の数は、例えば、増加したメモリセルカウント、ならびに増加したバンクおよびブロックカウントの両方と共に増加する。

【００６４】

メモリデバイス６００は、感知／データキャッシュ回路６５０のような感知デバイスを用いて複数のメモリアレイ列における電圧または電流の変化を感知することにより、メモリアレイ６９０においてデータを読み取り得る。いくつかの実施形態において、感知／データキャッシュ回路６５０は、メモリアレイ６９０からデータの行を読み取ってラッチするべく結合される。データ入力および出力（Ｉ／Ｏ）バッファ回路６６０は、複数のデータ接続部６６２を介したプロセッサ６１０との双方向のデータ通信のために含まれ得る。書き込み／消去回路６５６は、メモリアレイ６９０にデータを書き込み、またはこれからデータを消去するべく提供され得る。

【００６５】

制御回路６７０は、上述の様々なゲートの制御を容易にする等、本開示の様々な実施形態を少なくとも部分的に実装するように構成され得る。少なくとも一実施形態において、制御回路６７０は、ステートマシンを含み得る。複数の制御信号およびコマンドは、プロセッサ６１０により、コマンドバス６７２を介してメモリデバイス６００に送信され得る。コマンドバス６７２は、離散信号または複数のコマンド信号を送信し得る。コマンドバス６７２を介して送信された複数のコマンド信号は、データ読み取り、データプログラム（例えば、書き込み）、および消去動作を含む、メモリアレイ６９０上での複数の動作を制御するべく用いられ得る。コマンドバス６７２、アドレスバス６４２、およびデータバス６６２は全て、いくつかの標準的インタフェース６７８を形成するべく組み合わされてもよく、または部分的に組み合わされてもよい。例えば、メモリデバイス６００とプロセッサ６１０との間のインタフェース６７８は、ユニバーサルシリアルバス（ＵＳＢ）インタフェースであってもよい。また、インタフェース６７８は、当業者に既知の周辺構成要素インタフェース（ＰＣＩ）、ＰＣＩエクスプレスインタフェース、シリアルアドバンストテクノロジーアタッチメント（ＳＡＴＡ）またはパラレルアドバンストテクノロジーアタッチメント（ＰＡＴＡ）、これらの組み合わせ等であるが、これらに限定されない多くのハードディスクドライブおよびマザーボードと共に用いられる標準的インタフェースで

あってもよい。

【００６６】

［例］　以下の複数の例は、更なる実施形態に関する。本開示の以下の複数の例は、以下に提供されるように、不揮発性メモリ等の主題の材料およびそれを製造するための複数の方法を含み得る。

【００６７】

例１。本開示の技術の一例は、絶縁層上に形成された交互の複数の誘電体層および複数の導電層のスタックを有し、アレイ領域および周辺領域を更に有するメモリアレイと、アレイ領域および周辺領域のうちの少なくとも１つの下に形成され、不揮発性メモリの別のコンポーネントに電気的に結合される構造体と、アレイ領域および周辺領域のうちの少なくとも１つに形成されるアレイ貫通ビアとを備え、メモリアレイの少なくとも１つのアクセス線は、アレイ貫通ビアを介してルーティングされる、不揮発性メモリである。

【００６８】

例２。本例は、例１のいずれかまたは全ての特徴を含み、アレイ貫通ビアは、少なくとも周辺領域に形成される。

【００６９】

例３。本例は、例１のいずれかまたは全ての特徴を含み、メモリアレイは、複数のメモリセルの縦型スタックを含む。

【００７０】

例４。本例は、例１のいずれかまたは全ての特徴を含み、別のコンポーネントは、メモリアレイの少なくとも１つのメモリストリングを駆動するためのドライバ回路を含む。

【００７１】

例５。本例は、例４のいずれかまたは全ての特徴を含み、メモリアレイは、各々が複数のメモリセルを含む少なくとも第１のメモリアレイおよび第２のメモリアレイを有し、ドライバ回路は、第１のメモリアレイと第２のメモリアレイとの間で共有され、それらのメモリセルを駆動するように構成される。

【００７２】

例６。本例は、例１のいずれかまたは全ての特徴を含み、交互の複数の誘電体層および複数の導電層のスタックは、上部表面を含み、アレイ貫通ビアは、上部表面から構造体へと延在する。

【００７３】

例７。本例は、例１の特徴のいずれかまたは全てを含み、アレイ貫通ビアは、少なくとも１つの高アスペクト比トレンチを含む。

【００７４】

例８。本例は、例７の特徴のいずれかまたは全てを含み、少なくとも１つの絶縁材料は、トレンチを少なくとも部分的に充填する。

【００７５】

例９。本例は、例８の特徴のいずれかまたは全てを含み、少なくとも１つの絶縁材料は、ホウリンケイ酸ガラス、非導電性酸化シリコン、スピン・オン・誘電性材料、またはこれらの組み合わせからなる群から選択される。

【００７６】

例１０。本例は、例９の特徴のいずれかまたは全てを含み、少なくとも１つの絶縁材料は、ホウリンケイ酸ガラス、SiO_2、およびスピン・オン・誘電性材料の組み合わせである。

【００７７】

例１１。本例は、例８の特徴のいずれかまたは全てを含み、少なくとも１つのチャネルは、絶縁材料内に形成される。

【００７８】

例１２。本例は、例１１の特徴のいずれかまたは全てを含み、少なくとも１つの導電性材料は、少なくとも１つのチャネル内に形成される。

【００７９】
例１３。本例は、例１２の特徴のいずれかまたは全てを含み、少なくとも１つの導電性材料は、アルミニウム、銅、チタニウム、タングステン、導電性金属窒化物、導電性金属酸化物、導電性ポリマー、多結晶シリコン、およびこれらの組み合わせからなる群から選択される。
【００８０】
例１４。本例は、例１２の特徴のいずれかまたは全てを含み、少なくとも１つの導電性材料は、少なくとも１つの第１の導電層、および少なくとも１つの第１の導電層上に堆積される少なくとも１つの第２の導電層の形態である。
【００８１】
例１５。本例は、例１４の特徴のいずれかまたは全てを含み、第１の導電層は、チタニウムであり、第２の導電層は、タングステンである。
【００８２】
例１６。本例は、例１２～１５のうちのいずれか１つの特徴のいずれかまたは全てを含み、絶縁材料とチャネルとの間の厚さは、導電性材料を、交互の複数の誘電体層および複数の導電層のスタックから電気的に絶縁するのに十分である。
【００８３】
例１７。本例は、例１２および１３のうちのいずれか１つの特徴のいずれかまたは全てを含み、少なくとも１つの導電性材料と交互の複数の誘電体層および導電層のスタックとの間に形成された少なくとも１つのバリア層を更に含む。
【００８４】
例１８。本例は、例１７の特徴のいずれかまたは全てを含み、少なくとも１つのバリア層は、窒化チタニウム、窒化タンタル、窒化タングステン、タングステン、およびこれらの組み合わせからなる群から選択されるバリア材料から形成される。
【００８５】
例１９。本例は、例１４および１５のうちのいずれか１つの特徴のいずれかまたは全てを含み、第１の導電層と交互の複数の誘電体層および導電層のスタックとの間に形成された少なくとも１つのバリア層を更に含む。
【００８６】
例２０。本例は、例１９の特徴のいずれかまたは全てを含み、少なくとも１つのバリア層は、窒化チタニウム、窒化タンタル、窒化タングステン、タングステン、およびこれらの組み合わせからなる群から選択されるバリア材料から形成される。
【００８７】
例２１。本例は、例１の特徴のいずれかまたは全てを含み、少なくとも１つのアクセス線は、ソース線、ワード線、セレクトゲートソース線、およびセレクトゲートドレイン線のうちの少なくとも１つを含む。
【００８８】
例２２。本例によれば、不揮発性メモリを形成する方法であって、絶縁層上に形成される交互の複数の誘電体層および複数の導電層のスタックを含み、アレイ領域および周辺領域を更に含むメモリアレイを提供する段階と、アレイ領域および周辺領域のうちの少なくとも１つに少なくとも１つのアレイ貫通ビアを形成する段階とを備え、アレイ貫通ビアは、交互の複数の誘電体層および複数の導電層のスタックの上部表面からアレイ領域および周辺領域のうちの少なくとも１つの下の構造体へと延在し、構造体は、不揮発性メモリの別のコンポーネントに電気的に結合され、アレイ貫通ビアは、メモリアレイの少なくとも１つのアクセス線を構造体に電気に結合することを可能にするように構成される、方法が提供される。
【００８９】
例２３。本例は、例２２のいずれかまたは全ての特徴を含み、メモリアレイは、複数のメモリセルの縦型スタックを含む。
【００９０】

例２４。本例は、例２２のいずれかまたは全ての特徴を含み、別のコンポーネントは、メモリアレイの少なくとも１つのメモリストリングを駆動するためのドライバ回路を含む。

【００９１】

例２５。本例は、例２４のいずれかまたは全ての特徴を含み、メモリアレイは、各々が複数のメモリセルを含む少なくとも第１のメモリアレイおよび第２のメモリアレイを有し、ドライバ回路は、第１のメモリアレイと第２のメモリアレイとの間で共有され、それらのメモリセルを駆動するように構成される。

【００９２】

例２６。本例は、例２３のいずれかまたは全ての特徴を含み、交互の複数の誘電体層および複数の導電層のスタックは、上部表面を含み、アレイ貫通ビアは、上部表面から構造体へと延在する。

【００９３】

例２７。本例は、例２２の特徴のいずれかまたは全てを含み、少なくとも１つのアレイ貫通ビアを形成する段階は、交互の複数の誘電体層および複数の導電層の上部表面から構造体へと延在する少なくとも１つの高アスペクト比トレンチを形成する段階を有する。

【００９４】

例２８。本例は、例２７の特徴のいずれかまたは全てを含み、少なくとも１つの高アスペクト比トレンチを形成する段階は、ドライエッチング処理を用いて交互の複数の誘電体層および導電層をエッチングする段階を有する。

【００９５】

例２９。本例は、例２７の特徴のいずれかまたは全てを含み、少なくとも１つのアレイ貫通ビアを形成する段階は、少なくとも１つの絶縁材料で少なくとも１つの高アスペクト比トレンチを充填する段階を更に有する。

【００９６】

例３０。本例は、例２５の特徴のいずれかまたは全てを含み、少なくとも１つの絶縁材料は、ホウリンケイ酸ガラス、非導電性酸化シリコン、スピン・オン・誘電性材料、またはこれらの組み合わせからなる群から選択される。

【００９７】

例３１。本例は、例３０の特徴のいずれかまたは全てを含み、少なくとも１つの絶縁材料は、ホウリンケイ酸ガラス、SiO_2、およびスピン・オン・誘電性材料の組み合わせである。

【００９８】

例３２。本例は、例３１の特徴のいずれかまたは全てを含み、少なくとも１つの高アスペクト比トレンチを充填する段階は、少なくとも１つの高アスペクト比トレンチにホウリンケイ酸ガラスを堆積させる段階と、化学気相成長によりホウリンケイ酸ガラス上にテトラオルトシリケートを堆積させる段階と、テトラオルトシリケートをシリカに転換する段階と、シリカおよびホウリンケイ酸ガラスのうちの少なくとも１つにスピン・オン・誘電性材料を堆積させる段階とを有する。

【００９９】

例３３。本例は、例２９の特徴のいずれかまたは全てを含み、少なくとも１つのアレイ貫通ビアを形成する段階は、少なくとも１つの絶縁材料内に少なくとも１つのチャネルを形成する段階を更に有する。

【０１００】

例３４。本例は、例３３の特徴のいずれかまたは全てを含み、少なくとも１つのチャネルを形成する段階は、チャネルが少なくとも１つの絶縁材料の上部表面からコンポーネントへと延在するように、少なくとも１つの絶縁材料をエッチングする段階を含む。

【０１０１】

例３５。本例は、例３４の特徴のいずれかまたは全てを含み、少なくとも１つの絶縁材料をエッチングする段階は、ドライエッチング処理を用いて実行される。

【０１０２】
例３６。本例は、例３３の特徴のいずれかまたは全てを含み、少なくとも１つのアレイ貫通ビアを形成する段階は、少なくとも１つの導電性材料で少なくとも１つのチャネルを充填する段階を更に有する。
【０１０３】
例３７。本例は、例３６の特徴のいずれかまたは全てを含み、少なくとも１つの導電性材料は、アルミニウム、銅、チタニウム、タングステン、導電性金属窒化物、導電性金属酸化物、導電性ポリマー、多結晶シリコン、およびこれらの組み合わせからなる群から選択される。
【０１０４】
例３８。本例は、例３６の特徴のいずれかまたは全てを含み、少なくとも１つの導電性材料は、少なくとも１つの第１の導電層、および少なくとも１つの第１の導電層上に堆積される少なくとも１つの第２の導電層の形態である。
【０１０５】
例３９。本例は、例３８の特徴のいずれかまたは全てを含み、第１の導電層は、チタニウムであり、第２の導電層は、タングステンである。
【０１０６】
例４０。本例は、例３６～３９のうちのいずれか１つの特徴のいずれかまたは全てを含み、絶縁材料とチャネルとの間の厚さは、導電性材料を、交互の複数の誘電体層および複数の導電層のスタックから電気的に絶縁するのに十分である。
【０１０７】
例４１。本例は、例３６および３７のうちのいずれか１つの特徴のいずれかまたは全てを含み、少なくとも１つの導電性材料と交互の複数の誘電体層および複数の導電層のスタックとの間に少なくとも１つのバリア層を形成する段階を更に備える。
【０１０８】
例４２。本例は、例４１の特徴のいずれかまたは全てを含み、少なくとも１つのバリア層は、窒化チタニウム、窒化タンタル、窒化タングステン、タングステン、およびこれらの組み合わせからなる群から選択されるバリア材料から形成される。
【０１０９】
例４３。本例は、例４１の特徴のいずれかまたは全てを含み、少なくとも１つのバリア層を形成する段階は、化学気相成長、物理気相成長、電子ビーム堆積、原子層堆積、およびパルスレーザ堆積のうちの少なくとも１つを用いて実行される。
【０１１０】
例４４。本例は、例３８および３９のうちのいずれか１つの特徴のいずれかまたは全てを含み、第１の導電層と交互の複数の誘電体層および複数の導電層のスタックとの間に少なくとも１つのバリア層を形成する段階を更に備える。
【０１１１】
例４５。本例は、例４４の特徴のいずれかまたは全てを含み、少なくとも１つのバリア層は、窒化チタニウム、窒化タンタル、窒化タングステン、タングステン、およびこれらの組み合わせからなる群から選択されるバリア材料から形成される。
【０１１２】
例４６。本例は、例４４の特徴のいずれかまたは全てを含み、少なくとも１つのバリア層を形成する段階は、化学気相成長、物理気相成長、電子ビーム堆積、原子層堆積、およびパルスレーザ堆積のうちの少なくとも１つを用いて実行される。
【０１１３】
例４７。本例は、例２２の特徴のいずれかまたは全てを含み、少なくとも１つのアクセス線は、ソース線、ワード線、セレクトゲートソース線、およびセレクトゲートドレイン線のうちの少なくとも１つを含む。
【０１１４】
本明細書において使用されている複数の用語および表現は、限定ではなく説明の用語と

して用いられ、そのような複数の用語および表現を用いる場合に、示され、説明される複数の特徴（またはそれらの一部）の任意の均等物を除外する意図はなく、様々な修正形態が特許請求の範囲内で可能であることが理解される。従って、特許請求の範囲は、そのような複数の均等物を全て包含することを意図する。

【図１】

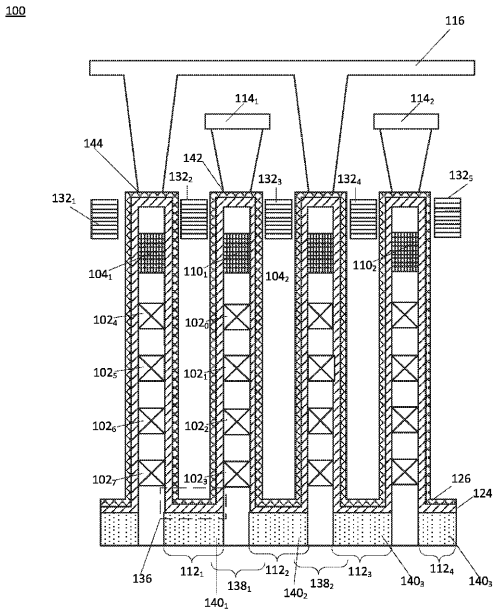


FIG. 1

【図２Ａ】

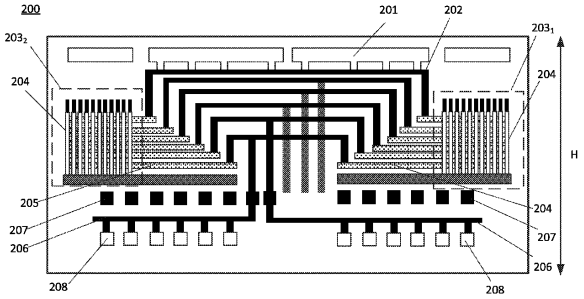


FIG. 2A

【図２Ｂ】

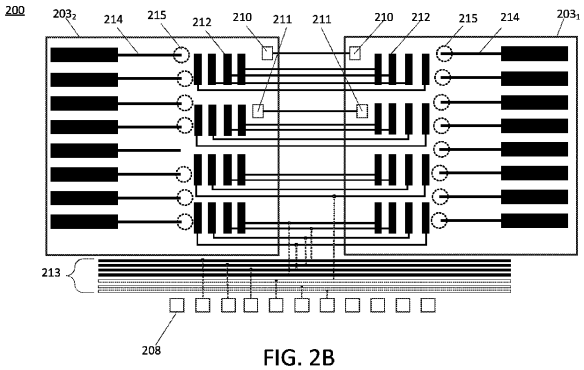


FIG. 2B

【図３】

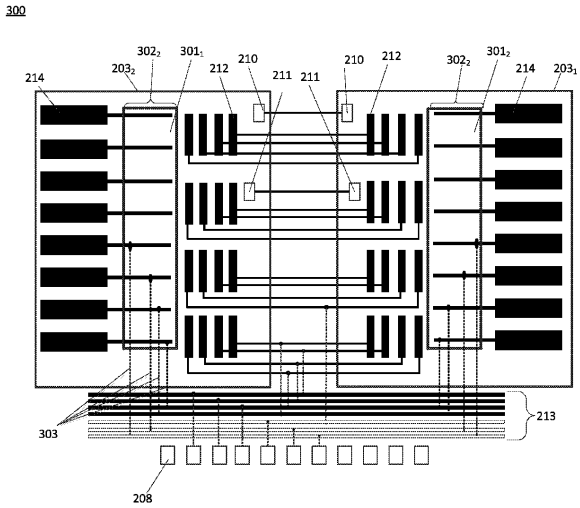
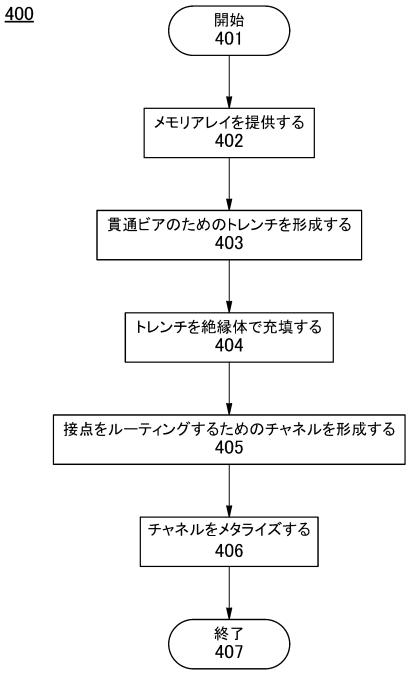
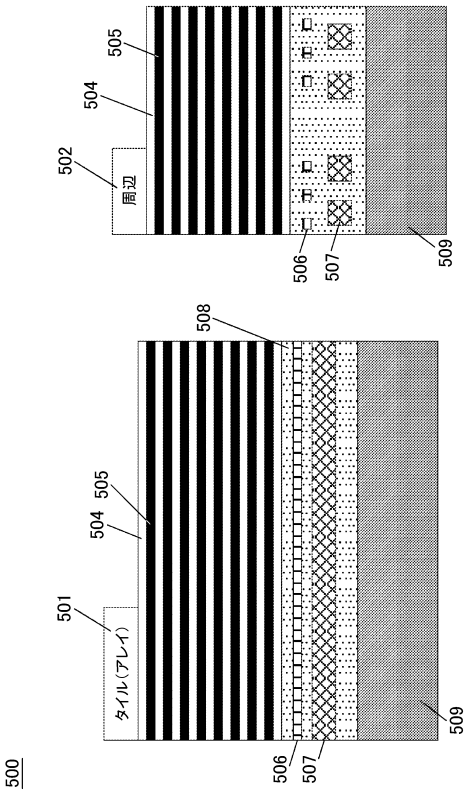


FIG. 3

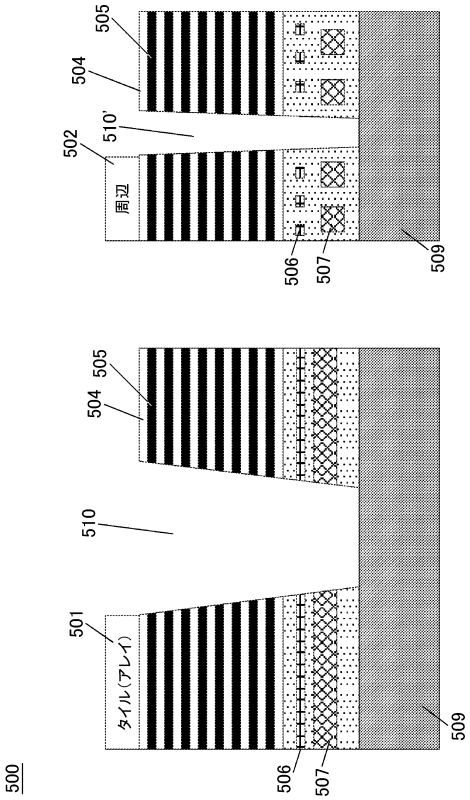
【図４】



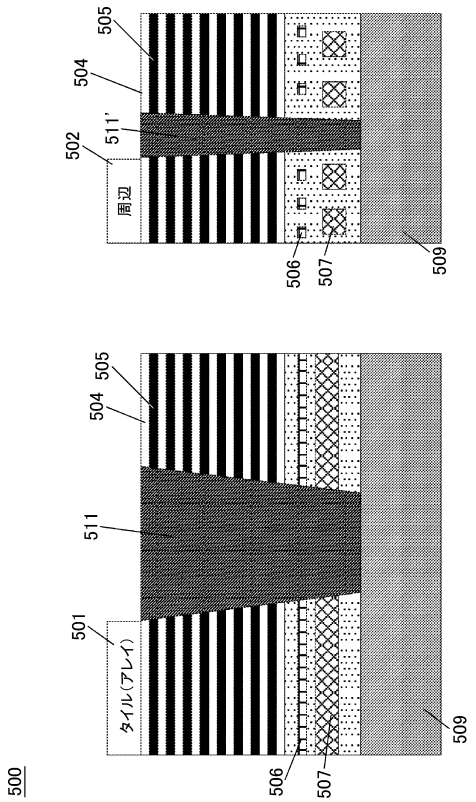
【図５Ａ】



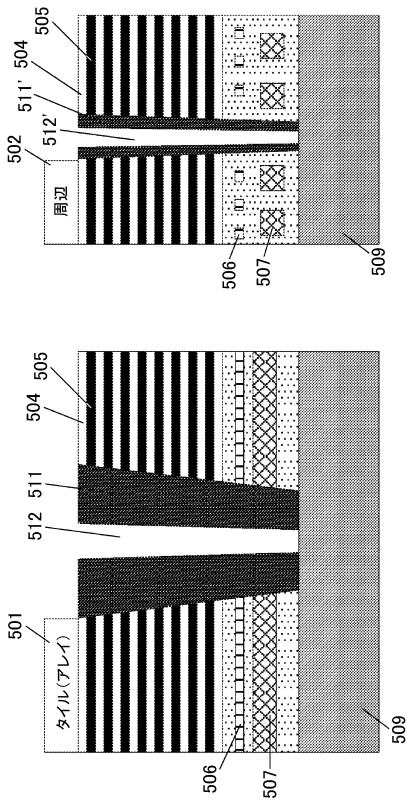
【図５Ｂ】



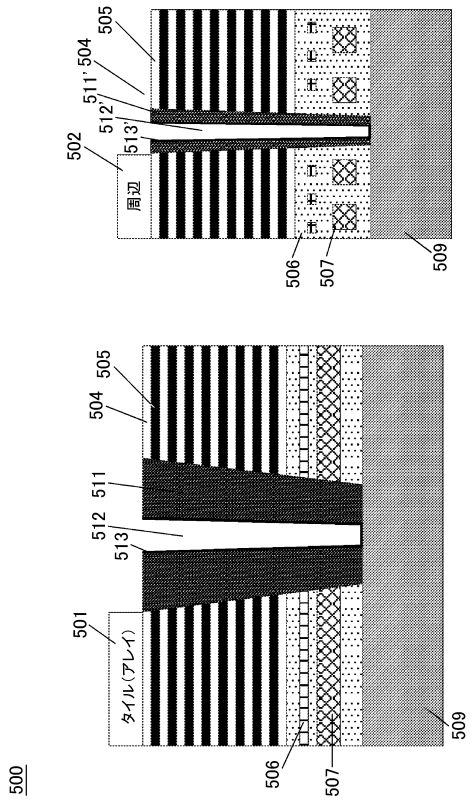
【図５Ｃ】



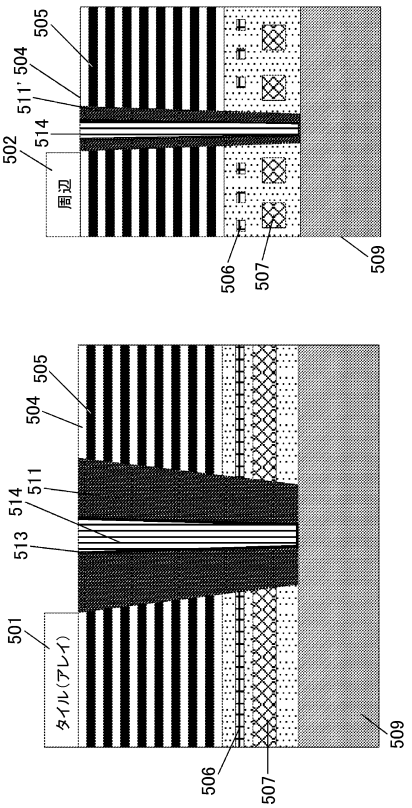
【図５Ｄ】



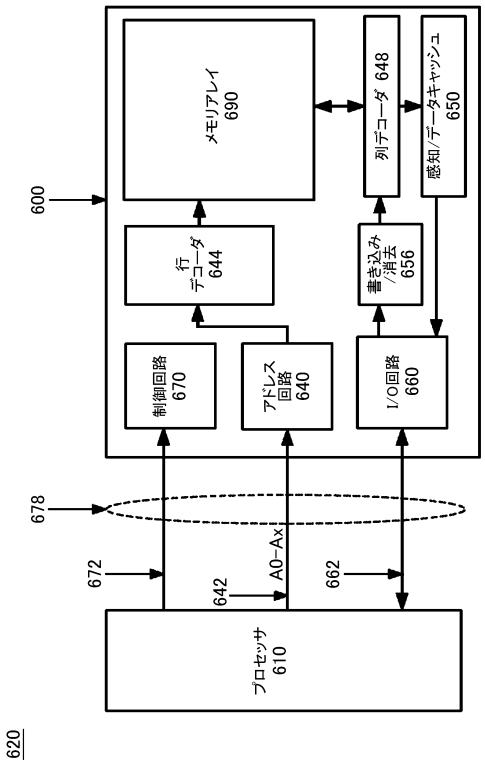
【図５Ｅ】



【図５Ｆ】



【図６】


メモリアレイ
690
列デコーダ 648
感知/データキャッシュ
650
600
行
デコーダ
644
書き込み
/消去
656
制御回路
670
アドレス
回路
640
I/O回路
660
678
672
642
A0-Ax
662
プロセッサ
610
620

フロントページの続き

(51)Int.Cl. FI
H01L 27/11573 (2017.01) H01L 27/11565
H01L 27/11582 (2017.01) H01L 27/10 481
H01L 27/11565 (2017.01)
H01L 27/10 (2006.01)

(72)発明者 リンジー、ロジャー
アメリカ合衆国 ９５０５４ カリフォルニア州・サンタクララ・ミッション カレッジ ブーレバード・２２００ インテル・コーポレーション内
(72)発明者 リー、ミンソー
アメリカ合衆国 ９５０５４ カリフォルニア州・サンタクララ・ミッション カレッジ ブーレバード・２２００ インテル・コーポレーション内

審査官 宮本 博司

(56)参考文献 国際公開第２０１４／０３６２９４（WO，Ａ１）
特開２０１１－１５１３１６（ＪＰ，Ａ）
特開２０１２－２３５１３４（ＪＰ，Ａ）
特開２０１１－１２９７１６（ＪＰ，Ａ）
特開２００９－１１７８４３（ＪＰ，Ａ）
特開２０１０－１９２５８９（ＪＰ，Ａ）
特開２００９－２６７２４３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２７／１１５６８
Ｈ０１Ｌ ２１／３３６
Ｈ０１Ｌ ２７／１０
Ｈ０１Ｌ ２７／１１５６５
Ｈ０１Ｌ ２７／１１５７
Ｈ０１Ｌ ２７／１１５７３
Ｈ０１Ｌ ２７／１１５８２
Ｈ０１Ｌ ２９／７８８
Ｈ０１Ｌ ２９／７９２