

申請日期： 92.7.3	IPC分類
申請案號： 92118179	G06F 13/6

(以上各欄由本局填註)

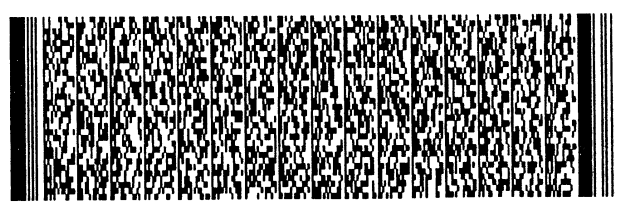
發明專利說明書

200410072

一、 發明名稱	中文	電腦系統及其控制方法
	英文	COMPUTER SYSTEM AND CONTROL METHOD THEREOF

二、 發明人 (共1人)	姓名 (中文)	1. 李哲浩
	姓名 (英文)	1. LEE, Cheol-ho
	國籍 (中英文)	1. 大韓民國
	住居所 (中文)	1. 大韓民國漢城特別市瑞草區傍輩2洞455-5番地
	住居所 (英文)	1. 455-5, Bangbae-2dong, Seocho-ku, Seoul City, Korea

三、 申請人 (共1人)	名稱或姓名 (中文)	1. 三星電子股份有限公司
	名稱或姓名 (英文)	1. Samsung Electronics Co., Ltd.
	國籍 (中英文)	1. 大韓民國
	住居所 (營業所) (中文)	1. 大韓民國京畿道水原市八達區梅灘洞416番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 416 Maetan-dong, Paldal-gu, Suwon-city, Kyungki-do, Republic of Korea
	代表人 (中文)	1. 尹鍾龍
代表人 (英文)	1. Jong-Yong Yun	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
韓國 KR	2002/12/13	2002-79661	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

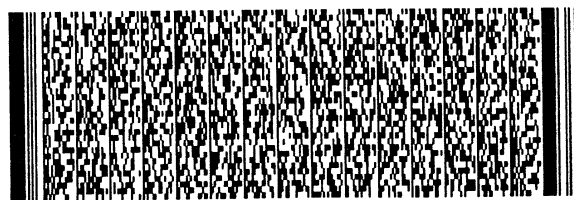
本發明是關於一種電腦系統以及其控制方法，且特別是關於一種確認數個記憶體匯流排是否在多通道模式中運作之電腦系統能力以及其控制方法。

【先前技術】

電腦記憶體有兩種基本的型式，一種是隨機存取記憶體 (random access memory, RAM) 以及另一種是唯讀記憶體 (read only memory, ROM)。RAM 一般於處理程序上是用來讀取與寫入資料，RAM 是典型的揮發記憶體，也就是儲存在其中的資料會因電源被切斷而流失。ROM 一般用於儲存不可改變的資料，例如基本輸出/輸入系統 (basic input/output system, BIOS)，ROM 是典型的非揮發記憶體，也就是儲存在其中的資料不會因電源被切斷而流失。

特別是，RAM 會被考慮用在動態 RAM (DRAM) 之型式，因為其需要頻繁地更新以保護/維護其中的內容。將數個 RAM 安排至小的電路卡上稱之為記憶體模組，目前普遍的模組型態 DRAM 具有一插頭，使其可插入至記憶體插槽，其中此記憶體插槽係連接至電腦裝置中的主機板或記憶體托架卡。一些目前記憶體模組的實例包括：快速頁模式

(fast page mode, FPM) 模組、向外延伸資料 (extended data out, EDO) 模組、同步 DRAM (synchronous DRAM, SDRAM) 模組、Rambus DRAM (RDRAM) 模組、雙倍資料傳輸率 SDRAM (double data rate SDRAM, DDR SDRAM) 模組等。



五、發明說明 (2)

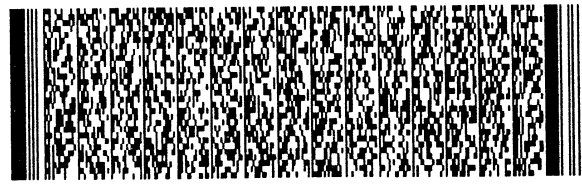
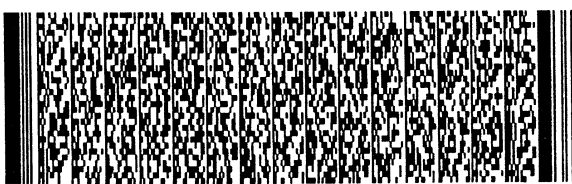
在使用兩個或更多記憶體模組的情況中，當使用兩個或更多記憶體模組時，雙倍通道模式記憶體模組組態會被用來改善其效率，理論上，此組態為同樣的記憶體容量其譬如單通道模式記憶體模組組態，但卻顯示出兩倍的效能。在雙通道模式中，各記憶體模組會被分開至兩個通道且平行使用，以使於使用目前可用的記憶體模組之情況下就能有效地達到兩倍記憶體頻寬。

在雙通道模式中的運作是基於記憶體模組連接至兩通道是相容的假設，因此假使連接至每個通道的記憶體模組的關鍵特徵不同，則雙通道將無法實施。例如，製造商的記憶體模組具有一些特徵，諸如依照製造商及其記憶體種類的各式裝置架構與邏輯庫，假如這些記憶體模組連結至不同的通道，若彼此不相同，則無法在雙通道模式下運作。同樣地，在各通道的記憶體容量不相同的情況中，例如第一通道的記憶體容量是128MB而第二通道的記憶體容量是64MB，則雙通道模式將無法實行。

更進一步地，在傳統雙通道模式中運作的電腦，不具有確認記憶體系統是否在雙通道模式運作的方法，如此，假使記憶體模組沒有被正確的安排，儘管電腦在雙通道模式下運作，也會有運作效能降低的問題。

【發明內容】

因此本發明的目的就是提供一種電腦及其控制方法，此電腦係用以確認數個記憶體匯流排是否在多通道模式下運作。



五、發明說明 (3)

本發明其他的目的與優勢將在以下描述，且從以下之描述中將明顯的說明本發明之目的及優點，或是可從本發明的實作中來習得。

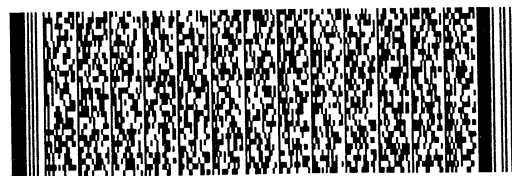
本發明也可以藉由控制電腦的一方法來完成，其中該電腦具有適用於多通道模式運作的數個匯流排，此方法包括讀取數個記憶體模組中的至少一記憶體模組的記憶體資訊，而其中該數個記憶體模組連結至各記憶體匯流排，以及藉由互相比較該讀取的記憶體資訊，顯示該數個記憶體匯流排是否在多通道模式中運作。

根據本發明的目的，讀取的記憶體資訊包括儲存於各別數個記憶體模組的序列呈現檢測 (serial presence detect, SPD) 資料。

根據本發明的目的，SPD 資料包括各記憶體模組的記憶體容量資訊。

根據本發明的目的，當比較判斷數個記憶體匯流排不在多通道模式中運作時，則會檢查現有記憶體模組連接至數個記憶體匯流排的排列，其中此排列係允許數個匯流排在多通道模式中運作。

根據本發明的目的，顯示數個記憶體匯流排是否在多通道模式中運作，更包括當存在數個記憶體模組的排列，其中記憶體模組係連接至各記憶體匯流排且此排列許允數個記憶體匯流排在多通道模式中運作時，則顯示數個記憶體模組的排列，其中此排列係許允數個記憶體匯流排在多通道模式中運作。



五、發明說明 (4)

本發明也可藉由具有數個記憶體匯流排的電腦來完成，其中數個記憶體匯流排係適用於在多通道模式中運作，此電腦包括一控制器，用以判斷數個記憶體匯流排是否在多通道模式中運作，其係藉由互相比較數個記憶體模組的至少一記憶體模組的記憶體資訊，其中數個記憶體模組係連結至各記憶體匯流排；以及一顯示器，其係依照控制器的判斷，顯示數個記憶體匯流排是否在多通道模式中運作的資訊。

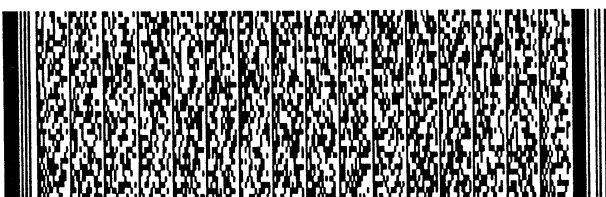
根據本發明的目的，連接至各記憶體匯流排的數個記憶體模組的記憶體資訊包括儲存於各數個記憶體模組的 SPD 資料。。

根據本發明的目的，SPD 資料包括各數個記憶體模組的記憶體容量資訊。

根據本發明的目的，當控制器判斷數個記憶體匯流排不在多通道模式中運作時，則控制器會檢查現有記憶體模組連接至數個記憶體匯流排的排列，其中此排列允許數個匯流排在多通道模式中運作。

根據本發明的目的，當存在數個記憶體模組的排列，而此數個記憶體模組連接至數個記憶體匯流排且此排列允許數個記憶體匯流排在多通道模式中運作時，則顯示數個記憶體模組的排列，其中此排列允許數個匯流排在多通道模式中運作。

根據本發明的目的，控制器包括一判斷程式，用以判斷數個記憶體匯流排是否在多通道模式中運作。



五、發明說明 (5)

根據本發明的目的，判斷程式係儲存於BIOS ROM中。

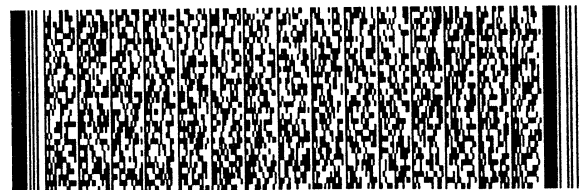
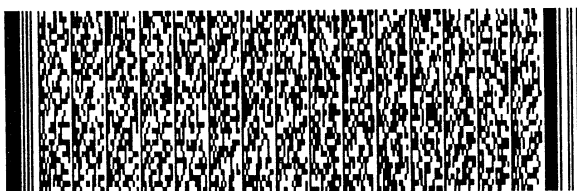
根據本發明的目的，顯示器包括監視器，其係用以顯示圖像。

【實施方式】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

傳統上，電腦包括CPU、記憶體組件、輸出組件以及輸入組件。輸出組件包括一影像控制器，其係用以控制一顯示輸出至顯示設備/顯示器，以及一聲音控制器，其係用以控制聲音輸出至揚聲器。輸入組件包括一輸出/輸入控制器、IDE控制器以及一FDD控制器，其係用以各別控制鍵盤、滑鼠、硬碟機、光碟機以及軟碟機。在此，這些架構組件（電腦系統裝置）係透過一匯流排互相連接，其例如是系統匯流排、PCI匯流排以及記憶體匯流排。

記憶體組件包括一主要記憶體、BIOS ROM以及互補式金氧半導體（complementary metal oxide semiconductor, CMOS）RAM。BIOS ROM為非揮發記憶體，用以儲存關於電腦的BIOS資料，BIOS是嵌入的軟體，用以控制與測試電腦系統裝置，BIOS執行開機後自我測試（power on self test, POST）是用來確認當電源開啟時電腦是否運作正常。另一方面，CMOS RAM是儲存電腦系統架構資料。BIOS在POST期間藉由比較從POST獲取的系統架構資料與儲存於CMOS RAM中的系統架構資料來啟始與測試

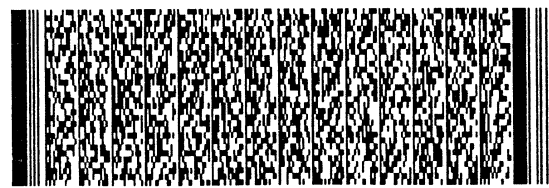


五、發明說明 (6)

每個系統裝置。

主要的記憶體包括隨機存取記憶體 (random access memory, RAM)。傳統上，將數個RAM安排在小電路卡上即成為模組型式記憶體，且每個電路卡被稱之為記憶體模組。記憶體模組電路卡具有一插頭，使其可插入至記憶體插槽，其中記憶體插槽係連接至電腦裝置中的主機板或記憶體托架卡。記憶體插槽是連接至記憶體匯流排，因此能使記憶體模組連接至記憶體匯流排。安排至記憶體模組上的RAM可以是SDRAM、Rambus DRAM、DDR SDRAM或其他型式記憶體。

依照本發明實施例，如第1圖所示，該電腦包括在多通道模式中運作的記憶體匯流排11與記憶體匯流排12。一控制組件（控制器）20係藉由互相比較至少一記憶體模組14a、記憶體模組14b、記憶體模組15a與記憶體模組15b的記憶體資訊來判斷數個記憶體匯流排11與記憶體匯流排12是否在多通道模式中運作，其中記憶體模組是連結至各記憶體匯流排11與記憶體匯流排12來連接其他記憶體模組。顯示組件5包括一顯示器5a與一圖形控制器5b，其係用以顯示記憶體匯流排11與記憶體匯流排12是否在多通道模式中運作。在此，多通道模式相對於單通道模式的概念是依以下原因而發展，記憶體模組14a、記憶體模組14b、記憶體模組15a與記憶體模組15b係分開地進入數個通道中且平行使用，因此提供一雙通道模式記憶體匯流排運作，使用安排在記憶體模組的RAM，就可使得記憶體頻寬增加。在



五、發明說明 (7)

此，在第1圖中繪製本範例的兩記憶體匯流排包括第一通道記憶體匯流排11與第二通道記憶體匯流排12，其係適用於在雙通道模式中運作，而且較大數字的通道記憶體匯流排與對應記憶體模組也可以安裝成多通道RAM，以下將描述一記憶體系統在多通道模式中的運作。

記憶體模組14a、記憶體模組14b、記憶體模組15a與記憶體模組15中至少一個可以各別連接至第一通道記憶體匯流排11與第二通道記憶體匯流排12。第一通道記憶體匯流排11與第二通道記憶體匯流排12是從一記憶體控制器10平行延伸，記憶體控制器10係依照已知的多通道記憶體模式技術控制第一通道記憶體匯流排11與第二通道記憶體匯流排12。據此，記憶體控制器10是根據雙通道模式來控制第一通道記憶體匯流排11與第二通道記憶體匯流排12的運作。以下，連接至第一通道記憶體匯流排11之記憶體模組14a與記憶體模組14b稱為"第一通道記憶體模組"，而連接至第二通道記憶體匯流排12之記憶體模組15a與記憶體模組15b稱為"第二通道記憶體模組"。

第一通道記憶體模組14a與14b和第二通道記憶體模組15a與15b的記憶體資訊包括序列呈現檢測(serial presence detect, SPD)資料，其係儲存於每個記憶體模組14a、14b、15a、15b中。SPD資料包括一些資訊，例如記憶體模組14a、14b、15a、15b的裝置架構、邏輯庫、存取速率以及更新時間，這些資料儲存在非揮發記憶體中，這些非揮發記憶體例如是提供於每個記憶體模組14a、



五、發明說明 (8)

14b、15a、15b中的EEPROM。記憶體控制器10藉由使用SPD資料對每個記憶體模組14a、14b、15a、15b的存取來作適當的控制。

假使控制組件20判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12無法在雙通道模式中運作，則控制組件20會傳送此判斷訊息至顯示組件5，如此，顯示組件5就會顯示第一通道記憶體匯流排11與第二通道記憶體匯流排12無法在雙通道模式中運作。假使控制組件20判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12能在雙通道模式中運作，則控制組件20會傳送此判斷訊息至顯示組件5，據此，顯示組件5就會顯示第一通道記憶體匯流排11與第二通道記憶體匯流排12能在雙通道模式中運作。

假使控制組件20判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12無法在雙通道模式中運作，則控制組件20會檢查現有記憶體模組的排列，其中此排列能使第一通道記憶體匯流排11與第二通道記憶體匯流排12在雙通道模式中運作。假使存在記憶體模組的排列，而此排列藉由第一通道記憶體模組14a與14b和第二通道記憶體模組15a與15b開啟在雙通道模式中運作，則控制組件20會傳送此關於雙通道模式運作的記憶體模組排列的資訊至顯示組件5，據此，顯示組件5會顯示開啟雙通道模式的記憶體模組排列資訊。假使開啟雙通道模式的記憶體模組排列資訊不存在，則顯示組件5會顯示第一通道記憶體匯流排11與第二通道記憶體匯流排12無法在雙通道模式中運作且開啟雙



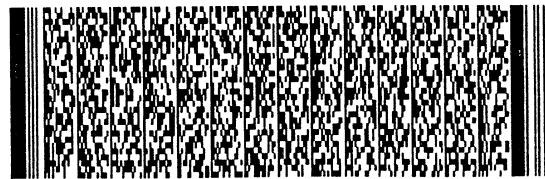
五、發明說明 (9)

通道模式的記憶體模組排列資訊不存在。因此，藉由連接至第一通道記憶體匯流排11與第二通道記憶體匯流排12的第一通道記憶體模組14a與14b和第二通道記憶體模組15a與15b，使用者可以獲取開啟雙通道模式的記憶體模組排列資訊。

第2圖是關於第1圖電腦的更詳細控制方塊圖。如第2圖所示，依照本發明實施例的電腦包括CPU 1、主記憶體13、儲存BIOS的BIOS ROM 4、北橋2和南橋3。北橋2是一晶片用以在CPU 1、主記憶體13以及圖形控制器5b之間控制資料傳輸，其中北橋2包括記憶體控制器10以控制主記憶體13。南橋3是一晶片用以控制其他非北橋控制的裝置，一般來說，南橋3控制鍵盤/滑鼠控制器（未繪示）、USB連接埠（未繪示）與PCI匯流排（未繪示）並傳送開機指令至BIOS ROM 4，而該開機指令是透過北橋2從CPU 1接收。

主要記憶體13包括RAM，其係為揮發記憶體，RAM被提供為一模組型式記憶體且透過對應的記憶體插槽連接至第一通道記憶體匯流排11與第二通道記憶體匯流排12，而每個安排在記憶體模組14a、14b、15a與15b上的RAM可以是SDRAM、Rambus DRAM以及DDR SDRAM。

第一通道記憶體匯流排11與第二通道記憶體匯流排12係平行連接至記憶體控制器10，記憶體控制器10控制連接至第一通道記憶體匯流排11的記憶體模組14a與記憶體模組14b以及連接至第二通道記憶體匯流排12的第二通道記



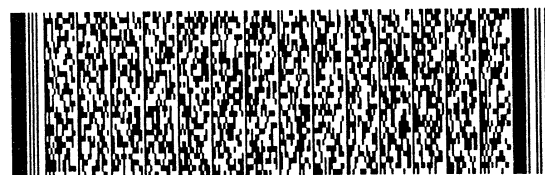
五、發明說明 (10)

記憶體模組15a與記憶體模組15b，使得第一通道與第二通道記憶體模組（兩通道記憶體匯流排）同時在雙通道模式中運作。在此，更詳細描述本發明，例如分別具有64MB容量的兩記憶體模組14a與14b是連接至第一通道記憶體匯流排11，而分別具有128MB容量的兩記憶體模組15a與15b是連接至第二通道記憶體匯流排12，同時每個記憶體模組14a、14b、15a與15b的特徵是相同的。

BIOS ROM 4係用以儲存BIOS，BIOS係為一程式，用以改變電腦系統的組態。在此，BIOS包括一判斷程式，用以判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12可以運作且/或在雙通道模式中運作（換言之，多通道記憶體模式判斷器）。傳統上，當BIOS執行POST以確認電腦系統是否運作正常時，此判斷程式會在POST期間運作，用以判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12是否在雙通道模式中運作。

顯示組件5的顯示器5a基於上述判斷程式判斷的雙通道模式狀態（換言之，多通道記憶體模式資訊）會顯示第一通道記憶體匯流排11與第二通道記憶體匯流排12是否在雙通道模式中運作。更詳細地說，判斷程式判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12是否在雙通道模式中運作的資訊是透過北橋2傳送到圖形控制器5b，圖形控制器5b控制顯示器5a來顯示接收多通道記憶體模式資訊。

第3圖是依照本發明實施例之第1圖所示電腦的控制方

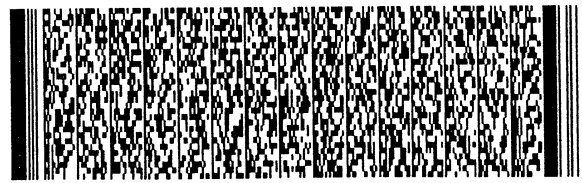


五、發明說明 (11)

法之流程圖，以下描述可參考第2圖至第4圖。在第3圖中，在步驟40中，假如電源開啟，一訊號將從一晶片產生以控制系統重置，以致於所有電路包括CPU 1都會重置。重置的CPU 1透過北橋2傳送事先定義的開機指令至BIOS以便南橋3執行儲存在BIOS ROM 4的BIOS。更詳細地說，在步驟41中，藉由CPU 1的開機指令執行POST時，BIOS會被執行，一般來說，CPU 1會以快速的程序讀取BIOS資料、儲存此BIOS資料於主記憶體13中且執行此BIOS。

在POST期間，在步驟42中，CPU 1執行儲存於BIOS ROM 4中的判斷程式（換言之，通道記憶體模式判斷器）。更詳細地說，傳統上CPU 1藉由北橋2與南橋3傳送事先定義的訊號至BIOS ROM 4來執行判斷程式。在此，傳統上CPU 1讀取判斷程式、儲存該判斷程式至主記憶體13中以及執行該判斷程式，以增加程序速率。

在步驟43中，傳統上南橋3讀取第一通道記憶體模組14a與14b和第二通道記憶體模組15a與15b的SPD資料，以及傳送SPD資料至CPU 1，隨後，在步驟44中，判斷程式藉由比較傳輸至CPU 1的第一通道記憶體模組14a與14b的SPD資料與第二通道記憶體模組15a與15b的SPD資料來判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12是否在雙通道模式中運作。在此，例如當判斷程式識別出第一通道記憶體模組14a與14b（例如64MB）與第二通道記憶體模組15a與15b（例如128MB）在記憶體容量的不同時，第一通道記憶體匯流排11與第二通道記憶體匯流排12便無法在

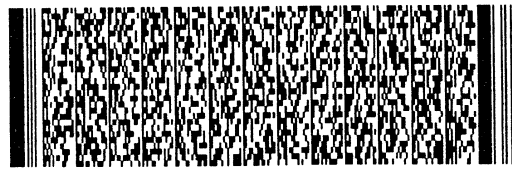
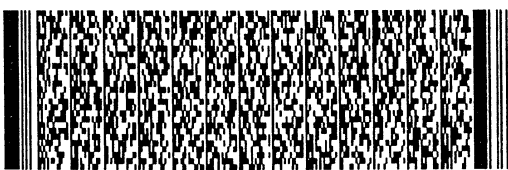


五、發明說明 (12)

雙通道模式中運作。

在步驟44中，若判斷程式判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12在雙通道模式中運作，則在步驟45中，顯示組件5的顯示器5a會顯示出第一通道記憶體匯流排11與第二通道記憶體匯流排12在雙通道模式中運作；若在步驟44中，若判斷程式判斷第一通道記憶體匯流排11與第二通道記憶體匯流排12無法在雙通道模式中運作，則在步驟46中，判斷程式會檢查現存第一與第二記憶體模組的排列，此排列係允許第一通道記憶體匯流排11與第二通道記憶體匯流排12在雙通道模式中運作。更詳細地說，例如在步驟46中，判斷程式判斷一排列，其中各自具有64MB與128MB記憶體容量的記憶體模組連接至第一通道記憶體匯流排11，而且各自具有64MB與128MB記憶體容量的記憶體模組連接至第二通道記憶體匯流排12（換言之，相同記憶體容量記憶體模組被分別連接至第一通道記憶體匯流排11與第二通道記憶體匯流排12，其係透過各別的通道記憶體匯流排記憶體模組14a與15a（插槽1與插槽3）以及記憶體模組14b與15b（插槽2與插槽4）），是一種記憶體模組排列用以開啟雙通道模式的記憶體匯流排運作。

在步驟46中，若存在雙通道模式的記憶體模組排列，則在步驟47中，圖形控制器5b控制顯示器5a顯示出開啟雙通道模式的記憶體模組排列資訊，其係透過北橋2傳送至顯示組件5；在步驟46中，若不存在雙通道模式記憶體模組排列，則在步驟48中，圖形控制器5b控制顯示器5a顯示



五、發明說明 (13)

第一通道記憶體匯流排11與第二通道記憶體匯流排12無法在雙通道模式中運作或者開啟雙通道模式的記憶體模組排列不存在。

第4圖是顯示圖，用以顯示開啟雙通道模式的記憶體模組排列資訊，其係為本範例的步驟47顯示在顯示器5a之顯示圖。開啟雙通道模式的記憶體模組排列資訊能以各式格式顯示，例如和其特質一樣的圖片，用以顯示出開啟雙通道模式的記憶體模組排列。

儘管在上述實施例中，控制組件20是由儲存於BIOS ROM 4的判斷程式（軟體）以及多通道模式（如雙通道模式）所運作，且記憶體狀態是在POST期間被判斷，但本發明不限於此種組態，且傳統上控制組件20是在作業系統上，例如可以被提供為一儲存於硬碟的應用程式，以致於使用者可以在電腦開機後執行控制組件20。

同樣地，儘管在上述實施例中，顯示組件5包括顯示器5a，但本發明不限於此種組態，任何資訊輸出裝置（換言之，多通道記憶體模式輸出單元）例如專用的發光二極體（light-emitting diode, LED），以告知使用者記憶體匯流排以雙通道模式運作是否被提供。更進一步說，現存發光二極體的發散顏色可以根據是否記憶體匯流排以雙通道模式運作做變化。

再者，儘管在上述實施例中，第一通道記憶體匯流排11與第二通道記憶體匯流排12是適用於在此範例所描述的雙通道模式中運作，但若有3個或更多記憶體匯流排被記

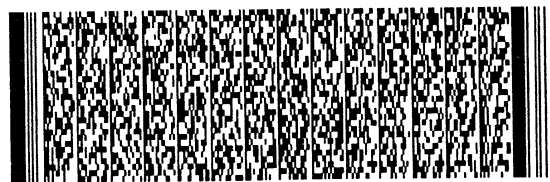


五、發明說明 (14)

憶體控制器所控制，以致於記憶體匯流排在多通道模式中運作時，控制組件20會判斷第三或更多記憶體匯流排是否能在多通道模式中運作並且根據上述判斷透過顯示組件5顯示多通道記憶體模式資訊。

依照本發明，數個傳送的記憶體模組的記憶體資訊被與另一個比較，其係用以判斷連接至各別傳送的記憶體模組的數個記憶體匯流排是否依照多通道模式運作，並且告知使用者主記憶體13是否能以多通道模式運作。此比較的記憶體資訊也許是例如製造商資訊、裝置架構與邏輯庫資訊、型式資訊、容量資訊等。更進一步說，倘若數個記憶體匯流排無法在多通道模式中運作，則會搜尋數個記憶體匯流排能在多通道模式中運作的記憶體模組排列（換言之，允許多通道模式記憶體匯流排運作的傳送的記憶體模組排列）。再者，使用者被告知多通道記憶體模式資訊，例如記憶體匯流排是否可以在多通道模式中運作以及/或是否存在一記憶體模組排列允許多通道模式記憶體匯流排運作，因此允許使用者重新排列記憶體模組。

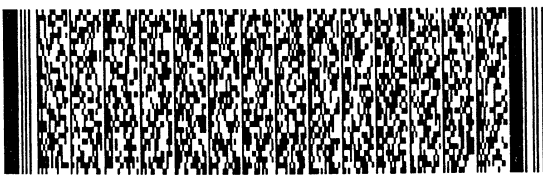
如上述，本發明提供一電腦動態確認數個記憶體匯流排是否能在多通道模式中運作及其控制方法。同樣地，倘若數個記憶體匯流排無法在多通道模式中運作，本發明提供一電腦用以確認現存開啟雙通道模式的記憶體模組排列及其控制方法。本發明實施在電腦控制組件20（如第1圖）的程序可以被實行在軟體中，例如提供於BIOS以及/或在電腦硬體中的多通道記憶體模式判斷器（判斷程式



五、發明說明 (15)

)。例如，依照本發明的電腦裝置包括資料儲存，像是磁性與光學的磁盤、RAM、ROM等，其中本發明的程序可以儲存為軟體並且執行用以控制依照本發明的電腦裝置。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是依照本發明實施例的電腦控制方塊圖；

第2圖是根據第1圖中更詳細的電腦控制方塊圖；

第3圖是依照本發明實施例繪製第1圖中的電腦控制流程圖；以及

第4圖是一顯示圖，依照本發明實施例顯示記憶體模組的排列資訊，其中該記憶體模組是在顯示器顯示的多通道模式中運作。

【圖式標示說明】

5：顯示組件

10：記憶體控制器

11、12：記憶體匯流排

13：主記憶體

14a、14b、15a、15b：記憶體模組

20：控制組件

1：CPU

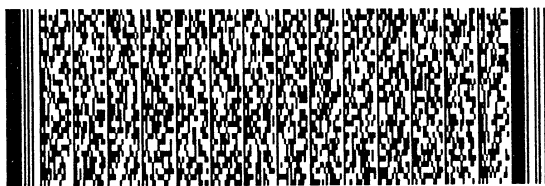
2：北橋

3：南橋

4：BIOS ROM

5a：顯示器

5b：圖形控制器



四、中文發明摘要 (發明名稱：電腦系統以及其控制方法)

一種控制電腦的方法，此電腦具有數個記憶體匯流排，其適用於在多通道模式中運作，此方法係藉由讀取數個記憶體模組中的至少一記憶體模組的記憶體資訊，其中記憶體模組係連結至各記憶體匯流排，以及藉由互相比較該讀取的記憶體資訊，顯示是否記憶體匯流排能運作以及/或在多通道模式中運作。因此，使用者可以確認記憶體匯流排是否能在多通道模式中運作。

伍、(一)、本案代表圖為：第__3____圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：COMPUTER SYSTEM AND CONTROL METHOD THEREOF)

A method of controlling a computer having a plurality of memory buses adapted to be operated in a multi-channel mode by reading memory information of at least one of a plurality of memory modules connected to the respective memory buses and displaying whether the plurality of the memory buses can operate and/or are operating in the multi-channel mode by comparing the read



四、中文發明摘要 (發明名稱：電腦系統及其控制方法)

六、英文發明摘要 (發明名稱：COMPUTER SYSTEM AND CONTROL METHOD THEREOF)

memory information. Thus, a user can confirm whether a plurality of memory buses operate in a multi0channel mode.



六、申請專利範圍

1. 一種控制電腦的方法，其中該電腦具有複數個記憶體匯流排，該些記憶體匯流排係依照一多通道模式在運作，包括：

讀取複數個記憶體模組之至少一該些記憶體模組的記憶體資訊，其中該些記憶體模組係連結至各該些記憶體匯流排；以及

藉由互相比較該讀取的記憶體資訊，顯示該些記憶體匯流排是否在該多通道模式中運作。

2. 如申請專利範圍第1項所述之方法，其中該讀取的記憶體資訊包括儲存於各該些記憶體模組中的一序列呈現檢測 (serial presence detect, SPD) 資料。

3. 如申請專利範圍第2項所述之方法，其中該SPD資料包括各該些記憶體模組的記憶體容量資訊。

4. 如申請專利範圍第1項所述之方法，更包括當比較判斷該些記憶體匯流排不在該多通道模式中運作時，檢查現有該些記憶體模組連接至該些記憶體匯流排的一排列，其中該排列允許該些匯流排在該多通道模式中運作。

5. 如申請專利範圍第4項所述之方法，其中顯示是否該些記憶體匯流排在該多通道模式中運作，更包括顯示該些記憶體模組的該排列，其中該排列許允該些記憶體匯流排在該多通道模式中運作。

6. 一種電腦，該電腦具有複數個記憶體匯流排，該些記憶體匯流排係於一多通道模式中運作，包括：

一控制器，用以判斷該些記憶體匯流排是否在該多通



六、申請專利範圍

道模式中運作，其係藉由互相比較複數個記憶體模組的至少一該些記憶體模組的記憶體資訊，其中該些記憶體模組係連結至各該些記憶體匯流排；以及

一輸出單元，其係依照該控制器的判斷而提供該些記憶體匯流排是否在該多通道模式中運作的資訊。

7. 如申請專利範圍第6項所述之電腦，其中連接至各該些記憶體匯流排的該些記憶體模組的該記憶體資訊包括儲存於該各該些記憶體模組的SPD資料。

8. 如申請專利範圍第7項所述之電腦，其中該SPD資料包括各該些記憶體模組的記憶體容量資訊。

9. 如申請專利範圍第6項所述之電腦，其中當該控制器判斷該些記憶體匯流排不在該多通道模式中運作時，該控制器會檢查現有該些記憶體模組連接至該些記憶體匯流排的一排列，其中該排列允許該些匯流排在該多通道模式中運作。

10. 如申請專利範圍第9項所述之電腦，其中該輸出單元係以圖形式地告知該些記憶體模組的該排列，其中該排列允許該些匯流排在該多通道模式中運作。

11. 如申請專利範圍第10項所述之電腦，其中該控制器是一判斷程式，用以判斷該些記憶體匯流排是否在該多通道模式中運作。

12. 如申請專利範圍第11項所述之電腦，其中該判斷程式係儲存於基本輸出/輸入系統 (basic input/output system, BIOS) 唯讀記憶體 (read only memory, ROM)



六、申請專利範圍

中。

13. 如申請專利範圍第10項所述之電腦，其中該輸出單元包括一顯示器，用以顯示關於該排列的一資訊。

14. 一種電腦可讀存儲器，其係依照一儲存程序控制一電腦，該儲存程序包括：

讀取複數個記憶體模組的至少一該些記憶體模組之記憶體資訊，其中該些記憶體模組係連結至各該些記憶體匯流排；

互相比較該讀取的記憶體資訊；以及

依據上述之比較，輸出該些記憶體匯流排的一多通道模式資訊。

15. 如申請專利範圍第14項所述之電腦可讀存儲器，其中該記憶體資訊包括製造商資訊、裝置架構與邏輯庫資訊、型態資訊以及容量資訊。

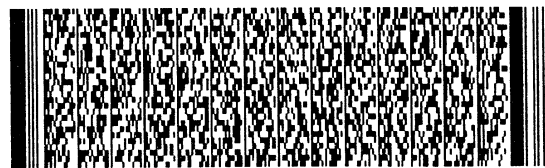
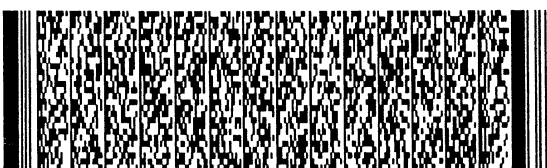
16. 如申請專利範圍第14項所述之電腦可讀存儲器，其中該比較步驟包括互相比較該些傳送的記憶體模組的記憶體容量，用以判斷是否同樣記憶體容量的記憶體模組被分別連接至每一記憶體匯流排。

17. 如申請專利範圍第6項所述之電腦，更包括：

一BIOS ROM，其在該電腦開機期間執行開機後自我測試（power on self test, POST），

其中該控制器是儲存在該BIOS ROM中的軟體，並且在POST期間判斷該多通道模式記憶體匯流排的運作。

18. 如申請專利範圍第17項所述之電腦，更包括：



六、申請專利範圍

一北橋晶片，用以控制該些記憶體模組，其中該控制器係在POST期間控制該北橋晶片讀取該記憶體資訊。

19. 一種方法，包括：

依據上述該些傳送的記憶體模組的記憶體資訊，輸出多通道模式記憶體匯流排資訊。

20. 一種決定電腦的多通道模式記憶體匯流排運作的方法，其中該電腦具有複數個記憶體匯流排，其係連接至對應複數個傳送的記憶體模組，該方法包括：

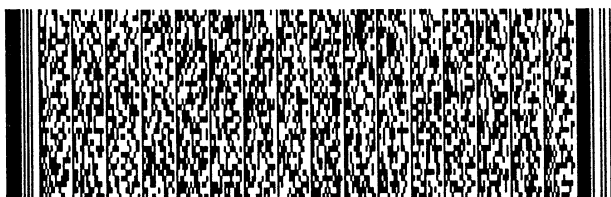
執行一程式來判斷在一開機後自我測試期間該多通道模式記憶體匯流排之運作，該程式係依照一程序而控制該電腦：

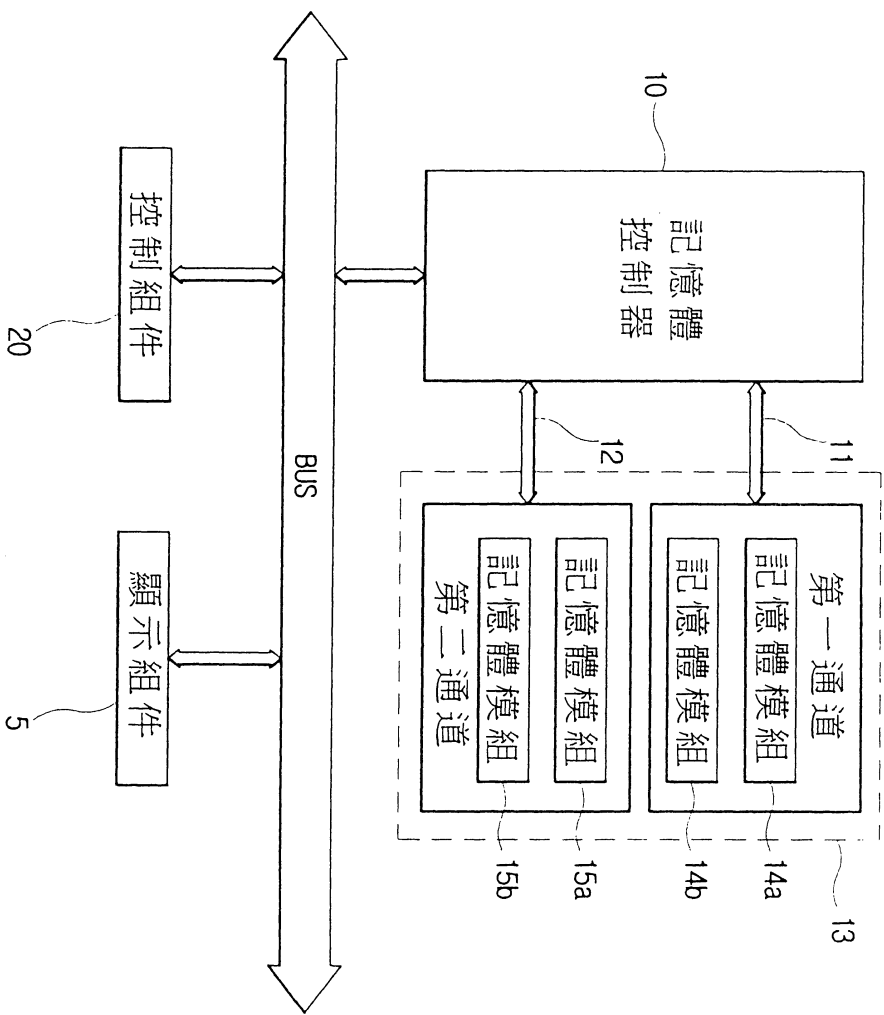
讀取至少一該些記憶體模組的記憶體資訊，其中該些記憶體模組係連結至各該些記憶體匯流排；

互相比較該讀取的記憶體資訊；以及

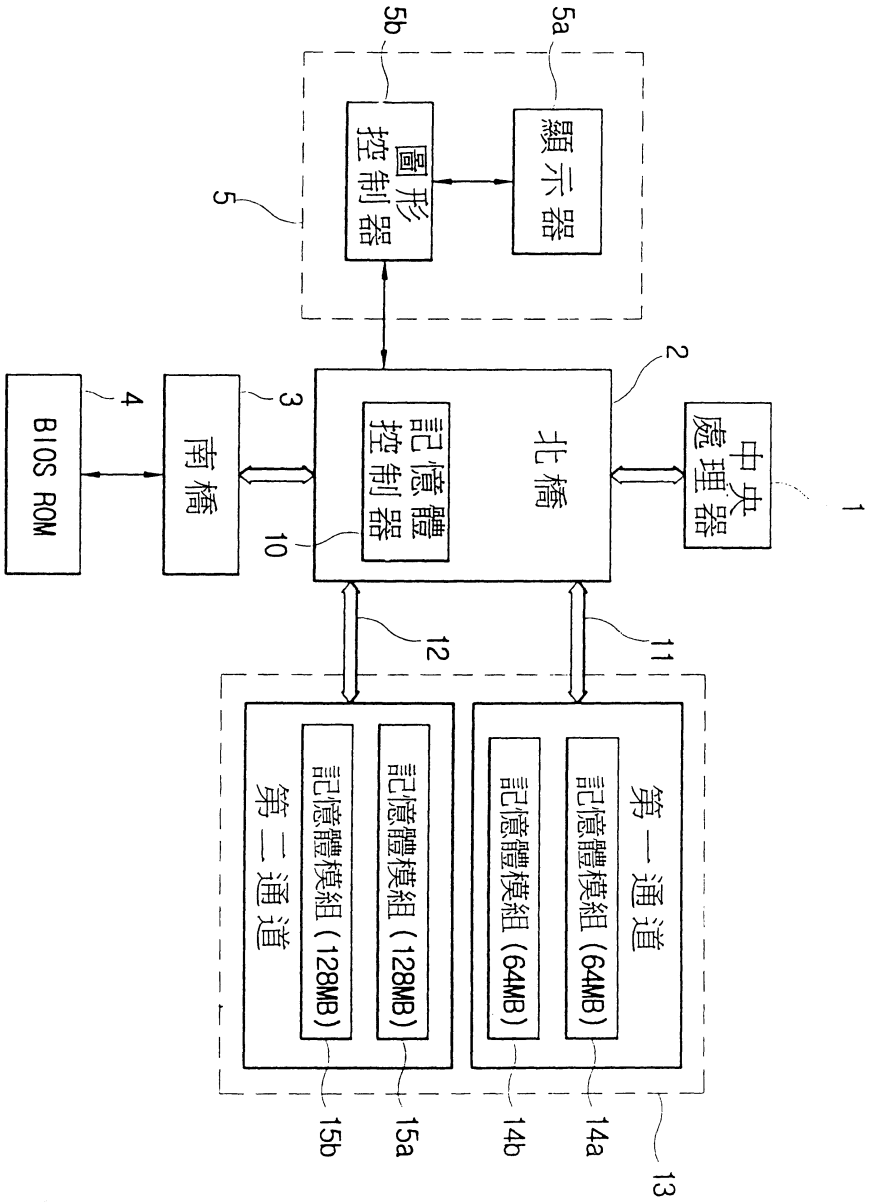
依據該讀取資訊的比較，顯示該些記憶體匯流排是否在該多通道模式中運作；以及

顯示該些記憶體模組的一排列，其中該排列允許該多通道模式記憶體匯流排運作。

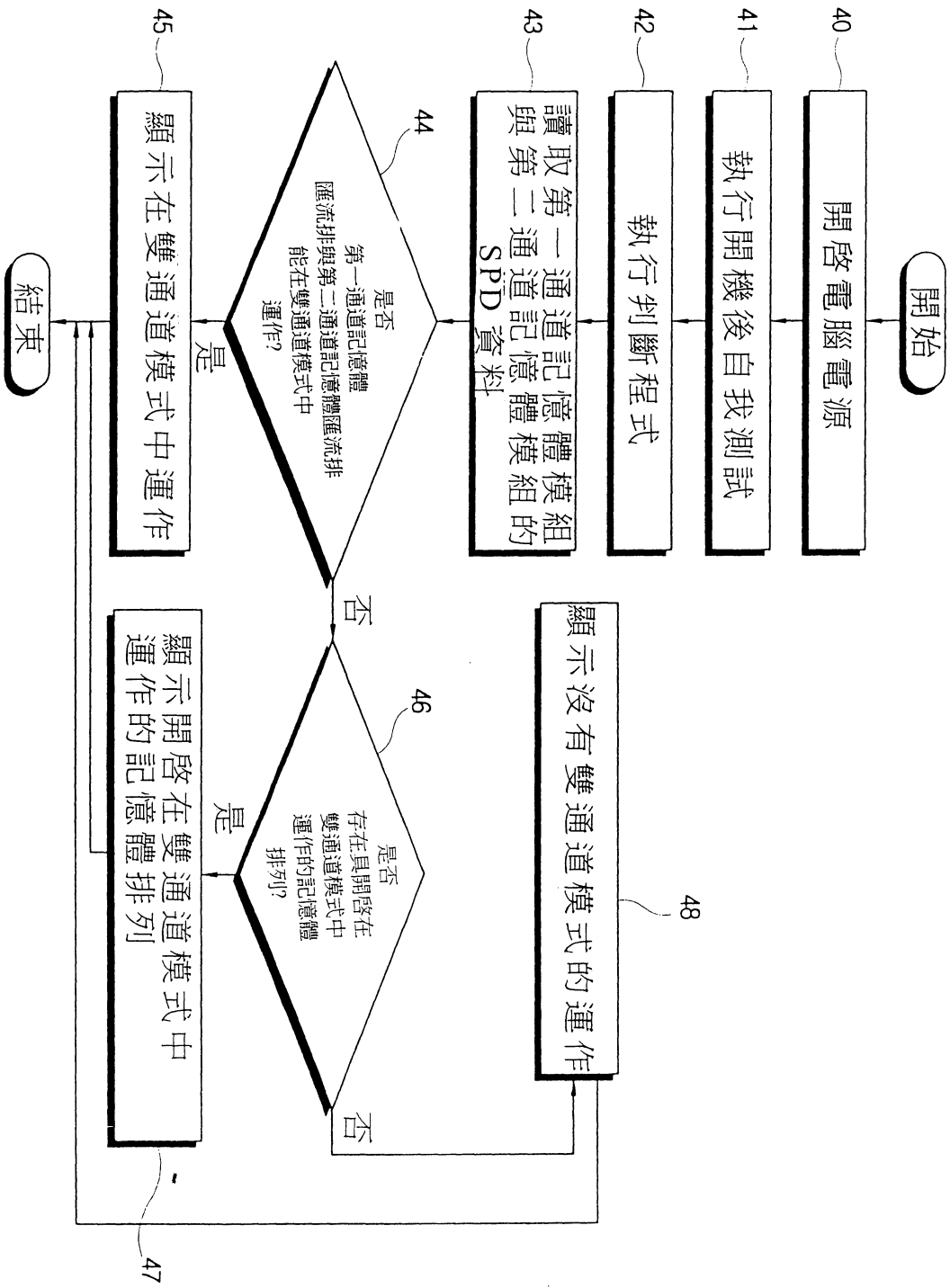




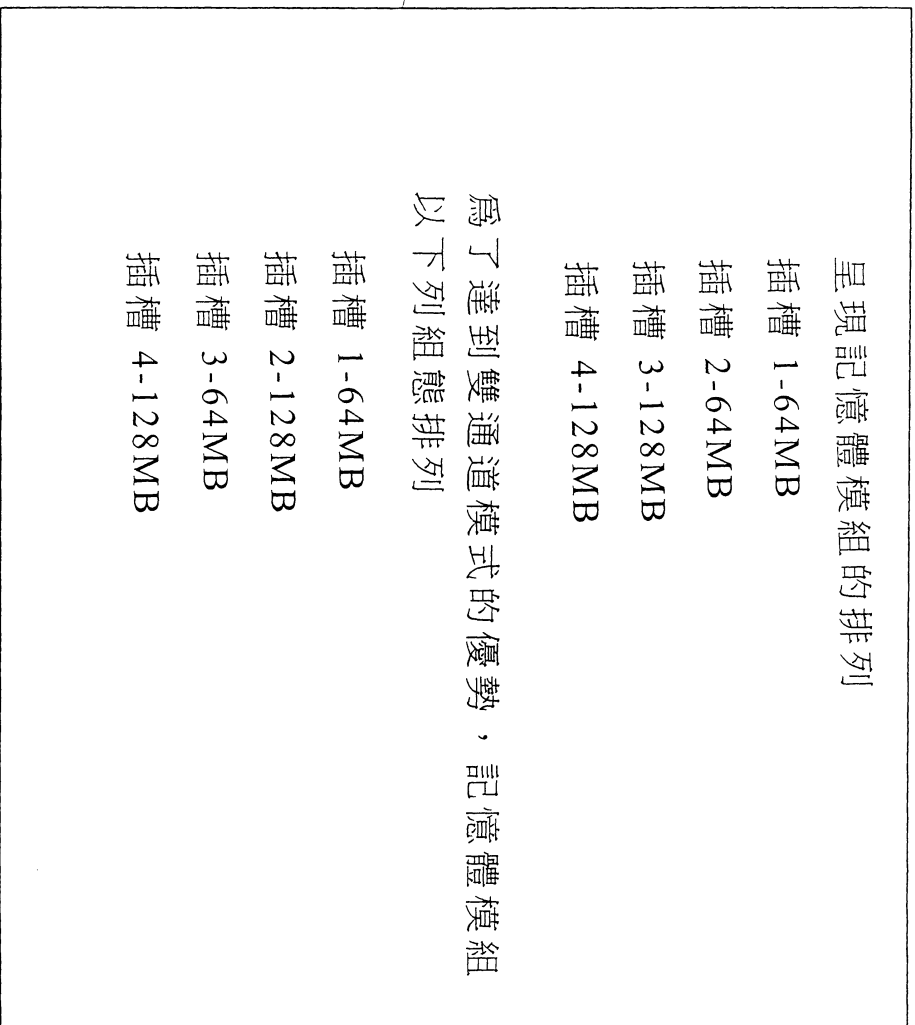
第 1 圖



第 2 圖



第 3 圖



第 4 圖