



등록특허 10-2784817



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년03월21일

(11) 등록번호 10-2784817

(24) 등록일자 2025년03월17일

(51) 국제특허분류(Int. Cl.)
H10D 12/00 (2025.01) H10D 48/00 (2025.01)
H10D 62/10 (2025.01)
(52) CPC특허분류
H10D 12/211 (2025.01)
H10D 12/021 (2025.01)
(21) 출원번호 10-2023-0171361
(22) 출원일자 2023년11월30일
심사청구일자 2023년11월30일
(56) 선행기술조사문헌
KR1020160120111 A

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
서울대학교산학협력단
서울특별시 관악구 관악로 1 (신림동)
(72) 발명자
서준기
울산광역시 울주군 언양읍 유니스트길 50
조한빈
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 16 항

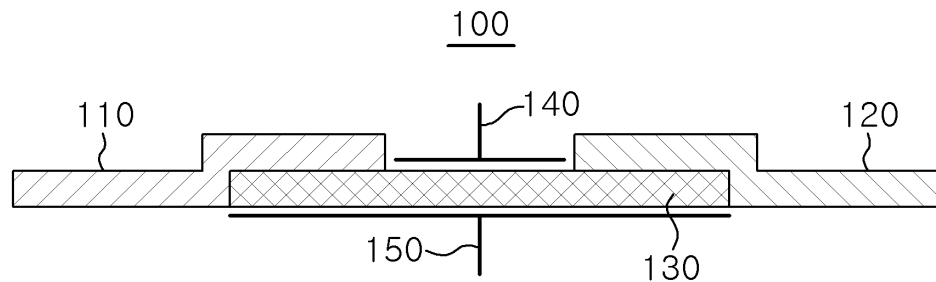
심사관 : 안경민

(54) 발명의 명칭 이차원 터널링 트랜지스터 및 그 제조 방법

(57) 요약

일 실시예에 따른 이차원 터널링 트랜지스터는, 전자 편향된 이차원 반도체 물질의 제 1 전극; 정공 편향된 이차원 반도체 물질의 제 2 전극; 상기 제 1 전극과 상기 제 2 전극에 각각 이중접합된 이차원 반도체 물질의 채널영역; 및 상기 채널영역의 포텐셜을 변화시키기 위한 게이트;를 포함하고, 상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 n++/n/p++ 접합 구조 또는 n++/p/p++ 접합 구조이다.

대표도 - 도1



(52) CPC특허분류

H10D 62/118 (2025.01)

H10D 99/00 (2025.01)

(72) 발명자

양성욱

울산광역시 울주군 언양읍 유니스트길 50

이철호

서울특별시 관악구 관악로 1 (신림동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711190636
과제번호	2020R1C1C1011219
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	지능형 열제어 회로 구현을 위한 비선형 및 방향성 열전달 소재 개발
기 여 율	33/100
과제수행기관명	울산과학기술원
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711188649
과제번호	2022M3I7A2079098
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	PIM인공지능반도체핵심기술개발(소자)
연구과제명	고성능 PRAM 기반 학습용 PIM 소자 및 연산 시스템 개발
기 여 율	33/100
과제수행기관명	울산과학기술원
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711196408
과제번호	00258309
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(소자)
연구과제명	웨이퍼 스케일, 원자층 제어 2차원 다층박막 기반의 BEOL 로직/메모리형 초저전압 스위칭 트랜지스터 개발
기 여 율	34/100
과제수행기관명	서울대학교산학협력단
연구기간	2023.04.01 ~ 2023.12.31

명세서

청구범위

청구항 1

전자 편향된 이차원 반도체 물질의 제 1 전극;
 정공 편향된 이차원 반도체 물질의 제 2 전극;
 상기 제 1 전극과 상기 제 2 전극에 각각 이중접합된 이차원 반도체 물질의 채널영역; 및
 상기 채널영역의 포텐셜을 변화시키기 위한 게이트;를 포함하고,
 상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조인
 이차원 터널링 트랜지스터.

청구항 2

제 1 항에 있어서,
 상기 제 1 전극과 상기 제 2 전극의 재료 조합은 $\text{SnSe}_2/\text{SnSe}$, SnSe_2/SnS , SnS_2/SnS , SnS_2/SnSe 중 어느 하나인
 이차원 터널링 트랜지스터.

청구항 3

제 2 항에 있어서,
 상기 채널영역의 재료는 MoS_2 , WSe_2 , MoTe_2 중 하나를 포함하는
 이차원 터널링 트랜지스터.

청구항 4

제 1 항에 있어서,
 상기 채널영역이 중앙에 위치하고, 상기 제 1 전극이 상기 채널영역의 일측에 위치하며, 상기 제 2 전극이 상기
 채널영역의 타측에 위치하는
 이차원 터널링 트랜지스터.

청구항 5

제 4 항에 있어서,
 상기 제 1 전극과 상기 제 2 전극의 적어도 일부가 각각 상기 채널영역의 상부에 적층된
 이차원 터널링 트랜지스터.

청구항 6

제 4 항에 있어서,
 상기 채널영역의 적어도 일부가 상기 제 2 전극의 상부에 적층된
 이차원 터널링 트랜지스터.

청구항 7

제 5 항 또는 제 6 항에 있어서,
 상기 게이트는,

상기 채널영역의 상부에 전기적으로 연결된 제 1 게이트; 및
상기 채널영역의 하부에 전기적으로 연결된 제 2 게이트;를 포함하는
이차원 터널링 트랜지스터.

청구항 8

제 1 항에 있어서,
상기 제 1 전극과 상기 제 2 전극은 절연층을 사이에 두고 적층되고, 상기 채널영역은 상기 제 1 전극과 상기 제 2 전극의 측부에 각각 이중접합된
이차원 터널링 트랜지스터.

청구항 9

제 8 항에 있어서,
상기 채널영역의 적어도 일부가 상기 제 2 전극의 상부에 적층된
이차원 터널링 트랜지스터.

청구항 10

이차원 터널링 트랜지스터의 제조 방법으로서,
이차원 반도체 물질의 채널영역을 형성하는 단계;
상기 채널영역의 일측과 타측에 각각 이중접합하여, 전자 편향된 이차원 반도체 물질의 제 1 전극 및 정공 편향된 이차원 반도체 물질의 제 2 전극을 형성-상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조임-하는 단계; 및
상기 채널영역의 포텐셜을 변화시키기 위한 게이트를 상기 채널영역에 전기적으로 연결하여 형성하는 단계;를 포함하는
이차원 터널링 트랜지스터의 제조 방법.

청구항 11

제 10 항에 있어서,
상기 제 1 전극과 상기 제 2 전극의 적어도 일부를 각각 상기 채널영역의 상부에 적층하는
이차원 터널링 트랜지스터의 제조 방법.

청구항 12

이차원 터널링 트랜지스터의 제조 방법으로서,
전자 편향된 이차원 반도체 물질의 제 1 전극 및 정공 편향된 이차원 반도체 물질의 제 2 전극을 형성하는 단계;
상기 제 1 전극과 상기 제 2 전극에 이중접합하여, 이차원 반도체 물질의 채널영역을 형성-상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조임-하는 단계; 및
상기 채널영역의 포텐셜을 변화시키기 위한 게이트를 상기 채널영역에 전기적으로 연결하여 형성하는 단계;를 포함하는
이차원 터널링 트랜지스터의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 채널영역의 적어도 일부를 상기 제 2 전극의 상부에 적층하는
이차원 터널링 트랜지스터의 제조 방법.

청구항 14

이차원 터널링 트랜지스터의 제조 방법으로서,

전자 편향된 이차원 반도체 물질의 제 1 전극과 정공 편향된 이차원 반도체 물질의 제 2 전극을 절연층을 사이에 두고 적층해 형성하는 단계;

상기 제 1 전극과 상기 제 2 전극에 이중접합하여, 이차원 반도체 물질의 채널영역을 형성-상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조임-하는 단계; 및

상기 채널영역의 포텐셜을 변화시키기 위한 게이트를 상기 채널영역에 전기적으로 연결하여 형성하는 단계;를 포함하는

이차원 터널링 트랜지스터의 제조 방법.

청구항 15

제 14 항에 있어서,

절연층을 사이에 두고 상기 제 1 전극과 상기 제 2 전극을 적층하고, 상기 채널영역을 상기 제 1 전극과 상기 제 2 전극의 측부에 각각 이중접합하는

이차원 터널링 트랜지스터의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 채널영역의 적어도 일부를 상기 제 2 전극의 상부에 적층하는

이차원 터널링 트랜지스터의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 이차원 터널링 트랜지스터와 이를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자의 기술동향이 지속적으로 미세화, 고도집적화로 나아감에 따라 소자의 두께를 박막화하는 방향으로 기술이 발전하면서, 5nm 이하의 초박막 두께를 갖는 반도체 소재의 필요성이 대두되고 있다.

[0003] 이차원 반도체 소재는 원자층 단위의 두께를 갖지만 우수한 전기적 특성을 갖고 현 CMOS 기술과 호환성이 뛰어나, 실리콘을 대체할 차세대 반도체의 채널층 소재로서 각광을 받고 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 등록특허공보 제10-2093141호, 등록일자 2020년 03월 19일.

발명의 내용

해결하려는 과제

[0005] 실시예에 따르면, 편향된 전하 운반자를 공급하는 이중접합 구조의 이차원 터널링 트랜지스터 및 그 제조 방법

을 제공한다.

[0006] 본 발명의 해결하고자 하는 과제는 이상에서 언급한 것으로 제한되지 않으며, 언급되지 않은 또 다른 해결하고자 하는 과제는 아래의 기재로부터 본 발명이 속하는 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 제 1 관점으로서 이차원 터널링 트랜지스터는, 전자 편향된 이차원 반도체 물질의 제 1 전극; 정공 편향된 이차원 반도체 물질의 제 2 전극; 상기 제 1 전극과 상기 제 2 전극에 각각 이중접합된 이차원 반도체 물질의 채널 영역; 및 상기 채널영역의 포텐셜을 변화시키기 위한 게이트;를 포함하고, 상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조이다.

[0008] 여기서, 상기 제 1 전극과 상기 제 2 전극의 재료 조합은 $\text{SnSe}_2/\text{SnSe}$, SnSe_2/SnS , SnS_2/SnS , SnS_2/SnSe 중 어느 하나일 수 있고, 상기 채널영역의 재료는 모노레이어(monolayer) 또는 퓨어 레이어(few layer)를 가질 수 있다. 상기 채널영역의 재료는 MoS_2 , WSe_2 , MoTe_2 중 하나를 포함할 수 있다.

[0009] 또한, 상기 채널영역이 중앙에 위치할 수 있고, 상기 제 1 전극이 상기 채널영역의 일측에 위치할 수 있으며, 상기 제 2 전극이 상기 채널영역의 타측에 위치할 수 있다. 상기 제 1 전극과 상기 제 2 전극의 적어도 일부가 각각 상기 채널영역의 상부에 적층될 수 있다. 상기 채널영역의 적어도 일부가 상기 제 1 전극과 상기 제 2 전극의 상부에 적층될 수 있다. 상기 제 1 전극과 상기 제 2 전극은 절연층을 사이에 두고 적층될 수 있고, 상기 채널영역은 상기 제 1 전극과 상기 제 2 전극의 측부에 각각 이중접합될 수 있다.

[0010] 제 2 관점으로서 이차원 터널링 트랜지스터의 제조 방법은, 이차원 반도체 물질의 채널영역을 형성하는 단계; 상기 채널영역의 일측과 타측에 각각 이중접합하여, 전자 편향된 이차원 반도체 물질의 제 1 전극 및 정공 편향된 이차원 반도체 물질의 제 2 전극을 형성-상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조임-하는 단계; 및 상기 채널영역의 포텐셜을 변화시키기 위한 게이트를 상기 채널영역에 전기적으로 연결하여 형성하는 단계;를 포함한다.

[0011] 제 3 관점으로서 이차원 터널링 트랜지스터의 제조 방법은, 전자 편향된 이차원 반도체 물질의 제 1 전극 및 정공 편향된 이차원 반도체 물질의 제 2 전극을 형성하는 단계; 상기 제 1 전극과 상기 제 2 전극에 이중접합하여, 이차원 반도체 물질의 채널영역을 형성-상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조임-하는 단계; 및 상기 채널영역의 포텐셜을 변화시키기 위한 게이트를 상기 채널영역에 전기적으로 연결하여 형성하는 단계;를 포함한다.

[0012] 제 4 관점으로서 이차원 터널링 트랜지스터의 제조 방법은, 전자 편향된 이차원 반도체 물질의 제 1 전극과 정공 편향된 이차원 반도체 물질의 제 2 전극을 절연층을 사이에 두고 적층해 형성하는 단계; 상기 제 1 전극과 상기 제 2 전극에 이중접합하여, 이차원 반도체 물질의 채널영역을 형성-상기 제 1 전극과 상기 채널영역 및 상기 제 2 전극은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조임-하는 단계; 및 상기 채널영역의 포텐셜을 변화시키기 위한 게이트를 상기 채널영역에 전기적으로 연결하여 형성하는 단계;를 포함한다.

발명의 효과

[0013] 일 실시예에 따르면, 편향된 전하 운반자를 공급하는 이중접합 구조의 이차원 터널링 트랜지스터는 양자 현상에 기반한 동작 원리로 열전하 방출에 의해 동작하는 일반적 반도체 소자에 비해 낮은 구동 전압과 대기 전력을 지녀서 전력 소모가 적은 효과가 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 제 1 실시예에 따른 이차원 터널링 트랜지스터의 구조도이다.

도 2는 본 발명의 제 1 실시예에 따른 이차원 터널링 트랜지스터(100)의 제조 방법을 설명하기 위한 흐름도이다.

도 3은 본 발명의 제 2 실시예에 따른 이차원 터널링 트랜지스터의 구조도이다.

도 4는 본 발명의 제 2 실시예에 따른 이차원 터널링 트랜지스터(300)의 제조 방법을 설명하기 위한 흐름도이다.

도 5는 본 발명의 제 3 실시예에 따른 이차원 터널링 트랜지스터의 구조도이고, 도 6은 본 발명의 제 4 실시예에 따른 이차원 터널링 트랜지스터의 구조도이다.

도 7은 본 발명의 제 3, 4 실시예에 따른 이차원 터널링 트랜지스터의 제조 방법을 설명하기 위한 흐름도이다.

도 8 및 도 9는 본 발명의 제 1 실시예에 따른 이차원 터널링 트랜지스터와 MOSFET의 동작 특성 그래프로서, 도 8은 채널영역의 재료가 WSe_2 인 경우이고, 도 9는 채널영역의 재료가 MoS_2 인 경우이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 본 명세서에서 사용되는 용어에 대해 간략히 설명하고, 본 발명에 대해 구체적으로 설명하기로 한다.
- [0017] 본 발명에서 사용되는 용어는 본 발명에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도 또는 관례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서 본 발명에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 발명의 전반에 걸친 내용을 토대로 정의되어야 한다.
- [0018] 명세서 전체에서 어떤 부분이 어떤 구성요소를 '포함'한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있음을 의미한다.
- [0019] 도 1은 본 발명의 제 1 실시예에 따른 이차원 터널링 트랜지스터의 구조도이다.
- [0020] 도 1을 참조하면, 이차원 터널링 트랜지스터(100)는 전자 편향된 이차원 반도체 물질의 제 1 전극(110), 정공 편향된 이차원 반도체 물질의 제 2 전극(120), 제 1 전극(110)과 제 2 전극(120)에 각각 이종접합된 이차원 반도체 물질의 채널영역(130)을 포함하고, 제 1 전극(110)과 채널영역(130) 및 제 2 전극(120)은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조이다. 채널영역(130)은 중앙에 위치할 수 있고, 제 1 전극(110)이 채널영역(130)의 일측에 위치할 수 있으며, 제 2 전극(120)이 채널영역(130)의 타측에 위치할 수 있고, 제 1 전극(120)과 제 2 전극(120)의 적어도 일부가 각각 채널영역(130)의 상부에 적층될 수 있다.
- [0021] 그리고, 이차원 터널링 트랜지스터(100)는 채널영역(130)의 포텐셜을 변화시키기 위한 게이트(140, 150)로서, 채널영역(130)의 상부에 전기적으로 연결된 제 1 게이트(140) 및 채널영역(130)의 하부에 전기적으로 연결된 제 2 게이트(150)를 더 포함한다.
- [0022] 제 1 전극(110)과 제 2 전극(120)의 재료 조합은 $\text{SnSe}_2/\text{SnSe}$, SnSe_2/SnS , SnS_2/SnS , SnS_2/SnSe 중 어느 하나일 수 있다. 예를 들어, 제 1 전극(110)의 재료가 SnSe_2 일 경우에 제 2 전극(120)의 재료는 SnSe 일 수 있고, 제 1 전극(110)의 재료가 SnSe 일 경우에 제 2 전극(120)의 재료는 SnSe_2 일 수 있다.
- [0023] 그리고, 채널영역(130)의 재료는 모노레이어(monolayer) 또는 퓨우 레이어(few layer)를 가질 수 있다. 예를 들어, 채널영역(130)의 재료는 MoS_2 , WSe_2 , MoTe_2 중 하나를 포함할 수 있다.
- [0024] 도 2는 본 발명의 제 1 실시예에 따른 이차원 터널링 트랜지스터(100)의 제조 방법을 설명하기 위한 흐름도이다.
- [0025] 도 1 및 도 2를 참조하면, 먼저 이차원 반도체 물질의 채널영역(130)을 형성한다. 예를 들어, 모노레이어 또는 퓨우 레이어를 가지는 재료를 이용하여 베이스 기판(도시 생략됨) 상에 채널 영역(130)을 형성할 수 있다. 예컨대, MoS_2 , WSe_2 , MoTe_2 중 하나를 베이스 기판(도시 생략됨)에 증착해 채널 영역(130)을 형성할 수 있다(S210).
- [0026] 그리고, 채널영역(130)의 일측과 타측에 각각 이종접합하여, 전자 편향된 이차원 반도체 물질의 제 1 전극(110) 및 정공 편향된 이차원 반도체 물질의 제 2 전극(120)을 형성한다. 여기서, 제 1 전극(110)과 제 2 전극(120)의 적어도 일부를 각각 채널영역(130)의 상부에 적층할 수 있다. 예를 들어, 제 1 전극(110)과 제 2 전극(120)의

재료 조합은 $\text{SnSe}_2/\text{SnSe}$, SnSe_2/SnS , SnS_2/SnS , SnS_2/SnSe 중 어느 하나일 수 있다. 예를 들어, 제 1 전극(110)의 재료가 SnSe_2 일 경우에 제 2 전극(120)의 재료가 SnSe 일 수 있고, 제 1 전극(110)의 재료가 SnSe 일 경우에 제 2 전극(120)의 재료가 SnSe_2 일 수 있다(S220).

[0027] 제 1 전극(110)과 제 2 전극(120)으로 조합하여 이용할 수 있는 두 물질(예컨대, SnSe_2 과 SnSe)은 오버랩(overlap) 구간이 아주 적은 Type2에서 Type3에 해당하는 밴드갭(bandgap)을 구성하는 밴드 오프셋(band offset)을 이루고 있으며, 각각 전자와 정공으로 편향된 높은 캐리어 텐시티(carrier density)를 갖고 있기 때문에 전자 저장(electron reservoir) 및 정공 저장(hole reservoir) 역할을 수행할 수 있다.

[0028] 이로써, 제 1 전극(110)과 채널영역(130) 및 제 2 전극(120)은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조를 이룬다. 단계 S210에서 채널 영역(130)을 MoS_2 로 형성한 경우에 이차원 터널링 트랜지스터(100)는 nTFET로 구동될 것이고, 단계 S210에서 채널 영역(130)을 WSe_2 또는 MoTe_2 로 형성한 경우에 이차원 터널링 트랜지스터(100)는 pTFET로 구동될 것이다.

[0029] 다음으로, 채널영역(130)의 포텐셜을 변화시키기 위한 게이트(140, 150)를 채널영역(130)에 전기적으로 연결하여 형성한다. 예를 들어, 채널영역(130)의 상부에 전기적으로 연결된 제 1 게이트(140)를 형성함과 아울러 채널영역(130)의 하부에 전기적으로 연결된 제 2 게이트(150)를 형성할 수 있다(S230).

[0030] 도 3은 본 발명의 제 2 실시예에 따른 이차원 터널링 트랜지스터의 구조도이다.

[0031] 도 3을 참조하면, 이차원 터널링 트랜지스터(300)는 전자 편향된 이차원 반도체 물질의 제 1 전극(310), 정공 편향된 이차원 반도체 물질의 제 2 전극(320), 제 1 전극(310)과 제 2 전극(320)에 각각 이종접합된 이차원 반도체 물질의 채널영역(330)을 포함하고, 제 1 전극(310)과 채널영역(330) 및 제 2 전극(320)은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조이다. 채널영역(330)은 중앙에 위치할 수 있고, 제 1 전극(310)이 채널영역(330)의 일측에 위치할 수 있으며, 제 2 전극(320)이 채널영역(330)의 타측에 위치할 수 있고, 채널영역(330)의 적어도 일부가 제 1 전극(310)과 제 2 전극(320)의 상부에 적층될 수 있다.

[0032] 그리고, 이차원 터널링 트랜지스터(300)는 채널영역(330)의 포텐셜을 변화시키기 위한 게이트(340, 350)로서, 채널영역(330)의 상부에 전기적으로 연결된 제 1 게이트(340) 및 채널영역(330)의 하부에 전기적으로 연결된 제 2 게이트(350)를 더 포함한다.

[0033] 제 1 전극(310)과 제 2 전극(320)의 재료 조합은 $\text{SnSe}_2/\text{SnSe}$, SnSe_2/SnS , SnS_2/SnS , SnS_2/SnSe 중 어느 하나일 수 있다. 예를 들어, 제 1 전극(310)의 재료가 SnSe_2 일 경우에 제 2 전극(320)의 재료가 SnSe 일 수 있고, 제 1 전극(310)의 재료가 SnSe 일 경우에 제 2 전극(320)의 재료가 SnSe_2 일 수 있다.

[0034] 그리고, 채널영역(330)의 재료는 모노레이어 또는 퓨우 레이어를 가질 수 있다. 예를 들어, 채널영역(330)의 재료는 MoS_2 , WSe_2 , MoTe_2 중 하나를 포함할 수 있다.

[0035] 도 4는 본 발명의 제 2 실시예에 따른 이차원 터널링 트랜지스터(300)의 제조 방법을 설명하기 위한 흐름도이다.

[0036] 도 3 및 도 4를 참조하면, 먼저 베이스 기판(도시 생략됨) 상에 전자 편향된 이차원 반도체 물질의 제 1 전극(310) 및 정공 편향된 이차원 반도체 물질의 제 2 전극(320)을 형성한다. 예를 들어, 제 1 전극(310)과 제 2 전극(320)의 재료 조합은 $\text{SnSe}_2/\text{SnSe}$, SnSe_2/SnS , SnS_2/SnS , SnS_2/SnSe 중 어느 하나일 수 있다. 예를 들어, 제 1 전극(310)의 재료가 SnSe_2 일 경우에 제 2 전극(320)의 재료가 SnSe 일 수 있고, 제 1 전극(310)의 재료가 SnSe 일 경우에 제 2 전극(320)의 재료가 SnSe_2 일 수 있다(S410).

[0037] 제 1 전극(310)과 제 2 전극(320)에 조합하여 이용할 수 있는 두 물질(예컨대, SnSe_2 과 SnSe)은 오버랩 구간이 아주 적은 Type2에서 Type3에 해당하는 밴드갭을 구성하는 밴드 오프셋을 이루고 있으며, 각각 전자와 정공으로 편향된 높은 캐리어 텐시티를 갖고 있기 때문에 전자 저장 및 정공 저장 역할을 수행할 수 있다.

[0038] 그리고, 제 1 전극(310) 및 제 2 전극(320)에 이종접합하여 이차원 반도체 물질의 채널영역(330)을 형성한다. 예를 들어, 모노레이어 또는 퓨우 레이어를 가지는 재료를 이용하여 채널 영역(330)을 형성할 수 있다. 여기서, 채널영역(330)은 중앙에 위치할 수 있고, 제 1 전극(310)이 채널영역(330)의 일측에 위치할 수 있으며, 제 2 전

극(320)이 채널영역(330)의 타측에 위치할 수 있고, 채널영역(330)의 적어도 일부가 제 1 전극(310)과 제 2 전극(320)의 상부에 적층될 수 있다. 예컨대, MoS_2 , WSe_2 , MoTe_2 중 하나를 증착해 채널 영역(330)을 형성할 수 있다(S420).

[0039] 이로써, 제 1 전극(310)과 채널영역(330) 및 제 2 전극(320)은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조를 이룬다. 단계 S420에서 채널 영역(330)을 MoS_2 로 형성한 경우에 이차원 터널링 트랜지스터(300)는 nTFET로 구동될 것이고, 단계 S420에서 채널 영역(330)을 WSe_2 또는 MoTe_2 로 형성한 경우에 이차원 터널링 트랜지스터(300)는 pTFET로 구동될 것이다.

[0040] 다음으로, 채널영역(330)의 포텐셜을 변화시키기 위한 게이트(340, 350)를 채널영역(330)에 전기적으로 연결하여 형성한다. 예를 들어, 채널영역(330)의 상부에 전기적으로 연결된 제 1 게이트(340)를 형성함과 아울러 채널영역(330)의 하부에 전기적으로 연결된 제 2 게이트(350)를 형성할 수 있다(S430).

[0041] 도 5는 본 발명의 제 3 실시예에 따른 이차원 터널링 트랜지스터의 구조도이고, 도 6은 본 발명의 제 4 실시예에 따른 이차원 터널링 트랜지스터의 구조도이다.

[0042] 도 5 및 도 6을 참조하면, 이차원 터널링 트랜지스터(500, 600)는 전자 편향된 이차원 반도체 물질의 제 1 전극(510, 610) 및 정공 편향된 이차원 반도체 물질의 제 2 전극(520, 620)을 포함한다. 여기서, 제 1 전극(510, 610)과 제 2 전극(520, 620)은 절연층(501, 601)을 사이에 두고 적층된다.

[0043] 그리고, 이차원 터널링 트랜지스터(500, 600)는 제 1 전극(510, 610)과 제 2 전극(520, 620)의 측부에 각각 이중접합된 이차원 반도체 물질의 채널영역(530, 630), 채널영역(530, 630)의 포텐셜을 변화시키기 위해 채널영역(530, 630)에 전기적으로 연결된 게이트(540)를 더 포함한다.

[0044] 이러한, 제 1 전극(510, 610)과 채널영역(530, 630) 및 제 2 전극(520, 620)은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조를 가진다. 제 1 전극(510, 610)과 제 2 전극(520, 620)의 재료 조합은 $\text{SnSe}_2/\text{SnSe}$, SnSe_2/SnS , SnS_2/SnS , SnS_2/SnSe 중 어느 하나일 수 있다. 예를 들어, 제 1 전극(510, 610)의 재료가 SnSe_2 일 경우에 제 2 전극(520, 620)의 재료는 SnSe 일 수 있고, 제 1 전극(510, 610)의 재료가 SnSe 일 경우에 제 2 전극(520, 620)의 재료는 SnSe_2 일 수 있다. 그리고, 채널영역(530, 630)의 재료는 모노레이어 또는 퓨우 레이어를 가질 수 있다. 예를 들어, 채널영역(530, 630)의 재료는 MoS_2 , WSe_2 , MoTe_2 중 하나를 포함할 수 있다.

[0045] 도 7은 본 발명의 제 3, 4 실시예에 따른 이차원 터널링 트랜지스터(500, 600)의 제조 방법을 설명하기 위한 흐름도이다.

[0046] 도 5 내지 도 7을 참조하면, 먼저 제 3 실시예의 경우에 전자 편향된 이차원 반도체 물질의 제 1 전극(510)과 정공 편향된 이차원 반도체 물질의 제 2 전극(520)을 절연층(501)을 사이에 두고 적층한다.

[0047] 또는, 제 4 실시예의 경우에 정공 편향된 이차원 반도체 물질의 제 1 전극(610)과 전자 편향된 이차원 반도체 물질의 제 2 전극(620)을 절연층(601)을 사이에 두고 적층한다.

[0048] 여기서, 제 1 전극(510)과 제 2 전극(620)의 재료 조합은 $\text{SnSe}_2/\text{SnSe}$, SnSe_2/SnS , SnS_2/SnS , SnS_2/SnSe 중 어느 하나일 수 있다. 예를 들어, 제 1 전극(510)의 재료가 SnSe_2 일 경우에 제 2 전극(520)의 재료는 SnSe 일 수 있다. 또는, 제 1 전극(610)의 재료가 SnSe 일 경우에 제 2 전극(620)의 재료는 SnSe_2 일 수 있다(S710).

[0049] 제 1 전극(510, 610)과 제 2 전극(520, 620)에 조합하여 이용할 수 있는 두 물질(예컨대, SnSe_2 과 SnSe)은 오버랩 구간이 아주 적은 Type2에서 Type3에 해당하는 밴드갭을 구성하는 밴드 오프셋을 이루고 있으며, 각각 전자와 정공으로 편향된 높은 캐리어 밀도를 갖고 있기 때문에 전자 저장 및 정공 저장 역할을 수행할 수 있다.

[0050] 그리고, 제 1 전극(510, 610)과 제 2 전극(520, 620)의 측부에 각각 이중접합하여 이차원 반도체 물질의 채널영역(530, 630)을 형성한다. 예를 들어, 모노레이어 또는 퓨우 레이어를 가지는 재료를 이용하여 채널영역(530, 630)을 형성할 수 있다. 예컨대, MoS_2 , WSe_2 , MoTe_2 중 하나를 증착해 채널 영역(330)을 형성할 수 있다. 여기서, 채널영역(530, 630)의 적어도 일부를 제 2 전극(520, 630)의 상부에 적층할 수 있다(S720).

[0051] 이로써, 제 1 전극(510, 610)과 채널영역(530, 630) 및 제 2 전극(520, 620)은 $n^{++}/n/p^{++}$ 접합 구조 또는 $n^{++}/p/p^{++}$ 접합 구조를 이룬다. 단계 S720에서 채널영역(530, 630)을 MoS_2 로 형성한 경우에 이차원 터널링 트

랜지스터(500, 600)는 nTFET로 구동될 것이고, 단계 S720에서 채널 영역(530, 630)을 WSe₂ 또는 MoTe₂로 형성한 경우에 이차원 터널링 트랜지스터(600)는 pTFET로 구동될 것이다.

[0052] 그리고, 채널영역(530, 630)의 포텐셜을 변화시키기 위해 채널영역(530, 630)에 전기적으로 연결된 게이트(640)를 형성한다(S730).

[0053] 도 1 내지 도 7을 참조하여 살펴본 바와 같이 본 발명의 실시예들에 의해 제작된 이차원 터널링 트랜지스터(100, 300, 500, 600)는 제 1 전극(110, 310, 510, 610)과 채널영역(130, 330, 530, 630) 및 제 2 전극(120, 320, 520, 620)은 n⁺⁺/n/p⁺⁺ 접합 구조 또는 n⁺⁺/p/p⁺⁺ 접합 구조를 가진다. 제 1 전극(110, 310, 510, 610)과 제 2 전극(120, 320, 520, 620)의 재료 조합은 SnSe₂/SnSe, SnSe₂/SnS, SnS₂/SnS, SnS₂/SnSe 중 어느 하나 일 수 있다. 그리고, 채널영역(130, 330, 530, 630)의 재료는 MoS₂, WSe₂, MoTe₂ 중 하나를 포함할 수 있다.

[0054] 이렇게, 두 전극 사이에 MoS₂, WSe₂, MoTe₂ 등의 2차원 반도체 물질을 사용하는 채널영역(130, 330, 530, 630)을 형성하여 TFET를 제작할 경우에, 단일 물질 채널을 사용하는 MOSFET보다 가파른 문턱전압 이하 스윙(subthreshold swing)과 낮은 누설 전류(off current) 특성을 갖아 저전력을 달성할 수 있다.

[0055] 도 8 및 도 9는 본 발명의 제 1 실시예에 따른 이차원 터널링 트랜지스터(100)와 MOSFET의 동작 특성 그래프로서, 도 8은 채널영역(130)의 재료가 WSe₂인 경우이고, 도 9는 채널영역(130)의 재료가 MoS₂인 경우이다.

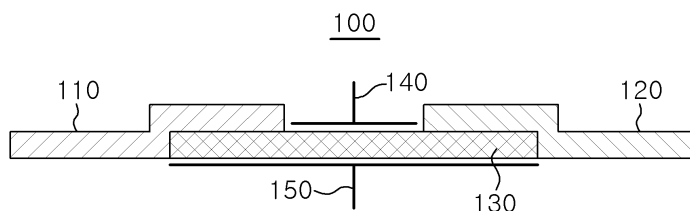
[0056] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에 서 통상의 지식을 가진 자라면 본 발명의 본질적인 품질에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

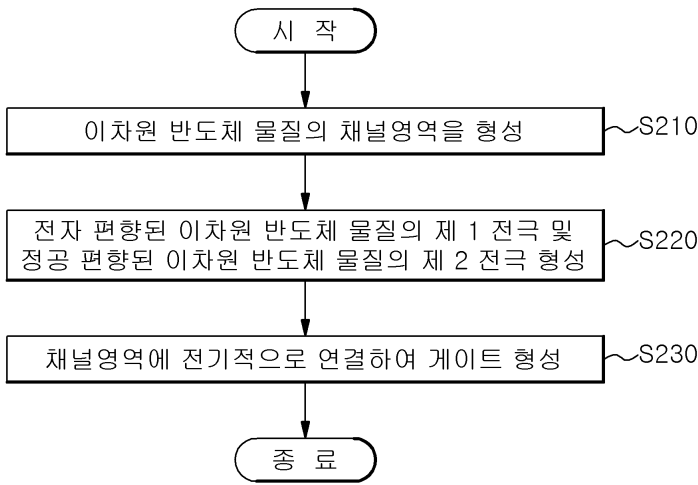
[0057] 100, 300, 500, 600: 이차원 터널링 트랜지스터
110, 310, 510, 610: 제 1 전극
120, 320, 520, 620: 제 2 전극
130, 330, 530, 630: 채널영역
140, 150, 340, 350, 540, 540, 640: 게이트

도면

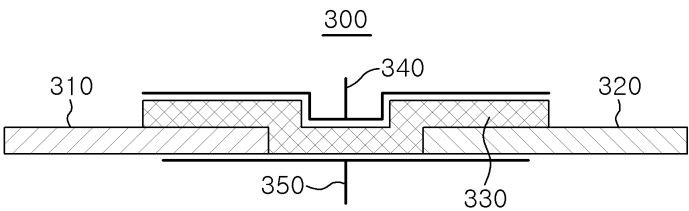
도면1



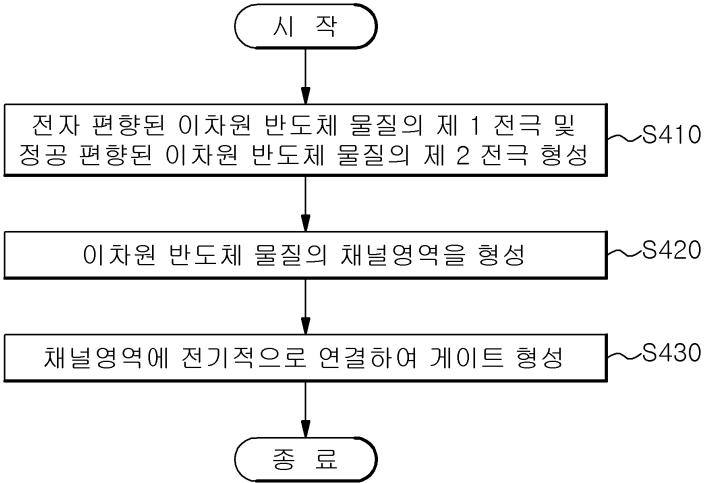
도면2



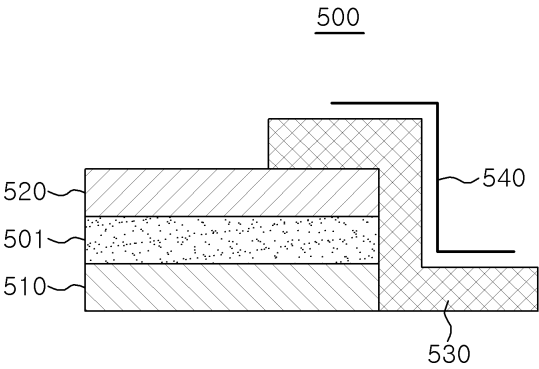
도면3



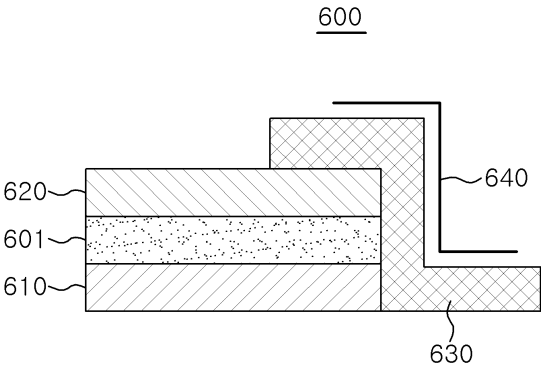
도면4



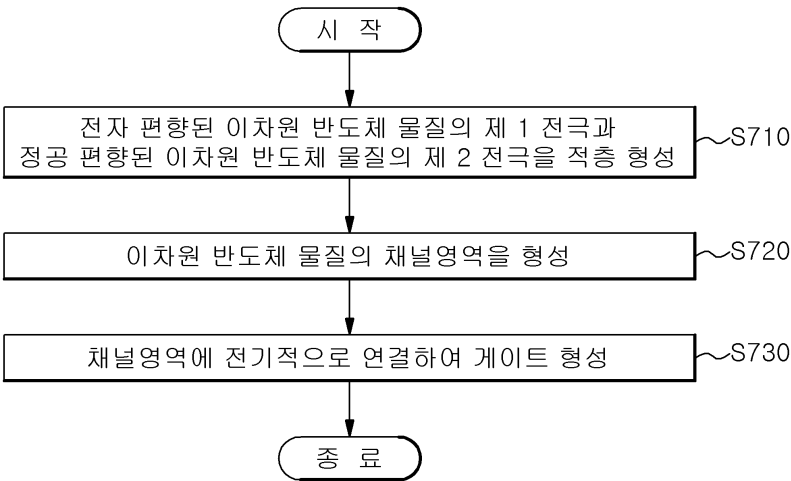
도면5



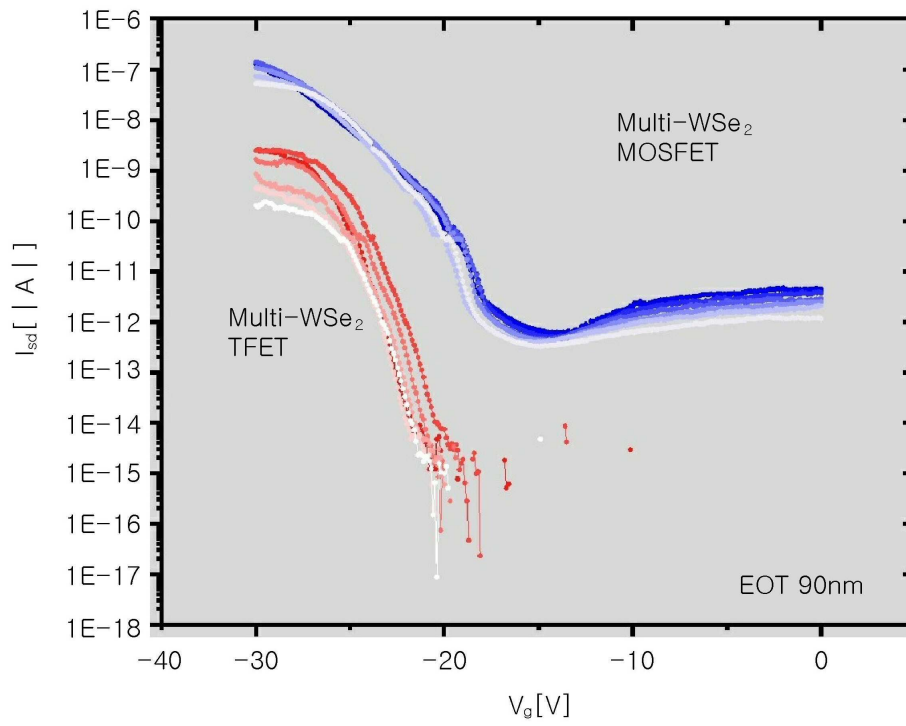
도면6



도면7



도면8



도면9

