



(12)发明专利申请

(10)申请公布号 CN 106210591 A

(43)申请公布日 2016. 12. 07

(21)申请号 201610578215.0

(22)申请日 2016.07.20

(71)申请人 深圳市华威智能科技有限公司

地址 518055 广东省深圳市南山区西丽街
道茶光路1018号创客公馆508

(72)发明人 李敏

(74)专利代理机构 深圳力拓知识产权代理有限
公司 44313

代理人 龚健

(51) Int. Cl.

H04N 7/01(2006.01)

H04N 7/15(2006.01)

H04N 5/765(2006.01)

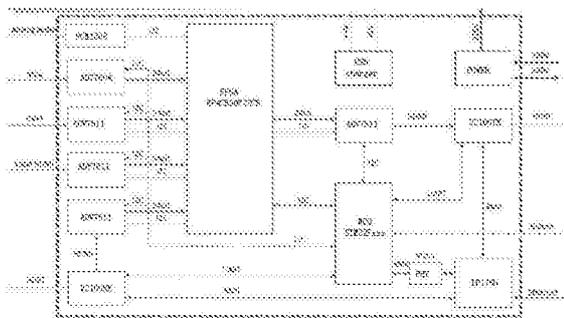
权利要求书1页 说明书8页 附图7页

(54)发明名称

一种基于FPGA的桌面视讯传输系统

(57)摘要

本发明公开了一种基于FPGA的桌面视讯传输系统,由电源部分、用户接口子卡、主控处理子卡和底板子卡四部分组成,电源部分分别连接用户接口子卡、主控处理子卡和底板子卡,用户接口子卡、主控处理子卡和底板子卡通过FPC排线进行互联;采用FPGA来进行视频的分辨率转换和时钟去抖,采用FPGA来进行视频的分辨率转换的逻辑系统主要由音/视频矩阵模块、DDR2读写控制模块、IIC接收模块、PLL可重配置模块、输出显示模块、视频缩放模块组成。本发明系统采用FPGA来进行视频的分辨率转换和时钟去抖设计,减少延时及保证音频流稳定传输,简单方便,传输延时低,无损压缩图像传输质量高。



1. 一种基于FPGA的桌面视讯传输系统,其特征在于,由电源部分、用户接口子卡、主控处理子卡和底板子卡四部分组成,电源部分分别连接用户接口子卡、主控处理子卡和底板子卡,用户接口子卡、主控处理子卡和底板子卡通过FPC排线进行互联;采用FPGA来进行视频的分辨率转换和时钟去抖,采用FPGA来进行视频的分辨率转换的逻辑系统主要由音/视频矩阵模块、DDR2读写控制模块、IIC接收模块、PLL可重配置模块、输出显示模块、视频缩放模块组成。

2. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,电源部分为系统提供5V直流电,电源部分包括AC220V转DC 5V模块及其接口电路。

3. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,用户接口子卡包括模拟音频输入接口、VGA视频输入接口、本地HDMI输入接口、从端DVI输入接口、音视频处理单元FPGA电路和网络输入/输出及其对应接口电路。

4. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,主控处理子卡包括主控处理单元MCU电路。

5. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,底板子卡包括HDMI转换电路及HDBT输入/输出电路。

6. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,IIC接收模块完成CPU对FPGA的配置工作;输出显示模块完成显示功能;音/视频矩阵模块完成音视频的选择输出。

7. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,DDR2读写控制模块完成对DDR2的读写仲裁控制。

8. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,PLL可重配置模块由用户控制逻辑模块、锁相环重配置模块、锁相环时钟输出模块三部分组成;完成FPGA输出视频时钟的配置功能。

9. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,视频缩放模块采用的算法是双线性插值,完成视频分辨率的缩放。

10. 根据权利要求1所述的基于FPGA的桌面视讯传输系统,其特征在于,采用FPGA来进行时钟去抖的过程是采用FPGA对视频数据进行帧缓存,同时FPGA通过PLL可重配置模块产生时钟给DA输出。

一种基于FPGA的桌面视讯传输系统

技术领域

[0001] 本发明涉及视频数据传输技术领域,具体是一种基于FPGA的桌面视讯传输系统。

背景技术

[0002] 随着视频会议系统的发展,目前会议桌上的电子设备越来越现代化和智能化。桌面语音传输系统、发言系统、翻译系统、视频跟踪系统、语音跟踪系统、无纸化办公系统等。

[0003] 对于桌面视频传输系统而言,目前市面上大部分产品是基于视频矩阵的星型架构或无线投屏技术。视频矩阵星型架构存在天然的缺陷,所有视频源如果要上投影或电视必须先经过矩阵。这样视频矩阵的布局和视频走线非常受限,其传输距离也比较短。无线投屏技术的视频传输延时、图像有损压缩算法、传输距离以及对会议环境干扰的要求等等,其应用只能满足一部分对视频质量要求不高的客户,但其在正式的大型会场难以满足用户要求。

发明内容

[0004] 本发明的目的在于提供一种布线简单方便、传输延时低、无损压缩图像传输质量高的基于FPGA的桌面视讯传输系统,以解决上述背景技术中提出的问题。

[0005] 为实现上述目的,本发明提供如下技术方案:

[0006] 一种基于FPGA的桌面视讯传输系统,由电源部分、用户接口子卡、主控处理子卡和底板子卡四部分组成,电源部分分别连接用户接口子卡、主控处理子卡和底板子卡,用户接口子卡、主控处理子卡和底板子卡通过FPC排线进行互联;采用FPGA来进行视频的分辨率转换和时钟去抖,采用FPGA来进行视频的分辨率转换的逻辑系统主要由音/视频矩阵模块、DDR2读写控制模块、IIC接收模块、PLL可重配置模块、输出显示模块、视频缩放模块组成。

[0007] 作为本发明进一步的方案:电源部分为系统提供5V直流电,电源部分包括AC220V转DC 5V模块及其接口电路。

[0008] 作为本发明进一步的方案:用户接口子卡包括模拟音频输入接口、VGA视频输入接口、本地HDMI输入接口、从端DVI输入接口、音视频处理单元FPGA电路和网络输入/输出及其对应接口电路。

[0009] 作为本发明进一步的方案:主控处理子卡包括主控处理单元MCU电路。

[0010] 作为本发明进一步的方案:底板子卡包括HDMI转换电路及HDBT输入/输出电路。

[0011] 作为本发明进一步的方案:IIC接收模块完成CPU对FPGA的配置工作;输出显示模块完成显示功能;音/视频矩阵模块完成音视频的选择输出。

[0012] 作为本发明进一步的方案:DDR2读写控制模块完成对DDR2的读写仲裁控制。

[0013] 作为本发明进一步的方案:PLL可重配置模块由用户控制逻辑模块、锁相环重配置模块、锁相环时钟输出模块三部分组成;完成FPGA输出视频时钟的配置功能。

[0014] 作为本发明进一步的方案:视频缩放模块采用的算法是双线性插值,完成视频分

分辨率的缩放。

[0015] 作为本发明进一步的方案:采用FPGA来进行时钟去抖的过程是采用FPGA对视频数据进行帧缓存,同时FPGA通过PLL可重配置模块产生时钟给DA输出。

[0016] 与现有技术相比,本发明的有益效果是:

[0017] 本发明系统采用FPGA来进行视频的分辨率转换和时钟去抖设计,减少延时及保证音频流稳定传输,通过网线手拉手进行音视频的级联传输,其工程布局和布线简单方便,传输延时低,无损压缩图像传输质量高,相邻两点之间的传输距离远,可以支持到100M,可以满足所有中大型会场的实际需求。

附图说明

[0018] 图1是本发明系统应用环境图。

[0019] 图2是本发明系统电路元件连接图。

[0020] 图3是本发明系统结构简图。

[0021] 图4是本发明系统逻辑设计框图。

[0022] 图5是本发明系统时钟图。

[0023] 图6是双线性插值计算过程图。

[0024] 图7是视频缩放模块实现流程图。

[0025] 图8是pll_reconfig_top模块模拟点图结构图。

[0026] 图9是PLL扫描链路图。

[0027] 图10是PLL扫描时序图。

[0028] 图11是Quartus II工具生成的模块连接图。

[0029] 图12是用户锁相环重配置逻辑控制模块(user_reconfig_logic)状态图。

具体实施方式

[0030] 下面将结合本发明实施例,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 实施例1

[0032] 请参阅图1-图12,本发明实施例中,一种基于FPGA的桌面视讯传输系统,由电源部分、用户接口子卡、主控处理子卡和底板子卡四部分组成,电源部分分别连接用户接口子卡、主控处理子卡和底板子卡,用户接口子卡、主控处理子卡和底板子卡通过FPC排线进行互联。

[0033] 如图3所示,其中:1)电源部分,为系统提供5V直流电,包括AC220V转DC 5V模块,及其接口电路。

[0034] 2)用户接口子卡,包括:模拟音频输入接口、VGA视频输入接口、本地HDMI输入接口、从端DVI输入接口、音视频处理单元FPGA电路和网络输入/输出及其对应接口电路。

[0035] 3)主控处理子卡,包括主控处理单元MCU电路。

[0036] 4)底板子卡,包括HDMI转换电路及HDBT输入/输出电路。

[0037] 具体的电路连接关系如图2所示。MCU STM32Fxxx芯片分别连接VS100TX发送器、FPGA EP4CE30F23C8芯片、ADV7511芯片、PHY芯片、VS100RX芯片,PHY芯片的另一端连接IP175D交换机芯片,VS100TX发送器还分别连接IP175D交换机芯片、ADV7511芯片,VS100RX芯片还分别连接IP175D交换机芯片、ADV7611芯片,FPGA EP4CE30F23C8芯片还分别连接ADV7511芯片、ADV7611芯片、ADV7604芯片、PCM1808芯片。

[0038] 本发明系统的关键技术在于不同用户接入不同的视频分辨率时,输出到电视或投影的分辨率必须满屏显示,并且系统延时在100Ms以内稳定的传输音视频流。

[0039] 为了减少延时及保证音频流稳定传输,该系统采用FPGA来进行视频的分辨率转换和时钟去抖设计,由于FPGA是基于硬件电路的处理方式,其每个处理盒子的传输延时可以控制在1帧以内,按照视频帧率60Hz来算,每帧的延时是16.66Ms,为了保证系统延时控制在100Ms以内,理论上系统最多可以级联6-7级。但是实际大型会议室的应用中6-7级的级联肯定是不够的,为了增加级联级数,MCU可以根据需要来配置视频流是否需要通过FPGA重新对数据缓存后传输。实验表明,视频流在没有通过FPGA缓存后传输可以级联4级后稳定输出,而且系统几乎是零延时。这样整个系统的级联数就可以达到24-28级,几乎可以满足所有中大型会场的实际需求。

[0040] 本发明逻辑系统设计框图,如图4所示。逻辑系统主要由音/视频矩阵模块、视频缩放模块、DDR2读写控制模块、IIC接收模块、PLL可重配置模块、输出显示模块组成。各个模块的功能如下述。

[0041] 1)IIC接收模块,即iic_slv从模式模块,主要完成CPU对FPGA的配置工作。

[0042] 2)DDR2读写控制模块,即mem_ctrl.v主要完成对DDR2的读写仲裁控制。

[0043] 3)PLL可重配置模块,即pll_reconfig_top.v主要完成FPGA输出视频时钟的配置功能。

[0044] 4)输出显示模块,即vout_display_pro.v主要完成显示功能。

[0045] 5)音/视频矩阵模块,即Video_4x1、Video_5x2、Audio_4x2完成音视频的选择输出。

[0046] 6)视频缩放模块完成视频分辨率的缩放。

[0047] 当音视频不需要缓存时,CPU配置FPGA直通到DA芯片,此时的数据传输延时几乎为零;当音视频需要去抖或进行分辨率变换时,时钟和数据必须经过DDR2缓存进行相应变换,但同时也会带来延时。所以系统在配置逻辑时需要综合考虑时钟抖动和系统延时,根据实际应用场景配置一个合适的系统。

[0048] 本发明系统时钟框图如图5所示。

[0049] 各路音视频随路时钟经过AD芯片转换成并行时钟和数据接入到FPGA,由于音视频数据时钟都是从数据中恢复出来的,所以时钟的抗抖能力和质量会比较差。经过几级级联后,恢复出来的时钟性能会逐步变差,为了保证时钟和数据的稳定传输,中间必须进行去抖动处理。本发明系统中的去抖动处理采用FPGA对视频数据进行帧缓存,同时FPGA通过可配置锁相环,也就是PLL可重配置模块产生时钟给DA输出。

[0050] 逻辑系统实现方案:该逻辑实现方案中的关键模块是DDR2读写控制模块、视频缩放模块和PLL可重配置模块。当用户接入的分辨率和输出分辨率不一致时,需要进行分辨率的缩放设计。同时,如果用户需要改变输出分辨率时,还需要重新配置PLL的输出时钟。

[0051] 视频缩放模块设计:主要是进行视频分辨率的变换,采用的算法是双线性插值。双线性插值,又称为双线性内插。在数学上,双线性插值是有两个变量的插值函数的线性插值扩展,其核心思想是在两个方向分别进行一次线性插值。

[0052] 假设源图像大小为 $m \times n$,目标图像为 $a \times b$ 。那么两幅图像的边长比分别为: m/a 和 n/b 。注意,通常这个比例不是整数,编程存储的时候要用浮点型。目标图像的第 (i, j) 个像素点(i 行 j 列)可以通过边长比对应回源图像。其对应坐标为 $(i*m/a, j*n/b)$ 。显然,这个对应坐标一般来说不是整数,而非整数的坐标是无法在图像这种离散数据上使用的。双线性插值通过寻找距离这个对应坐标最近的四个像素点,来计算该点的值(灰度值或者RGB值)。若图像为灰度图像,那么 (i, j) 点的灰度值的数学计算模型是:

$$[0053] \quad f(x, y) = b_1 + b_2x + b_3y + b_4xy$$

[0054] 其中 b_1, b_2, b_3, b_4 是相关的系数。关于其的计算过程如下如下:如图6所示,已知 $Q_{12}, Q_{22}, Q_{11}, Q_{21}$,但是要插值的点为 P 点,这就要用双线性插值了,首先在 x 轴方向上,对 R_1 和 R_2 两个点进行插值,这个很简单,然后根据 R_1 和 R_2 对 P 点进行插值,这就是所谓的双线性插值。

[0055] 双线性插值,又称为双线性内插。在数学上,双线性插值是有两个变量的插值函数的线性插值扩展,其核心思想是在两个方向分别进行一次线性插值。

[0056] 假如我们想得到未知函数 f 在点 $P=(x, y)$ 的值,假设我们已知函数 f 在 $Q_{11}=(x_1, y_1), Q_{12}=(x_1, y_2), Q_{21}=(x_2, y_1)$ 及 $Q_{22}=(x_2, y_2)$ 四个点的值。

[0057] 首先在 x 方向进行线性插值,得到

$$[0058] \quad f(R_1) \approx \frac{x_2 - x}{x_2 - x_1} f(Q_{11}) + \frac{x - x_1}{x_2 - x_1} f(Q_{21}) \quad \text{Where } R_1 = (x, y_1),$$

$$[0059] \quad f(R_2) \approx \frac{x_2 - x}{x_2 - x_1} f(Q_{12}) + \frac{x - x_1}{x_2 - x_1} f(Q_{22}) \quad \text{Where } R_2 = (x, y_2).$$

[0060] 然后在 y 方向进行线性插值,得到

$$[0061] \quad f(P) \approx \frac{y_2 - y}{y_2 - y_1} f(R_1) + \frac{y - y_1}{y_2 - y_1} f(R_2).$$

[0062] 这样就得到所要的结果 $f(x, y)$,

$$[0063] \quad f(x, y) \approx \frac{f(Q_{11})}{(x_2 - x_1)(y_2 - y_1)}(x_2 - x)(y_2 - y) + \frac{f(Q_{21})}{(x_2 - x_1)(y_2 - y_1)}(x - x_1)(y_2 - y) \\ + \frac{f(Q_{12})}{(x_2 - x_1)(y_2 - y_1)}(x_2 - x)(y - y_1) + \frac{f(Q_{22})}{(x_2 - x_1)(y_2 - y_1)}(x - x_1)(y - y_1).$$

[0064] 如果选择一个坐标系使得 f 的四个已知点坐标分别为 $(0, 0)$ 、 $(0, 1)$ 、 $(1, 0)$ 和 $(1, 1)$,那么插值公式就可以化简为

$$[0065] \quad f(x, y) \approx f(0, 0)(1-x)(1-y) + f(1, 0)x(1-y) + f(0, 1)(1-x)y + f(1, 1)xy.$$

[0066] 或者用矩阵运算表示为

$$[0067] \quad f(x, y) \approx [1 - x \quad x] \begin{bmatrix} f(0, 0) & f(0, 1) \\ f(1, 0) & f(1, 1) \end{bmatrix} \begin{bmatrix} 1 - y \\ y \end{bmatrix}$$

[0068] 这种插值方法的结果通常不是线性的,线性插值的结果与插值的顺序无关。首先进行 y 方向的插值,然后进行 x 方向的插值,所得到的结果是一样的。

[0069] 1)视频缩放模块

[0070] 视频缩放模块接口信号定义如表1所示。

[0071] 表1 Scaler模块接口信号定义

[0072]

信号名	方向	位宽	描述
rst_n	INPUT	1	芯片复位信号,低有效
clkin	INPUT	1	缩放时钟(一般取DDR2输出时钟)
fifo_alempy	INPUT	1	输入FIFO几乎空信号
rd_req	OUTPUT	1	Scaler缩放前读MEMORY请求信号
yc_din	INPUT	16	从MEMORY请求的数据
frame_flag	INPUT	1	帧同步标识
fifo_alfull	INPUT	1	输出FIFO几乎满信号
wr_req	INPUT	1	Scaler缩放后写FIFO请求信号
yc_dout	OUTPUT	16	缩放后写数据
s_width	INPUT	12	缩放前视频显示宽度
s_height	INPUT	12	缩放前视频显示高度
t_width	INPUT	12	缩放后视频显示宽度
t_height	INPUT	12	缩放后视频显示高度
K_h	INPUT	16	视频缩放宽度比例因子
K_v	INPUT	16	视频缩放高度比例因子

[0073] 视频缩放模块实现:系统接收到视频输入以后,根据帧同步、行同步等同步信号将有效数据写入行存中。行存有两个作用:隔离输入和输出的两个不同时钟域以及作为乒乓模块提高数据的吞吐能力。

[0074] 根据系统缩放比例的要求,视频缩放模块从行存中读出相关数据。如图7所示:当图像上变换时,需要对行存中的某些地址的数据重复读取;图像下变换时,某些数据不需要参加运算,因此被舍弃。重复读取或舍弃的控制信号由插值相位生成模块决定。读出数据后,在像素生成模块中,根据新生成像素对应每个相邻原始像素的权值,计算出新生成像素点的像素值。所有数据处理模块同步时钟均由同步控制模块产生,保证数据流的同步以及显示数据能以正确格式输出。

[0075] 笔记本通用分辨率列表如下:

[0076] 表2

分辨率	刷新率	像素时钟	行显示长度	行前肩长度	行同步步长	行后肩长度	列显示宽度	列前肩宽度	列同步步宽	列后肩宽度	EDID ID
800x600	60	40M	800	40	128	88	600	1	4	23	45h,40h
1024x768	60	65M	1024	24	136	160	768	3	6	29	61h,40h
1280x768	60	79.5M	1280	48	32	80	768	3	7	12	n/a
1280x960	60	108M	1280	96	112	312	960	1	3	36	81h,40h
1280x1024	60	108M	1280	48	112	248	1024	1	3	38	81h,80h
1360x768	60	85.5M	1360	64	112	256	768	3	6	18	8Bh,C0h
[0077] 1400x1050	60	121.75M	1400	88	144	232	1050	3	4	32	90h,40h
1440x900	60	106.5M	1440	80	152	232	900	3	6	25	95h,00h
1600x1200	60	162M	1600	64	192	304	1200	1	3	46	A9h,40h
1920x1200 (reduc blk)	60	154M	1920	48	32	80	1200	3	6	26	n/a
1280x720	60	74.25M	1280	110	40	220	720	5	5	20	n/a
1280x720	50	74.25M	1280	440	40	220	720	5	5	20	n/a
1920x1080	60	148.5M	1920	88	44	148	1080	4	5	36	n/a
1920x1080	50	148.5M	1920	528	44	148	1080	4	5	36	n/a
1920x1080	30	74.25M	1920	88	44	148	1080	4	5	36	n/a
[0078] 1920x1080	25	74.25M	1920	528	44	148	1080	4	5	36	n/a

[0079] 该方法在视频缩放倍数小于2的情况下效果较好；当缩放值大于2时，该算法在文字显示的细微部分有缺陷。从表2可以看出，该系统的缩放大小基本在2倍范围之内，不影响图像质量。实验效果也证明如此。

[0080] 2)PLL可重配置模块

[0081] 锁相环(PLL,Phase Lock Loop)主要作用是把内部/外部时钟的相位和频率同步于输入参考时钟。PLL一般由模拟电路所实现，其结构如图8所示。

[0082] PLL工作原理：PLL采用一个相位频率检测器(PFD)把参考输入时钟的上升沿和反馈时钟对齐。当PFD检测到输入时钟和反馈时钟边沿对其时，锁相环就锁定了。压控振荡器(VCO)通过自振输出一个时钟，同时反馈给输入端的频率相位检测器(PFD)，PFD根据比较输入时钟和反馈时钟的相位来判断VCO输出的快慢，同时输出上升(Pump-up)或下降(Pump-

down)信号,决定VCO是否需要以更高或更低的频率工作。PFD的输出施加在电荷泵(CP)和环路滤波器(LF),产生控制电压设置VCO的频率。如果PFD产生上升信号,然后VCO就会增加。反之,下降信号会降低VCO的频率。

[0083] PFD输出这些上升和下降信号给电荷泵(CP)。如果电荷泵收到上升信号,电流注入环路滤波器(ICP增大)。反之,如果收到下降信号,电流就会流出环路滤波器(ICP减小)。

[0084] 环路滤波器把这些上升和下降信号转换为电压,作为VCO的偏置电压。环路滤波器还消除了电荷泵的干扰,防止电压过冲,这样就会最小化VCO的抖动。环滤波器的电压决定了VCO操作的速度

[0085] PLL可重配置模块,Altera公司的CycloneIV等系列的FPGA提供了PLL可重配置模块,从而可以实时地对PLL进行重新配置,使其适应新的工作要求。如图9-10。

[0086] 请执行下列步骤来重配置PLL计数器

[0087] 1)在移入scandata的第一位(D0)之前,至少将scanclockena信号置位一个scanclock周期。

[0088] 2)串行数据(scandata)在scanclock的第二个上升沿被移入扫描链中。

[0089] 3)所有的144位全部扫描进扫描链中后,scanclockena信号被置低,以防止扫描链中位的意外移动。

[0090] 4)configupdate信号置位一个scanclock周期,以使用扫描链中的数据更新PLL计数器。

[0091] 5)scandone信号变高,表明正在对PLL进行重配置。下降沿表明PLL计数器已经使用新的设置进行更新了。

[0092] 6)如果修改了M、N,后缩放输出C计数器或者Icp、R、C设置,需要使用areset信号对PLL进行复位。

[0093] 7)可以重复步骤1到步骤5,对PLL进行任意次数的重配置。

[0094] PLL可重配置模块,即pll_reconfig_top模块,该模块主要实现锁相环PLL输出时钟的动态配置,该模块主要由三部分组成,用户控制逻辑模块、锁相环重配置模块、锁相环时钟输出模块。

[0095] 表3 pll_reconfig_top模块接口信号定义

[0096]

信号名	方向	位宽	描述
rst_n	INPUT	1	芯片复位信号,低有效
clkin	INPUT	1	锁相环输入参考时钟27MHz
clk0	OUTPUT	1	锁相环输出视频时钟
locked	OUTPUT	1	输出时钟锁定指示信号
reconfig_clk	INPUT	1	配置PLL参考时钟50MHz
reconfig_en	INPUT	1	重配置锁相环脉冲触发信号
mifsel	INPUT	8	重配置锁相环MIF文件选择信号
reconfig_done	INPUT	1	配置锁相环完成信号

[0097] 通过Altera的Quartus II软件可以生成一个可重配置的PLL,如图11右边ref_pll模块所示;另外,生成一个重配置模块,如图11中间的pll_reconfig模块,来对此PLL的具体

参数进行实时配置。这两个用Quartus II工具生成的模块按照图11所示的方式进行连接,然后,图11左边所列的输入端口就可以提供给软件编程人员,由软件来实时地对其进行重配置。

[0098] 通过图12的状态机,逻辑成功实现了实时更新时钟MIF文件,并且得到了想要的时钟。

[0099] 通过仿真和板上FPGA调试,系统可以稳定级联传输单路高清视频信号,其相邻两点之间的传输距离可以达到100M,而且系统的传输延时在100Ms以内。目前该系统在会议系统特别是圆桌会议系统中得到了成功应用!很好的支撑了市场对新产品的需求。

[0100] 如图1所示,该桌面视讯系统主要应用于中大型会议场合,支持多个用户视频/音频设备接入,且支持视频/音频源之间进行无缝切换,该系统由多个用户接入终端及传输设备级联而成。

[0101] 所有用户终端之间都通道CAT5E线缆串联起来,最后到显示设备,如同手拉手一般。在中大型团体会议场合,会议发言者及视频/音频设备接入众多,该系统能确保各个设备接入更加方便,又便于会议管理。

[0102] 该系统中,面向使用者的接口是桌面多媒体插座,该插座支持HDMI/VGA视频输入,独立音频输入(3.5mm耳机插孔,其与HDMI音频不能同时使用),USB对外充电插座及AC 220V交流供电插座。

[0103] 对于本领域技术人员而言,显然本发明不限于上述示范性实施例的细节,而且在不背离本发明的精神或基本特征的情况下,能够以其他的具体形式实现本发明。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本发明的范围由所附权利要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。

[0104] 此外,应当理解,虽然本说明书按照实施方式加以描述,但并非每个实施方式仅包含一个独立的技术方案,说明书的这种叙述方式仅仅是为清楚起见,本领域技术人员应当将说明书作为一个整体,各实施例中的技术方案也可以经适当组合,形成本领域技术人员可以理解的其他实施方式。

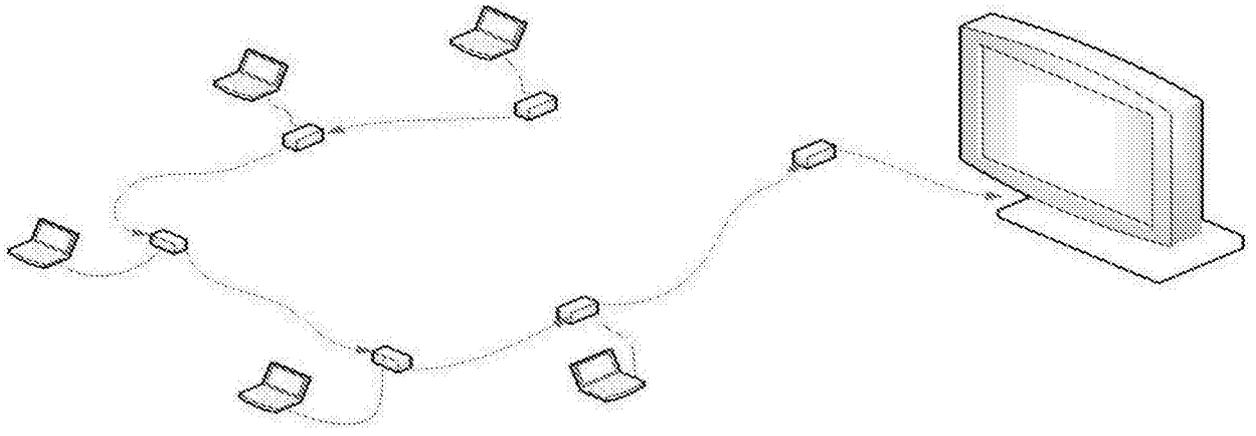


图1

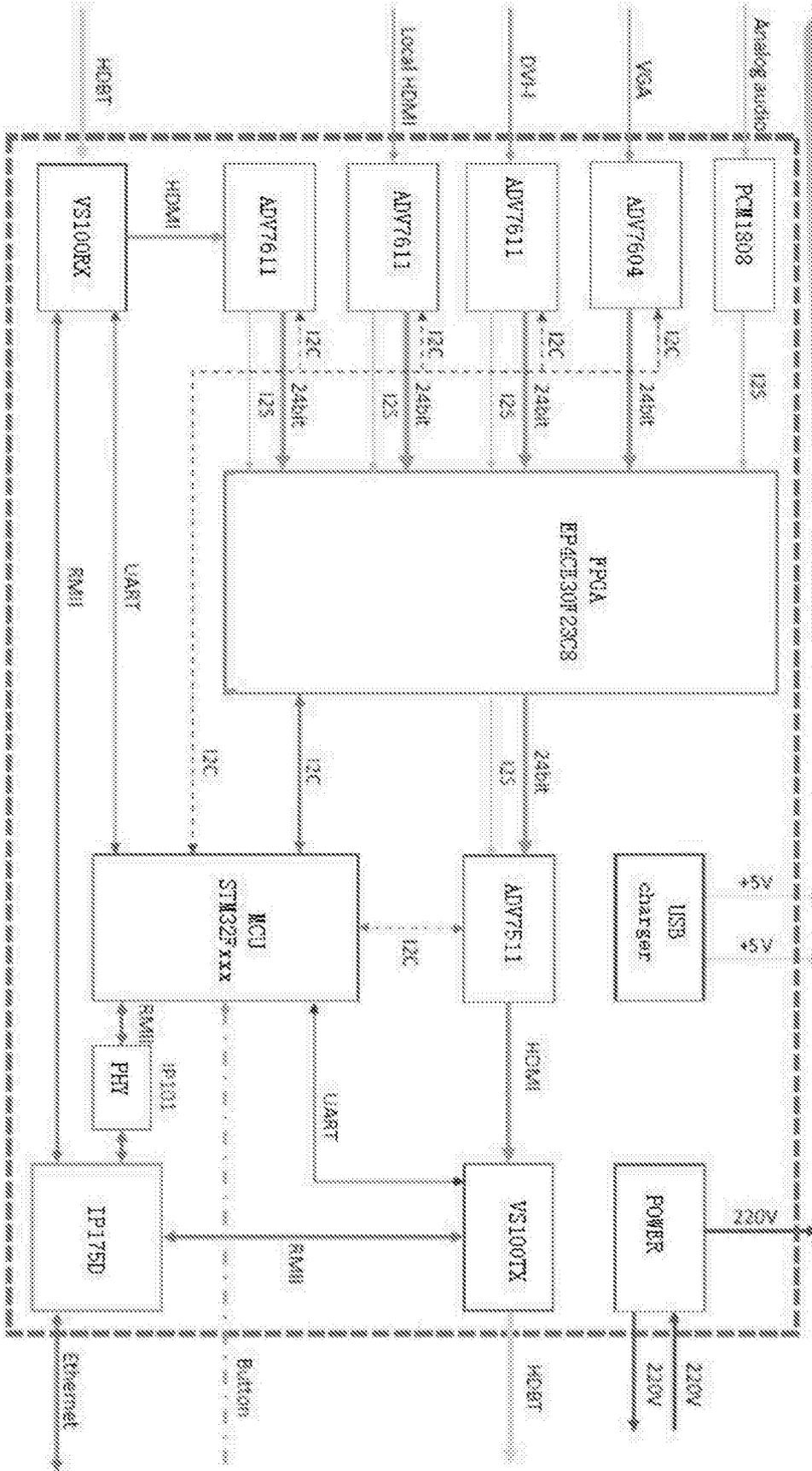


图2

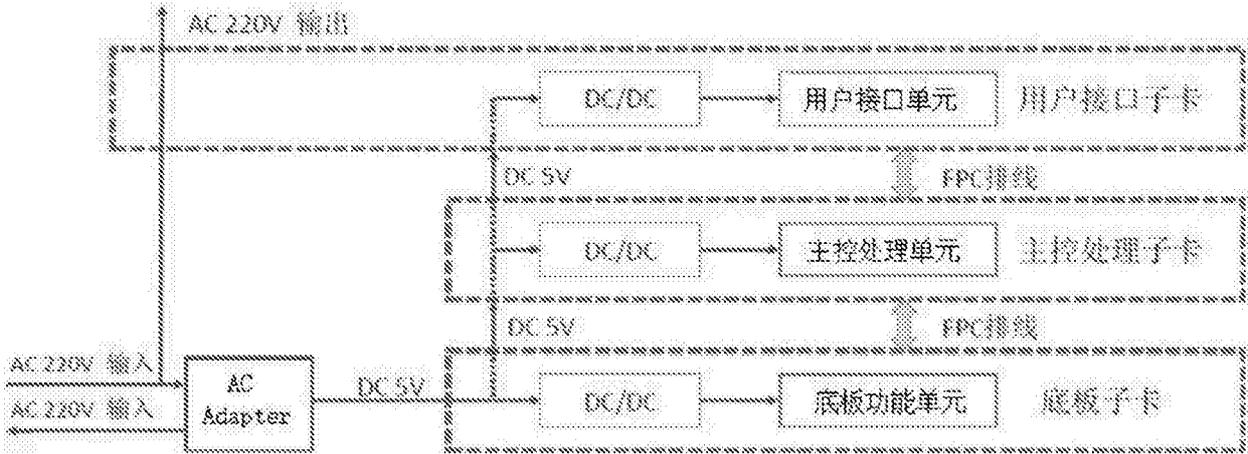


图3

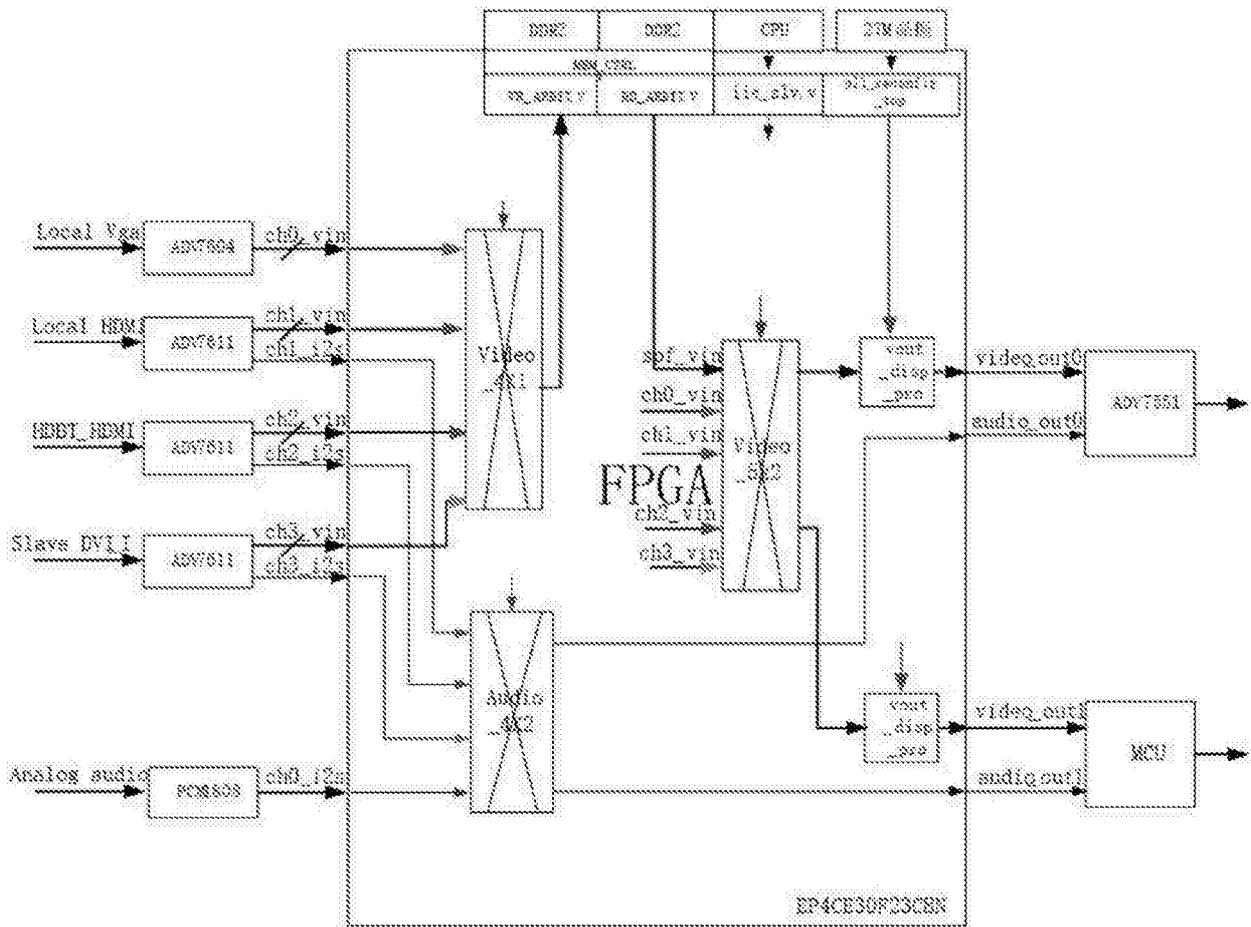


图4

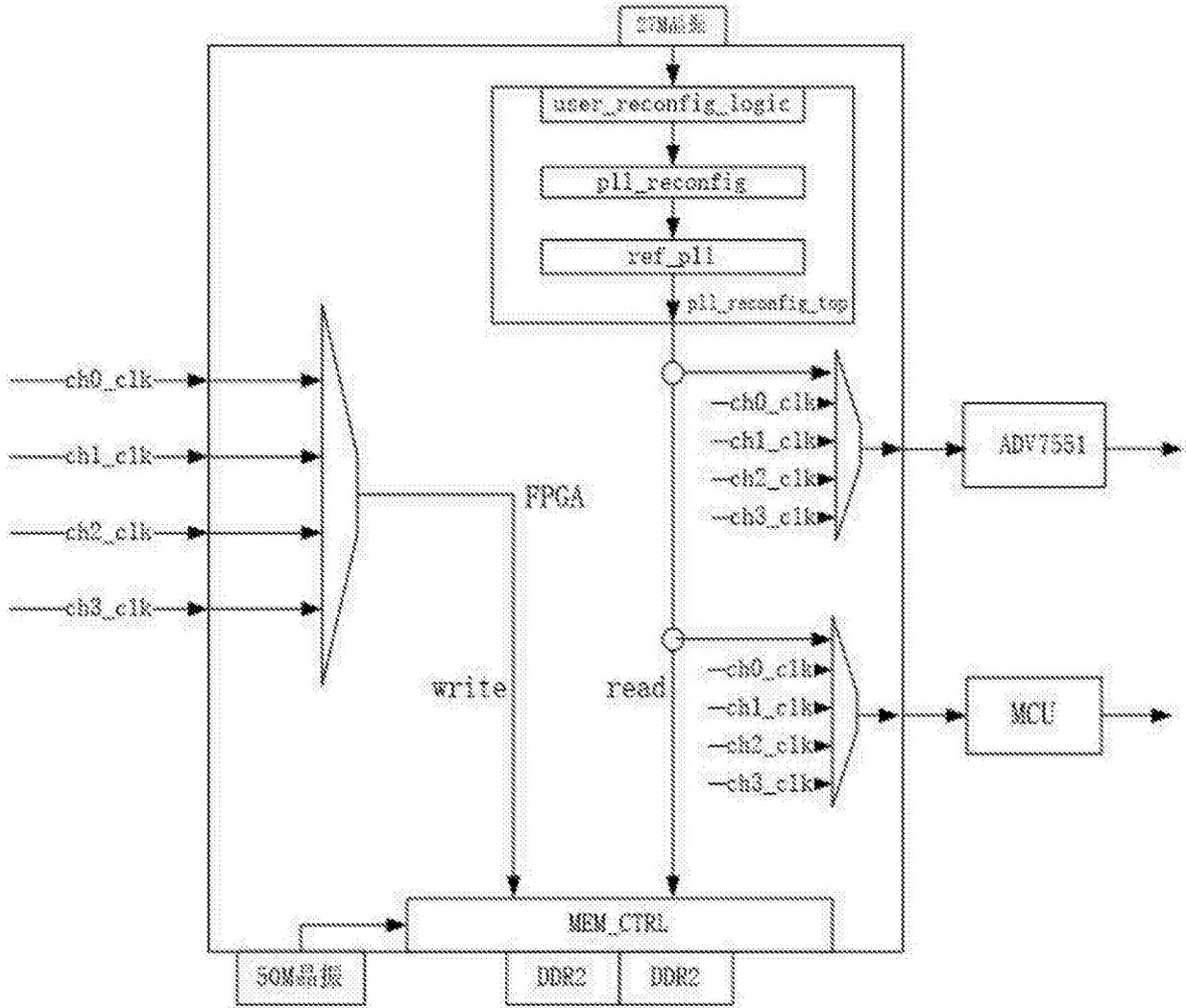


图5

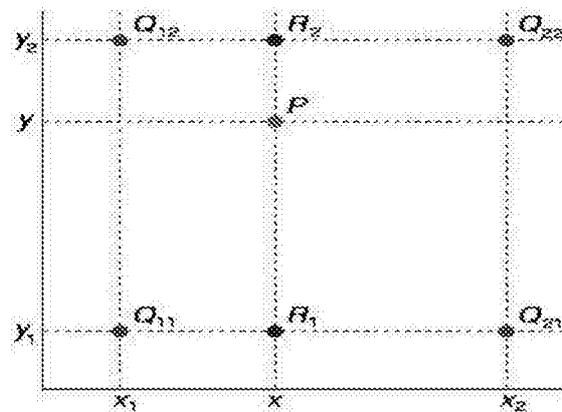


图6

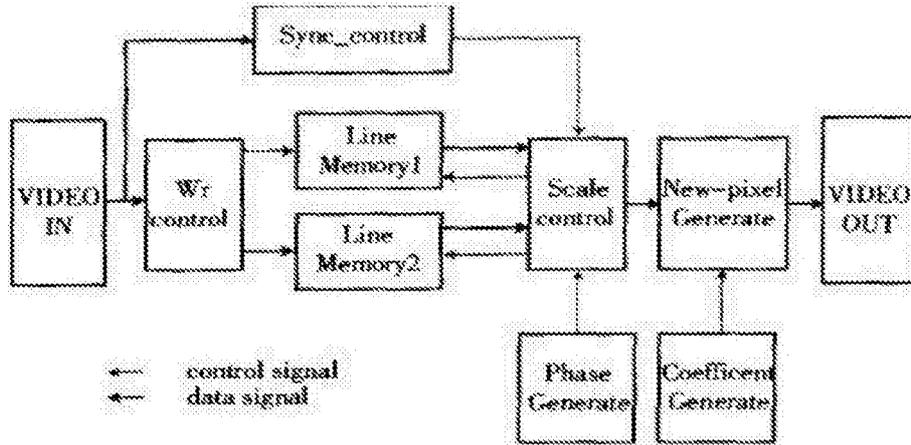


图7

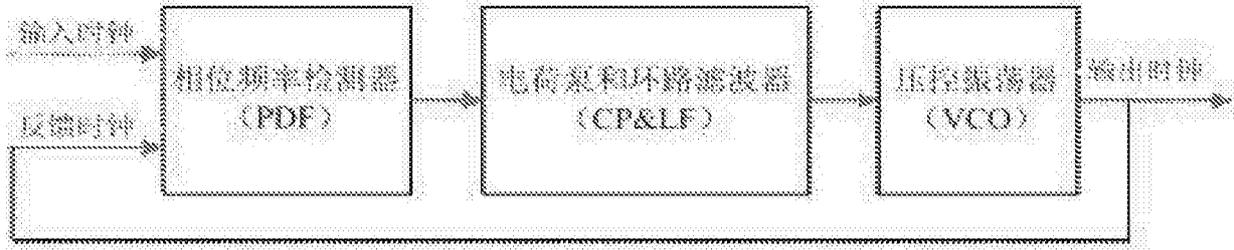


图8

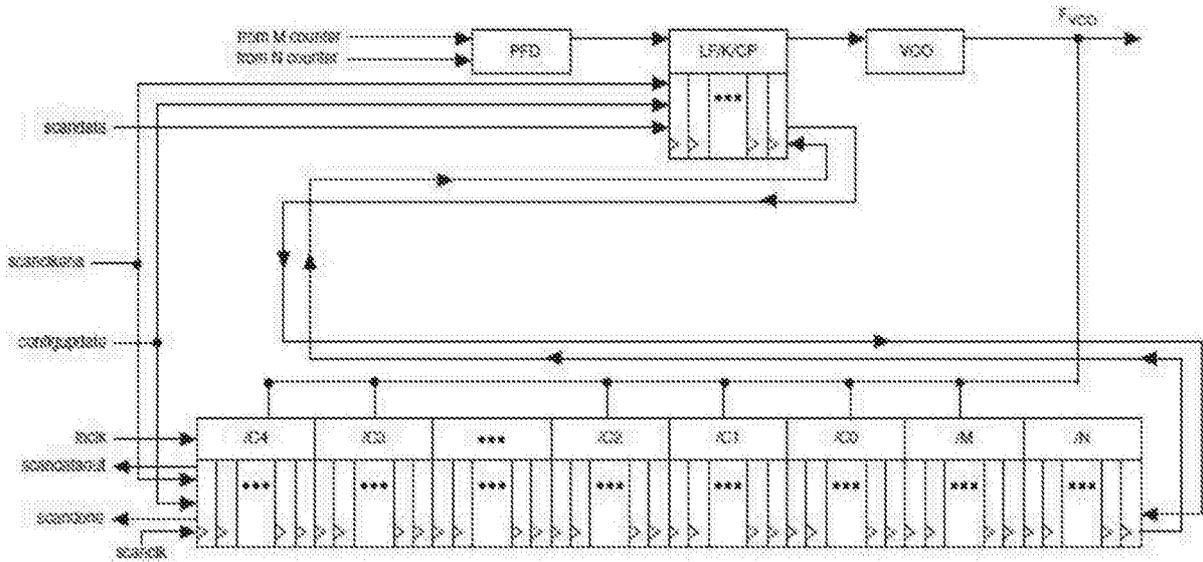


图9

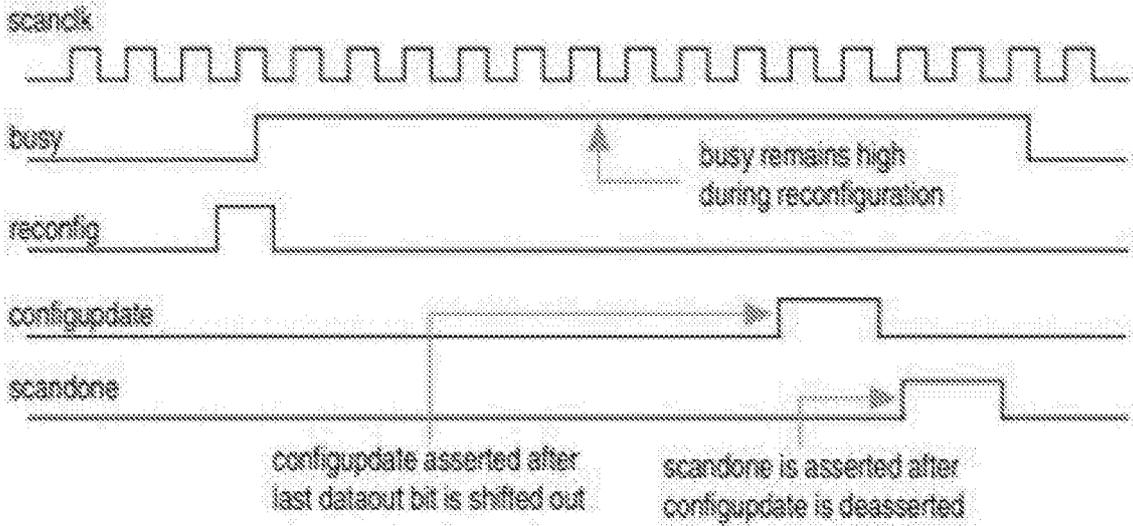


图10

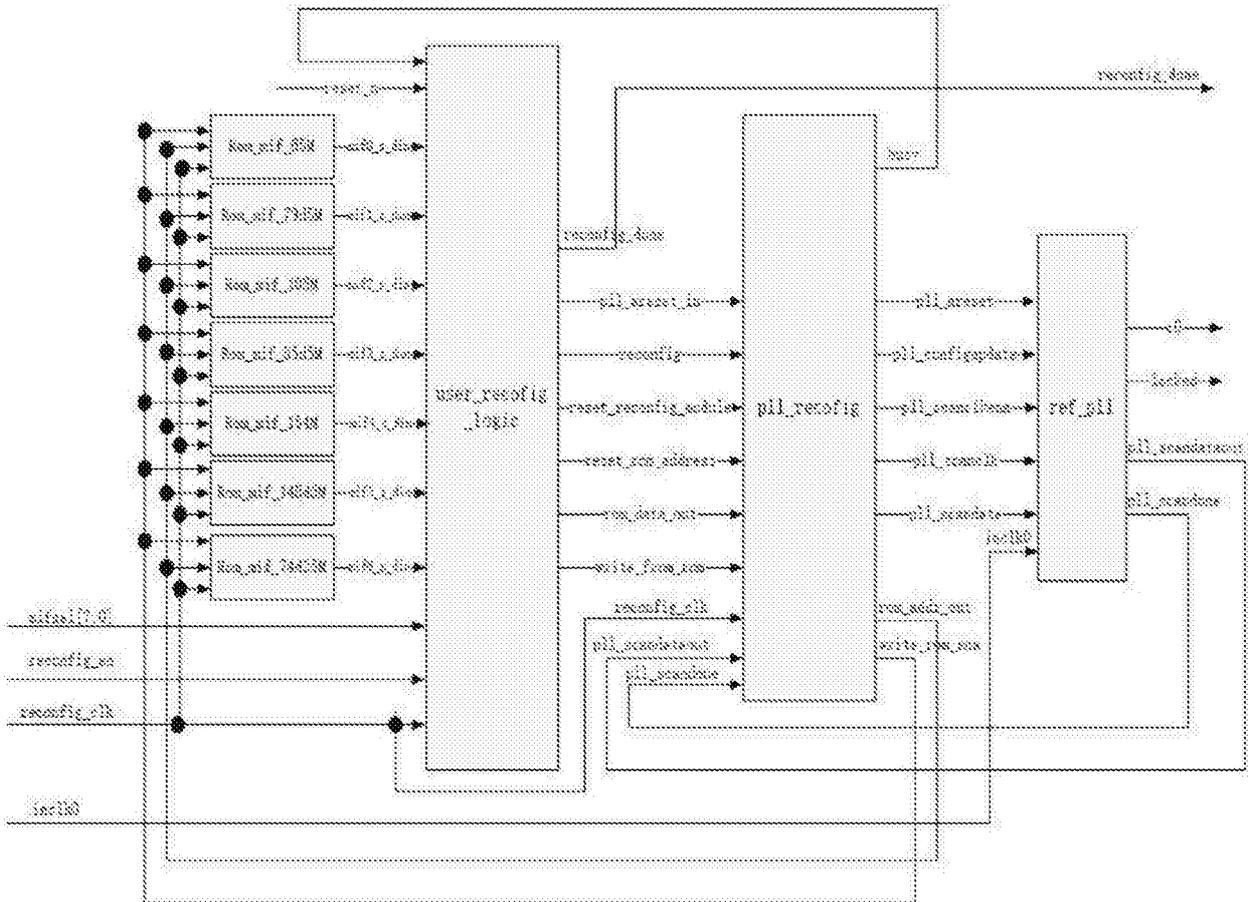


图11

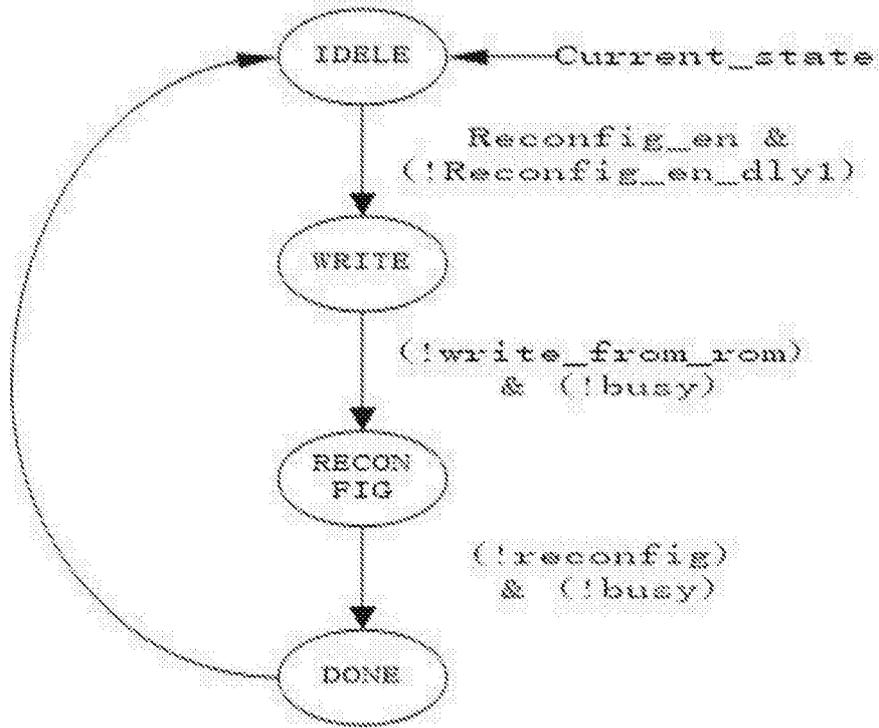


图12