

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 24 日(24.10.2013)



(10) 国際公開番号
WO 2013/157350 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2013/058342
- (22) 国際出願日: 2013 年 3 月 22 日(22.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-095308 2012 年 4 月 19 日(19.04.2012) JP
- (71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP). 国立大学法人豊橋技術科学大学 (NATIONAL UNIVERSITY CORPORATION TOYOHASHI UNIVERSITY OF TECHNOLOGY) [JP/JP]; 〒4418580 愛知県豊橋市天伯町雲雀ヶ丘 1-1 Aichi (JP).
- (72) 発明者: 藤川 一洋 (FUJIKAWA Kazuhiro); 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社大阪製作所内 Osaka (JP). 初川 聡 (HATSUKAWA Satoshi); 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電

気工業株式会社大阪製作所内 Osaka (JP). 志賀 信夫 (SHIGA Nobuo); 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社大阪製作所内 Osaka (JP). 大平 孝 (OHIRA Takashi); 〒4418580 愛知県豊橋市天伯町雲雀ヶ丘 1-1 国立大学法人豊橋技術科学大学内 Aichi (JP).

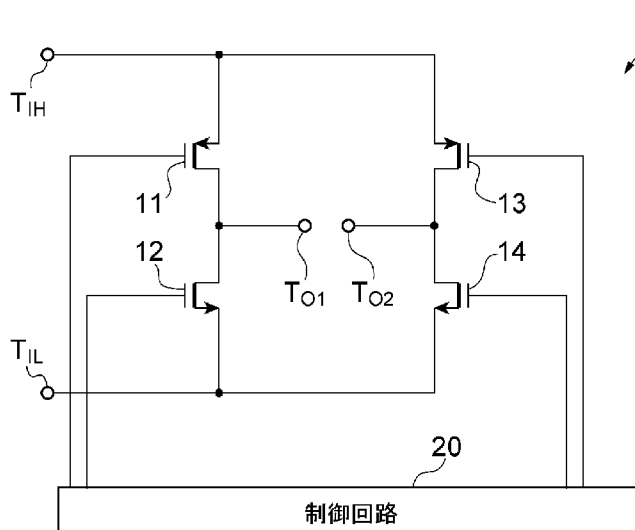
(74) 代理人: 長谷川 芳樹, 外 (HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号丸の内 MY PLAZA (明治安田生命ビル) 9 階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: POWER CONVERTER CIRCUIT

(54) 発明の名称: 電力変換回路



20 Control circuit

(57) Abstract: A power converter circuit (1) according to one embodiment of the present invention is a bridge-type power converter circuit provided with a first and second switching element (11, 12) connected serially in the stated order between a high-voltage-side input terminal and a low-voltage-side input terminal, and a third and fourth switching element (13, 14) connected serially in the stated order between the high-voltage-side input terminal and the low-voltage-side input terminal, the bridge-type power converter circuit converting direct-current power input between the high-voltage-side input terminal and the low-voltage-side input terminal to alternating current, wherein one of either the pair of the first and third switching elements (11, 13) or the second and fourth switching elements (12, 14) controls switching at a higher frequency than the other pair.

(57) 要約: 本発明の一実施形態に係る電力変換回路 1 は、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続されている第 1 及び第 2 のスイッチング素子 11, 12 と、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続されている第 3 及び第 4 のスイッチング素子 13, 14 とを備え、第 1 及び第 4 のスイッチン

グ素子 11, 14 の組と第 2 及び第 3 のスイッチング素子 12, 13 の組とを交互にオン状態とすることによって、高電圧側入力端子と低電圧側入力端子との間に入力される直流電力を交流電力に変換するブリッジ型の電力変換回路であって、第 1 及び第 3 のスイッチング素子 11, 13 の組と第 2 及び第 4 のスイッチング素子 12, 14 の組とのうちの何れか一方の組を他方の組よりも高い周波数でスイッチング制御する。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電力変換回路

技術分野

[0001] 本発明は、直流電力を交流電力に変換するブリッジ型の電力変換回路に関するものである。

背景技術

[0002] 直流電力を交流電力に変換する電力変換回路として、ブリッジ型のインバータが広く知られている。非特許文献1には、この種のブリッジ型のインバータとして、単相インバータ及び三相インバータが開示されている。

[0003] 単相ブリッジインバータは、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続された第1及び第2のスイッチング素子と、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続された第3及び第4のスイッチング素子とを備える。この単相ブリッジインバータは、第1及び第4のスイッチング素子の組と第2及び第3のスイッチング素子の組とを交互にオン状態とすることによって、第1及び第2のスイッチング素子の中間ノードと、第3及び第4のスイッチング素子の中間ノードとの間に単相交流電力を生成する（例えば、図6、9）。

[0004] 一方、三相ブリッジインバータは、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続された第1及び第2のスイッチング素子と、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続された第3及び第4のスイッチング素子と、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続された第5及び第6のスイッチング素子とを備える。この三相ブリッジインバータは、例えば、第1及び第4のスイッチング素子の組と、第3及び第6のスイッチング素子の組と、第5及び第2のスイッチング素子の組とを1/3周期の位相差で周期的にオン状態とすることによって、第1及び第2のスイッチング素子の中間ノードと、第3及び第4のスイッチング素子の中間ノードと、第5及び第6のスイッチング素子の中間ノードとの間に

三相交流電力を生成する（例えば、図 7、10）。

[0005] また、非特許文献 1 には、各組のスイッチング素子がオン状態である期間に、パルス幅変調（Pulse Width Modulation：PWM）方式を用いてスイッチング制御を行うブリッジ型のインバータも開示されている（例えば、図 13）。

先行技術文献

非特許文献

[0006] 非特許文献 1：今井考二、「パワーエレクトロニクスハンドブック」、株式会社 R & D プランニング、2002 年 2 月、p 328－p 337

発明の概要

発明が解決しようとする課題

[0007] ところで、この種のブリッジ型の電力変換回路では、単相タイプで 4 個のスイッチング素子が必要であり、三相タイプでは 6 個ものスイッチング素子が必要である。そして、このブリッジ型の電力変換回路では、全てのスイッチング素子を同じ周波数でスイッチング制御している。したがって、全てのスイッチング素子に、比較的に高速動作が可能なスイッチング素子を用いる必要があり、低価格化が困難であった。

[0008] そこで、本発明は、低価格化が可能な電力変換回路を提供することを目的としている。

課題を解決するための手段

[0009] 本発明の電力変換回路は、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続されており、中間ノードが第 1 の出力端子に接続されている第 1 及び第 2 のスイッチング素子と、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続されており、中間ノードが第 2 の出力端子に接続されている第 3 及び第 4 のスイッチング素子とを備え、第 1 及び第 4 のスイッチング素子の組と第 2 及び第 3 のスイッチング素子の組とを交互にオン状態とすることによって、高電圧側入力端子と低電圧側入力端子との間に入力さ

れる直流電力を変換して第 1 及び第 2 の出力端子の間に交流電力を生成するブリッジ型の電力変換回路であって、第 1 及び第 3 のスイッチング素子の組と第 2 及び第 4 のスイッチング素子の組とのうちの何れか一方の組を他方の組よりも高い周波数でスイッチング制御する。

[0010] この電力変換回路によれば、第 1 及び第 3 のスイッチング素子の組と第 2 及び第 4 のスイッチング素子の組とのうちの何れか一方の組を他方の組よりも高い周波数でスイッチング制御することにより、他方の組のスイッチング素子として比較的動作速度が遅く低価格なスイッチング素子を用いることができる。したがって、この電力変換回路によれば、低価格化が可能となる。

[0011] ところで、ブリッジ型の回路におけるスイッチング素子として、CMOS FET (Complementary Metal Oxide Semiconductor Field Effect Transistor) が用いられることがある。すなわち、上アーム側の第 1 及び第 3 のスイッチング素子として PMOS FET (P-channel Metal Oxide Semiconductor Field Effect Transistor) が用いられ、下アーム側の第 2 及び第 4 のスイッチング素子として NMOS FET (N-channel Metal Oxide Semiconductor Field Effect Transistor) が用いられることがある。CMOS FET では、クロック信号による駆動が容易であるという利点を有する反面、PMOS FET は NMOS FET と比較して動作速度が遅い傾向があり、スイッチング制御の高速化が困難であるという問題点を有する。

[0012] そこで、上記した電力変換回路では、第 2 及び第 4 のスイッチング素子の組を第 1 及び第 3 のスイッチング素子の組よりも高い周波数でスイッチング制御することが好ましい。

[0013] これによれば、下アーム側の第 2 及び第 4 のスイッチング素子を上アーム側の第 1 及び第 3 のスイッチング素子よりも高い周波数でスイッチング制御するので、スイッチング素子として CMOS FET を用いる場合に好適であり、スイッチング制御の高速性とスイッチング素子の駆動容易性との両方を

得ることが可能となる。

[0014] また、上記した電力変換回路では、第1及び第4のスイッチング素子の組をオン状態とする交流電力の半周期の期間では、第1のスイッチング素子をオン状態とするとともに、パルス幅変調方式を用いて第4のスイッチング素子をスイッチング制御し、第2及び第3のスイッチング素子の組をオン状態とする交流電力の他の半周期の期間では、第3のスイッチング素子をオン状態とするとともに、パルス幅変調方式を用いて第2のスイッチング素子をスイッチング制御することが好ましい。

[0015] また、上記した電力変換回路では、第1及び第4のスイッチング素子の組をオン状態とする交流電力の半周期の期間では、パルス幅変調方式を用いて第1のスイッチング素子をスイッチング制御するとともに、パルス幅変調方式を用いて第1のスイッチング素子のスイッチング周波数の2倍以上の周波数で第4のスイッチング素子をスイッチング制御し、第2及び第3のスイッチング素子の組をオン状態とする交流電力の他の半周期の期間では、パルス幅変調方式を用いて第3のスイッチング素子をスイッチング制御するとともに、パルス幅変調方式を用いて第3のスイッチング素子のスイッチング周波数の2倍以上の周波数で第2のスイッチング素子をスイッチング制御することが好ましい。

[0016] また、上記した電力変換回路では、第1及び第2の出力端子の間に単相交流電力を生成するように、第1～第4のスイッチング素子をスイッチング制御することが好ましい。これによれば、低価格なフルブリッジ型の単相インバータ回路を実現可能である。

[0017] また、上記した電力変換回路では、高電圧側入力端子と低電圧側入力端子との間に順に直列に接続されており、中間ノードが第3の出力端子に接続されている第5及び第6のスイッチング素子を更に備え、第1、第3及び第5のスイッチング素子の組と第2、第4及び第6のスイッチング素子の組とのうちの何れか一方の組を他方の組よりも高い周波数でスイッチング制御し、第1～第3の出力端子の間に三相交流電力を生成するように、第1～第6の

スイッチング素子をスイッチング制御することが好ましい。これによれば、低価格なブリッジ型の三相インバータ回路を実現可能である。

発明の効果

[0018] 本発明によれば、ブリッジ型の電力変換回路の低価格化を実現することができる。

図面の簡単な説明

[0019] [図1]図1は、本発明の第1の実施形態に係る単相フルブリッジ型のインバータを示す回路図である。

[図2]図2は、第1のスイッチング素子がon状態である期間における第1の実施形態のインバータの等価回路を示す図である。

[図3]図3は、第3のスイッチング素子がon状態である期間における第1の実施形態のインバータの等価回路を示す図である。

[図4]図4は、第1のスイッチング素子がon状態である期間における第1の実施形態のインバータの出力電圧を示す図である。

[図5]図5は、第1の実施形態のインバータの出力交流電圧を示す図である。

[図6]図6は、本発明の第2の実施形態に係る単相ブリッジ型のインバータを示す回路図である。

発明を実施するための形態

[0020] 以下、図面を参照して本発明の好適な実施形態について詳細に説明する。なお、各図面において同一又は相当の部分に対しては同一の符号を附すこととする。

[第1の実施形態]

[0021] 図1は、本発明の第1の実施形態に係るインバータを示す回路図である。第1の実施形態のインバータ（電力変換回路）1は、単相フルブリッジ型のインバータである。このインバータ1は、高電圧側入力端子 T_{1H} と低電圧側入力端子 T_{1L} との間に入力される直流電力を変換して第1及び第2の出力端子 T_{O1} 、 T_{O2} の間に単相交流電力を生成する。インバータ1は、第1～第4のスイッチング素子11～14と、制御回路20とを備える。

- [0022] 第1及び第2のスイッチング素子11, 12は、高電圧側入力端子 T_{IH} と低電圧側入力端子 T_{IL} との間に順に直列に接続されており、これらの中間ノードが第1の出力端子 T_{O1} に接続されている。例えば、上アーム側の第1のスイッチング素子11はPMOSFETであり、下アーム側の第2のスイッチング素子12はNMOSFETである。
- [0023] より具体的には、第1のスイッチング素子11のソース端子は高電圧側入力端子 T_{IH} に接続されており、ドレイン端子は第2のスイッチング素子12のドレイン端子に接続されている。第2のスイッチング素子12のソース端子は低電圧側入力端子 T_{IL} に接続されている。第1及び第2のスイッチング素子11, 12のドレイン端子は第1の出力端子 T_{O1} に接続されている。第1及び第2のスイッチング素子11, 12のゲート端子は制御回路20に接続されている。
- [0024] 同様に、第3及び第4のスイッチング素子13, 14は、高電圧側入力端子 T_{IH} と低電圧側入力端子 T_{IL} との間に順に直列に接続されており、これらの中間ノードが第2の出力端子 T_{O2} に接続されている。例えば、上アーム側の第3のスイッチング素子13はPMOSFETであり、下アーム側の第4のスイッチング素子14はNMOSFETである。
- [0025] より具体的には、第3のスイッチング素子13のソース端子は高電圧側入力端子 T_{IH} に接続されており、ドレイン端子は第4のスイッチング素子14のドレイン端子に接続されている。第4のスイッチング素子14のソース端子は低電圧側入力端子 T_{IL} に接続されている。第3及び第4のスイッチング素子13, 14のドレイン端子は第2の出力端子 T_{O2} に接続されている。第3及び第4のスイッチング素子13, 14のゲート端子は制御回路20に接続されている。
- [0026] 制御回路20は、第1～第4のスイッチング素子11～14のスイッチング制御を行う。具体的には、制御回路20は、第1及び第4のスイッチング素子11, 14の組と、第2及び第3のスイッチング素子12, 13の組とを交互にオン状態とすることによって、高電圧側入力端子 T_{IH} と低電圧側入

力端子 T_{1L} との間に入力される直流電力を変換して第 1 及び第 2 の出力端子 T_{O1} , T_{O2} の間に単相交流電力を生成する。

[0027] より具体的には、制御回路 20 は、第 1 及び第 4 のスイッチング素子 11, 14 の組をオン状態とする出力単相交流電力の半周期の期間では、第 1 のスイッチング素子 11 をオン状態とするとともに、パルス幅変調 (Pulse Width Modulation: PWM) 方式を用いて第 4 のスイッチング素子 14 をスイッチング制御する。また、制御回路 20 は、第 2 及び第 3 のスイッチング素子 12, 13 の組をオン状態とする出力単相交流電力の他の半周期の期間では、第 3 のスイッチング素子 13 をオン状態とするとともに、PWM 方式を用いて第 2 のスイッチング素子 12 をスイッチング制御する。

[0028] すなわち、制御回路 20 は、上アーム側の第 1 及び第 3 のスイッチング素子 11, 13 を出力交流電力の周波数でスイッチング制御し、下アーム側の第 2 及び第 4 のスイッチング素子 12, 14 を、PWM 方式を用いて、第 1 及び第 3 のスイッチング素子 11, 13 よりも高い周波数でスイッチング制御する。

[0029] 次に、第 1 の実施形態のインバータ 1 の動作を説明する。例えば、第 1 のスイッチング素子 11 と第 3 のスイッチング素子 13 とを低速（例えば、周波数 60 Hz）で交互に on/off 制御することとする。そして、第 1 のスイッチング素子 11 が on 状態である期間に、第 4 のスイッチング素子 14 を高速（例えば、120 kHz）で PWM 制御し、第 3 のスイッチング素子 13 が on 状態である期間に、第 2 のスイッチング素子 12 を高速（例えば、120 kHz）で PWM 制御する。

[0030] 図 2 は、第 1 のスイッチング素子 11 が on 状態である期間におけるインバータ 1 の等価回路を示す図であり、図 3 は、第 3 のスイッチング素子 13 が on 状態である期間におけるインバータ 1 の等価回路を示す図である。図 2 及び図 3 には、以下の動作説明を容易にするために、第 1 及び第 2 の出力端子 T_{O1} , T_{O2} の間に平滑用コンデンサ（容量値 C）を接続しているものとする。また、第 1 及び第 2 の出力端子 T_{O1} , T_{O2} の間に抵抗負荷（抵抗値 R

）を接続しているものとする。なお、図2及び図3中の i_s は、第1及び第3のスイッチング素子11，13それぞれの飽和電流値である。

[0031] また、図4は、第1のスイッチング素子11がon状態である期間におけるインバータ1の出力電圧を示す図である。図4では、第4のスイッチング素子14がoff状態からon状態へ切り替わる時刻を原点と、off時間を t_1 、on時間を t_2 としている。すなわち、on-offのスイッチングの1周期は $t_1 + t_2$ となる。

[0032] また、図5は、インバータ1の出力電圧を示す図である。図5には、第1～第4のスイッチング素子11～14のon状態-off状態も示されている。

[0033] まず、図2及び図5に示すように、第1のスイッチング素子11がon状態である期間では、第2及び第3のスイッチング素子12，13はoff状態に保持される。そして、第4のスイッチング素子14が、例えば120kHzでPWM制御される。

[0034] インバータ1の出力電圧 $v(t)$ を時刻 t の関数とすると、キルヒホッフの電流方程式に基づいて、第4のスイッチング素子14がoffの期間では下式(1)が得られ、第4のスイッチング素子14がonの期間では下式(2)が得られる。

[数1]

$$\frac{v(t)}{R} + C \frac{dv(t)}{dt} = 0 \quad \cdots (1)$$

$$\frac{v(t)}{R} + C \frac{dv(t)}{dt} = i_s \quad \cdots (2)$$

ここで、上記したように、 C は平滑用コンデンサの容量値であり、 R は抵抗負荷の抵抗値であり、 i_s は第1のスイッチング素子11の飽和電流値である。

[0035] 上式(1)，(2)は1段線形常微分方程式であり、上式(1)の一般解は下式(3)のように求められ、上式(2)の一般解は下式(4)のように

求められる。

[数2]

$$v(t) = v_0 e^{-\sigma t} \quad \cdot \cdot \cdot (3)$$

$$v(t) = Ri_s + v_1 e^{-\sigma t} \quad \cdot \cdot \cdot (4)$$

ここで、 σ は、電圧減衰定数、すなわちCR時定数の逆数 $1/CR$ であり、 v_0 及び v_1 は、以下に述べる時間軸上の電圧連続条件から定まる積分定数である。

[0036] 図4に示すように、第4のスイッチング素子14がoff状態からon状態へ切り替わる時刻 $t = 0$ において、出力電圧 $v(t)$ が連続であるとする、上式(3)、(4)より下式(5)が得られる。

[数3]

$$v_0 = Ri_s + v_1 \quad \cdot \cdot \cdot (5)$$

[0037] また、図4に示すように、第4のスイッチング素子14のoff状態の一期間とon状態の一期間とを一周期として、出力電圧 $v(t)$ が周期的に連続であるとする、すなわち $v(-t_1) = v(t_2)$ とすると、上式(3)、(4)より下式(6)が得られる。

[数4]

$$v_0 e^{\sigma t_1} = Ri_s + v_1 e^{-\sigma t_2} \quad \cdot \cdot \cdot (6)$$

[0038] 上式(5)、(6)を2元連立方程式として v_0 及び v_1 を求めると、下式(7)、(8)が得られる。

[数5]

$$v_0 = \frac{1 - e^{-\sigma t_2}}{e^{\sigma t_1} - e^{-\sigma t_2}} Ri_s \quad \cdot \cdot \cdot (7)$$

$$v_1 = \frac{1 - e^{\sigma t_1}}{e^{\sigma t_1} - e^{-\sigma t_2}} Ri_s \quad \cdot \cdot \cdot (8)$$

[0039] 上式(7)、(8)を上式(3)、(4)にそれぞれ代入すると、第4のスイッチング素子14がoffの期間では下式(9)が得られ、第4のスイッチング素子14がonの期間では下式(10)が得られる。

[数6]

$$v(t) = \frac{1 - e^{-\sigma_2 t}}{e^{\sigma_1 t_1} - e^{-\sigma_2 t_2}} Ri_s e^{-\sigma_2 t} \quad \cdot \cdot \cdot (9)$$

$$v(t) = Ri_s + \frac{1 - e^{\sigma_1 t_1}}{e^{\sigma_1 t_1} - e^{-\sigma_2 t_2}} Ri_s e^{-\sigma_2 t} \quad \cdot \cdot \cdot (10)$$

[0040] ここで、時刻 $t = t_2$ における出力電圧を v_2 とすると、上式 (10) より下式 (11) が得られる。

[数7]

$$v_2 = v(t_2) = Ri_s + \frac{1 - e^{\sigma_1 t_1}}{e^{\sigma_1 t_1} - e^{-\sigma_2 t_2}} Ri_s e^{-\sigma_2 t_2} = \frac{(1 - e^{-\sigma_2 t_2}) e^{\sigma_1 t_1}}{e^{\sigma_1 t_1} - e^{-\sigma_2 t_2}} Ri_s \quad \cdot \cdot \cdot (11)$$

[0041] これらの上式 (9), (10), (11) より、図4に示す出力電圧 $v(t)$ が求まる。

[0042] ここで、平滑用コンデンサの容量値 C を大きくすると、その時定数は第4のスイッチング素子の on/off スwitchングの1周期 $t_1 + t_2$ よりも十分長くなり、下式 (12) のように近似される。

[数8]

$$\sigma_1 \ll 1, \quad \sigma_2 \ll 1 \quad \cdot \cdot \cdot (12)$$

すると、近似公式 $e^x \approx 1 + x$ を用いて、下式のように近似される。

[数9]

$$e^{\sigma_1 t_1} = 1 + \sigma_1 t_1, \quad e^{-\sigma_2 t_2} = 1 - \sigma_2 t_2$$

[0043] これらを上式 (9), (10) に適用すると、第4のスイッチング素子14が off の期間では下式 (13) が得られ、第4のスイッチング素子14が on の期間では下式 (14) が得られる。

[数10]

$$v(t) = \frac{t_2 - \sigma_2 t}{t_1 + t_2} Ri_s \quad \cdot \cdot \cdot (13)$$

$$v(t) = \frac{t_2 + \sigma_1 t}{t_1 + t_2} Ri_s \quad \cdot \cdot \cdot (14)$$

すなわち、三角波形状の出力電圧が得られることとなる。この三角波形状の

出力電圧の底値 $v(0)$ と頂値 $v(t_2)$ は、下式のように求められる。

[数11]

$$v(0) = \frac{t_2}{t_1 + t_2} Ri_s$$

$$v(t_2) = \frac{t_2 + \sigma t_1 t_2}{t_1 + t_2} Ri_s$$

[0044] そして、平滑用コンデンサの容量値 C を更に大きくすると、 σ は 0 に近似されるので、出力電圧波形は、下式のように一定の直流値に漸近することとなる。

[数12]

$$v(t_2) \rightarrow v(0) = \frac{t_2}{t_1 + t_2} Ri_s$$

ここで、係数 $\rho = t_2 / (t_1 + t_2)$ は、第 4 のスイッチング素子 14 の on / off スwitching の 1 周期に対する on 期間の割合であり、スイッチングのデューティ比と呼ばれている。これより、第 4 のスイッチング 14 のデューティ比を制御することにより、所望の出力電圧が得られることとなる。

[0045] 次に、図 3 及び図 5 に示すように、第 3 のスイッチング素子 13 が on 状態である期間では、第 1 及び第 4 のスイッチング素子 11, 14 は off 状態に保持される。そして、第 2 のスイッチング素子 12 が、例えば 120 kHz で PWM 制御される。この第 3 のスイッチング素子 13 が on 状態である期間での出力電圧波形は、上記した第 1 のスイッチング素子 11 が on 状態である期間での出力電圧波形と逆極性となる。

[0046] そして、第 1 のスイッチング素子 11 と第 3 のスイッチング素子 13 とを例えば 60 Hz で交互に on / off 制御すると、図 5 に示すように 60 Hz の交流電圧が得られる。なお、図 6 に示すように、第 2 及び第 4 のスイッチング素子 12, 14 の PWM 制御において、上記したデューティ比 ρ を時間的に変化させることにより、正弦波状の交流電圧が得られることとなる。

[0047] このように、第 1 の実施形態のインバータ 1 によれば、下アーム側の第 2 及び第 4 のスイッチング素子 12, 14 を上アーム側の第 1 及び第 3 のスイ

スイッチング素子 11, 13 よりも高い周波数でスイッチング制御することにより、上アーム側の第1及び第3のスイッチング素子 11, 13 として比較的動作速度が遅く低価格なスイッチング素子を用いることができる。更に、上アーム側の第1及び第3のスイッチング素子 11, 13 の駆動回路として比較的動作速度が遅く低価格な構成を用いることができる。したがって、第1の実施形態のインバータ 1 によれば、低価格化が可能となる。

[0048] ところで、ブリッジ型の回路におけるスイッチング素子として、CMOS FET が用いられる場合、クロック信号による駆動が容易であるという利点を有する。しかしながら、上アーム側の PMOS FET は、下アーム側の NMOS FET と比較して動作速度が遅い傾向があり、PWM方式を用いたスイッチング制御の高速化が困難であるという問題点を有する。

[0049] この問題点に関し、上アーム側のスイッチング素子も NMOS FET で構成することが考えられる。この場合、NMOS FET によるスイッチング制御の高速化が容易であるという利点を有する。しかしながら、上アーム側の NMOS FET の駆動回路にフォトカプラなどの絶縁デバイスが必要となり、スイッチング素子の駆動容易性が損なわれ、また低価格化も困難であるという問題点を有する。

[0050] しかしながら、第1の実施形態のインバータ 1 によれば、スイッチング素子として CMOS FET を用いる場合に好適であり、スイッチング制御の高速性、スイッチング素子の駆動容易性、及び、低価格性を得ることが可能となる。

[第2の実施形態]

[0051] 図6は、本発明の第2の実施形態に係るインバータを示す回路図である。第2の実施形態のインバータ（電力変換回路）1Aは、三相ブリッジ型のインバータである。このインバータ 1A は、高電圧側入力端子 T_{1H} と低電圧側入力端子 T_{1L} との間に入力される直流電力を変換して第1～第3の出力端子 T_{O1} , T_{O2} , T_{O3} の間に三相交流電力を生成する。このインバータ 1A は、インバータ 1 において第5及び6のスイッチング素子 15, 16 を更に備え

る点、及び、制御回路20に代えて制御回路20Aを備える点で第1の実施形態と異なる。

[0052] 第5及び第6のスイッチング素子15, 16は、高電圧側入力端子 T_{IH} と低電圧側入力端子 T_{IL} との間に順に直列に接続されており、これらの中間ノードが第3の出力端子 T_{O3} に接続されている。例えば、上アーム側の第5のスイッチング素子15はPMOSFETであり、下アーム側の第6のスイッチング素子16はNMOSFETである。

[0053] より具体的には、第5のスイッチング素子15のソース端子は高電圧側入力端子 T_{IH} に接続されており、ドレイン端子は第6のスイッチング素子16のドレイン端子に接続されている。第6のスイッチング素子16のソース端子は低電圧側入力端子 T_{IL} に接続されている。第5及び第6のスイッチング素子15, 16のドレイン端子は第3の出力端子 T_{O3} に接続されている。第5及び第6のスイッチング素子15, 16のゲート端子は制御回路20Aに接続されている。

[0054] 制御回路20Aは、第1～第6のスイッチング素子11～16のスイッチング制御を行う。例えば、制御回路20Aは、第1及び第4のスイッチング素子11, 14の組と、第3及び第6のスイッチング素子13, 16の組と、第5及び第2のスイッチング素子15, 12の組とを1/3周期ずつずらしてオン状態とすることによって、高電圧側入力端子 T_{IH} と低電圧側入力端子 T_{IL} との間に入力される直流電力を変換して第1～第3の出力端子 T_{O1} ～ T_{O3} の間に三相交流電力を生成する。

[0055] より具体的には、制御回路20Aは、出力三相交流電力の1/3周期の期間では、第1のスイッチング素子11をオン状態とするとともに、PWM方式を用いて第4のスイッチング素子14をスイッチング制御する。また、制御回路20Aは、出力三相交流電力の他の1/3周期の期間では、第3のスイッチング素子13をオン状態とするとともに、PWM方式を用いて第6のスイッチング素子16をスイッチング制御する。また、制御回路20Aは、出力三相交流電力の更に他の1/3周期の期間では、第5のスイッチング素

子15をオン状態とするとともに、PWM方式を用いて第2のスイッチング素子12をスイッチング制御する。

[0056] すなわち、制御回路20Aは、上アーム側の第1、第3及び第5のスイッチング素子11、13、15を出力交流電力の周波数でスイッチング制御し、下アーム側の第2、第4及び第6のスイッチング素子12、14、16を、PWM方式を用いて、第1、第3及び第5のスイッチング素子11、13、15よりも高い周波数でスイッチング制御する。

[0057] この第2の実施形態のインバータ1Aでも、下アーム側の第2、第4及び第6のスイッチング素子12、14、16を上アーム側の第1、第3及び第5のスイッチング素子11、13、15よりも高い周波数でスイッチング制御することにより、上アーム側の第1、第3及び第5のスイッチング素子11、13、15として比較的動作速度が遅く低価格なスイッチング素子を用いることができる。更に、上アーム側の第1、第3及び第5のスイッチング素子11、13、15の駆動回路として比較的動作速度が遅く低価格な構成を用いることができる。したがって、第2の実施形態のインバータ1Aでも、低価格化が可能である。

[0058] なお、本発明は上記した本実施形態に限定されることなく種々の変形が可能である。例えば、本実施形態では、スイッチング素子としてCMOSFETを用いる形態を例示したが、すなわち、上アーム側のスイッチング素子としてPMOSFETを用い、下アーム側のスイッチング素子としてNMOSFETを用いたが、上アーム側のスイッチング素子と下アーム側のスイッチング素子との組み合わせは、本実施形態に限定されない。

[0059] 例えば、IGBTタイプやバイポーラタイプ等の全てのタイプのトランジスタにおいて、上アーム側のスイッチング素子として、下アーム側のスイッチング素子と異なる導電型を有し、下アーム側のスイッチング素子より動作速度が遅いスイッチング素子を用いてもよい。具体的には、下アーム側のスイッチング素子としてNチャネル型トランジスタを用い、上アーム側のスイッチング素子としてPチャネル型トランジスタを用いてもよい。

- [0060] また、例えば、上アーム側のスイッチング素子として、下アーム側のスイッチング素子と異なる構造を有し、下アーム側のスイッチング素子より動作速度が遅いスイッチング素子を用いてもよい。具体的には、下アーム側のスイッチング素子として、FET、IGBT (Insulated Gate Bipolar Transistor)、バイポーラトランジスタ、サイリスタ等の群のうちの比較的に高速動作が可能なスイッチング素子を用い、上アーム側のスイッチング素子として、FET、IGBT (Insulated Gate Bipolar Transistor)、バイポーラトランジスタ、サイリスタ等の群のうちの比較的に動作速度が遅く、下アーム側のスイッチング素子と異なる構造を有するスイッチング素子を用いてもよい。
- [0061] また、例えば、上アーム側のスイッチング素子として、下アーム側のスイッチング素子と異なるデバイスを有し、下アーム側のスイッチング素子より動作速度が遅いスイッチング素子を用いてもよい。具体的には、下アーム側のスイッチング素子として、比較的に高速動作が可能なSiCデバイスからなるスイッチング素子を用い、上アーム側のスイッチング素子として、比較的に動作速度が遅いSiデバイスからなるスイッチング素子を用いてもよい。
- [0062] また、本実施形態では、下アーム側のスイッチング素子を上アーム側のスイッチング素子よりも高い周波数でスイッチング制御したが、上アーム側のスイッチング素子を下アーム側のスイッチング素子よりも高い周波数でスイッチング制御してもよい。
- [0063] また、本実施形態では、上アーム側のスイッチング素子（すなわち、低速側）をPWM方式を用いてスイッチング制御していないが、上アーム側のスイッチング素子を、オン状態とする交流電力の半周期の期間にPWM方式を用いてスイッチング制御してもよい。このとき、下アーム側のスイッチング周波数は、上アーム側のスイッチング素子のスイッチング周波数の2倍以上であることが好ましい。また、この場合、下アーム側のスイッチング制御と上アーム側のスイッチング制御とは、同期させることが好ましい。

産業上の利用可能性

[0064] 電力変換回路の低価格化の用途に適用することができる。

符号の説明

[0065] 1, 1 A インバータ（電力変換回路）

1 1 第1のスイッチング素子

1 2 第2のスイッチング素子

1 3 第3のスイッチング素子

1 4 第4のスイッチング素子

1 5 第5のスイッチング素子

1 6 第6のスイッチング素子

2 0, 2 0 A 制御回路

T_{I H} 高電圧側入力端子

T_{I L} 低電圧側入力端子

T_{O 1} 第1の出力端子

T_{O 2} 第2の出力端子

T_{O 3} 第3の出力端子

請求の範囲

[請求項1] 高電圧側入力端子と低電圧側入力端子との間に順に直列に接続されており、中間ノードが第1の出力端子に接続されている第1及び第2のスイッチング素子と、

前記高電圧側入力端子と前記低電圧側入力端子との間に順に直列に接続されており、中間ノードが第2の出力端子に接続されている第3及び第4のスイッチング素子と、
を備え、

前記第1及び第4のスイッチング素子の組と前記第2及び第3のスイッチング素子の組とを交互にオン状態とすることによって、前記高電圧側入力端子と前記低電圧側入力端子との間に入力される直流電力を変換して前記第1及び第2の出力端子の間に交流電力を生成するブリッジ型の電力変換回路であって、

前記第1及び第3のスイッチング素子の組と前記第2及び第4のスイッチング素子の組とのうちの何れか一方の組を他方の組よりも高い周波数でスイッチング制御する、
電力変換回路。

[請求項2] 前記第2及び第4のスイッチング素子の組を前記第1及び第3のスイッチング素子の組よりも高い周波数でスイッチング制御する、請求項1に記載の電力変換回路。

[請求項3] 前記第1及び第4のスイッチング素子の組をオン状態とする前記交流電力の半周期の期間では、前記第1のスイッチング素子をオン状態とするとともに、パルス幅変調方式を用いて前記第4のスイッチング素子をスイッチング制御し、

前記第2及び第3のスイッチング素子の組をオン状態とする前記交流電力の他の半周期の期間では、前記第3のスイッチング素子をオン状態とするとともに、パルス幅変調方式を用いて前記第2のスイッチング素子をスイッチング制御する、

請求項 2 に記載の電力変換回路。

[請求項4]

前記第 1 及び第 4 のスイッチング素子の組をオン状態とする前記交流電力の半周期の期間では、パルス幅変調方式を用いて前記第 1 のスイッチング素子をスイッチング制御するとともに、パルス幅変調方式を用いて前記第 1 のスイッチング素子のスイッチング周波数の 2 倍以上の周波数で前記第 4 のスイッチング素子をスイッチング制御し、

前記第 2 及び第 3 のスイッチング素子の組をオン状態とする前記交流電力の他の半周期の期間では、パルス幅変調方式を用いて前記第 3 のスイッチング素子をスイッチング制御するとともに、パルス幅変調方式を用いて前記第 3 のスイッチング素子のスイッチング周波数の 2 倍以上の周波数で前記第 2 のスイッチング素子をスイッチング制御する、

請求項 2 に記載の電力変換回路。

[請求項5]

前記第 1 及び第 2 の出力端子の間に単相交流電力を生成するように、前記第 1 ～第 4 のスイッチング素子をスイッチング制御する、請求項 1 に記載の電力変換回路。

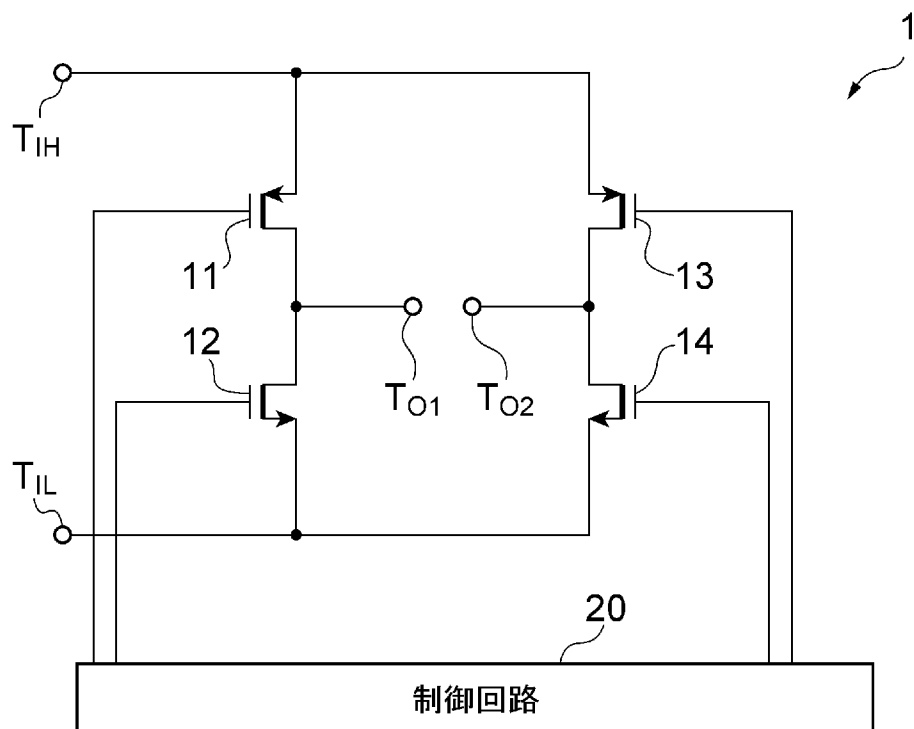
[請求項6]

前記高電圧側入力端子と前記低電圧側入力端子との間に順に直列に接続されており、中間ノードが第 3 の出力端子に接続されている第 5 及び第 6 のスイッチング素子を更に備え、

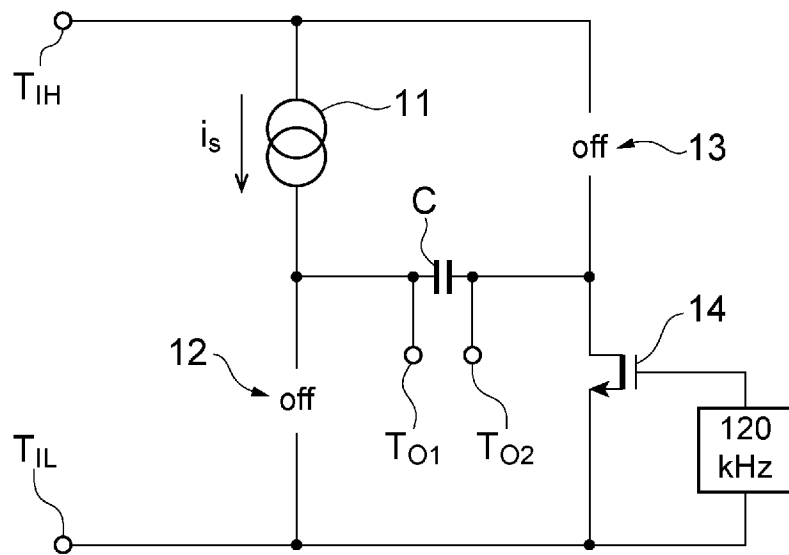
前記第 1、第 3 及び第 5 のスイッチング素子の組と前記第 2、第 4 及び第 6 のスイッチング素子の組とのうちの何れか一方の組を他方の組よりも高い周波数でスイッチング制御し、

前記第 1 ～第 3 の出力端子の間に三相交流電力を生成するように、前記第 1 ～第 6 のスイッチング素子をスイッチング制御する、請求項 1 に記載の電力変換回路。

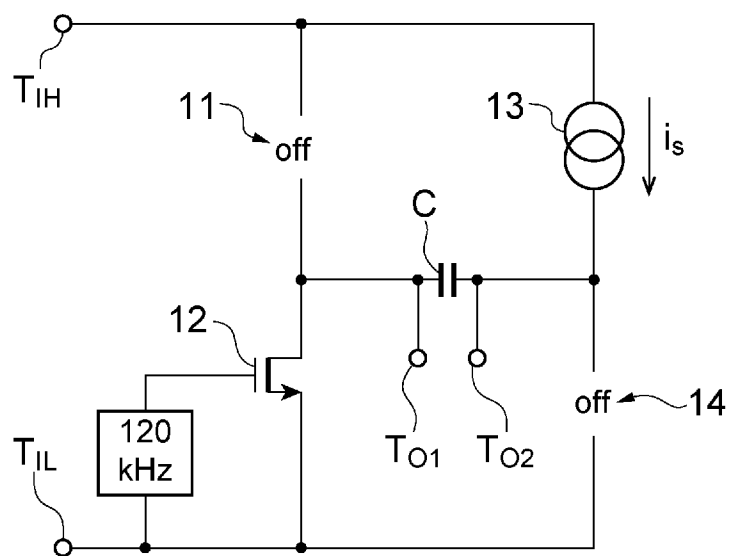
[図1]



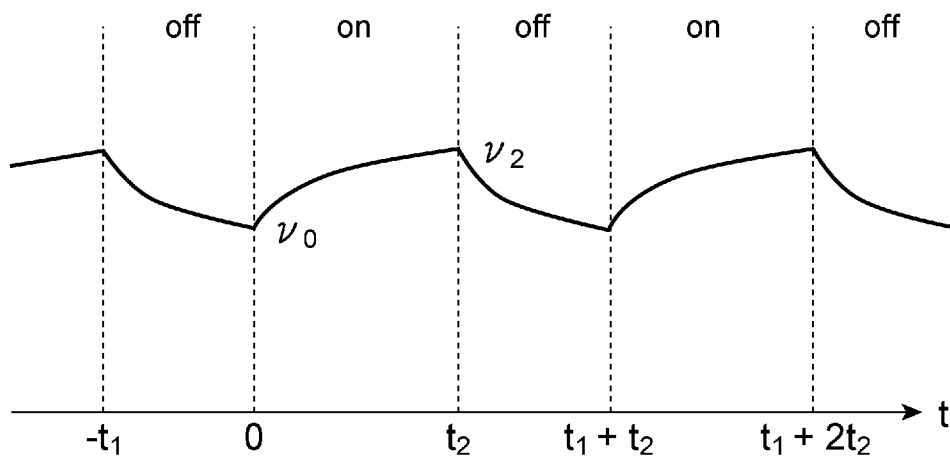
[図2]



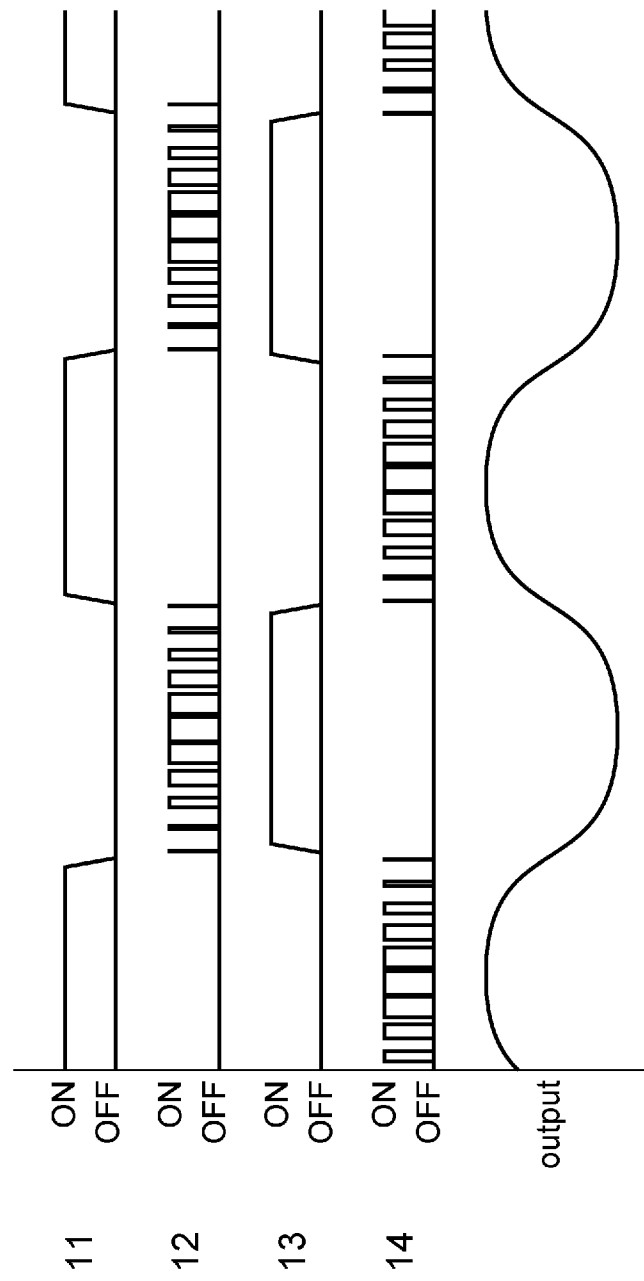
[図3]



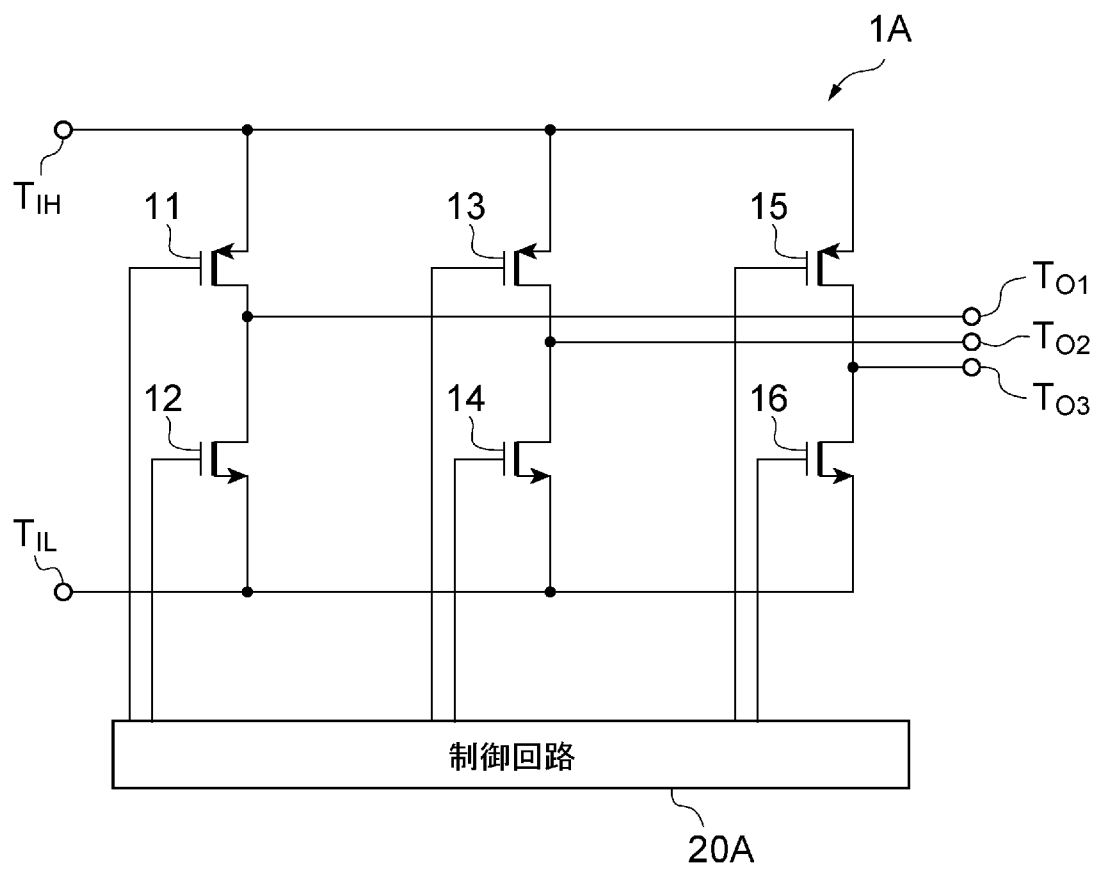
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/058342

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-88130 A (Matsushita Electric Industrial Co., Ltd.), 20 March 2003 (20.03.2003), paragraphs [0010] to [0012]; fig. 1 to 2 (Family: none)	1-3, 5 6 4
Y	JP 5-83984 A (Matsushita Refrigeration Co.), 02 April 1993 (02.04.1993), paragraphs [0014] to [0051]; fig. 1 to 4 (Family: none)	6
A	JP 6-215882 A (Sansha Electric Manufacturing Co., Ltd.), 05 August 1994 (05.08.1994), entire text (Family: none)	4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 June, 2013 (07.06.13)

Date of mailing of the international search report
18 June, 2013 (18.06.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2003-88130 A（松下電器産業株式会社）2003.03.20、段落 0010－0012、第 1-2 図（ファミリーなし）	1-3, 5 6 4
Y	JP 5-83984 A（松下冷機株式会社）1993.04.02、段落 0014－0051、第 1-4 図（ファミリーなし）	6
A	JP 6-215882 A（株式会社三社電機製作所）1994.08.05、全文（ファミリーなし）	4

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 6 . 2 0 1 3

国際調査報告の発送日

1 8 . 0 6 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

服部 俊樹

3 V

3 7 3 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8