I584251

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I584251 B**

**(45)公告日： 中華民國 106 (2017) 年 05 月 21 日**

(21)申請案號：104126982 (22)申請日： 中華民國 99 (2010) 年 09 月 02 日

(51)Int. Cl.： *G09G3/20 (2006.01)* *H01L27/12 (2006.01)*

(30)優先權：2009/09/10 日本 2009-209099

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：木村肇 KIMURA, HAJIME (JP) ；梅崎敦司 UMEZAKI, ATSUSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200836150A
TW 200842792A
TW 200903515A
TW 200929131A
TW 200937377A
US 2006/0001637A1
US 2008/0007296A1

審查人員：呂俊賢

申請專利範圍項數：20 項 圖式數：47 共 191 頁

(54)名稱

半導體裝置和顯示裝置

SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

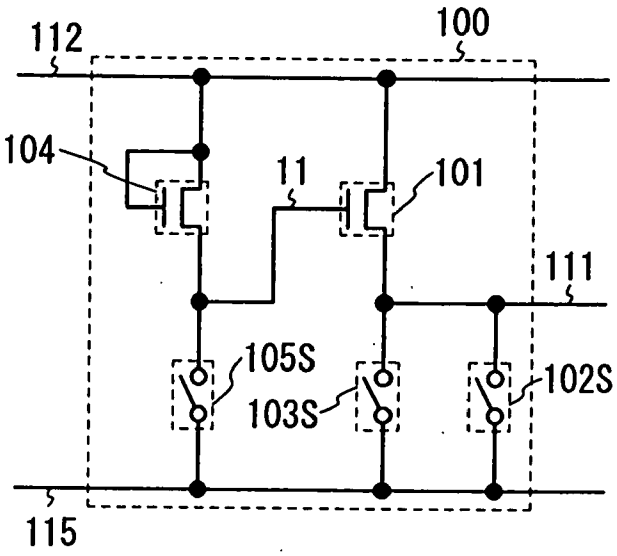
(57)摘要

本發明的目的就是提供一種具有不容易退化的電路的半導體裝置。本發明的一個方式是一種半導體裝置，包括：第一電晶體；第二電晶體；第一開關；第二開關；以及第三開關，其中該第一電晶體的第一端子連接於第一佈線，其第二端子連接於第二佈線，該第二電晶體的閘極及第一端子連接於該第一佈線，其第二端子連接於該第一電晶體的閘極，該第一開關連接於該第二佈線和第三佈線之間，該第二開關連接於該第二佈線和該第三佈線之間，並且該第三開關連接於第一電晶體的閘極和該第三佈線之間。

A semiconductor device including a circuit which does not easily deteriorate is provided. The semiconductor device includes a first transistor, a second transistor, a first switch, a second switch, and a third switch. A first terminal of the first transistor is connected to a first wiring. A second terminal of the first transistor is connected to a second wiring. A gate and a first terminal of the second transistor are connected to the first wiring. A second terminal of the second transistor is connected to a gate of the first transistor. The first switch is connected between the second wiring and a third wiring. The second switch is connected between the second wiring and the third wiring. The third switch is connected between the gate of the first transistor and the third wiring.

指定代表圖：

圖45A




符號簡單說明：

11・・・節點

100・・・電路

101・・・電晶體

102S・・・開關

103S・・・開關

104・・・電晶體

105S・・・開關

111、112、

115・・・佈線

公告本

# 發明摘要

※申請案號：(04126982 (由99129681分割)

※申請日：099年09月02日　※IPC分類：G09G 3/20 (2006.01)
H01L 27/12 (2006.01)

【發明名稱】(中文/英文)

半導體裝置和顯示裝置

Semiconductor device and display device

【中文】

本發明的目的就是提供一種具有不容易退化的電路的半導體裝置。本發明的一個方式是一種半導體裝置，包括：第一電晶體；第二電晶體；第一開關；第二開關；以及第三開關，其中該第一電晶體的第一端子連接於第一佈線，其第二端子連接於第二佈線，該第二電晶體的閘極及第一端子連接於該第一佈線，其第二端子連接於該第一電晶體的閘極，該第一開關連接於該第二佈線和第三佈線之間，該第二開關連接於該第二佈線和該第三佈線之間，並且該第三開關連接於第一電晶體的閘極和該第三佈線之間。

【英文】

A semiconductor device including a circuit which does not easily deteriorate is provided. The semiconductor device includes a first transistor, a second transistor, a first switch, a second switch, and a third switch. A first terminal of the first transistor is connected to a first wiring. A second terminal of the first transistor is connected to a second wiring. A gate and a first terminal of the second transistor are connected to the first wiring. A second terminal of the second transistor is connected to a gate of the first transistor. The first switch is connected between the second wiring and a third wiring. The second switch is connected between the second wiring and the third wiring. The third switch is connected between the gate of the first transistor and the third wiring.

【代表圖】

【本案指定代表圖】：第(45A)圖。

【本代表圖之符號簡單說明】：

11：節點

100：電路

101：電晶體

102S：開關

103S：開關

104：電晶體

105S：開關

111、112、115：佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體裝置和顯示裝置

Semiconductor device and display device

【技術領域】

本發明係關於半導體裝置及其驅動方法。

【先前技術】

近年來，隨著例如液晶電視等的大顯示裝置的增加，對顯示裝置的研究開發日益火熱。特別是，由於使用由非單晶半導體構成的電晶體在與像素部相同的基板上構成閘極驅動器等的驅動電路的技術極有利於製造成本的減少或可靠性的提高，因此對其的研究開發日益火熱。

但是，使用非單晶半導體的電晶體退化。結果，發生遷移率的降低或臨界值電壓的上升（減小）等。尤其是在閘極驅動器中，具有將負電壓（也稱爲L位準的電位）供給給閘極信號線的功能的電晶體（也稱爲下拉電晶體）顯著呈現上述退化。這是因爲在未選擇閘極信號線時下拉電晶體導通而將負電壓供給給閘極信號線的緣故。就是說，這是因爲如下緣故：由於未選擇閘極信號線，所以在一幀期間下拉電晶體大多導通。

在專利文獻1中已公開能夠抑制下拉電晶體的退化的

閘極驅動器，以解決上述問題。在專利文獻1中，在閘極驅動器的各級中設置有能夠輸出脈衝的電路（例如，專利文獻1的圖7所示的保持控制部350），以抑制下拉電晶體的退化。另外，使用該電路的輸出信號控制下拉電晶體的導通狀態。該電路與時鐘信號等同步地輸出脈衝。因此，因爲可以使下拉電晶體導通的時間縮短，所以可以抑制下拉電晶體的退化。但是，上述能夠輸出脈衝的電路包括在一幀期間大多導通的電晶體Q32。由此，電晶體Q32退化。

專利文獻1: 日本專利申請公開第2005-50502號公報

【發明內容】

作爲本發明的一個實施例，在具有第一及第二電晶體、第一至第三開關的半導體裝置中，抑制第一及第二電晶體、第一至第三開關的退化。或者，在具有第一至第五電晶體的半導體裝置中，抑制第一至第五電晶體的退化。或者，半導體裝置除了上述以外還具有第六電晶體，而抑制第一至第六電晶體的退化。或者，半導體裝置除了上述以外還具有第七電晶體，而抑制第一至第七電晶體的退化。

本發明的一個實施例是一種半導體裝置，包括：第一電晶體；第二電晶體；第一開關；第二開關；以及第三開關，其中第一電晶體的第一端子連接於第一佈線，其第二端子連接於第二佈線，第二電晶體的閘極及第一端子連接

於第一佈線，其第二端子連接於第一電晶體的閘極，第一開關連接於第二佈線和第三佈線之間，第二開關連接於第二佈線和第三佈線之間，並且第三開關連接於第一電晶體的閘極和第三佈線之間。

在上述實施例中，也可以具有第一期間和第二期間，在第一期間，第一開關、第二開關和第三開關截止，並且第一佈線的電位成爲H位準，而在第二期間，第一開關截止，第二開關和第三開關導通，並且第一佈線的電位成爲L位準。

本發明的一個實施例是一種半導體裝置，包括：第一電晶體；第二電晶體；第三電晶體；第四電晶體；以及第五電晶體，其中第一電晶體的第一端子連接於第一佈線，其第二端子連接於第二佈線，第二電晶體的閘極及第一端子連接於第一佈線，其第二端子連接於第一電晶體的閘極，第三電晶體的閘極連接於第四佈線，其第一端子連接於第三佈線，其第二端子連接於第二佈線，第四電晶體的閘極連接於第五佈線，其第一端子連接於第三佈線，其第二端子連接於第二佈線，並且第五電晶體的閘極連接於第五佈線，其第一端子連接於第三佈線，其第二端子連接於第一電晶體的閘極。

在上述實施例中，也可以採用如下結構：第五電晶體的通道寬度大於第二電晶體的通道寬度，並且第二電晶體的通道寬度大於第一電晶體的通道寬度。

在上述實施例中，也可以具有第六電晶體，該第六電

晶體的閘極連接於第二佈線，其第一端子連接於第三佈線，其第二端子連接於第六佈線。

在上述實施例中，也可以具有期間A和期間B；在期間A，第一佈線的電位成爲H位準，第五佈線的電位和第四佈線的電位成爲L位準，第一電晶體、第二電晶體和第六電晶體導通，第三電晶體、第四電晶體和第五電晶體截止，並且第六佈線的電位成爲L位準；在期間B，第一佈線的電位成爲L位準，第五佈線的電位成爲H位準，第四佈線的電位成爲L位準，第一電晶體、第二電晶體、第三電晶體和第六電晶體截止，第四電晶體和第五電晶體導通，並且第六佈線的電位成爲L位準。

在上述實施例中，也可以具有第七電晶體，該第七電晶體的閘極連接於第四佈線，其第一端子連接於第一佈線，其第二端子連接於第六佈線。

在上述實施例中，也可以具有期間A、期間B、期間C、期間D和期間E；在期間A，第一佈線的電位成爲H位準，第五佈線的電位和第四佈線的電位成爲L位準，第一電晶體、第二電晶體和第六電晶體導通，第三電晶體、第四電晶體、第五電晶體和第七電晶體截止，並且第六佈線的電位成爲L位準；在期間B，第一佈線的電位成爲L位準，第五佈線的電位成爲H位準，第四佈線的電位成爲L位準，第一電晶體、第二電晶體、第三電晶體和第六電晶體截止，第四電晶體和第五電晶體導通，並且第六佈線的電位成爲L位準；在期間C，第一佈線的電位成爲L位準，

第五佈線的電位和第四佈線的電位成爲H位準，第一電晶體、第二電晶體和第六電晶體截止，第三電晶體、第四電晶體、第五電晶體和第七電晶體導通，並且第六佈線的電位成爲L位準；在期間D，第一佈線的電位成爲H位準，第五佈線的電位成爲L位準，第四佈線的電位成爲H位準，第一電晶體、第二電晶體、第三電晶體和第七電晶體導通，第四電晶體、第五電晶體和第六電晶體截止，並且第六佈線的電位成爲L位準；在期間E，第一佈線的電位成爲L位準，第五佈線的電位成爲H位準，第四佈線的電位成爲L位準，第一電晶體、第二電晶體、第三電晶體、第六電晶體和第七電晶體截止，第四電晶體和第五電晶體導通，並且第六佈線的電位成爲L位準。

在上述本發明的各實施例中，作爲開關，可以使用各種方式。作爲開關，可以使用電開關或機械開關等。換言之，開關只要可以控制電流就不侷限於特定的開關。作爲電開關，有電晶體（例如，雙極電晶體或MOS電晶體等）、二極體（例如，PN二極體、PIN二極體、肖特基二極體、MIM（Metal Insulator Metal：金屬-絕緣體-金屬）二極體、MIS（Metal Insulator Semiconductor：金屬-絕緣體-半導體）二極體、被進行了二極體連接的電晶體等）或組合它們的邏輯電路等。作爲機械開關，有像數位微鏡裝置（DMD）那樣的利用MEMS（微電子機械系統）技術的開關。該開關具有以機械方式可動的電極，並且藉由使該電極活動來控制導通和非導通而進行工作。

另外，在將電晶體用作開關的情況下，由於該電晶體僅作爲開關工作，因此對電晶體的極性（導電型）沒有特別限制。然而，在想要抑制截止電流時，較佳的使用具有更小截止電流的極性的電晶體。作爲截止電流較小的電晶體，有具有LDD區的電晶體或具有多閘極結構的電晶體等。

另外，在上述本發明的各實施例中，當用作開關的電晶體的源極的電位以與低電位側電源（Vss、GND、0V等）的電位接近的值工作時，較佳的採用N通道電晶體，相反的，當該電晶體的源極的電位以與高電位側電源（Vdd等）的電位接近的值工作時，較佳的採用P通道電晶體作爲開關。這是因爲如下緣故：若是N通道電晶體，則當源極以與低電位側電源的電位接近的值工作時可以增大閘極-源極間電壓的絕對值，並且若是P通道電晶體，則當源極以與高電位側電源的電位接近的值工作時可以增大閘極-源極間電壓的絕對值，因此使其作爲開關更精確地工作。或者，這是因爲電晶體進行源極跟隨工作的情況較少，所以導致輸出電壓變小的情況較少。

另外，在上述本發明的各實施例中，也可以使用N通道電晶體和P通道電晶體兩者的CMOS型開關作爲開關。當採用CMOS型開關時，因爲若P通道電晶體和N通道電晶體中的一方的電晶體導通則電流流動，因此作爲開關更容易起作用。因此，即使輸向開關的輸入信號的電壓高或者低，也可以適當地輸出電壓。或者，由於可以減少用來使

開關導通或截止的信號的電壓振幅值，所以可以減少耗電量。

另外，在將電晶體用作開關的情況下，開關有時具有輸入端子（源極和汲極中的一方）、輸出端子（源極和汲極中的另一方）以及控制導通的端子（閘極）。另一方面，當使用二極體作爲開關時，該開關在某些情況下並沒有用於控制導通的端子。因此，當使用二極體作爲開關時，相比於使用電晶體作爲開關的情況而言，可以減少用於控制端子的佈線的數目。

在本發明說明所公開的發明中，作爲電晶體，可以使用各種結構的電晶體。就是說，對電晶體的結構並沒有限制。

在本發明說明中，半導體裝置是指具有包括半導體元件（電晶體、二極體、閘流管等）的電路的裝置。但是，也可以將藉由利用半導體特性來能夠發揮其功能的所有裝置或具有半導體材料的裝置稱爲半導體裝置。在本發明說明中，顯示裝置是指具有顯示元件的裝置。

在本發明說明中，驅動裝置指的是具有半導體元件、電路、電子電路的裝置。例如，控制將信號從源極信號線輸入到像素內的電晶體（有時稱爲選擇用電晶體、開關用電晶體等）、將電壓或電流提供到像素電極的電晶體、將電壓或電流提供到發光元件的電晶體等是驅動裝置的一個例子。再者，將信號提供到閘極信號線的電路（有時稱爲閘極驅動器、閘極線驅動電路等）、將信號提供到源極信

號線的電路（有時稱爲源極驅動器、源極線驅動電路等）等是驅動裝置的一個例子。

另外，顯示裝置、半導體裝置、照明裝置、冷卻裝置、發光裝置、反射裝置以及驅動裝置等可以互相組合。本發明的實施例也包括上述裝置在內。例如，顯示裝置在某些情況下包括半導體裝置和發光裝置。或者，半導體裝置在某些情況下包括顯示裝置和驅動裝置。

另外，在本發明的各實施例中，可以將爲實現預定的功能而需要的所有電路形成在同一基板（例如，玻璃基板、塑膠基板、單晶基板或SOI基板等）上。像這樣，可以減少部件個數來降低成本或減少與電路部件之間的連接個數來提高可靠性。

另外，也可以不將爲實現預定的功能而需要的所有電路形成在同一基板上。也就是說，可以將爲實現預定的功能而需要的電路的一部分形成在某個基板上，而將爲實現預定的功能而需要的電路的另一部分形成在其他基板上。例如，可以將爲實現預定的功能而需要的電路的一部分形成在玻璃基板上，而將爲實現預定的功能而需要的電路的另一部分形成在單晶基板（或SOI基板）上。然後，可以將形成有爲實現預定的功能而需要的電路的另一部分的單晶基板（也稱爲IC晶片）藉由COG（Chip On Glass：玻璃覆晶封裝）連接到玻璃基板，而將該IC晶片配置在玻璃基板上。或者，可以使用TAB（Tape Automated Bongding：帶式自動接合）、COF（Chip On Film：薄膜上晶片安

裝）、SMT（Surface Mount Technology：表面組裝技術）或印刷線路板等將IC晶片連接到玻璃基板。

在本發明說明中，當明確地描述X和Y連接時，包括X和Y電連接的情況、X和Y在功能上連接的情況以及X和Y直接連接的情況。這裏，X和Y爲物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜或層等）。因此，還包括附圖或文章所示的連接關係以外的連接關係，而不侷限於規定的連接關係例如附圖或文章所示的連接關係。

作爲X和Y電連接的情況的一個例子，可以在X和Y之間連接一個以上的能夠電連接X和Y的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體等）。

作爲X和Y在功能上連接的情況的一個例子，可以在X和Y之間連接一個以上的能夠在功能上連接X和Y的電路（例如，邏輯電路（反相器、NAND電路、NOR電路等）、信號轉換電路（DA轉換電路、AD轉換電路、γ（伽馬）校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移器電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極跟隨電路、緩衝器電路等）、信號產生電路、儲存電路、控制電路等）。另外，例如，即使在X和Y之間夾有其他電路，在從X輸出的信號傳送到Y的情況下也可以說X和Y在功能上連接。

在本發明說明中，明確地記載爲單數的較佳爲單數。

但是，即使在此情況下，也可以是複數。與此同樣，明確地記載爲複數的較佳爲複數。但是，即使在此情況下，也可以是單數。

在本申請的附圖中，有時爲了容易理解而誇大尺寸、層的厚度或區域。因此，不一定限定於其尺度。再者，附圖是以示意的實施例示出了理想的例子，而不侷限於附圖所示的形狀或數值等。例如，可以包括製造技術所引起的形狀不均勻、誤差所引起的形狀不均勻、雜波所引起的信號、電壓或電流的不均勻或定時偏差所引起的信號、電壓或電流的不均勻等。

此外，專業名詞在很多情況下被用來描述特定的實施方式或者實施例等。但是，本發明的一個實施例不應該被解釋爲受到專業名詞的限定的方式。

另外，沒有定義的詞語（包括專業名詞或學術名詞等科技名詞）可以表示與所屬技術領域的技術人員所理解的一般意思相同的意思。由詞典等定義的詞語較佳解釋爲不與有關技術的背景產生矛盾的意思。

另外，第一、第二、第三等這些詞用來有區別地描述各種因素、構件、區域、層、領域等。因此，第一、第二、第三等這些詞不限定因素、構件、區域、層、領域等順序及個數。再者，例如，可以使用“第二”或“第三”等代替“第一”。

另外，“上”、“上方”、“下”、“下方”、“橫”、“右”、“左”、“斜”、“裏邊”、“前邊”、“內”、“外”或“中”等表示

空間配置的詞語多用於根據附圖簡單地示出一個因素或特徵與另一因素或特徵的關係的情況。但是，不侷限於上述用法，這些表示空間配置的詞語有時除了附圖所描述的方向以外還可以包括其他方向。例如，明確地記載“在X之上有Y”的情況不侷限於Y存在於X之上的情況。附圖中的結構可以反轉或者轉動180°，所以還可以包括Y存在於X之下的情況。如此，“上”這詞語除了“上”這方向以外還可以包括“下”這方向。但是，不侷限於此，附圖中的裝置轉動爲各種方向，所以“上”這詞語除了“上”及“下”這些方向以外還可以包括“橫”、“右”、“左”、“斜”、“裏邊”、“前邊”、“內”、“外”或“中”等其他方向。就是說，可以根據狀況而適當地進行解釋。

另外，明顯地描述“Y形成在X之上”或“Y形成在X上”的情況不侷限於Y直接接觸地形成在X之上的情況。還包括不直接接觸的情況，即，在X和Y之間夾有其他物件物的情況。這裏，X和Y是物件物（例如裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

因此，例如，在明確地記載“層Y形成在層X的上面（或層X上）”的情況包括如下兩種情況：層Y直接接觸地形成在層X上面的情況；以及在層X的上面直接接觸地形成其他層（例如層Z等），層Y直接接觸地形成在所述其他層上的情況。注意，其他層（例如層Z等）可以是單層或多個層。

再者，當明確地描述Y形成在X之上時，它並不必須

表示X與Y直接接觸地形成，而包括在X和Y之間夾有另一物件的情況。因此，例如，“層Y形成在層X的上方”包括如下兩種情況：層Y直接接觸地形成在層X之上；以及其他層（例如層Z等）直接接觸地形成在層X之上，並在其上直接接觸地形成層Y。注意，其他層（例如層Z等）可以是單層或多個層。

另外，明確地記載“在X的上面形成Y”、“在X上形成Y”、或“在X的上方形成Y”的情況還包括在X的斜上面形成Y的情況。

Y形成在X之下、或者Y形成在X之下方的描述也是同樣的。

本發明的一個實施例是一種半導體裝置，包括：第一電晶體；第二電晶體；第一開關；第二開關；以及第三開關，其中第一電晶體的第一端子連接於第一佈線，其第二端子連接於第二佈線，第二電晶體的閘極及第一端子連接於第一佈線，其第二端子連接於第一電晶體的閘極，第一開關連接於第二佈線和第三佈線之間，第二開關連接於第二佈線和第三佈線之間，並且第三開關連接於第一電晶體的閘極和第三佈線之間。

在本發明的一個實施例中，也可以具有第一期間和第二期間；在第一期間，第一開關、第二開關和第三開關截止，並且第一佈線的電位成爲H位準；在第二期間，第一開關截止，第二開關和第三開關導通，並且第一佈線的電位成爲L位準。

在本發明的一個實施例中，因爲在包括第一及第二電晶體和第一至第三開關的半導體裝置中可以使第一及第二電晶體和第一至第三開關導通的時間縮短或者可以減少導通的次數，所以可以抑制退化。或者，因爲在包括第一至第五電晶體的半導體裝置中可以使第一至第五電晶體導通的時間縮短或者可以減少導通的次數，所以可以抑制退化。或者，因爲在除了第一至第五電晶體以外還具有第六電晶體的半導體裝置中可以使第一至第六電晶體導通的時間縮短或者可以減少導通的次數，所以可以抑制退化。或者，因爲在除了第一至第六電晶體以外還具有第七電晶體的半導體裝置中可以使第一至第七電晶體導通的時間縮短或者可以減少導通的次數，所以可以抑制退化。

【圖式簡單說明】

在附圖中：

圖1A至1D是實施例模式1中的半導體裝置的電路圖、其邏輯電路、其邏輯式以及其真值表；

圖2A至2C是用來說明實施例模式1中的半導體裝置的工作的示意圖；

圖3A至3C是用來說明實施例模式1中的半導體裝置的工作的示意圖；

圖4A至4C是用來說明實施例模式1中的半導體裝置的工作的示意圖；

圖5A至5I是實施例模式1中的半導體裝置的電路圖；

圖6A至6F是實施例模式1中的半導體裝置的電路圖；

圖7A至7E是實施例模式1中的半導體裝置的電路圖；

圖8A至8F是實施例模式1中的半導體裝置的電路圖；

圖9A至9H是實施例模式1中的半導體裝置的電路圖；

圖10A至10C是實施例模式2中的半導體裝置的電路圖；

圖11A至11F是實施例模式1中的半導體裝置的電路圖；

圖12A至12D是實施例模式1中的半導體裝置的電路圖；

圖13A至13D是實施例模式2中的半導體裝置的電路圖、其邏輯電路、其邏輯式以及其真值表；

圖14A至14C是實施例模式2中的半導體裝置的電路圖和用來說明其工作的示意圖；

圖15A至15C是用來說明實施例模式2中的半導體裝置的工作的時序圖；

圖16A至16C是實施例模式2中的半導體裝置的電路圖和用來說明其工作的示意圖；

圖17A和17B是實施例模式2中的半導體裝置的電路圖和用來說明其工作的時序圖；

圖18A和18B是用來說明實施例模式2中的半導體裝置的工作的示意圖；

圖19A至19C是用來說明實施例模式2中的半導體裝置的工作的示意圖；

圖20A至20C是實施例模式2中的半導體裝置的電路圖和用來說明其工作的示意圖；

圖21A和21B是實施例模式2中的半導體裝置的電路圖和用來說明其工作的時序圖；

圖22A和22B是用來說明實施例模式2中的半導體裝置的工作的示意圖；

圖23A和23B是實施例模式2中的半導體裝置的電路圖和用來說明其工作的示意圖；

圖24A和24B是用來說明實施例模式2中的半導體裝置的工作的示意圖；

圖25A和25B是實施例模式2中的半導體裝置的電路圖和用來說明其工作的時序圖；

圖26A和26B是用來說明實施例模式2中的半導體裝置的工作的示意圖；

圖27A至27C是實施例模式2中的半導體裝置的電路圖；

圖28A至28C是實施例模式2中的半導體裝置的電路圖；

圖29A至29C是實施例模式2中的半導體裝置的電路圖；

圖30A至30C是實施例模式2中的半導體裝置的電路圖；

圖31A至31C是實施例模式2中的半導體裝置的電路圖和用來說明其工作的時序圖；

圖32A和32B是實施例模式2中的半導體裝置的電路圖和用來說明其工作的時序圖；

圖33A至33E是實施例模式3中的顯示裝置的方方塊圖和像素的電路圖；

圖34是實施例模式3中的移位暫存器的電路圖；

圖35是用來說明實施例模式3中的移位暫存器的工作的時序圖；

圖36A至36D是實施例模式4中的信號線驅動電路的電路圖、用來說明其工作的時序圖以及顯示裝置的方方塊圖；

圖37A至37G是實施例模式5中的保護電路的電路圖；

圖38A和38B是實施例模式5中的保護電路的電路圖；

圖39A至39C是實施例模式6中的半導體裝置的截面圖；

圖40A至40C是實施例模式7中的顯示裝置的俯視圖和截面圖；

圖41A至41E是用來說明實施例模式8中的電晶體的製程的圖；

圖42是實施例模式9中的半導體裝置的佈局圖；

圖43A至圖43H是用來說明實施例模式10中的電子設備的圖；

圖44A至圖44H是用來說明實施例模式10中的電子設備的圖；

圖45A和45B是實施例模式1中的半導體裝置的電路

圖；

圖46A和46B是實施例模式1中的半導體裝置的電路圖；以及

圖47A和47B是實施例模式2中的半導體裝置的電路圖。

【實施方式】

以下，參照附圖說明實施例模式。本實施例模式可以以多種不同方式來實施，所屬技術領域的技術人員可以很容易地理解一個事實就是，其方式及詳細內容可以在不脫離本發明的宗旨及其範圍的情況下被變換爲各種各樣的形式。因此，並不只限於實施例模式的記載內容。在以下所說明的結構中，使用相同的附圖標記來表示不同附圖中的相同的部分或具有相同功能的部分而省略相同的部分或具有相同的功能的部分的詳細說明。

實施例模式1

將參照圖45A說明本實施例模式的結構。圖45A示出本實施例模式的半導體裝置的電路圖。

電路100具有電晶體101（第一電晶體）、開關102S（第一開關）、開關103S（第二開關）、電晶體104（第二電晶體）以及開關105S（第三開關）。

另外，電晶體101和電晶體104是N通道電晶體。n通道電晶體在其閘極與源極之間的電位差（Vgs）超過臨界值

電壓（Vth）時導通。但是，本發明不侷限於此。電晶體101和電晶體104可以是p通道電晶體。p通道電晶體在其閘極與源極之間的電位差（Vgs）變成小於臨界值電壓（Vth）時導通。

電晶體101的第一端子連接到佈線112（第一佈線），而電晶體101的第二端子連接到佈線111（第二佈線）。開關102S連接於佈線111和佈線115（第三佈線）之間。開關103S連接於佈線111和佈線115之間。電晶體104的第一端子連接於佈線112，電晶體104的第二端子連接於電晶體101的閘極，並且電晶體104的閘極連接於佈線112。開關105S連接於佈線115和電晶體101的閘極之間。

另外，開關102S、開關103S以及開關105S可以具有控制端子。圖45B示出開關102S的控制端子連接於佈線114（第四佈線），開關103S的控制端子連接於佈線113（第五佈線），並且開關105S的控制端子連接於佈線113時的結構。

另外，作爲開關102S、開關103S以及開關105S，可以使用電晶體。在圖1A中，使用電晶體作爲開關。圖1A示出作爲開關102S、開關103S以及開關105S，分別使用電晶體102（第三電晶體）、電晶體103（第四電晶體）以及電晶體105（第五電晶體）時的例子。電晶體102的第一端子連接於佈線115，電晶體102的第二端子連接於佈線111，並且電晶體102的閘極連接於佈線114。電晶體103的第一端子連接於佈線115，電晶體103的第二端子連接於佈線

111，並且電晶體103的閘極連接於佈線113。電晶體105的第一端子連接於佈線115，電晶體105的第二端子連接於電晶體101的閘極，並且電晶體105的閘極連接於佈線113。

另外，電晶體102、電晶體103以及電晶體105是與電晶體101相同的N通道電晶體。但是，電晶體102、電晶體103以及電晶體105也可以是P通道電晶體。

另外，以節點11表示電晶體101的閘極和電晶體104的第二端子的連接部分或者電晶體101的閘極和電晶體105的第二端子的連接部分。

接著，說明輸入或輸出到佈線111至佈線115的信號或電壓的一個例子及這些佈線的功能。

從佈線111輸出信號OUT。

信號IN1輸入到佈線112。信號IN2輸入到佈線113。信號IN3輸入到佈線114。

將電壓V1提供給佈線115。電壓V1爲電源電壓、參考電壓、接地電壓、接地或負電源電壓。但是，本發明不侷限於此，也可以將信號（例如，時鐘信號或反相時鐘信號等）輸入到佈線115。

L位準的信號、L信號、L位準的電位或電壓V1等的電位大致爲V1。H位準的信號、H信號、H位準的電位或電壓V2等的電位大致爲V2（V2>V1）。注意，詞語“大致”包括各種誤差，例如因雜波引起的誤差、因步驟的不均勻性引起的誤差、因製造元件的步驟的不均勻性引起的誤差和/或測量誤差（以下同）。

例如，在電晶體的閘極連接於一個節點，並且該節點的電位成爲L位準時，該電晶體截止（或導通）。在此情況下，該節點的電位成爲L位準是指該節點的電位成爲能夠使該電晶體截止（或導通）的數值。或者，該節點的電位成爲L位準是指該節點的電位成爲如下數值，即可以將該電晶體的閘極與源極之間的電壓（Vgs）減小（或增大）到包括該電晶體的電路可以實現預定的工作的程度的數值。

另外，在作爲信號IN1至IN3使用時鐘信號時，該時鐘信號既可爲平衡，又可爲非平衡（不平衡）。平衡是指在一個週期中成爲H位準的期間和成爲L位準的期間大致相同。非平衡是指成爲H位準的期間和成爲L位準的期間不同。

例如，作爲信號IN1使用時鐘信號，作爲信號IN2使用其相位從信號IN1大致錯開180°的信號，且信號IN1和信號IN2爲非平衡。在此情況下，信號IN2有可能不是信號IN1的反相信號。

這裏，如圖5A所示，將信號或電壓從電路150供給給佈線112至115。電路150產生信號或電壓等，而將信號或電壓供給給佈線112至115。

電路150可以具有電路151至電路154。電路151具有產生信號或電壓而將信號或電壓供給給佈線112的功能。電路152具有產生信號或電壓而將信號或電壓供給給佈線113的功能。電路153具有產生信號或電壓而將信號或電壓供

給給佈線114的功能。電路154具有產生信號或電壓而將信號或電壓供給給佈線115的功能。

電路150至154分別包括圖5B所示的放大電路、圖5C所示的雙極電晶體、圖5D所示的MOS電晶體、圖5E所示的電容元件、圖5F所示的反相器、圖5G所示的直流電壓源、圖5H所示的交流電壓源和/或圖5I所示的直流電流源等。

如圖5A所示，將保護電路160連接於佈線112至114。

以下，說明電路100和電晶體101至105的功能。

電路100具有控制佈線111的電位的功能。或者，電路100具有控制將佈線112的電位、佈線113的電位、佈線114的電位或佈線115的電位供給給佈線111的時序的功能。或者，電路100具有控制將信號或電壓供給給佈線111的時序的功能。或者，電路100具有控制將H信號或電壓V2供給給佈線111的時序的功能。或者，電路100具有控制將L信號或電壓V1供給給佈線111的時序的功能。或者，電路100具有控制使佈線111的電位上升的時序的功能。或者，電路100具有控制使佈線111的電位降低的時序的功能。或者，電路100具有控制維持佈線111的電位的時序的功能。如上所述，電路100具有控制電路的功能。另外，電路100不一定需要具有以上所列出的全部功能。另外，根據信號IN1至IN3而控制電路100。

另外，如圖1B所示，電路100具有包含AND的邏輯電路的功能。明確地說，電路100具有組合了三個輸入的

AND和兩個NOT的邏輯電路的功能。另外，將信號IN1輸入到AND的第一輸入端子，將信號IN2由第一NOT反相的信號輸入到AND的第二輸入端子，將信號IN3由第二NOT反相的信號輸入到AND的第三輸入端子，並且從AND的輸出輸出信號OUT。就是說，電路100具有實現圖1C所示的邏輯式的功能，或者，具有實現圖1D所示的真值表的功能。

電晶體101具有控制佈線112和佈線111的導通狀態的功能。或者，電晶體101具有控制將佈線112的電位供給給佈線111的時序的功能。或者，在將信號或電壓輸入到佈線112時，電晶體101具有控制將輸入到佈線112的信號或電壓供給給佈線111的時序的功能。或者，電晶體101具有控制將H信號或電壓V2供給給佈線111的時序的功能。或者，電晶體101具有控制將L信號或電壓V1供給給佈線111的時序的功能。或者，電晶體101具有控制使佈線111的電位上升的時序的功能。或者，電晶體101具有控制使佈線111的電位降低的時序的功能。或者，電晶體101具有執行升壓（bootstrap）工作的功能。或者，電晶體101具有藉由執行升壓工作而使節點11的電位上升的功能。如上所述，電晶體101具有開關或緩衝器的功能。另外，電晶體101不一定需要具有以上所列出的全部功能。

電晶體102具有控制佈線115和佈線111的導通狀態的功能。或者，電晶體102具有控制將佈線115的電位供給給佈線111的時序的功能。或者，在將信號或電壓輸入到佈

線115時，電晶體102具有控制將輸入到佈線115的信號或電壓供給給佈線111的時序的功能。或者，電晶體102具有控制將L信號或電壓V1供給給佈線111的時序的功能。或者，電晶體102具有控制使佈線111的電位降低的時序的功能。如上所述，電晶體102具有開關的功能。另外，電晶體102不一定需要具有以上所列出的全部功能。另外，可以根據佈線114的電位（信號IN3）而控制電晶體102。

電晶體103具有控制佈線115和佈線111的導通狀態的功能。或者，電晶體103具有控制將佈線115的電位供給給佈線111的時序的功能。或者，在將信號或電壓輸入到佈線115時，電晶體103具有控制將輸入到佈線115的信號或電壓供給給佈線111的時序的功能。或者，電晶體103具有控制將L信號或電壓V1供給給佈線111的時序的功能。或者，電晶體103具有控制使佈線111的電位降低的時序的功能。如上所述，電晶體103具有開關的功能。另外，電晶體103不一定需要具有以上所列出的全部功能。另外，可以根據佈線113的電位（信號IN2）而控制電晶體103。

電晶體104具有控制佈線112和節點11的導通狀態的功能。或者，電晶體104具有控制將佈線112的電位供給給節點11的時序的功能。或者，在將信號或電壓輸入到佈線112時，電晶體104具有控制將輸入到佈線112的信號或電壓供給給節點11的時序的功能。或者，電晶體104具有控制將H信號或電壓V2供給給節點11的時序的功能。或者，電晶體104具有控制使節點11的電位上升的時序的功能。

或者，電晶體104具有使節點11處於浮動狀態的功能。如上所述，電晶體104具有開關、二極體或被進行了二極體連接的電晶體等的功能。另外，電晶體104不一定需要具有以上所列出的全部功能。另外，可以根據佈線112的電位（信號IN1）和/或節點11的電位而控制電晶體104。

電晶體105具有控制佈線115和節點11的導通狀態的功能。或者，電晶體105具有控制將佈線115的電位供給給節點11的時序的功能。或者，在將信號或電壓輸入到佈線115時，電晶體105具有控制將輸入到佈線115的信號或電壓供給給節點11的時序的功能。或者，電晶體105具有控制將L信號或電壓V1供給給節點11的時序的功能。或者，電晶體105具有控制使節點11的電位降低的時序的功能。如上所述，電晶體105具有開關的功能。另外，電晶體105不一定需要具有以上所列出的全部功能。另外，可以根據佈線113的電位（信號IN2）而控制電晶體105。

接著，參照圖1D的真值表（工作表）說明電路100的工作。圖1D示出信號IN1至IN3爲數位信號時的真值表。因此，有八個信號IN1至IN3的H位準和L位準的組合。就是說，電路100能夠進行至少八個種類的工作。這裏，分別說明該八個種類的工作。

另外，電路100不一定需要進行這些八個種類的所有工作，而可以選擇其一部分來進行工作。另外，電路100可以進行這些八個種類的工作以外的工作。例如，在信號IN1至IN3具有三個以上的數值時，或者，在信號IN1至IN3

具有類比信號時，電路100除了進行這些八個種類的工作以外還可以進行更多種類的工作。

首先，參照圖2A說明電路100的工作1。因爲信號IN2成爲H位準，所以電晶體105導通。然後，因爲佈線115和節點11處於導通狀態，所以佈線115的電位（例如，電壓V1）被供給給節點11。此時，因爲信號IN1成爲H位準，所以電晶體104導通。然後，因爲佈線112和節點11處於導通狀態，所以佈線112的電位（例如，H位準的信號IN1）被供給給節點11。就是說，將佈線115的電位（例如，電壓V1）和佈線112的電位（例如，H位準的信號IN1）供給給節點11。這裏，電晶體105的通道寬度大於電晶體104的通道寬度。因此，節點11的電位成爲L位準。此時的節點11的電位大於V1且小於V1+Vth101（Vth101是電晶體101的臨界值電壓）。結果，因爲電晶體101截止，所以佈線112和佈線111處於非導通狀態。

另外，因爲信號IN2成爲H位準，所以電晶體103導通。此時，因爲信號IN3成爲H位準，所以電晶體102導通。因爲佈線115和佈線111處於導通狀態，所以佈線115的電位（例如，電壓V1）被供給給佈線111。因此，佈線111的電位成爲V1，從而信號OUT成爲L位準。

另外，可以將“電晶體A的通道寬度大於電晶體B的通道寬度”解釋爲“電晶體A的1/W（W爲通道寬度）小於電晶體B的1/W”，“電晶體A的L（L爲通道長度）小於電晶體B的L”，“電晶體A的1/L大於電晶體B的1/L”，

“電晶體A的W/L大於電晶體B的W/L”，“電晶體A的Vgs（Vgs爲閘極和源極之間的電位差）大於電晶體B的Vgs”等。在電晶體爲多閘結構，而且電晶體具有多個閘極時，可以將“電晶體A的通道寬度大於電晶體B的通道寬度”解釋爲“電晶體A的閘極個數小於電晶體B的閘極個數”或“電晶體A的閘極個數的倒數大於電晶體B的閘極個數的倒數”。

接著，參照圖2B說明電路100的工作2。工作2與工作1不同之處爲信號IN3成爲L位準。因爲信號IN3成爲L位準，所以電晶體102截止。雖然電晶體102截止，但是與工作1同樣，電晶體103導通。就是說，與工作1同樣，佈線115和佈線111處於導通狀態，因此，將佈線115的電位（例如，電壓V1）供給給佈線111。因此，佈線111的電位成爲V1，從而信號OUT成爲L位準。

接著，參照圖2C說明電路100的工作3。因爲信號IN2成爲L位準，所以電晶體105截止。然後，佈線115和節點11處於非導通狀態。此時，因爲信號IN1成爲H位準，所以電晶體104導通。然後，因爲佈線112和節點11處於導通狀態，所以佈線112的電位（例如，H位準的信號IN1）被供給給節點11。就是說，將佈線112的電位（例如，H位準的信號IN1）供給給節點11。然後，節點11的電位開始上升。然後，當節點11的電位成爲V1+Vth101+Va（Va爲正數）時，電晶體101導通。然後，由於佈線112和佈線111處於導通狀態，所以將佈線112的電位（例如，H位準的信

號IN1）供給給佈線111。然後，節點11的電位也連續上升。然後，在節點11的電位成爲V2−Vth104（Vth104爲電晶體104的臨界值電壓）時，電晶體104截止。然後，佈線112和節點11處於非導通狀態。因此，節點11處於浮動狀態，同時其電位維持爲V2-Vth104。

因爲信號IN2成爲L位準，所以電晶體103截止。此時，因爲信號IN3成爲H位準，所以電晶體102導通。結果，因爲佈線115和佈線111處於導通狀態，所以將佈線115的電位（例如，電壓V1）供給給佈線111。就是說，將佈線115的電位（例如，電壓V1）和佈線112的電位（例如，H位準的信號IN1）供給給佈線111。這裏，電晶體102的通道寬度大於電晶體101的通道寬度。因此，佈線111的電位成爲L位準。此時的佈線111的電位成爲低於電壓V1和電晶體101至電晶體105中的任一電晶體的臨界值電壓的總和的數值。像這樣，因爲佈線111的電位成爲L位準，所以信號OUT成爲L位準。

以下，參照圖3A說明電路100的工作4。工作4與工作3的不同之處是信號IN3成爲L位準。因此，因爲信號IN3成爲L位準，所以電晶體102截止。此時，因爲電晶體103也截止，所以佈線115和佈線111處於非導通狀態。就是說，將佈線112的電位（例如，H位準的信號IN1）供給給佈線111。因此，佈線111的電位開始上升。此時，節點11處於浮動狀態。然後，因電晶體101的閘極和第二端子之間的寄生電容而使節點11的電位上升。結果，節點11的電位成

爲V2+Vth101+Va。這就是所謂的升壓（bootstrap）工作。像這樣，因爲佈線111的電位成爲V2，所以信號OUT成爲H位準。

以下，參照圖3B說明電路100的工作5。因爲信號IN2成爲H位準，所以電晶體105導通。然後，因爲佈線115和節點11處於導通狀態，所以佈線115的電位（例如，電壓V1）被供給給節點11。此時，因爲信號IN1成爲L位準，所以電晶體104截止。然後，佈線112和節點11處於非導通狀態。就是說，將佈線115的電位（例如，電壓V1）供給給節點11。因此，節點11的電位成爲V1。然後，因爲電晶體101截止，所以佈線112和佈線111處於非導通狀態。

另外，因爲信號IN2成爲H位準，所以電晶體103導通。此時，因爲信號IN3成爲H位準，所以電晶體102導通。因爲佈線115和佈線111處於導通狀態，所以佈線115的電位（例如，電壓V1）被供給給佈線111。因此，佈線111的電位成爲V1，從而信號OUT成爲L位準。

接著，參照圖3C說明電路100的工作6。工作6與工作5不同之處爲信號IN3成爲L位準。因爲信號IN3成爲L位準，所以電晶體102截止。雖然電晶體102截止，但是與工作5同樣，電晶體103導通。就是說，與工作5同樣，佈線115和佈線111處於導通狀態，因此，將佈線115的電位（例如，電壓V1）供給給佈線111。因此，佈線111的電位成爲V1，從而信號OUT成爲L位準。

接著，參照圖4A說明電路100的工作7。因爲信號IN2

成爲L位準，所以電晶體105截止。然後，佈線115和節點11處於非導通狀態。此時，因爲信號IN1成爲L位準，所以電晶體104截止。然後，佈線112和節點11處於非導通狀態。就是說，因爲節點11處於浮動狀態，所以維持前一狀態的電位。這裏，節點11的電位低於V1+Vth101。因此，由於電晶體101截止，所以佈線112和佈線111處於非導通狀態。

另外，因爲信號IN2成爲L位準，所以電晶體103截止。此時，因爲信號IN3成爲H位準，所以電晶體102導通。因爲佈線115和佈線111處於導通狀態，所以佈線115的電位（例如，電壓V1）被供給給佈線111。因此，佈線111的電位成爲V1，從而信號OUT成爲L位準。

以下，參照圖4B說明電路100的工作8。工作8與工作7的不同之處是信號IN3成爲L位準。因此，因爲信號IN3成爲L位準，所以電晶體102截止。此時，因爲電晶體103也截止，所以佈線115和佈線111處於非導通狀態。就是說，佈線111處於不定狀態Z（浮置狀態、浮動狀態或高阻抗狀態）。因此，只要沒有因雜波等而發生的電位的變動，佈線111的電位就維持前一狀態的數值。因此，例如，在工作8的前一工作爲工作1至3及工作5至7中的任一工作時，信號OUT成爲L位準。或者，例如，在工作8的前一工作爲工作4時，信號OUT成爲H位準。

如上所述，在工作1至8中的任一工作中，電晶體101至105截止。因此，因爲可以使電晶體導通的時間縮短或

者可以減少電晶體導通的次數，所以可以抑制電晶體的退化。結果，可以抑制電晶體的特性退化（例如，臨界值電壓的上升或遷移率的降低等）。

或者，因爲可以抑制電晶體的退化或者可以將電路100所具有的所有電晶體的極性設定爲N通道型，所以可以將與單晶半導體相比容易退化的材料（例如，非晶半導體或微晶半導體等的非單晶半導體、有機半導體或氧化物半導體等）用作電晶體的半導體層。因此，可以減少步驟數、提高良率和/或減少製造成本等。或者，例如，將本實施例模式的半導體裝置用於顯示裝置。在此情況下，該顯示裝置可以爲大型顯示裝置。

或者，不需要考慮電晶體的退化而增大電晶體的通道寬度。或者，因爲藉由進行升壓工作可以增高電晶體的Vgs，所以可以減小電晶體的通道寬度。或者，因爲可以將輸出信號的振幅設定爲與電源電壓相同的數值或者與信號的振幅相同的數值，所以可以增大輸出信號的振幅。因此，可以減小由該輸出信號控制的電晶體的通道寬度。就是說，因爲可以減小電晶體的通道寬度，所以可以減小電晶體的通道的面積。

或者，因爲可以減小電晶體的通道的面積，所以可以減小佈局面積。結果，例如，將本實施例模式的半導體裝置用於顯示裝置。在此情況下，可以提高顯示裝置的解析度。或者，可以縮小顯示裝置的邊框。

或者，因爲可以減小電晶體的通道的面積，所以可以

減小具有閘極的功能的材料與半導體層隔著絕緣層重疊的面積。結果，可以減少具有閘極的功能的材料與半導體層之間的短路。因此，可以減少輸出信號的不均勻、防止誤動和/或提高良率。

或者，可以將所有電晶體設定爲N通道電晶體，或者，可以將所有電晶體設定爲P通道電晶體。據此，與使用CMOS電路的情況相比，可以更有效地實現步驟數的減少、良率的提高、可靠性的提高或者製造成本的降低。尤其是，藉由將所有電晶體設定爲N通道電晶體，可以將非晶半導體或微晶半導體等的非單晶半導體、有機半導體或氧化物半導體等用作電晶體的半導體層。注意，使用這些半導體層的電晶體容易退化。但是，本實施例模式的半導體裝置可以抑制電晶體的退化。

以下，說明電路100除了進行工作1至8以外還可以進行的工作。

首先，在工作1及2中，藉由使電晶體104的通道寬度大於電晶體105的通道寬度，可以使電晶體101導通。然後，因爲佈線112和佈線111處於導通狀態，所以將佈線112的電位（例如，H位準的信號IN1）供給給佈線111。就是說，將佈線115的電位（例如，電壓V1）和佈線112的電位（例如，H位準的信號IN1）供給給佈線111。在此情況下，藉由減小電晶體101的電流供給能力並將佈線111的電位設定爲比V1稍高一些的數值，可以使信號OUT成爲L位準。因此，電晶體101的通道寬度較佳小於電晶體102的

通道寬度或電晶體103的通道寬度。或者，電晶體101的Vgs較佳的小於V2-V1，更較佳小於（V2-V1）x1/2。例如，藉由控制電晶體101的Vgs，可以從佈線111輸出類比電壓。就是說，電路100可以具有類比緩衝器或放大電路等的功能。作爲另一例子，藉由使電晶體101的通道寬度大於電晶體102的通道寬度和電晶體103的通道寬度的總和，可以使信號OUT成爲H位準。

接著，使信號IN1從H位準變成L位準並使信號IN2從L位準變成H位準來將工作4轉換成工作6。在此情況下，如圖4C所示，在工作6中，藉由使電晶體101導通一段時間，可以將佈線112的電位（例如，L位準的信號IN1）供給給佈線111。像這樣，可以使信號OUT下降的時間縮短。爲了實現使信號OUT下降的時間縮短，可以使電晶體101截止的時序比信號IN1成爲L位準的時序遲。或者，可以使信號IN2成爲H位準的時序比信號IN1成爲L位準的時序遲。或者，可以使信號IN2的失真比信號IN1的失真大。或者，可以使電晶體105的通道寬度小於電晶體103的通道寬度。或者，可以將電容元件中的一方電極連接於節點11。可以將該電容元件中的另一電極連接於電源線或信號線（例如，佈線115或佈線111等）。該電容元件可以爲電晶體（例如，電晶體101、電晶體104或電晶體105）的寄生電容。或者，可以將信號從形成在與電路100相同的基板上的電路供給給佈線113。

接著，在工作7及8中，節點11的電位可以爲

V1+Vth101+Va。在此情況下，因爲電晶體101導通，所以佈線112和佈線111處於導通狀態。然後，將佈線112的電位（例如，L位準的信號IN1）供給給佈線111。像這樣，尤其是在工作8中，可以固定佈線111的電位，因此電路不容易引起誤動。

如上所述，本實施例模式的半導體裝置除了進行工作1至8以外還可以進行各種工作。

以下，說明電晶體101至105的通道寬度的比率。

首先，電晶體104及105所驅動的負載（例如，電晶體101的閘極）小於電晶體101至103所驅動的負載（例如，連接於佈線111的負載（例如，電晶體的閘極））。因此，電晶體104的通道寬度可以小於電晶體101的通道寬度、電晶體102的通道寬度和/或電晶體103的通道寬度。或者，電晶體105的通道寬度可以小於電晶體101的通道寬度、電晶體102的通道寬度和/或電晶體103的通道寬度。在此情況下，電晶體101的通道寬度較佳爲電晶體104的通道寬度的20倍以下，更佳爲10倍以下，進一步較佳爲7倍以下。電晶體101的通道寬度較佳爲電晶體105的通道寬度的10倍以下，更佳爲5倍以下，進一步較佳爲3倍以下。

接著，在信號OUT成爲L位準的情況下，有時將佈線115的電位（例如，電壓V1）藉由電晶體102和電晶體103的兩個電晶體供給給佈線111。另一方面，在信號OUT成爲H位準的情況下，有時將佈線112的電位（例如，H位準的信號IN1）隔著電晶體101的一個電晶體供給給佈線

111。因此，電晶體101的通道寬度可以大於電晶體102的通道寬度和/或電晶體103的通道寬度。在此情況下，電晶體101的通道寬度較佳爲電晶體102的通道寬度或電晶體103的通道寬度的3倍以下，更佳爲2倍以下。

接著，在信號IN1成爲H位準，並且電晶體101導通時，電晶體102或電晶體103導通。在此情況下，電晶體102的通道寬度可以大於電晶體101的通道寬度，以使佈線111的電位成爲L位準。或者，電晶體103的通道寬度可以大於電晶體101的通道寬度。在此情況下，電晶體101的通道寬度較佳爲電晶體102的通道寬度或電晶體103的通道寬度的1倍以下，更佳爲0.7倍以下。

另外，在信號IN1成爲H位準，並且電晶體101導通時，電晶體103導通，但是，電晶體102幾乎不導通。因此，電晶體103的通道寬度可以小於電晶體102的通道寬度。

接著，在工作1至2中，藉由使電晶體104和電晶體105導通，將佈線115的電位（例如，電壓V1）和佈線112的電位（例如，H位準的信號IN1）供給給節點11。因此，如上所述，電晶體105的通道寬度可以大於電晶體104的通道寬度，以使節點11的電位成爲L位準。在此情況下，電晶體105的通道寬度較佳爲電晶體104的通道寬度的15倍以下，更佳爲10倍以下，進一步較佳爲8倍以下。例如，藉由使電晶體104的通道長度大於電晶體105的通道長度，可以使電晶體105的W/L比大於電晶體104的W/L比。在此情

況下，電晶體104的通道長度較佳爲電晶體105的通道長度的9倍以下，更佳爲6倍以下，進一步較佳爲3倍以下。

如上所述，較佳的將電晶體的通道寬度的比率設定爲適當的數值。另外，考慮到上述電晶體的尺寸的比率，電晶體101的通道寬度較佳爲100μm以上且1000μm以下，更佳爲100μm以上且300μm以下或者500μm以上且800μm以下。電晶體102的通道寬度或電晶體103的通道寬度較佳爲100μm以上且1500μm以下，更佳爲100μm以上且300μm以下或者700μm以上且1200μm以下。電晶體104的通道寬度較佳爲10μm以上且300μm以下，更佳爲20μm以上且100μm以下。電晶體105的通道寬度較佳爲30μm以上且500μm以下，更佳爲50μm以上且150μm以下。

以下，說明其結構與圖1A不同的半導體裝置。

首先，在圖1A所示的結構中，電晶體105的第一端子可以連接於與佈線115不同的佈線（例如，佈線112等）。或者，電晶體105的閘極可以連接於與佈線113不同的佈線（例如，佈線111、佈線116或節點11等）。

另外，可以將電壓V2供給給佈線116。因此，佈線116可以具有電源線的功能。例如，可以將信號輸入到佈線116。因此，佈線116可以具有信號線的功能。

圖6A示出在圖1A的半導體裝置中將電晶體105的第一端子連接於佈線112的結構。可以將H信號供給給電晶體105的第一端子。因此，因爲可以將反向偏壓施加到電晶體105，所以可以抑制電晶體105的退化。

圖6B示出在圖1A的半導體裝置中將電晶體105的第一端子連接於佈線112且將電晶體105的閘極連接於節點11的結構。可以將H信號供給給電晶體105的第一端子。因此，因爲可以將反向偏壓施加到電晶體105，所以可以抑制電晶體105的退化。

圖6C示出在圖1A的半導體裝置中將電晶體105的第一端子連接於佈線112且將電晶體105的閘極連接於佈線116的結構。可以將H位準的信號IN1藉由電晶體104和電晶體105供給給節點11。因此，可減小電晶體104的通道寬度。

接著，在圖1A及圖6A至6C所示的結構中，可以將電晶體103的第一端子連接於與佈線115不同的佈線（例如，佈線112）。或者，可以將電晶體103的閘極連接於與佈線113不同的佈線（例如，佈線111、佈線116或節點11等）。

圖6D示出在圖1A的半導體裝置中將電晶體103的第一端子連接於佈線112的結構。可以將H信號供給給電晶體103的第一端子。因此，因爲可以將反向偏壓施加到電晶體103，所以可以抑制電晶體103的退化。

圖6E示出在圖1A的半導體裝置中將電晶體103的第一端子連接於佈線112且將電晶體103的閘極連接於佈線111的結構。因此，因爲可以將反向偏壓施加到電晶體103，所以可以抑制電晶體103的退化。

圖6F示出在圖1A的半導體裝置中將電晶體103的第一端子連接於佈線112且將電晶體103的閘極連接於佈線116

的結構。可以將H位準的信號IN1藉由電晶體103和電晶體101供給給佈線111。因此，可減小電晶體101的通道寬度。

接著，在圖1A及圖6A至6F所示的結構中，可以將電晶體104的第一端子連接於與佈線112不同的佈線（例如，佈線116等）。或者，可以將電晶體104的閘極連接於與佈線112不同的佈線（例如，佈線116等）。

圖7A示出在圖1A的半導體裝置中將電晶體104的第一端子連接於佈線116的結構。

圖7B示出在圖1A的半導體裝置中將電晶體104的閘極連接於佈線116的結構。可以藉由電晶體104供給佈線112的電位（例如，L位準的信號IN1）。由此，可以固定節點11的電位，因此可以得到抗雜波性能好的半導體裝置。

接著，在圖1A、圖6A至6F以及圖7A和7B所示的結構中，可以將電晶體102的第一端子連接於與佈線115不同的佈線（例如，佈線113、佈線114或節點11等）。或者，可以將電晶體103的第一端子和/或電晶體105的第一端子連接於與佈線115不同的佈線（例如，佈線113、佈線114或節點11等）。

圖7C示出在圖1A的半導體裝置中將電晶體102的第一端子連接於佈線113的結構。可以將H信號供給給電晶體102的第一端子。因此，因爲可以將反向偏壓施加到電晶體102，所以可以抑制電晶體102的退化。

圖7D示出在圖1A的半導體裝置中將電晶體103的第一

端子和電晶體105的第一端子連接於佈線114的結構。可以將H信號供給給電晶體103的第一端子或電晶體105的第一端子。因此，因爲可以將反向偏壓施加到電晶體103或電晶體105，所以可以抑制電晶體103或電晶體105的退化。

接著，在圖1A、圖6A至6F以及圖7A至7D所示的結構中，可以將電晶體的各端子或各電極分別連接於不同的佈線。例如，可以將電晶體101的第一端子和電晶體104的第一端子分別連接於不同的佈線。或者，可以將電晶體103的閘極和電晶體105的閘極分別連接於不同的佈線。或者，可以將電晶體102的第一端子、電晶體103的第一端子和電晶體105的第一端子分別連接於不同的佈線。爲了實現上述連接，可以將佈線分割成多個佈線。

圖7E示出在圖1A的半導體裝置中將佈線112分割成多個佈線112A和112B，將佈線113分割成多個佈線113A和113B，並且將佈線115分割成多個佈線115A至115C的結構。電晶體101的第一端子連接於佈線112A，電晶體104的第一端子連接於佈線112B，並且電晶體104的閘極連接於佈線112B。或者，電晶體103的閘極連接於佈線113A，並且電晶體105的閘極連接於佈線113B。或者，電晶體102的第一端子連接於佈線115A，電晶體103的第一端子連接於佈線115B，並且電晶體105的第一端子連接於佈線115C。

另外，佈線112A和112B可以具有與佈線112相同的功能。或者，佈線113A和113B可以具有與佈線113相同的功能。或者，佈線115A至115C可以具有與佈線115相同的功

能。因此，可以將信號IN1輸入到佈線112A和112B。或者，可以將信號IN2輸入到佈線113A和113B。或者，可以將電壓V1供給給佈線115A至115C。例如，可以將不同的電壓或不同的信號分別供給給佈線112A和112B。或者，可以將不同的電壓或不同的信號分別供給給佈線113A和113B。或者，可以將不同的電壓或不同的信號分別供給給佈線115A至115C。

接著，在圖1A、圖6A至6F以及圖7A至7E所示的結構中，可以重新設置電晶體105A和/或電晶體103A。

圖8A示出在圖1A的半導體裝置中重新設置電晶體105A的結構。電晶體105A可以對應於電晶體105，並可以具有同樣的功能。電晶體105A的第一端子連接於佈線112，電晶體105A的第二端子連接於節點11，並且電晶體105A的閘極連接於佈線113。例如，與圖6B和6C同樣，可以將電晶體105A的閘極連接於節點11或佈線116。例如，與圖6B和6C同樣，可以將電晶體105A的閘極連接於與佈線113不同的佈線（例如，佈線111、佈線116或節點11等）。

圖8B示出在圖1A的半導體裝置中重新設置電晶體103A的結構。電晶體103A可以對應於電晶體103，並可以具有同樣的功能。電晶體103A的第一端子連接於佈線112，電晶體103A的第二端子連接於佈線111，並且電晶體103A的閘極連接於佈線113。例如，與圖6E和6F同樣，可以將電晶體103A的閘極連接於與佈線113不同的佈線（例

如，佈線111、佈線116或節點11等）。

接著，在圖1A、圖6A至6F、圖7A至7E以及圖8A和8B所示的結構中，可以重新設置電晶體106。

圖8C示出在圖1A的半導體裝置中重新設置電晶體106的結構。電晶體106爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體106可以爲P通道電晶體。電晶體106的第一端子連接於佈線115，電晶體106的第二端子連接於節點11，並且電晶體106的閘極連接於佈線114。

以下，說明電晶體106的功能。電晶體106具有控制佈線115和節點11的導通狀態的功能。或者，電晶體106具有控制將佈線115的電位供給給節點11的時序的功能。或者，在將信號或電壓輸入到佈線115時，電晶體106具有控制將輸入到佈線115的信號或電壓供給給節點11的時序的功能。或者，電晶體106具有控制將L信號或電壓V1供給給節點11的時序的功能。或者，電晶體106具有控制使節點11的電位降低的時序的功能。如上所述，電晶體106可以具有開關的功能。另外，電晶體106不一定需要具有以上所列出的全部功能。另外，可以根據佈線114的電位（信號IN3）控制電晶體106。

以下，說明圖8C的半導體裝置的工作。在工作1、工作3、工作5和工作7中，因爲信號IN3成爲H位準，所以電晶體106導通。然後，因爲佈線115和節點11處於導通狀態，所以將佈線115的電位（例如，電壓V1）供給給節點11。由此，可以固定節點11的電位，因此可以得到抗雜波

性能好的半導體裝置。或者，因爲可以將節點11的電位設定爲更低的電位，所以容易使電晶體101截止。或者，因爲可以減小電晶體105的通道寬度，所以可以減小佈局面積。另一方面，在工作2、工作4、工作6和工作8中，因爲信號IN3成爲L位準，所以電晶體106截止。像這樣，因爲可以使電晶體106導通的時間縮短，所以可以抑制電晶體106的退化。

接著，在圖1A、圖6A至6F、圖7A至7E以及圖8A至8C所示的結構中，可以省略電晶體103和/或電晶體105。

圖8D示出在圖1A的半導體裝置中省略電晶體103的結構。即使在省略電晶體103的情況下，例如，藉由使電晶體101從導通變成截止的時序遲於信號IN1從H位準變成L位準的時序，也可以將佈線112的電位（例如，L位準的信號IN1）供給給佈線111。因此，可以將佈線111的電位設定爲V1。像這樣，藉由省略電晶體103，可以減少電晶體的個數。

另外，電晶體105的通道寬度可以小於電晶體101的通道寬度，以使電晶體101從導通變成截止的時序遲於信號IN1從H位準變成L位準的時序。或者，在電路100所具有的電晶體中，電晶體101的通道的面積（例如，L×W）可以最大。

圖8E示出在圖1A的半導體裝置中省略電晶體105的結構。藉由省略電晶體105，可以減少電晶體的個數。

接著，在圖1A、圖6A至6F、圖7A至7E以及圖8A至8E

所示的結構中，可以將電容元件107連接於電晶體101的閘極和第二端子之間。例如，作爲電容元件，可以使用MOS電容器。

圖8F示出在圖1A的半導體裝置中將電容元件107連接於電晶體101的閘極和第二端子之間的結構。在進行升壓工作時，節點11的電位容易上升。因此，可以增大電晶體101的Vgs。結果，可以減小電晶體101的通道寬度。或者，信號OUT的下降時間或上升時間可縮短。

另外，電容元件107中的一方電極的材料較佳爲與電晶體的閘極相同的材料。或者，電容元件107中的另一方電極的材料較佳爲與電晶體的源極或汲極相同的材料。像這樣，可以減小佈局面積。或者，可以增大電容值。

另外，電容元件107中的一方電極和另一方電極重疊的面積較佳小於電晶體101中的用作閘極的材料和半導體層重疊的面積。

接著，在圖1A、圖6A至6F、圖7A至7E以及圖8A至8F所示的結構中，可以在電路100中重新設置電路120。

圖9A示出在圖1A的半導體裝置中重新設置電路120的結構。電路120連接於佈線113與電晶體103的閘極及電晶體105的閘極的連接部之間。電路120具有使輸入到佈線113的信號IN2延遲的功能。因此，例如，電晶體105的閘極電位上升的時序遲於信號IN2從L位準變成H位準的時序。就是說，電晶體105導通的時序或節點11的電位降低的時序遲於信號IN2從L位準變成H位準的時序。因此，例

如，電晶體101從導通變成截止的時序可以遲於信號IN1從H位準變成L位準的時序。結果，因爲將L位準的信號IN1供給給佈線111，所以信號OUT的下降時間可以縮短。例如，如圖9B所示，可以將電晶體103的閘極不隔著電路120連接於佈線113，將電晶體105的閘極隔著電路120連接於佈線113。這是因爲如下緣故：電晶體103越快地導通，就可以越快地將電壓V1供給給佈線111。因此，信號OUT的下降時間可縮短。作爲另一個例子，可以將電晶體105的閘極隔著電路120連接於佈線111。在此情況下，電晶體103的閘極既可連接於電晶體105的閘極，又可連接於佈線113。

另外，電路120只要至少具有電容成分和電阻成分，即可。例如，作爲電路120，可以使用電阻元件、電容元件、電晶體、二極體、組合了這些元件的電路或其他各種元件。圖9C和9D示出電路120具有電阻元件121和電容元件122的結構。作爲另一個例子，作爲電路120，可以使用緩衝器電路、反相器電路、NAND電路、NOR電路、位準轉移器電路、組合了這些電路的電路或其他各種電路。圖9E示出電路120具有緩衝器電路123的結構。圖9F示出電路120具有反相器電路124的結構。

另外，電容成分可以爲寄生電容，而電阻成分可以爲寄生電阻。就是說，作爲電路120，可以使用佈線、一個層的材料與另一個層的材料之間的接觸或FPC焊盤等。因此，例如，佈線113的佈線電阻較佳大於佈線112的佈線電

阻。佈線113的最小佈線寬度較佳小於佈線112的最小佈線寬度，以實現佈線113的佈線電阻大於佈線112的佈線電阻。或者，與佈線112相比，佈線113可以包含大量的在導電材料中電阻值最大的材料（例如，包含像素電極的材料的材料）。或者，例如，將某個材料用於佈線113和佈線112的兩者。在此情況下，佈線113所具有的該材料的最小厚度可以薄於佈線112所具有的該材料的最小厚度。

另外，作爲緩衝器電路123，可以使用圖9G所示的結構。緩衝器電路具有電晶體125、電晶體126、電晶體127以及電晶體128。電晶體125的第一端子連接於佈線129，電晶體125的第二端子連接於電晶體103的閘極，並且電晶體125的閘極連接於佈線113。電晶體126的第一端子連接於佈線130，電晶體126的第二端子連接於電晶體103的閘極。電晶體127的第一端子連接於佈線129，電晶體127的第二端子連接於電晶體126的閘極，並且電晶體127的閘極連接於佈線129。電晶體128的第一端子連接於佈線130，電晶體128的第二端子連接於電晶體126的閘極，並且電晶體128的閘極連接於佈線113。另外，在很多情況下，將電壓V2等的高電壓供給給佈線129，並且將電壓V1等的負電壓供給給佈線130。

另外，作爲反相器電路124，可以使用圖9H所示的結構。反相器電路具有電晶體131、電晶體132、電晶體133以及電晶體134。電晶體131的第一端子連接於佈線129，電晶體131的第二端子連接於電晶體103的閘極。電晶體

132的第一端子連接於佈線130，電晶體132的第二端子連接於電晶體103的閘極，並且電晶體132的閘極連接於佈線113。電晶體133的第一端子連接於佈線129，電晶體133的第二端子連接於電晶體131的閘極，並且電晶體133的閘極連接於佈線129。電晶體134的第一端子連接於佈線130，電晶體134的第二端子連接於電晶體131的閘極，並且電晶體134的閘極連接於佈線113。

接著，在圖1A、圖6A至6F、圖7A至7E、圖8A至8F以及圖9A和9B所示的結構中，可以使用二極體代替電晶體。例如，可以對電晶體進行二極體連接。

圖11A示出在圖1A的半導體裝置中使用二極體代替電晶體的結構。可以使用其一方電極（例如，輸入端子）連接於節點11，而其另一方電極（例如，輸出端子）連接於佈線111的二極體101d代替電晶體101。或者，可以使用其一方電極（例如，輸入端子）連接於佈線111，而其另一方電極（例如，輸出端子）連接於佈線114的二極體102d代替電晶體102。或者，可以使用其一方電極（例如，輸入端子）連接於佈線111，而其另一方電極（例如，輸出端子）連接於佈線113的二極體103d代替電晶體103。或者，可以使用其一方電極（例如，輸入端子）連接於佈線112，而其另一方電極（例如，輸出端子）連接於節點11的二極體104d代替電晶體104。或者，可以使用其一方電極（例如，輸入端子）連接於節點11，而其另一方電極（例如，輸出端子）連接於佈線113的二極體105d代替電

晶體105。由此，可以減少信號或電源的數量。就是說，可以減少佈線數。因此，因爲可以減小形成電路100的基板和用來將信號供給給該基板的基板之間的連接數，所以可以實現可靠性的提高、良率的提高或製造成本的削減等。可以使用二極體代替電路100所具有的多個電晶體（例如，電晶體101至105）的一部分的電晶體。

圖11B示出在圖1A的半導體裝置中對電晶體進行了二極體連接的結構。電晶體101的第一端子可以連接於節點11。或者，電晶體102的第一端子可以連接於佈線114，而電晶體102的閘極可以連接於佈線111。或者，電晶體103的第一端子可以連接於佈線113，而電晶體103的閘極可以連接於佈線111。或者，電晶體105的第一端子可以連接於佈線113，而電晶體105的閘極可以連接於節點11。由此，可以減少信號或電源的數量。就是說，可以減少佈線數。因此，因爲可以減小形成電路100的基板和用來將信號供給給該基板的基板之間的連接數，所以可以實現可靠性的提高、良率的提高或製造成本的削減。可以對多個電晶體（例如，電晶體101至105）的一部分的電晶體進行二極體連接。

接著，在圖1A、圖6A至6F、圖7A至7E、圖8A至8F、圖9A和9B以及圖11A和11B所示的結構中，可以使用電容元件代替電晶體。例如，可以重新設置該電容元件，而不省略電晶體。

圖11C示出在圖1A的半導體裝置中使用連接於佈線

112和節點11之間的電容元件104A代替電晶體104的結構。電容元件104A可以藉由電容耦合而根據佈線112的電位控制節點11的電位。像這樣，藉由使用電容元件104A代替電晶體104，可以減少恒定電流，從而可以降低耗電量。

圖11D示出在圖1A的半導體裝置中重新設置電容元件104A的結構。因爲可以使節點11的電位的變化陡峭，所以可以減小耗電量。

圖11E示出在圖1A的半導體裝置中分別使用連接於佈線114和佈線111之間的電容元件102A、連接於佈線113和佈線111之間的電容元件103B以及連接於佈線113和節點11之間的電容元件105B代替電晶體102、電晶體103以及電晶體105的結構。

接著，在圖1A、圖6A至6F、圖7A至7E、圖8A至8F、圖9A和9B以及圖11A至11F所示的結構中，可以使用電阻元件代替電晶體。

圖11F示出在圖1A的半導體裝置中使用電阻元件104R代替電晶體104的結構。電阻元件104R連接於佈線112和節點11之間。

接著，在圖1A、圖6A至6F、圖7A至7E、圖8A至8F、圖9A和9B以及圖11A至11F所示的結構中，可以重新設置電晶體108。

圖46A示出在圖1A的半導體裝置中重新設置電晶體108的結構。電晶體108爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體108可以爲P通道電晶體。電晶體

108的第一端子連接於佈線111，電晶體108的第二端子連接於節點11，並且電晶體108的閘極連接於佈線112。

以下，說明圖46A的半導體裝置的工作。在工作1至3中，因爲信號IN1成爲H位準，所以電晶體108導通。然後，因爲佈線111和節點11處於導通狀態，所以將佈線111的電位供給給節點11。或者，將節點11的電位供給給佈線111。但是，在工作4中，雖然信號IN3成爲H位準，但是因節點11的電位和佈線111的電位成爲H位準而使電晶體108截止。但是，直到佈線111的電位成爲H位準爲止，電晶體108導通。因此，節點11的電位降低。然後，因爲電晶體101Vgs變小，所以可以防止電晶體101的絕緣擊穿或退化等。另一方面，在工作5至8中，因爲信號IN1成爲L位準，所以電晶體108截止。因此，節點11和佈線111處於非導通狀態。

接著，在圖1A、圖6A至6F、圖7A至7E、圖8A至8F、圖9A和9B、圖11A至11F以及圖46A所示的結構中，可以產生與信號OUT不同的信號。爲此，可以在這些半導體裝置中重新設置電晶體109。

圖46B示出在圖1A所示的半導體裝置中重新設置電晶體109的結構。電晶體109具有與電晶體101相同的極性。並且，電晶體109可以具有與電晶體101相同的功能。電晶體109的第一端子可以連接於佈線112，電晶體109的第二端子可以連接於佈線117，並且電晶體109的閘極可以連接於節點11。

注意，可以適當地組合圖1A、圖6A至6F、圖7A至7E、圖8A至8F、圖9A和9B、圖11A至11F以及圖46A和46B所示的結構。

圖12A示出組合圖6B所示的結構和圖6E所示的結構的結構。電晶體103的第一端子連接於佈線112，電晶體103的第二端子連接於佈線111，並且電晶體103的閘極連接於佈線111。電晶體105的第一端子連接於佈線112，電晶體105的第二端子連接於節點11，並且電晶體105的閘極連接於節點11。像這樣，因爲可以省略信號IN2和佈線113，所以可以實現信號數的減少或佈線數的減少。因此，可以實現形成電路100的基板和另一基板之間的連接個數的減少、可靠性的提高、製造成本的減小和/或耗電量的減小等。

圖12B示出組合圖7A所示的結構和圖8E所示的結構的結構。省略電晶體105，並且電晶體104的第一端子連接於佈線112，電晶體104的第二端子連接於節點11，並且電晶體104的閘極連接於佈線116。由此，可以減少電晶體的數量，從而可以實現佈局面積的縮小。再者，可以將節點11的電位固定爲L位準，因此可以得到抗雜波性能好的電路。

圖12C示出組合圖7D所示的結構和圖11C所示的結構的結構。電晶體103的第一端子連接於佈線114，電晶體105的第一端子連接於佈線114，並且使用連接於佈線112和節點11之間的電容元件104A代替電晶體104。

如上所述，本實施例模式不侷限於圖1A所示的結構，也可以使用各種各樣的結構。

接著，在圖1A、圖6A至6F、圖7A至7E、圖8A至8F、圖9A和9B、圖11A至11F、圖12A至12C以及圖46A和46B所示的結構中，可以使用P通道電晶體。也可以僅使半導體裝置所具有的多個電晶體中的幾個爲P通道電晶體。就是說，本實施例模式的半導體裝置可以採用CMOS電路。

圖13A示出在圖1A的半導體裝置中作爲電晶體使用P通道電晶體的結構。電晶體101p至105p具有與電晶體101至105相同的功能並是P通道電晶體。在此情況下，將電壓V2供給給佈線115。

在圖13A所示的半導體裝置中，如圖13B所示，電路100可以具有包含NAND的邏輯電路的功能。明確地說，電路100可以具有組合了三個輸入的NAND和兩個NOT的邏輯電路的功能。另外，可以將信號IN1輸入到NAND的第一輸入端子，可以將信號IN2由第一NOT反相的信號輸入到NAND的第二輸入端子，可以將信號IN3由第二NOT反相的信號輸入到NAND的第三輸入端子，並且可以從NAND的輸出輸出信號OUT。就是說，電路100可以具有實現圖13C所示的邏輯式的功能，或者，具有實現根據該邏輯式而求得的真值表的功能。注意，在信號IN1成爲L位準，並且信號IN2及信號IN3成爲H位準時，信號OUT成爲L位準，在輸入除此以外的輸入信號時，信號OUT成爲H位準。圖13D示出信號IN1至IN3爲數位信號時的真值表。

圖12D示出在圖1A的半導體裝置中作爲其一部分的電晶體使用P通道電晶體的結構。電晶體104p的閘極連接於節點11。

實施例模式2

在本實施例模式中，說明在實施例模式1的半導體裝置中重新設置元件或電路等的半導體裝置。

首先，說明在實施例模式1的半導體裝置中重新設置電晶體201（第六電晶體）的結構。圖14A示出在圖1A的半導體裝置中重新設置電晶體201的結構。

電晶體201爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體201可以爲P通道電晶體。電晶體201的第一端子連接於佈線115，電晶體201的第二端子連接於佈線211（第六佈線），並且電晶體201的閘極連接於佈線111。

另外，以電晶體201的閘極爲節點12。因爲節點12對應於實施例模式1所述的佈線111，所以在有“佈線111”的記載時，可以將“佈線111”解釋爲“節點12”。因此，在有“佈線111的電位（信號OUT的電位）”的記載時，可以將“佈線111的電位（信號OUT的電位）”解釋爲“節點12的電位”。

以下，說明電晶體201的功能。電晶體201具有控制佈線115和佈線211的導通狀態的功能。或者，電晶體201具有控制將佈線115的電位供給給佈線211的時序的功能。或

者，在將信號或電壓輸入到佈線115的情況下，電晶體201具有控制將輸入到115的信號或電壓供給給佈線211的時序的功能。或者，電晶體201具有控制將L信號或電壓V1供給給佈線211的時序的功能。或者，電晶體201具有控制使佈線211的電位下降的時序的功能。如上所述，電晶體201可以具有開關的功能。另外，電晶體201不一定需要具有以上所列出的全部功能。另外，可以根據電路100的輸出信號控制電晶體201。

接著，參照圖15A說明圖14A所示的半導體裝置的工作。圖15A示出可以應用於本實施例模式的半導體裝置的時序圖。

另外，圖15A的時序圖具有期間A和期間B。並且，在圖15A的時序圖中交替地配置期間A和期間B。在圖15A的時序圖中，可以交替地配置多個期間A和多個期間B。或者，圖15A的時序圖既可具有期間A和期間B以外的期間，又可省略期間A和期間B中的一方期間。

另外，期間A和期間B的長短大致相同。或者，例如，在將時鐘信號輸入到本實施例模式的半導體裝置的情況下，期間A和期間B的長短與該時鐘信號的半週期大致相同。或者，例如，在將本實施例模式的半導體裝置用於閘極驅動器的情況下，期間A和期間B的長短與一個閘極選擇期間大致相同。

首先，參照圖14B的示意圖說明期間A的半導體裝置的工作。在期間A，信號IN1成爲H位準，信號IN2成爲L位

準，並且信號IN3成爲L位準。因此，因爲電路100能夠進行圖3A的工作4，所以節點12的電位（信號OUT）成爲H位準。結果，因爲電晶體201導通，所以佈線115和佈線211處於導通狀態。然後，因爲將佈線115的電位（例如，電壓V1）供給給佈線211，所以佈線211的電位（信號GOUT）成爲L位準。

接著，參照圖14C的示意圖說明期間B的半導體裝置的工作。在期間B，信號IN1成爲L位準，信號IN2成爲H位準，並且信號IN3成爲L位準。因此，因爲電路100能夠進行圖3C的工作6，所以節點12的電位（信號OUT）成爲L位準。結果，因爲電晶體201截止，所以佈線115和佈線211處於非導通狀態。因此，因爲佈線211處於浮動狀態，所以佈線211的電位大致維持爲V1。

如上所述，在期間A，電晶體201導通，而在期間B，電晶體201截止。因此，可以使電晶體201導通的時間縮短。因此，可以抑制電晶體的退化。另外，在期間A及期間B中，電晶體101、電晶體102、電晶體103、電晶體104、電晶體105以及電晶體201不會連續導通，由此可以使導通的時間縮短或減少導通的次數。

以下，說明信號IN1至IN3的功能及該信號的特徵。

首先，信號IN1按每個期間反復成爲H位準或L位準。因此，信號IN1可以具有時鐘信號的功能。或者，佈線112可以具有時鐘信號線（時鐘線或時鐘供給線）的功能。

接著，信號IN2按每個期間反復成爲H位準或L位準。

並且，信號IN2是信號IN1的反相信號或相位從信號IN1錯開180°的信號。因此，信號IN2可以具有反相時鐘信號的功能。或者，佈線113可以具有時鐘信號線的功能。

接著，說明信號IN1和信號IN2具有時鐘信號的功能的情況。在此情況下，信號IN1和信號IN2既可爲如圖15A所示那樣平衡，又可爲非平衡。平衡是指在一個週期中成爲H位準的期間和成爲L位準的期間大致相同。非平衡是指成爲H位準的期間和成爲L位準的期間不同。另外，這裏，“不同”是指“大致相同”的範圍以外的範圍。

圖15B示出在圖15A的時序圖中信號IN1和信號IN2爲非平衡時的時序圖。

接著，可以將n相的時鐘信號輸入到本實施例模式的半導體裝置。或者，可以將n相的時鐘信號中的幾個時鐘信號輸入到本實施例模式的半導體裝置。n相的時鐘信號是指其週期分別錯開1/n週期的n個時鐘信號。

圖15C示出將三相的時鐘信號之一用作信號IN1，並將三相的時鐘信號之另一用作信號IN2時的時序圖。

如上所述，作爲信號IN1至IN3，除了圖15A的時序圖所示的波形以外，還可以使用各種波形。

以下，說明電晶體201的通道寬度的比率。例如，在佈線211具有閘極信號線的功能時，佈線211延伸到像素部，有時連接於像素。就是說，佈線211連接於較大負載。因此，電晶體201的通道寬度大於電路100所具有的電晶體的通道寬度。在此情況下，電晶體201的通道寬度較

佳爲電晶體101的通道寬度的10倍以下。電晶體201的通道寬度更佳爲電晶體101的通道寬度的5倍以下。電晶體201的通道寬度進一步較佳爲電晶體101的通道寬度的3倍以下。

如上所述，較佳的將電晶體的通道寬度的比率設定爲適當的數值。另外，考慮到上述電晶體的通道寬度的比率，電晶體201的通道寬度較佳爲1000μm以上且5000μm以下。電晶體201的通道寬度更佳爲1500μm以上且4000μm以下。電晶體201的通道寬度進一步較佳爲2000μm以上且3000μm以下。

以下，說明具有與圖14A不同的結構的半導體裝置。

首先，在圖14A所示的結構中，電路100不侷限於圖1A所示的結構，而可以使用實施例模式1所描述的各種結構。作爲電路100，只要滿足預定的功能，就可以使用實施例模式1所示的結構以外的結構。

圖10A示出在圖14A所示的結構中作爲電路100使用圖7B所示的結構的結構。

圖10B示出在圖14A所示的結構中作爲電路100使用圖8D所示的結構的結構。可以防止雜波藉由電晶體103產生在節點12。因此，可以防止誤動。

圖10C示出在圖14A所示的結構中作爲電路100使用圖8C所示的結構的結構。因爲可以進一步減小節點11的電位，所以可以防止電晶體201導通。

另外，在圖10A至10C和圖14A所示的結構中，可以重

新設置電晶體202。

圖16A示出在圖14A的半導體裝置中重新設置電晶體202的結構。電晶體202爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體202可以爲P通道電晶體。電晶體202的第一端子連接於佈線115，電晶體202的第二端子連接於佈線211，並且電晶體202的閘極連接於佈線113。電晶體202的閘極可以連接於與佈線113不同的佈線。或者，電晶體202的第一端子可以連接於與佈線115不同的佈線。

以下，說明電晶體202的功能。電晶體202具有控制佈線115和佈線211的導通狀態的功能。或者，電晶體202具有控制將佈線115的電位供給給佈線211的時序的功能。或者，在將信號或電壓輸入到佈線115時，電晶體202具有控制將輸入到佈線115的信號或電壓供給給佈線211的時序的功能。或者，電晶體202具有控制將L信號或電壓V1供給給佈線211的時序的功能。或者，電晶體202具有控制使佈線211的電位降低的時序的功能。如上所述，電晶體202可以具有開關的功能。另外，電晶體202不一定需要具有以上所列出的全部功能。另外，可以根據佈線113的電位（例如，信號IN2）控制電晶體202。

以下，說明圖16A的半導體裝置的工作。在期間A，因爲信號IN2成爲L位準，所以如圖16B所示，電晶體202截止。在期間B，因爲信號IN2成爲H位準，所以如圖16C所示，電晶體202導通。因此，在期間B，也使佈線115和佈線211處於導通狀態，由此將佈線115的電位（例如，電

壓V1）供給給佈線211。因此，可以減少佈線211的雜波。例如，在將圖16A的半導體裝置用於顯示裝置，並且將佈線211連接於像素選擇用電晶體的閘極時，可以防止因佈線211的雜波而向該像素寫入輸向屬於另一列的像素的視頻信號。或者，可以防止因佈線211的雜波而使像素所保持的視頻信號變化。因此，可以實現顯示品質的提高。

另外，在圖10A至10C、圖14A和圖16A所示的結構中，可以重新設置電晶體203（第七電晶體）。

圖17A示出在圖14A的半導體裝置中重新設置電晶體203的結構。電晶體203爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體203可以爲P通道電晶體。電晶體203的第一端子連接於佈線112，電晶體203的第二端子連接於佈線211。並且，將電晶體203的閘極稱爲節點13。另外，電晶體102的閘極可以連接於節點13。因此，作爲信號IN3，可以使用節點13的電位（V13）。

以下，說明電晶體203的功能。電晶體203具有控制佈線112和佈線211的導通狀態的功能。或者，電晶體203具有控制將佈線112的電位供給給佈線211的時序的功能。或者，在將信號或電壓輸入到佈線112時，電晶體203具有控制將輸入到佈線112的信號或電壓供給給佈線211的時序的功能。或者，電晶體203具有控制將H信號或電壓V2供給給佈線211的時序的功能。或者，電晶體203具有控制將L信號或電壓V1供給給佈線211的時序的功能。或者，電晶體203具有控制使佈線211的電位上升的時序的功能。或

者，電晶體203具有控制使佈線211的電位降低的時序的功能。或者，電晶體203具有執行升壓（bootstrap）操作的功能。或者，電晶體203具有藉由執行升壓而使節點13的電位上升的功能。如上所述，電晶體203可以具有開關或緩衝器的功能。另外，電晶體203不一定需要具有以上所列出的全部功能。另外，可以根據節點13的電位、佈線112的電位（例如，信號IN1）以及/或佈線211的電位（信號GOUT）控制電晶體203。

接著，參照圖17B說明圖17A所示的半導體裝置的工作。圖17B示出可以應用於本實施例模式的半導體裝置的時序圖。

另外，圖17B的時序圖具有期間A至期間E。在圖17B的時序圖中，依次配置期間C、期間D和期間E。另外，在除此以外的期間，交替地配置期間A和期間B。也可以按各種順序配置期間A至期間E。

首先，參照圖18A的示意圖說明期間A的半導體裝置的工作。在期間A，信號IN1成爲H位準，信號IN2成爲L位準，並且節點13（信號IN3）成爲L位準。因此，因爲電路100能夠進行圖3A的工作4，所以節點12的電位（信號OUT）成爲H位準。然後，因爲電晶體201導通，所以佈線115和佈線211處於導通狀態。因此，因爲將佈線115的電位（例如，電壓V1）供給給佈線211。此時，因爲節點13的電位成爲L位準，所以電晶體203截止。然後，佈線112和佈線211處於非導通狀態。結果，因爲將佈線115的電位

（例如，電壓V1）供給給佈線211，所以信號GOUT成爲L位準。

接著，參照圖18B的示意圖說明期間B的半導體裝置的工作。在期間B，信號IN1成爲L位準，信號IN2成爲H位準，並且節點13的電位（信號IN3）一直爲L位準。因此，因爲電路100能夠進行圖3C的工作6，所以節點12的電位（信號OUT）成爲L位準。然後，因爲電晶體201截止，所以佈線115和佈線211處於非導通狀態。此時，因爲節點13的電位成爲L位準，所以電晶體203截止。然後，佈線112和佈線211處於非導通狀態。結果，因爲佈線211處於浮動狀態，所以佈線211的電位大致維持爲V1。

首先，參照圖19A的示意圖說明期間C的半導體裝置的工作。在期間C，信號IN1成爲L位準，信號IN2成爲H位準，並且節點13（信號IN3）的電位成爲H位準。因此，因爲電路100能夠進行圖3B的工作5，所以節點12的電位（信號OUT）成爲L位準。然後，因爲電晶體201截止，所以佈線115和佈線211處於非導通狀態。此時，因爲節點13的電位成爲H位準，所以電晶體203導通。然後，因爲佈線112和佈線211處於導通狀態，所以將佈線112的電位（L位準的信號IN1）供給給佈線211。結果，因爲將佈線112的電位（L位準的信號IN1）供給給佈線211，所以信號GOUT成爲L位準。

接著，參照圖19B的示意圖說明期間D的半導體裝置的工作。在期間D，信號IN1成爲H位準，信號IN2成爲L位

準，並且節點13的電位（信號IN3）成爲H位準。因此，因爲電路100能夠進行圖2C的工作3，所以節點12的電位（信號OUT）成爲L位準。然後，因爲電晶體201截止，所以佈線115和佈線211處於非導通狀態。此時，因爲節點13的電位成爲H位準，所以電晶體203導通。然後，因爲佈線112和佈線211處於導通狀態，所以將佈線112的電位（H位準的信號IN1）供給給佈線211。結果，因爲將佈線112的電位（H位準的信號IN1）供給給佈線211，所以佈線211的電位開始上升。此時，節點12處於浮動狀態。然後，藉由電晶體203的閘極和第二端子之間的寄生電容而使節點13的電位上升。結果，節點13的電位成爲V2+Vth203+Va。這是所謂的升壓工作。像這樣，因爲佈線211的電位成爲V2，所以信號GOUT成爲H位準。

以下，參照圖19C的示意圖說明期間E的半導體裝置的工作。在期間E，信號IN1成爲L位準，信號IN2成爲H位準，並且節點13的電位（信號IN3）成爲L位準。因此，因爲電路100能夠進行圖3C的工作6，所以節點12的電位（信號OUT）成爲L位準。然後，因爲電晶體201截止，所以佈線115和佈線211處於非導通狀態。此時，節點13的電位成爲L位準。然後，因爲電晶體203截止，所以佈線112和佈線211處於非導通狀態。但是，信號IN1從H位準變成L位準的時序可以早於節點13的電位從H位準減小到L位準的時序。在此情況下，在電晶體203導通時，即佈線112和佈線211處於導通狀態時，信號IN1有時成爲L位準。因此，

因爲將L位準的信號IN1供給給佈線211，所以信號GOUT成爲L位準。

另外，在圖10A至10C、圖14A、圖16A和圖17A所示的結構中，可以將電晶體203的閘極連接於節點12。或者，可以將電晶體201的閘極連接於節點13（參照圖47A）。

另外，在圖10A至10C、圖14A、圖16A、圖17A和圖47A所示的結構中，可以將電路100和其他電晶體分別連接於不同佈線。例如，如圖47B所示，可以將電晶體203的第一端子連接於與佈線112不同的佈線（佈線112A）。或者，可以將電晶體201的第一端子連接於與佈線115不同的佈線（佈線115A）。

另外，在圖10A至10C、圖14A、圖16A、圖17A以及圖47A和47B所示的結構中，可以重新設置電晶體204。

圖20A示出在圖17A的半導體裝置中重新設置電晶體204的結構。電晶體204爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體204可以爲P通道電晶體。電晶體204的第一端子連接於佈線115，電晶體204的第二端子連接於節點13，並且電晶體204的閘極連接於節點12。

以下，說明電晶體204的功能。電晶體204具有控制佈線115和節點13的導通狀態的功能。或者，電晶體204具有控制將佈線115的電位供給給節點13的時序的功能。或者，在將信號或電壓輸入到佈線115時，電晶體204具有控制將輸入到佈線115的信號或電壓供給給節點13的時序的

功能。或者，電晶體204具有控制將L信號或電壓V1供給給節點13的時序的功能。或者，電晶體204具有控制使節點13的電位降低的時序的功能。如上所述，電晶體204可以具有開關的功能。另外，電晶體204不一定需要具有以上所列出的全部功能。另外，可以根據節點12的電位（例如，信號OUT）控制電晶體204。

以下，說明圖20A所示的半導體裝置的工作。在期間A，如圖20B所示，因爲電路100輸出H信號，所以電晶體204導通。然後，因爲佈線115和節點13處於導通狀態，所以將佈線115的電位（例如，電壓V1）供給給節點13。在期間B至期間E，因爲電路100輸出L信號，所以電晶體204截止。因此，佈線115和節點13處於非導通狀態。另外，圖20C示出期間B的圖20A所示的半導體裝置的示意圖。

另外，在圖10A至10C、圖14A、圖16A、圖17A、圖20A以及圖47A和47B所示的結構中，可以重新設置電晶體205。

圖21A示出在圖17A的半導體裝置中重新設置電晶體205的結構。電晶體205爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體205可以爲P通道電晶體。電晶體205的第一端子連接於佈線212，電晶體205的第二端子連接於節點13，並且電晶體205的閘極連接於佈線212。

以下，說明輸入到佈線212的信號及佈線212的功能。將信號IN4輸入到佈線212。信號IN4可以具有起始脈衝的功能。因此，佈線212可以具有信號線的功能。可以將固

定的電壓供給給佈線212。因此，佈線212可以具有電源線的功能。

另外，在連接有多個半導體裝置的情況下，佈線212連接於另一半導體裝置（例如，前一級的半導體裝置）的佈線211。因此，佈線212可以具有閘極信號線、掃描線、選擇線、電容線或電源線的功能。另外，信號IN4可以具有閘極信號或掃描信號的功能。

以下，說明電晶體205的功能。電晶體205具有控制佈線212和節點13的導通狀態的功能。或者，電晶體205具有控制將佈線212的電位供給給節點13的時序的功能。或者，在將信號或電壓輸入到佈線212時，電晶體205具有控制將輸入到佈線212的信號或電壓供給給節點13的時序的功能。或者，電晶體205具有控制將H信號或電壓V2供給給節點13的時序的功能。或者，電晶體205具有不將信號或電壓供給給節點13的功能。或者，電晶體205具有控制使節點13的電位上升的時序的功能。或者，電晶體205具有使節點13處於浮動狀態的功能。如上所述，電晶體205可以具有開關、二極體或被進行了二極體連接的電晶體等的功能。另外，電晶體205不一定需要具有以上所列出的全部功能。另外，可以根據佈線212的電位（信號IN4）和/或節點13的電位控制電晶體205。

以下，參照圖21B說明圖21A所示的半導體裝置的工作。圖21B示出可以應用於本實施例模式的半導體裝置的時序圖。在期間C，如圖22A所示，信號IN4成爲H位準。

因此，因爲電晶體205導通，所以佈線212和節點13處於導通狀態。然後，將佈線212的電位（例如，H位準的信號IN4）供給給節點13。結果，節點13的電位開始上升。然後，當節點13的電位成爲從電晶體205的閘極電位（例如，V2）減去電晶體205的臨界值電壓（Vth205）的數值（V2−Vth205）時，電晶體205截止。因此，因爲節點13處於浮動狀態，所以節點13的電位維持爲V2−Vth205。在期間A和B以及期間D和E，信號IN4成爲L位準。因此，由於電晶體205截止，所以佈線212和節點13處於非導通狀態。另外，圖22B示出期間B的圖21A所示的半導體裝置的工作的示意圖。

另外，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A以及圖47A和47B所示的結構中，可以重新設置電晶體206。

圖23A示出在圖21A的半導體裝置中設置電晶體206的結構。電晶體206爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體206可以爲P通道電晶體。電晶體206的第一端子連接於佈線212，電晶體206的第二端子連接於節點13，並且電晶體206的閘極連接於佈線113。

以下，說明電晶體206的功能。電晶體206具有控制佈線212和節點13的導通狀態的功能。或者，電晶體206具有控制將佈線212的電位供給給節點13的時序的功能。或者，在將信號或電壓輸入到佈線212時，電晶體206具有控制將輸入到佈線212的信號或電壓供給給節點13的時序的

功能。或者，電晶體206具有控制將L信號或電壓V1供給給節點13的時序的功能。或者，電晶體206具有控制將H信號或電壓V2供給給節點13的時序的功能。或者，電晶體206具有控制使節點13的電位降低的時序的功能。或者，電晶體206具有控制使節點13的電位上升的時序的功能。如上所述，電晶體206可以具有開關的功能。另外，電晶體206不一定需要具有以上所列出的全部功能。另外，可以根據佈線113的電位（例如，信號IN2）控制電晶體206。

以下，說明圖23A的半導體裝置的工作。在期間C，如圖23B所示，因爲信號IN2成爲H位準，所以電晶體206導通。因此，因爲佈線212和節點13處於導通狀態，所以佈線212的電位（例如，H位準的信號IN4）被供給給節點13。像這樣，在期間C，可以使節點13的電位變化陡峭，因此可以提高半導體裝置的驅動頻率。

在期間B和期間E，與期間C同樣，因爲信號IN2也成爲H位準，所以電晶體206導通。因此，因爲佈線212和節點13處於導通狀態，所以將佈線212的電位（例如，L位準的信號IN4）供給給節點13。由此，在期間B，可以固定節點13的電位，因此可以得到抗雜波性能好的半導體裝置。或者，在期間E，因爲可以降低節點13的電位，所以可以使電晶體203截止。另外，圖24A示出期間B的圖23A所示的半導體裝置的工作的示意圖。

在期間A，如圖24B所示，因爲信號IN2成爲L位準，

所以電晶體206截止。因此，佈線212和節點13處於非導通狀態。像這樣，因爲電晶體206截止，所以可以抑制電晶體206的退化。

另外，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A以及圖47A和47B所示的結構中，可以重新設置電晶體207。

圖25A示出在圖17A的半導體裝置中重新設置電晶體207的結構。電晶體207爲N通道電晶體。但是，本實施例模式不侷限於此，電晶體207可以爲P通道電晶體。電晶體207的第一端子連接於佈線115，電晶體207的第二端子連接於節點13，並且電晶體207的閘極連接於佈線213。

以下，說明輸入到佈線213的信號及佈線213的功能。將信號IN5輸入到佈線213。信號IN5可以具有重設信號的功能。因此，佈線213可以具有信號線的功能。可以將固定的電壓供給給佈線213。因此，佈線213可以具有電源線的功能。

另外，在連接有多個半導體裝置的情況下，佈線213連接於另一半導體裝置（例如，下一級的半導體裝置）的佈線211。因此，佈線213可以具有閘極信號線、掃描線、選擇線、電容線或電源線的功能。另外，信號IN5可以具有閘極信號或掃描信號的功能。

以下，說明電晶體207的功能。電晶體207具有控制佈線115和節點13的導通狀態的功能。或者，電晶體207具有控制將佈線115的電位供給給節點13的時序的功能。或

者，在將信號或電壓輸入到佈線115時，電晶體207具有控制將輸入到佈線115的信號或電壓供給給節點13的時序的功能。或者，電晶體207具有控制將L信號或電壓V1供給給節點13的時序的功能。或者，電晶體207具有控制使節點13的電位降低的時序的功能。如上所述，電晶體207可以具有開關的功能。另外，電晶體207不一定需要具有以上所列出的全部功能。另外，可以根據佈線213的電位（例如，信號IN5）控制電晶體207。

以下，參照圖25B說明圖25A所示的半導體裝置的工作。圖25B示出可以應用於本實施例模式的半導體裝置的時序圖。在期間E，如圖26A所示，信號IN5成爲H位準。因此，因爲電晶體207導通，所以佈線115和節點13處於導通狀態。然後，將佈線115的電位（例如，電壓V1）供給給節點13。結果，節點13的電位降低。在期間A至期間D，信號IN5成爲L位準。因此，由於電晶體207截止，所以佈線115和節點13處於非導通狀態。另外，圖26B示出期間B的圖25A所示的半導體裝置的工作的示意圖。

另外，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A以及圖47A和47B所示的結構中，電晶體102的閘極可以連接於與節點13不同的佈線（例如，佈線211等）。

圖27B示出在圖27A的半導體裝置中將電晶體102的閘極連接於佈線211的結構。可以防止因將大電壓施加到電晶體102的閘極而引起電晶體102的介質擊穿或退化。

另外，圖27A的半導體裝置具有在圖14A的半導體裝置中重新追加電晶體201至207的結構。

另外，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A和27B以及圖47A和47B所示的結構中，電晶體204的第一端子可以連接於與佈線115不同的佈線（例如，佈線113、佈線212、佈線213、節點12或節點13等）。或者，電晶體204的閘極可以連接於與節點12不同的佈線（例如，佈線112等）。

圖27C示出在圖27A的半導體裝置中將電晶體204的第一端子連接於佈線211且將電晶體204的閘極連接於佈線112的結構。由此，在期間D，可以降低節點13的電位。因此，可以防止連接於節點13的電晶體（例如，電晶體102、電晶體203、電晶體205或電晶體206等）的介質擊穿或者可以抑制這些電晶體的退化。

另外，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C以及圖47A和47B所示的結構中，電晶體205的第一端子可以連接於與佈線212不同的佈線（例如，佈線113、佈線116等）。或者，電晶體205的閘極可以連接於與佈線212不同的佈線（例如，佈線113、佈線116等）。

圖28A示出在圖27A的半導體裝置中將電晶體205的第一端子連接於佈線116的結構。

另外，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A以及

圖47A和47B所示的結構中，電晶體207的第二端子可以連接於與節點13不同的佈線（例如，佈線211、節點11或節點12等）。或者，電晶體207的第一端子可以連接於與佈線115不同的佈線（例如，佈線112、佈線116、節點11或節點12等）。

圖28B示出在圖27A的半導體裝置中將電晶體207的第二端子連接於佈線211的結構。在期間E，可以將佈線115的電位（例如，電壓V1）藉由電晶體207供給給佈線211。因此，信號GOUT的下降時間可以縮短。

另外，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A和28B以及圖47A和47B所示的結構中，電晶體201的第一端子可以連接於與佈線115不同的佈線（例如，佈線113、佈線212、佈線213、節點12或節點13等）。或者，電晶體202的第一端子可以連接於與佈線115不同的佈線（例如，佈線112或節點12等）。或者，電晶體204的第一端子可以連接於與佈線115不同的佈線（例如，佈線113、佈線212、佈線213、節點12或節點13等）。或者，電晶體207的第一端子可以連接於與佈線115不同的佈線（例如，佈線112、佈線116、佈線212、節點12等）。各電晶體的各端子除了附圖中的連接關係以外還可以連接於各種佈線。

圖28C示出圖27A的半導體裝置中電晶體201的第一端子連接於佈線113，電晶體202的第一端子連接於佈線113，電晶體204的第一端子連接於佈線113，並且電晶體

207的第一端子連接於佈線112的結構。因爲可以將H信號輸入到電晶體201、電晶體202、電晶體204以及電晶體207的第一端子，所以可以抑制這些電晶體的退化。

接著，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A至28C以及圖47A和47B所示的結構中，可以使用二極體代替電晶體。例如，可以對電晶體進行二極體連接。

圖29A示出在圖27A的半導體裝置中使用二極體代替電晶體的結構。可以使用其一方電極（例如，輸入端子）連接於佈線211，而其另一方電極（例如，輸出端子）連接於節點12的二極體201d代替電晶體201。或者，可以使用其一方電極（例如，輸入端子）連接於佈線211，而其另一方電極（例如，輸出端子）連接於佈線113的二極體202d代替電晶體202。或者，可以使用其一方電極（例如，輸入端子）連接於節點13，而其另一方電極（例如，輸出端子）連接於佈線211的二極體203d代替電晶體203。或者，可以使用其一方電極（例如，輸入端子）連接於節點13，而其另一方電極（例如，輸出端子）連接於節點12的二極體204d代替電晶體204。或者，可以使用其一方電極（例如，輸入端子）連接於佈線212，而其另一方電極（例如，輸出端子）連接於節點13的二極體205d代替電晶體205。或者，可以使用其一方電極（例如，輸入端子）連接於節點13，而其另一方電極（例如，輸出端子）連接於佈線213的二極體207d代替電晶體207。由此，可以減少

信號或電源的數量。就是說，可以減少佈線數。因此，因爲可以減小形成本實施例模式的半導體裝置的基板和用來將信號供給給該基板的基板之間的連接數，所以可以實現可靠性的提高、良率的提高或製造成本的削減等。可以使用二極體代替本實施例模式的多個電晶體中的幾個。

圖29B示出在圖27A的半導體裝置中對電晶體進行了二極體連接的結構。例如，電晶體201的第一端子連接於節點12而電晶體201的閘極連接於佈線211。或者，例如，電晶體202的第一端子連接於佈線113，而電晶體202的閘極連接於佈線211。或者，例如，電晶體203的第一端子連接於節點13,而電晶體203的閘極連接於節點13。或者，例如，電晶體204的第一端子連接於節點12，電晶體204的閘極連接於節點13。或者，例如，電晶體207的第一端子連接於佈線213，電晶體207的閘極連接於節點13。由此，可以減少信號或電源的數量。就是說，可以減少佈線數。因此，因爲可以減小形成本實施例模式的半導體裝置的基板和用來將信號供給給該基板的基板之間的連接數，所以可以實現可靠性的提高、良率的提高或製造成本的削減等。可以對本實施例模式的多個電晶體中的幾個進行二極體連接。

圖29C示出在圖27A的半導體裝置中對P通道電晶體進行了二極體連接的結構。電晶體201p、電晶體202p、電晶體203p、電晶體204p、電晶體205p和電晶體207p分別具有與電晶體201、電晶體202、電晶體203、電晶體204、電晶

體205和電晶體207同樣的功能，並且它們是P通道電晶體。圖29C的半導體裝置的連接關係與圖29B的半導體裝置相同。但是，圖29C的半導體裝置與圖29B的半導體裝置不同之處是：將電晶體201p的閘極連接於節點12；將電晶體202p的閘極連接於佈線113，將電晶體203p的閘極連接於佈線211，將電晶體204p的閘極連接於節點12，將電晶體205p的閘極連接於節點13，並且將電晶體207p的閘極連接於佈線213，以對電晶體進行二極體連接。由此，可以減少信號或電源的數量。就是說，可以減少佈線數。因此，因爲可以減小形成本實施例模式的半導體裝置的基板和用來將信號供給給該基板的基板之間的連接數，所以可以實現可靠性的提高、良率的提高或製造成本的削減等。可以對本實施例模式的多個電晶體中的幾個進行二極體連接。

接著，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A至28C、圖29A至29C以及圖47A和47B所示的結構中，可以將電晶體的各端子或各電極分別連接於不同的佈線。例如，可以將電晶體101的第一端子、電晶體104的第一端子和電晶體203的第一端子分別連接於不同的佈線。或者，例如，可以將電晶體103的閘極、電晶體105的閘極和電晶體202的閘極分別連接於不同的佈線。或者，例如，可以將電晶體102的第一端子、電晶體105的第一端子、電晶體201的第一端子、電晶體202的第一端子、電晶體204的第

一端子和電晶體207的第一端子分別連接於不同的佈線。或者，例如，可以將電晶體205的第一端子和電晶體206的第一端子分別連接於不同的佈線。爲了實現上述連接，可以將佈線分割成多個佈線。

圖30A示出在圖27A的半導體裝置中將佈線112分割成多個佈線112A至112C，將佈線113分割成多個佈線113A至113D，將佈線115分割成多個佈線115A至115G，並且將佈線212分割成多個佈線212A和212B的結構。電晶體201的第一端子連接於佈線115D。或者，電晶體202的第一端子連接於佈線115E，並且電晶體202的閘極連接於佈線113C。或者，電晶體203的第一端子連接於佈線112C。或者，電晶體204的第一端子連接於佈線115F。或者，電晶體205的第一端子及閘極連接於佈線212A。或者，電晶體206的第一端子連接於佈線212B。或者，電晶體206的閘極連接於佈線113D。或者，電晶體207的第一端子連接於佈線115G。

另外，佈線112A至112C可以具有與佈線112相同的功能。或者，佈線113A至113D可以具有與佈線113相同的功能。或者，佈線115A至115G可以具有與佈線115相同的功能。或者，佈線212A和212B可以具有與佈線212相同的功能。因此，可以將信號IN1輸入到佈線112A至112C。或者，可以將信號IN2輸入到佈線113A至113D。或者，可以將電壓V1供給給佈線115A至115G。或者，可以將信號IN4輸入到佈線212A和212B。可以將不同的電壓或不同的信

號分別供給給佈線112A至112C。或者，可以將不同的電壓或不同的信號分別供給給佈線113A至113D。或者，可以將不同的電壓或不同的信號分別供給給佈線115A至115G。或者，可以將不同的電壓或不同的信號分別供給給佈線212A和212B。

接著，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A至28C、圖29A至29C、圖30A以及圖47A和47B所示的結構中，可以省略一部分的電晶體。例如，可以省略電晶體201和電晶體204中的一方。或者，例如，在半導體裝置具有電晶體206時，可以省略電晶體205和電晶體207中的一方或兩者。在上述以外的情況下，根據需要，也可以省略電晶體的一部分。

圖30B示出在圖27A的半導體裝置中省略電晶體201和電晶體205的結構。電晶體個數減小，因此可以減小佈局面積。或者，可以降低耗電量。

接著，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A至28C、圖29A至29C、圖30A和30B以及圖47A和47B所示的結構中，可以重新設置連接於節點13和佈線211之間的電容元件220。

圖30C示出在圖17A所示的半導體裝置中重新設置連接於節點13和佈線211之間的電容元件220的結構。由此，在進行升壓工作時，節點13的電位容易上升。因此，可以

增大電晶體203的Vgs。結果，可以減小電晶體203的通道寬度。或者，信號OUT的下降時間或上升時間可縮短。例如，作爲電容元件，可以使用MOS電容器。

接著，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A至28C、圖29A至29C、圖30A至30C以及圖47A和47B所示的結構中，可以與信號GOUT另行產生信號。例如，本實施例模式的半導體裝置與信號GOUT另行產生信號SOUT，並且連接有多個半導體裝置。在此情況下，不將信號SOUT輸出到佈線211，而將信號SOUT作爲起始脈衝輸入到另一級的半導體裝置。因此，信號SOUT的延遲或失真比信號GOUT小。爲此，因爲可以使用延遲或失真小的信號驅動半導體裝置，所以可以降低半導體裝置的輸出信號的延遲。爲此，在圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A至28C、圖29A至29C、圖30A至30C以及圖47A和47B所示的結構中，可以重新設置電晶體208。

圖31A示出在圖17A的半導體裝置中重新設置電晶體208的結構。電晶體208可以具有與電晶體203相同的功能，並具有相同的極性。電晶體208的第一端子連接於佈線112，電晶體208的第二端子連接於佈線214，並且電晶體208的閘極連接於節點13。佈線214可以具有與佈線211相同的功能。另外，例如，在連接有多個半導體裝置的情況下，佈線211連接於另一半導體裝置（例如，下一級的

半導體裝置）的佈線212。例如，如圖31B所示，可以重新設置電晶體209。電晶體209可以具有與電晶體203相同的功能，並具有相同的極性。電晶體209的第一端子連接於佈線115，電晶體209的第二端子連接於佈線214，並且電晶體209的閘極連接於節點12。另外，圖31C示出與信號GOUT另行產生信號SOUT時的時序圖。

如上所述，本實施例模式不侷限於圖14A所示的結構，而可以採用各種結構。

接著，在圖10A至10C、圖14A、圖16A、圖17A、圖20A、圖21A、圖23A、圖25A、圖27A至27C、圖28A至28C、圖29A至29C、圖30A至30C、圖31A和31B以及圖47A和47B所示的結構中，可以使用P通道電晶體。也可以僅使半導體裝置所具有的多個電晶體中的幾個爲P通道電晶體。就是說，本實施例模式的半導體裝置可以採用CMOS電路。

圖32A示出在圖27A的半導體裝置中使用P通道電晶體的結構。電晶體201p至207p具有與電晶體201至207相同的功能並是P通道電晶體。在此情況下，將電壓V2供給給佈線115。另外，如圖32B的時序圖所示，可以使信號IN1、信號IN2、信號IN4、信號IN5、節點11的電位、節點12的電位、節點13的電位以及信號GOUT反相。

以下，說明電晶體201至209的通道寬度的比率和電晶體的尺寸。

首先，電晶體201將電位供給給佈線211。另外，佈線

211的負載大於節點12的負載。因此，電晶體201的通道寬度大於電路100所具有的電晶體的通道寬度。在此情況下，電晶體201的通道寬度較佳爲電晶體101的通道寬度的10倍以下，更佳爲5倍以下，進一步較佳爲3倍以下。

其次，電晶體202的閘極電位的變化比電晶體201的閘極電位陡峭。因此，電晶體202的通道寬度較佳小於電晶體201的通道寬度。在此情況下，電晶體201的通道寬度較佳爲電晶體202的通道寬度的10倍以下，更佳爲7倍以下，進一步較佳爲5倍以下。

其次，電晶體203藉由將電位供給給佈線211而改變佈線211的電位。另外，佈線211連接於較大的負載（例如，閘極信號線、像素、電晶體或電容元件等）。因此，在本實施例模式的半導體裝置所具有的電晶體中，電晶體203的通道寬度最大。例如，電晶體203的通道寬度較佳爲電晶體201的通道寬度的10倍以下，更佳爲5倍以下，進一步較佳爲2倍以下。

其次，電晶體204將電位供給給節點13。另外，節點13的負載大於節點12的負載。因此，電晶體204的通道寬度小於電晶體201的通道寬度。在此情況下，電晶體201的通道寬度較佳爲電晶體204的通道寬度的5倍以下，更佳爲3倍以下，進一步較佳爲2倍以下。

其次，藉由增大電晶體205的通道寬度，可以在期間A使節點13的電位的變化陡峭，所以可以提高半導體裝置的驅動頻率。因此，電晶體205的通道寬度大於電晶體201或

電路100所具有的電晶體的通道寬度。或者，電晶體205的通道寬度小於電晶體203的通道寬度。在此情況下，電晶體203的通道寬度較佳爲電晶體205的通道寬度的10倍以下，更佳爲5倍以下，進一步較佳爲2倍以下。

其次，電晶體206藉由將電位供給給節點13而維持節點13的電位。因此，電晶體206的通道寬度小於電晶體205的通道寬度。在此情況下，電晶體205的通道寬度較佳爲電晶體206的通道寬度的3倍以下，更佳爲2倍以下，進一步較佳爲1.8倍以下。

其次，電晶體207藉由將電位供給給節點13而降低節點13的電位。注意，藉由使節點13的電位的降低變慢，可以在期間E使電晶體203導通。由此，在期間E，電晶體203可以將電位供給給佈線211，因此可以使佈線211的電位的降低變快。因此，電晶體207的通道寬度小於電晶體205的通道寬度。在此情況下，電晶體205的通道寬度較佳爲電晶體207的通道寬度的10倍以下，更佳爲7倍以下，進一步較佳爲5倍以下。

其次，電晶體208將電位供給給佈線214。另外，佈線214的負載小於佈線211的負載。因此，電晶體208的通道寬度小於電晶體203的通道寬度。在此情況下，電晶體203的通道寬度較佳爲電晶體208的通道寬度的10倍以下，更佳爲7倍以下，進一步較佳爲4倍以下。

其次，電晶體209將電位供給給佈線214。另外，佈線214的負載小於佈線211的負載。因此，電晶體209通道寬

度小於電晶體203的通道寬度。在此情況下，電晶體203的通道寬度較佳爲電晶體209的通道寬度的7倍以下，更佳爲4倍以下，進一步較佳爲2.5倍以下。

另外，考慮到上述電晶體的通道寬度的比率，電晶體201的通道寬度較佳爲1000μm以上且5000μm以下，更佳爲1500μm以上且4000μm以下，進一步較佳爲2000μm以上且3000μm以下。或者，電晶體202的通道寬度較佳爲200μm以上且3000μm以下，更佳爲300μm以上且2000μm以下，進一步較佳爲400μm以上且1000μm以下。或者，電晶體203的通道寬度較佳爲2000μm以上且30000μm以下，更佳爲3000μm以上且15000μm以下，進一步較佳爲4000μm以上且10000μm以下。或者，電晶體204的通道寬度較佳爲200μm以上且2500μm以下，更佳爲400μm以上且2000μm以下，進一步較佳爲700μm以上且1500μm以下。或者，電晶體205的通道寬度較佳爲500μm以上且3000μm以下，更佳爲1000μm以上且2500μm以下，進一步較佳爲1500μm以上且2000μm以下。或者，電晶體206的通道寬度較佳爲300μm以上且2000μm以下，更佳爲500μm以上且1500μm以下，進一步較佳爲800μm以上且1300μm以下。或者，電晶體207的通道寬度較佳爲100μm以上且1500μm以下，更佳爲300μm以上且1000μm以下，進一步較佳爲400μm以上且800μm以下。或者，電晶體208的通道寬度較佳爲300μm以上且5000μm以下，500μm以上且2000μm以下，進一步較佳爲800μm以上且1500μm以下。或者，電晶體209的通道

寬度較佳爲200μm以上且2000μm以下，更佳爲400μm以上且1500μm以下，進一步較佳爲500μm以上且1000μm以下。

實施例模式3

在本實施例模式中，說明顯示裝置、顯示裝置所具有的像素以及顯示裝置所具有的移位暫存器電路。另外，該移位暫存器電路可以具有實施例模式1或2所示的半導體裝置。

首先，參照圖33A至33D說明顯示裝置。顯示裝置具有電路1001、電路1002、電路1003_1、像素部1004以及端子1005。多個佈線可以從電路1003_1延伸而配置在像素部1004。該多個佈線可以具有閘極信號線或掃描線的功能。或者，多個佈線可以從電路1002延伸而配置在像素部1004。該多個佈線可以具有視頻信號線或資料線的功能。另外，對應於從電路1003_1延伸而配置的多個佈線和從電路1002延伸而配置的多個佈線，配置有多個像素。例如，在像素部1004，除了上述以外還可以配置各種佈線。該佈線可以具有閘極信號線、資料線、電源線或電容線等的功能。

另外，電路1001具有將信號、電壓或電流等供給給電路1002及電路1003的功能。或者，電路1001具有控制電路1002及電路1003的功能。如上所述，電路1001可以具有控制器、控制電路、時序發生器、電源電路或調節器等的功

能。

另外，電路1002具有將視頻信號供給給像素部1004的功能。或者，電路1002具有控制像素部1004所具有的像素的亮度或透過率等的功能。如上所述，電路1002具有驅動電路、源極驅動器或信號線驅動電路等的功能。

另外，電路1003_1及電路1003_2具有將掃描信號或閘極信號供給給像素部1004的功能。或者，電路1003_1及電路1003_2具有選擇像素部1004所具有的像素的功能。如上所述，電路1003_1及電路1003_2具有驅動電路、閘極驅動器或掃描線驅動電路的功能。另外，電路1003_1及電路1003_2既可驅動同一佈線，又可驅動不同佈線。例如，電路1003_1可以驅動奇數級的閘極信號線，電路1003_2可以驅動偶數級的閘極信號線。

另外，電路1001、電路1002、電路1003_1及電路1003_2既可形成在與像素部1004相同的基板1006上，又可形成在與像素部1004不同的基板（例如，半導體基板或SOI基板等）上。

圖33A示出如下結構：電路1003_1形成在與像素部1004相同的基板1006上，電路1001及電路1002形成在與像素部1004不同的基板上。電路1003_1的驅動頻率比電路1001或電路1002低。因此，作爲電晶體的半導體層，容易使用非單晶半導體、非晶半導體、微晶半導體、氧化物半導體、有機半導體等。結果，可以製造較大的顯示裝置。可以製造廉價的顯示裝置。

圖33B示出如下結構：電路1003_1及電路1003_2形成在與像素部1004相同的基板1006上，電路1001及電路1002形成在與像素部1004不同的基板上。電路1003_1及電路1003_2的驅動頻率比電路1001或電路1002低。因此，作爲電晶體的半導體層，容易使用非單晶半導體、非晶半導體、微晶半導體、氧化物半導體、有機半導體等。結果，可以製造較大的顯示裝置。可以製造廉價的顯示裝置。

圖33C示出如下結構：電路1002、電路1003_1及電路1003_2形成在與像素部1004相同的基板1006上，電路1001形成在與像素部1004不同的基板上。

圖33D示出如下結構：電路1002的一部分的電路1002a、電路1003_1及電路1003_2形成在與像素部1004相同的基板1006上，電路1001和電路1002的其他部分的電路1002b形成在與像素部1004不同的基板上。在此情況下，作爲電路1002a，可以使用開關、移位暫存器和/或選擇器等的驅動頻率低的電路。

以下，參照圖33E說明像素部1004所具有的像素。像素3020包括電晶體3021、液晶元件3022和電容元件3023。電晶體3021的第一端子連接到佈線3031。電晶體3021的第二端子連接到液晶元件3022的一個電極以及電容元件3023的一個電極。電晶體3021的閘極連接到佈線3032。液晶元件3022的另一個電極連接到電極3034。電容元件3023的另一個電極連接到佈線3033。

將視頻信號從圖33A至33D所示的電路1002輸入到佈

線3031。因此，佈線3031可以具有信號線、視頻信號線或者源極信號線的功能。將掃描信號、選擇信號或閘極信號從圖33A至33D所示的電路1003_1和/或電路1003_2輸入到佈線3032。因此，佈線3032可以具有信號線、掃描線或閘極信號線的功能。可以將固定的電壓從圖33A至33D所示的電路1001供給給佈線3033和電極3034。因此，佈線3033可以具有電源線或電容線的功能。或者，電極3034可以具有公共電極或對置電極的功能。例如，可以將預充電電壓供給給佈線3031。預充電電壓與被供給給電極3034的電壓大致相同。作爲另一例子，可以將信號輸入到佈線3033。由此，因爲可以控制施加到液晶元件3022的電壓，所以既可減小視頻信號的振幅又可實現反相驅動。作爲另一例子，可以將信號輸入到電極3034。由此，可以實現幀反相驅動。

電晶體3021具有控制佈線3031和液晶元件3022的一方電極之間的導通狀態的功能。或者，電晶體3021具有控制將視頻信號寫入到像素的時序的功能。由此，電晶體3021具有開關的功能。電容元件3023具有保持液晶元件3022的一個電極的電位與佈線3033的電位之間的電位差的功能。或者，電容元件3023具有將施加到液晶元件3022的電壓保持爲一定的功能。由此，電容元件3023具有儲存電容器的功能。

其次，參照圖34說明移位暫存器電路。電路1002、電路1003_1和/或電路1003_2可以包括上述移位暫存器電

路。

移位暫存器電路1100包括正反器電路1101_1至1101_N（N爲自然數）的多個正反器電路。另外，作爲正反器電路1101_1至1101_N，分別可以使用實施例模式1或實施例模式2所示的半導體裝置。

移位暫存器電路1100連接到佈線1111_1至1111_N、佈線1112、佈線1113、佈線1114、佈線1115以及佈線1116。此外，在正反器電路1101_i（i是1至N中的任一個自然數）中，佈線211連接於佈線1111_i，佈線112連接於佈線1112，佈線113連接於佈線1113，佈線212連接於佈線1111_i-1，佈線213連接於佈線1111_i+1，並且佈線115連接於佈線1115。注意，在奇數級的正反器電路和偶數級的正反器電路之間，佈線112及佈線113的連接位置相反。另外，在正反器電路1101_1中，佈線212連接於佈線1114。另外，在正反器電路1101_N中，佈線213連接於佈線1116。

以下，說明對每個佈線輸入或者從每個佈線輸出的信號或電壓的一個例子和各佈線的功能。信號GOUT_1至GOUT_N分別從佈線1111_1至1111_N輸出。在很多情況下，信號GOUT_1至GOUT_N分別爲正反器電路1101_1至1101_N的輸出信號，並可以具有與信號GOUT相同的功能。因此，佈線1111_1至1111_N可以具有與佈線211相同的功能。將信號GCK1輸入到佈線1112，將信號GCK2輸入到佈線1113。信號GCK1可以具有與信號IN2或信號IN3相

同的功能，信號GCK2可以具有與信號IN2或信號IN3相同的功能。因此，佈線1112可以具有與佈線112或佈線113相同的功能，佈線1113可以具有與佈線112或佈線113相同的功能。將信號GSP輸入到佈線1114。信號GSP可以具有與信號IN4相同的功能。因此，佈線1114可以具有與佈線212相同的功能。將電壓V1供給給佈線1115。因此，佈線1115可以具有與佈線115相同的功能。將信號GRE輸入到佈線1116。信號GRE可以具有與信號IN5相同的功能。因此，佈線1116可以具有與佈線213相同的功能。

以下，參照圖35的時序圖說明圖34的移位暫存器電路的一幀期間的工作。

例如，在信號GOUT_i-1成爲H位準時，正反器電路1101_i開始進行期間C的工作。然後，在信號GCK1及信號GCK2反相時，正反器電路1101_i開始進行期間D的工作。因此，信號GOUT_i成爲H位準。因爲將信號GOUT_i輸入到正反器電路1101_i+1，所以正反器電路1101_i+1開始進行期間C的工作。然後，在信號GCK1及信號GCK2反相時，正反器電路1101_i+1開始進行期間D的工作。由此，信號GOUT_i+1成爲H位準。因爲將信號GOUT_i+1輸入到正反器電路1101_i，所以正反器電路1101_i開始進行期間E的工作。因此，信號GOUT_i成爲L位準。然後，每次信號GCK1及信號GCK2反相，正反器電路1101_i都反復交替地進行期間A的工作和期間B的工作。因此，信號GOUT_i維持爲L位準。另外，在圖35中，將信號GCK1和GCK2中

的一方表示爲GCK。

另外，本實施例模式的移位暫存器可以使用實施例模式1或實施例模式2所示的半導體裝置。因此，由於可以將信號GOUT至GOUT_N的H位準上升到V2，所以可以使像素所具有的電晶體導通的時間變長。結果，可以在充分的時間內將視頻信號寫入到像素，而可以實現顯示品質的提高。或者，由於信號GOUT至GOUT_N的下降時間和上升時間可以縮短，所以可防止將輸向屬於另一列的像素的視頻信號寫入到屬於所選擇的列的像素。結果，可以實現顯示品質的提高。或者，由於可以抑制信號GOUT_1至GOUT_N的下降時間的不均勻，所以可以抑制影響到在像素中儲存的視頻信號的穿通（feedthrough）的不均勻。由此，可以抑制串擾等的顯示不均勻。或者，因爲可以減小電晶體的尺寸，所以可以減小移位暫存器的負載（例如，寄生電容等）。結果，因爲可以減小具有將信號或電壓等供給給移位暫存器的功能的外部電路及其電流供給能力，所以可以製造尺寸小的外部電路或尺寸小的具有該外部電路的顯示裝置。

實施例模式4

在本實施例模式中對信號線驅動電路進行說明。注意，可以將信號線驅動電路表示爲半導體裝置或信號產生電路。

首先，參照圖36A對信號線電路的結構進行說明。信

號線驅動電路包括電路2001及電路2002。電路2002包括多個電路，即電路2002_1至2002_N（N是自然數）。電路2002_1至2002_N分別具有多個電晶體，即電晶體2003_1至2003_k（k是自然數）。電晶體2003_1至2003_k是N通道型。但是，不侷限於此，電晶體2003_1至2003_k也可以爲P通道型或CMOS型開關。

以電路2002_1爲例子對信號線驅動電路的連接關係進行說明。電晶體2003_1至2003_k的第一端子分別連接到佈線2004_1至2004_k。電晶體2003_1至2003_k的第二端子分別連接到佈線S1至Sk。電晶體2003_1至2003_k的閘極連接到佈線2005_1。

電路2001具有控制對佈線2005_1至2005_N按順序輸出H位準的信號的時序的功能。或者，它具有按順序選擇電路2002_1至2002_N的功能。像這樣，電路2001具有移位暫存器的功能。電路2001可以對佈線2005_1至2005_N按各種順序輸出H位準的信號。或者，可以按各種順序選擇電路2002_1至2002_N。像這樣，電路2001可以具有解碼器的功能。

電路2002_1具有控制佈線2004_1至2004_k和佈線S1至Sk導通的時序的功能。或者，電路2002_1具有控制將佈線2004_1至2004_k的電位供給到佈線S1至Sk的時序的功能。像這樣，電路2002_1可以具有選擇器的功能。另外，電路2002_2至2002_N可以具有與電路2002_1同樣的功能。

電晶體2003_1至2003_N分別具有控制佈線2004_1至

2004_k和佈線S1至Sk導通的時序的功能。或者，電晶體2003_1至2003_N分別具有控制對佈線S1至Sk供給佈線2004_1至2004_k的電位的時序的功能。例如，電晶體2003_1具有控制佈線2004_1和佈線S1導通的時序的功能。或者，電晶體2003_1具有控制對佈線S1供給佈線2004_1的電位的時序的功能。像這樣，電晶體2003_1至2003_N可以分別具有開關的功能。

另外，對佈線2004_1至2004_k分別輸入信號。該信號是根據圖像資訊或視頻信號的類比信號。像這樣，該信號可以具有視頻信號的功能。因此，佈線2004_1至2004_k可以具有信號線的功能。例如，根據像素結構，可以是數位信號、類比電壓或類比電流。

接著，參照圖36B的時序圖說明圖36A的信號線驅動電路的工作。圖36B示出信號2015_1至2015_N及信號2014_1至2014_k。信號2015_1至2015_N分別是電路2001的輸出信號，信號2014_1至2014_k分別是輸入到佈線2004_1至2004_k的信號。注意，信號線驅動電路的一個工作期間對應於顯示裝置中的一個閘極選擇期間。一個閘極選擇期間被分割爲期間T0及期間T1至期間TN。期間T0是用來同時對屬於被選擇的行的像素施加預充電用電壓的期間，並且期間T0可以具有預充電期間的功能。期間T1至TN分別是用來對屬於被選擇的行的像素寫入視頻信號的期間，並可以具有寫入期間的功能。

首先，在期間T0中，電路2001對佈線2005_1至

2005_N供給H位準的信號。這樣，例如在電路2002_1中電晶體2003_1至2003_k導通，所以佈線2004_1至2004_k和佈線S1至Sk處於導通狀態。此時，對佈線2004_1至2004_k供給預充電電壓Vp。因此，預充電電壓Vp藉由電晶體2003_1至2003_k分別輸出到佈線S1至Sk。如此，因爲預充電電壓Vp寫入到屬於被選擇的列的像素，所以對屬於被選擇的列的像素進行預充電。

在期間T1至期間TN中，電路2001對佈線2005_1至2005_N按順序輸出H位準的信號。例如，在期間T1中，電路2001將H位準的信號輸出到佈線2005_1。然後，電晶體2003_1至2003_k導通，所以佈線2004_1至2004_k和佈線S1至Sk處於導通狀態。此時，對佈線2004_1至2004_k輸入Data（S1）至Data（Sk）。Data（S1）至Data（Sk）分別藉由2003_1至2003_k寫入到屬於被選擇的列的像素中的第一行至第k行像素。藉由上述步驟，在期間T1至TN中，對屬於被選擇的列的像素的每k行按順序寫入視頻信號。

如上所述，藉由對每多個行的像素寫入視頻信號，可以減少視頻信號的數量或佈線的數量。因此，可以減少與外部電路的連接個數，所以可以實現良率的提高、可靠性的提高、部件個數的縮減及/或成本的削減。或者，藉由對每多個行的像素寫入視頻信號，可以延長寫入時間。因此，可以防止視頻信號的寫入不足，從而可以實現顯示品質的提高。

另外，藉由使k增大，可以減少與外部電路的連接個

數。但是，若是k過大，對像素的寫入時間變短。因此，較佳爲k≤6。更佳的是k≤3。進一步較佳的是k=2。

特別是，當像素的色彩單元爲n（n是自然數）個時，較佳k=n或k=n×d（d是自然數）。例如，當像素的色彩單元分割爲三個，即紅（R）、綠（G）、藍（B）時，較佳的是，k=3或k=3×d。例如，當像素分割爲m（m是自然數）個子像素（將子像素稱爲亞像素或副像素）時，較佳k=m或k=m×d。例如，當像素分割爲兩個子像素時，較佳k=2。或者，當像素的色彩單元爲n個時，較佳k=m×n或k=m×n×d。

例如，將本實施例模式應用於顯示裝置。在此情況下，本實施例模式的信號線驅動電路既可形成在與像素部相同的基板上，又可形成在與像素部不同的基板（例如，矽基板或SOI基板等）上。或者，可以將本實施例模式的信號線驅動電路的一部分（例如，電路2002）形成在與像素部相同的基板上，並將本實施例模式的信號線驅動電路的其他部分（例如，電路2001）形成在與像素部不同的基板上。

圖36C示出在與像素部2007相同的基板上形成有電路2001和電路2002的結構。由此可以減少形成像素部的基板與外部電路的連接個數，所以可以實現良率的提高、可靠性的提高、部件個數的縮減或成本的削減等。特別是，藉由將掃描線驅動電路2006A及掃描線驅動電路2006B也形成在與像素部2007相同的基板上，可以更進一步減少與外

部電路的連接個數。

圖36D示出在與像素部2007相同的基板上形成有電路2002，並且在與像素部2007不同的基板上形成有電路2001的結構。由於在此情況下也可以減少形成像素部的基板與外部電路的連接數，因此可以實現良率的提高、可靠性的提高、部件個數的縮減或成本的削減等。或者，由於形成在與像素部2007相同的基板上的電路減少，因此可以縮小邊框。

另外，作爲電路2001，可以使用實施例模式3的移位暫存器電路。由此，因爲可以使所有電晶體的極性爲N通道型，所以可以實現製程的減少。或者，因爲可以抑制電晶體的退化，所以可以延長信號線驅動電路的使用壽命。

實施例模式5

在本實施例模式中，對保護電路進行說明。爲了防止連接到某個佈線的半導體裝置（例如，電晶體、電容元件、電路等）等因ESD（靜電放電）被損壞，設置保護電路。

首先，參照圖37A對保護電路進行說明。保護電路3000包括電晶體3001及電晶體3002。電晶體3001及電晶體3002是N通道型。但是，本實施例模式不侷限於此，也可以是P通道型。

以下，說明保護電路3000的連接關係。電晶體3001的第一端子連接到佈線3012，電晶體3001的第二端子連接到

佈線3011，電晶體3001的閘極連接到佈線3011。電晶體3002的第一端子連接到佈線3013，電晶體3002的第二端子連接到佈線3011，電晶體3002的閘極連接到佈線3013。

接著，說明輸入到佈線3011至3013的信號或電壓等的一個例子及這些佈線的功能。可以將信號（例如，掃描信號、視頻信號、時鐘信號、起始信號、重設信號或選擇信號等）或電壓（負電源電壓、接地電壓、正電源電壓等）供給給佈線3011。因此，佈線3011可以具有信號線或電源線等的功能。將正電源電壓（VDD）供給給佈線3012。因此，佈線3012可以具有電源線的功能。將負電源電壓（VSS）或接地電壓等供給給佈線3013。因此，佈線3013可以具有電源線的功能。

接著，說明保護電路3000的工作。若是佈線3011的電位大致是VSS至VDD之間的值，則電晶體3001及電晶體3002截止。因此，供給到佈線3011的電壓或信號等被供給到與佈線3011連接的半導體裝置。注意，由於靜電等的影響，有時佈線3011被供給比電源電壓高的電位或比電源電壓低的電位。而且，有時由於該比電源電壓高的電位或比電源電壓低的電位，與佈線3011連接的半導體裝置被損壞。爲了防止這種半導體裝置的靜電擊穿，藉由使電晶體3001或電晶體3002導通，抑制佈線3011的變化。例如，在對佈線3011供給比電源電壓高的電位時，電晶體3001導通。於是，佈線3011的電荷藉由電晶體3001移動到佈線3012，佈線3011的電位降低。由此，可以防止半導體裝置

的靜電擊穿。另一方面，例如，當對佈線3011供給比電源電壓低的電位時，電晶體3002導通。於是，佈線3011的電荷藉由電晶體3002移動到佈線3013，所以佈線3011的電位上升。像這樣，可以防止與佈線3011連接的半導體裝置的靜電擊穿。

另外，在圖37A所描述的結構中，可以省略電晶體3001和電晶體3002中的一方。圖37B示出在圖37A的保護電路中省略電晶體3002的結構。圖37C示出在圖37A的保護電路中省略電晶體3001的結構。

此外，在圖37A至37C所描述的結構中，可以在佈線3011和佈線3012之間將多個電晶體串聯連接。或者，可以在佈線3011和佈線3013之間使多個電晶體串聯連接。圖37D示出如下結構：在圖37A的保護電路中，在佈線3011和佈線3012之間將電晶體3001和電晶體3003串聯連接，並且在佈線3011和佈線3013之間將電晶體3002和電晶體3004串聯連接。電晶體3003的第一端子與佈線3012連接，電晶體3003的第二端子與電晶體3001的第一端子連接，電晶體3003的閘極與電晶體3001的第一端子連接。電晶體3004的第一端子與佈線3013連接，電晶體3004的第二端子與電晶體3002的第一端子連接，電晶體3004的閘極與電晶體3004的第一端子連接。例如，還可以如圖37E所示，電晶體3001的閘極和電晶體3003的閘極連接。或者，電晶體3002的閘極和電晶體3004的閘極連接。或者，可以在佈線3011和佈線3012之間與佈線3011和佈線3013之間中的一方將多

個電晶體串聯連接。

另外，在圖37A至37E所描述的結構中，可以在佈線3011和佈線3012之間使多個電晶體並聯連接。或者，可以在佈線3011和佈線3013之間使多個電晶體並聯連接。圖37F示出如下結構：在圖37A的保護電路中，在佈線3011和佈線3012之間使電晶體3001和電晶體3003並聯連接，並且在佈線3011和佈線3013之間使電晶體3002和電晶體3004並聯連接。電晶體3003的第一端子與佈線3012連接，電晶體3003的第二端子與佈線3011連接，電晶體3003的閘極與佈線3011連接。電晶體3004的第一端子與佈線3013連接，電晶體3004的第二端子與佈線3011連接，電晶體3004的閘極與佈線3013連接。

此外，在圖37A至37F所描述的結構中，可以在電晶體的閘極和第一端子之間使電容元件和電阻元件並聯連接。可以在電晶體的閘極和第一端子之間只使電容元件和電阻元件中的一方連接。圖37G示出如下結構：在圖37A的保護電路中，在電晶體3001的閘極和第一端子之間使電容元件3005和電阻元件3006並聯連接；在電晶體3002的閘極和第一端子之間使電容元件3007和電阻元件3008並聯連接。由此，可以防止保護電路3000本身的損壞或退化。例如，當對佈線3011供給比電源電壓高的電位時，電晶體3001的Vgs增大。從而，電晶體3001導通，所以佈線3011的電位降低。但是，由於電晶體3001的閘極和第二端子之間施加有大電壓，因此有時產生電晶體3001的損壞或退

化。爲了防止這種現象，使電晶體3001的閘極的電位上升來降低電晶體3001的Vgs。爲了實現電晶體3001的Vgs的降低，使用電容元件3005。當電晶體3001導通時，電晶體3001的第一端子的電位暫態上升。於是，藉由電容元件3005的電容耦合而使電晶體3001的閘極的電位上升。像這樣，可以縮小電晶體3001的Vgs，從而可以抑制電晶體3001的損壞或退化。同樣地，當對佈線3011供給比電源電壓低的電位時，電晶體3002的第一端子的電位暫態下降。於是，藉由電容元件3007的電容耦合而使電晶體3002的閘極電位降低。像這樣，由於可以降低電晶體3002的Vgs，因此可以抑制電晶體3002的損壞或退化。

另外，作爲電容元件，可以使用電晶體的閘極與第一端子之間的寄生電容。因此，用作電晶體的閘極的材料和用作電晶體的第一端子的材料重疊的面積大於用作電晶體的閘極的材料和用作電晶體的第二端子的材料重疊的面積。

另外，作爲電阻元件，可以使用其導電率比用於佈線3011的材料或用作電晶體的閘極的材料低的材料（例如，與像素電極相同的材料、透光電極、添加有雜質的半導體層等）。

在此，圖37A至37G所描述的保護電路可以用於各種電路或佈線（例如，信號線驅動電路、掃描線驅動電路、位準轉移電路、閘極信號線、源極信號線、電源線、電容線等）。在圖38A中示出在閘極信號線設置保護電路時的

結構。在此情況下，佈線3012及佈線3013可以連接到與閘極驅動器3100連接的佈線中的任一個。由此，可以減少電源的數量及佈線的數量。在圖38B中示出在對接收來自FPC等的外部的信號或電壓的端子設置保護電路時的結構。在此情況下，佈線3012及佈線3013可以與外部端子的任一個連接。例如，佈線3012與端子3101a連接，佈線3013與端子3101b連接。在此情況下，在設置在端子3101a中的保護電路中可以省略電晶體3001。同樣地，在設置在端子3101b中的保護電路中，可以省略電晶體3002。由此，可以減少電晶體的數量，從而可以實現縮小佈局面積。

實施例模式6

在本實施例模式中，參照圖39A、39B及39C對電晶體進行說明。

圖39A是示出頂閘型電晶體和形成在其上的顯示元件的圖。圖39B是示出底閘型電晶體和形成在其上的顯示元件的圖。

圖39A的電晶體包括：基板5260；形成在基板5260上的絕緣層5261；形成在絕緣層5261上並且包括區域5262a、區域5262b、區域5262c、區域5262d、以及區域5262e的半導體層5262；覆蓋半導體層5262地形成的絕緣層5263；形成在半導體層5262及絕緣層5263上的導電層5264；形成在絕緣層5263及導電層5264上並包括開口部的

絕緣層5265；以及形成在絕緣層5265上及絕緣層5265的開口部中的導電層5266。

圖39B的電晶體包括：基板5300；形成在基板5300上的導電層5301；覆蓋導電層5301地形成的絕緣層5302；形成在導電層5301上及絕緣層5302上的半導體層5303a；形成在半導體層5303a上的半導體層5303b；形成在半導體層5303b及絕緣層5302上的導電層5304；形成在絕緣層5302上及導電層5304上並包括開口部的絕緣層5305；以及形成在絕緣層5305上及絕緣層5305的開口部中的導電層5306。

圖39C的電晶體包括：包括區域5353及區域5355的半導體基板5352；形成在半導體基板5352上的絕緣層5356；形成在半導體基板5352上的絕緣層5354；形成在絕緣層5356上的導電層5357；形成在絕緣層5354、絕緣層5356、以及導電層5357上並包括開口部的絕緣層5358；以及形成在絕緣層5358上及絕緣層5358的開口部中的導電層5359。如此，在區域5350和區域5351中分別製造電晶體。

在圖39A至39C所述的電晶體中，如圖39A所示，可以在電晶體上形成：形成在導電層5266上及絕緣層5265上並包括開口部的絕緣層5267；形成在絕緣層5267上及絕緣層5267的開口部中的導電層5268；形成在絕緣層5267上及導電層5268上並包括開口部的絕緣層5269；形成在絕緣層5269上及絕緣層5269的開口部中的發光層5270；以及形成在絕緣層5269上及發光層5270上的導電層5271。

另外，在圖39A至39C所描述的電晶體中，如圖39B所

示，可以在電晶體上形成配置在絕緣層5305上及導電層5306上的液晶層5307以及形成在液晶層5307上的導電層5308。

絕緣層5261可以用作基底膜。絕緣層5354用作元件間分離層（例如，場氧化膜）。絕緣層5263、絕緣層5302、絕緣層5356可以用作閘極絕緣膜。導電層5264、導電層5301、導電層5357可以用作閘極電極。絕緣層5265、絕緣層5267、絕緣層5305及絕緣層5358可以用作層間膜或者平坦化膜。導電層5266、導電層5304、以及導電層5359可以用作佈線、電晶體的電極或電容元件的電極等。導電層5268以及導電層5306可以用作像素電極或反射電極等。絕緣層5269可以用作分隔壁。導電層5271及導電層5308可以用作對置電極或者公共電極等。

作爲基板5260及基板5300，有玻璃基板、石英基板、半導體基板（例如，矽基板或單晶基板）、SOI基板、塑膠基板、金屬基板、不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板或者撓性基板等。作爲玻璃基板，有鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等。作爲撓性基板，有如下具有撓性的合成樹脂：以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚碸（PES）爲典型的塑膠；丙烯酸樹脂等。此外，還有貼合薄膜（聚丙烯、聚酯、乙烯、聚氟化乙烯、氯乙烯等）、包括纖維狀材料的紙、基材薄膜（聚酯、聚醯胺、聚醯亞胺、無機蒸鍍薄膜、紙類等）等。

作爲半導體基板5352，可以使用具有n型或p型的導電型的單晶Si基板。但是，本發明不侷限於此，而可以使用藉由在其一部分或全部使用可以應用於半導體基板5352的基板而形成的半導體基板5352。區域5353是在半導體基板5352中添加有雜質的區域，並且用作阱。例如，在半導體基板5352具有p型導電型的情況下，區域5353具有n型導電型，並且用作n阱。另一方面，在半導體基板5352具有n型導電型的情況下，區域5353具有p型導電型，並且用作p阱。區域5355是在半導體基板5352中添加有雜質的區域，並且用作源極區或汲極區。另外，可以在半導體基板5352中形成LDD區域。

作爲絕緣層5261，有氧化矽（$SiO_x$）膜、氮化矽（$SiN_x$）膜、氧氮化矽（$SiO_xN_y$）（$x>y>0$）膜、氮氧化矽（$SiN_xO_y$）（$x>y>0$）膜等具有氧或氮的膜或這些膜的層疊結構等。作爲在絕緣層5261由兩層結構設置的情況下，作爲第一層的絕緣層可以設置氮化矽膜，並且作爲第二層的絕緣層可以設置氧化矽膜。作爲在絕緣層5261由三層結構設置的情況下，作爲第一層的絕緣層可以設置氧化矽膜，作爲第二層的絕緣層可以設置氮化矽膜，並且作爲第三層的絕緣層可以設置氧化矽膜。

作爲半導體層5262、半導體層5303a以及半導體層5303b，有非單晶半導體（例如，非晶矽、多晶矽、微晶矽等）、單晶半導體、化合物半導體或者氧化物半導體（例如，ZnO、InGaZnO、SiGe、GaAs、IZO（氧化銦

鋅）、ITO（氧化銦錫）、SnO、TiO、AlZnSnO（AZTO））、有機半導體或碳奈米管等。

另外，例如，區域5262a處於不對半導體層5262添加雜質的本征的狀態，並且用作通道區域。但是，可以對區域5262a添加雜質，並且添加到區域5262a的雜質的濃度較佳比添加到區域5262b、區域5262c、區域5262d或區域5262e的雜質的濃度低。區域5262b及區域5262d是添加有其濃度比區域5262c或區域5262e低的雜質的區域，並且用作LDD（Lightly Doped Drain：輕摻雜汲）區域。但是，可以省略區域5262b及區域5262d。區域5262c及區域5262e是在半導體層5262中添加有高濃度的雜質的區域，並且用作源極區或汲極區。

另外，半導體層5303b是作爲雜質元素添加有磷等的半導體層，並且具有n型導電型。

另外，當作爲半導體層5303a使用氧化物半導體或化合物半導體時，可以省略半導體層5303b。

作爲絕緣層5263、絕緣層5302以及絕緣層5356，有氧化矽（$SiO_x$）膜、氮化矽（$SiN_x$）膜、氧氮化矽（$SiO_xN_y$）（x>y>0）膜、氮氧化矽（$SiN_xO_y$）（x>y>0）膜等具有氧或氮的膜或它們的層疊結構等。

作爲導電層5264、導電層5266、導電層5268、導電層5271、導電層5301、導電層5304、導電層5306、導電層5308、導電層5357以及導電層5359，有單層結構的導電膜或者這些膜的層疊結構等。作爲該導電膜，有由鋁

（Al）、鉭（Ta）、鈦（Ti）、鉬（Mo）、鎢（W）、釹（Nd）、鉻（Cr）、鎳（Ni）、鉑（Pt）、金（Au）、銀（Ag）、銅（Cu）、錳（Mn）、鈷（Co）、鈮（Nb）、矽（Si）、鐵（Fe）、鈀（Pd）、碳（C）、鈧（Sc）、鋅（Zn）、鎵（Ga）、銦（In）、錫（Sn）、鋯（Zr）、鈰（Ce）構成的組、選自該組的一種元素的單質膜或包含選自上述組中的一種元素或多種元素的化合物等。另外，該單質膜或該化合物可以包含磷（P）、硼（B）、砷（As）及/或氧（O）等。

作爲該化合物，有包含選自上述多種元素中的一種元素或多種元素的化合物（例如合金）；選自上述多種元素中的一種元素或多種元素與氮的化合物（例如氮化膜）；選自上述多種元素中的一種元素或多種元素與矽的化合物（例如矽化物膜）；或者奈米管材料等。作爲合金，有氧化銦錫（ITO）、氧化銦鋅（IZO）、包含氧化矽的氧化銦錫（ITSO）、氧化鋅（ZnO）、氧化錫（SnO）、氧化錫鎘（CTO）、鋁釹（Al-Nd）、鋁鎢（Al-W）、鋁鋯（Al-Zr）、鋁鈦（Al-Ti）、鋁鈰（Al-Ce）、鎂銀（Mg-Ag）、鉬鈮（Mo-Nb）、鉬鎢（Mo-W）、鉬鉭（Mo-Ta）等。作爲氮化膜，有氮化鈦、氮化鉭、氮化鉬等。作爲矽化物膜，有矽化鎢、矽化鈦、矽化鎳、鋁矽、鉬矽等。作爲奈米管材料，有碳奈米管、有機奈米管、無機奈米管或金屬奈米管等。

作爲絕緣層5265、絕緣層5267、絕緣層5269、絕緣層

5305及絕緣層5358，有單層結構的絕緣層或者這些膜的層疊結構等。作爲該絕緣層，有氧化矽（$SiO_x$）膜、氮化矽（$SiN_x$）膜、氧氮化矽（$SiO_xN_y$）（x>y>0）膜、氮氧化矽（$SiN_xO_y$）（x>y>0）膜等具有氧或氮的膜；DLC（類金剛石碳）膜等具有碳的膜；矽氧烷樹脂、環氧樹脂、聚醯亞胺、聚醯胺、聚乙烯基苯酚、苯並環丁烯或丙烯酸樹脂等有機材料等。

作爲發光層5270，有有機EL元件或者無機EL元件等。對於有機EL元件，例如，有由電洞注入材料形成的電洞注入層、由電洞傳輸材料形成的電洞傳輸層、由發光材料形成的發光層、由電子傳輸材料形成的電子傳輸層、由電子注入材料形成的電子注入層或者其中混合有上述材料中的多種材料的層的單層結構或上述材料的疊層結構等。

另外，在絕緣層5305及導電層5306上可以形成用作對準膜的絕緣層或用作突起部的絕緣層等。

另外，在導電層5308上可以形成用作濾色片、黑矩陣或者突起部的絕緣層等。在導電層5308下可以形成用作對準膜的絕緣層。

可以將本實施例模式的電晶體用於實施例模式1或實施例模式2所描述的半導體裝置。具體來說，在圖39B中，在作爲半導體層使用非單晶半導體、非晶半導體、微晶半導體、有機半導體或氧化物半導體等的情況下，電晶體退化。但是，因爲在實施例模式1至6的半導體裝置、移位暫存器或顯示裝置中可以抑制電晶體的退化，所以是有用

的。

實施例模式7

在本實施例模式中，參照圖40A、40B及40C說明顯示裝置的截面結構。

圖40A是顯示裝置的俯視圖。在基板5391上形成有驅動電路5392和像素部5393。作爲驅動電路5392，有掃描線驅動電路或信號線驅動電路等。

圖40B示出沿著圖40A的A-B截斷的截面。而且，圖40B示出：基板5400；形成在基板5400上的導電層5401；覆蓋導電層5401地形成的絕緣層5402；形成在導電層5401及絕緣層5402上的半導體層5403a；形成在半導體層5403a上的導電層5403b；形成在半導體層5403b上及絕緣層5402上的導電層5404；形成在絕緣層5402上及導電層5404上並包括開口部的絕緣層5405；形成在絕緣層5405上及導電層5405的開口部中的導電層5406；配置在絕緣層5405上及導電層5406上的絕緣層5408；形成在絕緣層5405上的液晶層5407；形成在液晶層5407上及絕緣層5408上的導電層5409；以及形成在導電層5409上的基板5410。

導電層5401可以用作閘極電極。絕緣層5402可以用作閘極絕緣膜。導電層5404可以用作佈線、電晶體的電極或電容元件的電極等。絕緣層5405可以用作層間膜或平坦化膜。導電層5406用作佈線、像素電極或反射電極。絕緣層5408可以用作密封材料。導電層5409可以用作對置電極或

公共電極。

在此，有時在驅動電路5392和導電層5409之間產生寄生電容。其結果是，在驅動電路5392的輸出信號或各節點的電位產生失真或延遲等。或者，耗電量增大。但是，如圖40B所示，藉由在驅動電路5392上形成可用作密封材料的絕緣層5408，可以減少產生在驅動電路5392和導電層5409之間的寄生電容。這是因爲密封材料的介電常數比液晶層的介電常數低。因此，可以減少驅動電路5392的輸出信號或各節點的電位的失真或延遲。或者，可以降低驅動電路5392的耗電量。

另外，如圖40C所示，可以在驅動電路5392的一部分上形成還可以用作密封材料的絕緣層5408。由於在此情況下也可以減少產生在驅動電路5392和導電層5409之間的寄生電容，因此可以減少驅動電路5392的輸出信號或各節點的電位的失真或延遲。但是，不侷限於此，也可以不在驅動電路5392上形成可用作密封材料的絕緣層5408。

另外，顯示元件不侷限於液晶元件而可以使用EL元件或電泳元件等的各種顯示元件。

如上所述，在本實施例模式中，說明了顯示裝置的截面結構。可以組合這種結構和實施例模式1或實施例模式2所描述的半導體裝置。例如，當作爲電晶體的半導體層使用非單晶半導體、微晶半導體、有機半導體或氧化物半導體等時，電晶體的通道寬度增大。但是，若是能夠如本實施例模式那樣地減少驅動電路的寄生電容，則可以縮小電

晶體的通道寬度。因此，可以實現縮小佈局面積，從而可以使顯示裝置的邊框變窄。或者，可以實現顯示裝置的高精細化。

實施例模式8

在本實施例模式中，說明半導體裝置的製程。這裏，說明電晶體及電容元件的製程。特別是，說明作爲半導體層使用氧化物半導體的製程。

參照圖41A至41C說明電晶體及電容元件的製程。圖41A至41C是電晶體5441及電容元件5442的製程。電晶體5441是反交錯型薄膜電晶體，其中在氧化物半導體層上隔著源極電極或汲極電極設置有佈線。

首先，在基板5420的整個面上藉由濺射法形成第一導電層。接著，使用藉由使用第一光掩罩的光微影步驟形成的抗蝕劑掩罩選擇性地對第一導電層進行蝕刻，從而形成導電層5421及導電層5422。導電層5421可以用作閘極電極，導電層5422可以用作電容元件的一個電極。但是不侷限於此，導電層5421及導電層5422可以具有用作佈線、閘極電極或電容元件的電極的部分。然後，去除抗蝕劑掩罩。

接著，在整個面上藉由電漿CVD法或濺射法形成絕緣層5423。絕緣層5423可以用作閘極絕緣層，且覆蓋導電層5421及導電層5422地形成。另外，絕緣層5423的厚度爲50nm以上且250nm以下。

接著，使用藉由使用第二光掩罩的光微影步驟形成的抗蝕劑掩罩對絕緣層5423選擇性地進行蝕刻來形成達到導電層5421的接觸孔5424。然後，去除抗蝕劑掩罩。但是不侷限於此，也可以省略接觸孔5424。或者，可以在形成氧化物半導體層之後形成接觸孔5424。到此爲止的步驟的截面圖相當於圖41A。

接著，在整個面上藉由濺射法形成氧化物半導體層。但是，不侷限於此，也可以藉由濺射法形成氧化物半導體層，且在其上形成緩衝層（例如，$n^+$層）。另外，氧化物半導體層的厚度爲5nm以上且200nm以下。

接著，使用藉由使用第三光掩罩的光微影步驟形成的抗蝕劑掩罩對氧化物半導體層選擇性地進行蝕刻。然後，去除抗蝕劑掩罩。

接著，在整個面上藉由濺射法形成第二導電層。然後，使用藉由使用第四光掩罩的光微影步驟形成的抗蝕劑掩罩對第二導電層選擇性地進行蝕刻來形成導電層5429、導電層5430及導電層5431。導電層5429藉由接觸孔5424與導電層5421連接。導電層5429及導電層5430可以用作源極電極或汲極電極，並且導電層5431可以用作電容元件的另一個電極。但是，不侷限於此，導電層5429、導電層5430及導電層5431也可以包括用作佈線、源極電極或汲極電極或電容元件的電極的部分。到此爲止的步驟的截面圖相當於圖41B。

接著，在大氣氣圍下或氮氣圍下以200℃至600℃進行

加熱處理。藉由該熱處理，進行In-Ga-Zn-O類非單晶層的原子級的重新排列。像這樣，藉由熱處理（還包括光退火）消除阻礙載子移動的畸變。另外，進行該加熱處理的時序不侷限於此，只要是形成氧化物半導體之後，就可以以各種時序進行該加熱處理。

接著，在整個面上形成絕緣層5432。絕緣層5432可以採用單層結構或層疊結構。例如，當作爲絕緣層5432使用有機絕緣層時，塗敷有機絕緣層的材料的組成物，在大氣氣圍下或氮氣圍下進行200℃至600℃的加熱處理形成有機絕緣層。像這樣，藉由形成與氧化物半導體層接觸的有機絕緣層，可以製造電特性可靠性高的薄膜電晶體。另外，當作爲絕緣層5432使用有機絕緣層時，可以在有機絕緣層之下設置氮化矽膜或氧化矽膜。

接著，在整個面上形成第三導電層。然後，使用藉由使用第五光掩罩的光微影步驟形成的抗蝕劑掩罩對第三導電層選擇性地進行蝕刻來形成導電層5433及導電層5434。到此爲止的步驟的截面圖相當於圖41C。導電層5433及導電層5434可以用作佈線、像素電極、反射電極、透光電極或電容元件的電極。特別是，由於導電層5434與導電層5422連接，因此可以用作電容元件5442的電極。但是，不侷限於此，導電層5434還可以具有連接第一導電層和第二導電層的功能。例如，藉由連接導電層5433和導電層5434，可以使導電層5422和導電層5430藉由第三導電層（導電層5433及導電層5434）連接。

藉由上述步驟，可以製造電晶體5441和電容元件5442。

另外，如圖41D所示，可以在氧化物半導體層5425上形成絕緣層5435。在圖41D中，附圖標記5437表示導電層，而附圖標記5436表示半導體層。

此外，如圖41E所示，可以在對第二導電層進行構圖之後形成氧化物半導體層5425。在圖41E中，附圖標記5438和附圖標記5439分別表示導電層。

另外，作爲本實施例模式的基板、絕緣層、導電層及半導體層，可以使用與其他實施例模式所描述的材料或本發明說明所描述的材料相同的材料。

實施例模式9

在本實施例模式中，說明半導體裝置的佈局圖（也稱爲俯視圖）。在本實施例模式中，說明圖1A的半導體裝置的佈局圖。另外，本實施例模式所述的內容可適當地與其他實施例模式中所述的內容組合。注意，本實施例模式的佈局圖是一個例子，因此半導體裝置的佈局圖不侷限於此。

以下，參照圖42說明本實施例模式的佈局圖。圖42示出圖1A的半導體裝置的佈局圖。

圖42所示的電晶體或佈線等由導電層901、半導體層902、導電層903、導電層904和接觸孔905構成。注意，本發明不侷限於此，而可以重新形成另一導電層、絕緣膜或

另一接觸孔。例如，可以重新追加用來連接導電層901和導電層903的接觸孔。

導電層901可以包括用作閘極電極或佈線的部分。半導體層902可以包括用作電晶體的半導體層的部分。導電層903可以包括用作佈線或者源極或汲極的部分。導電層904可以包括用作透光電極、像素電極或佈線的部分。接觸孔905具有連接導電層901和導電層904的功能或者連接導電層903和導電層904的功能。

另外，半導體層902可以形成在導電層901和導電層903重疊的部分中。由此，導電層901和導電層903之間的寄生電容可以減小，由此可以實現雜波的降低。與此同樣，半導體層902或導電層903可以形成在導電層901和導電層904重疊的部分中。

另外，導電層904可以在導電層901的一部分之上形成，該導電層901可以藉由接觸孔905連接到導電層904。由此，佈線電阻可以減小。或者，導電層903和導電層904可以在導電層901的一部分之上形成，該導電層901可以藉由接觸孔905連接到該導電層904，而該導電層903可以藉由另一接觸孔905連接到該導電層904。由此，佈線電阻可以進一步減小。

另外，導電層904可以在導電層903的一部分之上形成，該導電層903可以藉由接觸孔905連接到導電層904。由此，佈線電阻可以減小。

另外，導電層901或導電層903可以在導電層904的一

部分之下形成，該導電層904可以藉由接觸孔905連接到該導電層901或該導電層903。由此，佈線電阻可以減小。

另外，如上所述，在電晶體101中，閘極和第二端子之間的寄生電容可以大於閘極和第一端子之間的寄生電容。由此，在電晶體101中，用作第二端子的導電層903和用作閘極的導電層901重疊的面積較佳大於用作第一端子的導電層903和用作閘極的導電層901重疊的面積。

實施例模式10

在本實施例模式中說明電子設備的例子。

圖43A至43H以及圖44A至44D是示出電子設備的圖。這些電子設備可以包括框體5000、顯示部5001、揚聲器5003、LED燈5004、操作鍵5005（包括電源開關或操作開關）、連接端子5006、感測器5007（它包括測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、射線、流量、濕度、傾斜度、振動、氣味或紅外線）、麥克風5008等。

圖43A示出移動電腦，該移動電腦除了上述以外還可以包括開關5009、紅外埠5010等。圖43B示出具備記錄媒體的可攜式圖像再現裝置（例如DVD再現裝置），該可攜式圖像再現裝置除了上述以外還可以包括第二顯示部5002、記錄媒體讀取部5011等。圖43C示出護目鏡型顯示器，該護目鏡型顯示器除了上述以外還可以包括第二顯示

部5002、支撐部5012、耳機5013等。圖43D示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括記錄媒體讀取部5011等。圖43E示出投影儀裝置，該投影儀裝置除了上述以外還可以包括光源5033、投射透鏡5034等。圖43F示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括第二顯示部5002、記錄媒體讀取部5011等。圖43G示出電視接收機，該電視接收機除了上述以外還可以包括調諧器、圖像處理部等。圖43H示出可攜式電視接收機，該可攜式電視接收機除了上述以外還可以包括能夠收發信號的充電器5017等。圖44A示出顯示器，該顯示器除了上述以外還可以包括支撐台5018等。圖44B示出相機，該相機除了上述以外還可以包括外部連接埠5019、快門按鈕5015、圖像接收部5016等。圖44C示出電腦，該電腦除了上述以外還可以包括定位裝置5020、外部連接埠5019、讀寫器5021等。圖44D示出行動電話機，該行動電話機除了上述以外還可以包括天線、用於行動電話·移動終端的單波段廣播（one-segment broadcasting）部分接收服務用調諧器等。

圖43A至43H、圖44A至44D所示的電子設備可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態圖像、動態圖像、文字圖像等）顯示在顯示部上；觸控面板；顯示日曆、日期或時刻等；藉由利用各種軟體（程式）控制處理；進行無線通信；藉由利用無線通信功能來連接到各種電腦網路；藉由利用無線通信功能，進行各種

資料的發送或接收；讀出儲存在記錄媒體中的程式或資料來將其顯示在顯示部上；等等。再者，在具有多個顯示部的電子設備中，可以具有如下功能：一個顯示部主要顯示圖像資訊，而另一個顯示部主要顯示文字資訊；或者，在多個顯示部上顯示考慮到視差的圖像來顯示立體圖像；等等。再者，在具有圖像接收部的電子設備中，可以具有如下功能：拍攝靜態圖像；拍攝動態圖像；對所拍攝的圖像進行自動或手動校正；將所拍攝的圖像儲存在記錄媒體（外部或內置於相機）中；將所拍攝的圖像顯示在顯示部上等。注意，圖43A至43H、圖44A至44D所示的電子設備可具有的功能不侷限於上述功能，而可以具有各種各樣的功能。

本實施例模式所述的電子設備的特徵是具有用來顯示某些資訊的顯示部。藉由組合本實施例模式的電子設備以及實施例模式1至5的半導體裝置、移位暫存器或顯示裝置，可實現可靠性提高、良率的提高、成本的降低、顯示部的大型化、顯示部的高精細化等。

下面，說明半導體裝置的應用例子。

圖44E示出將半導體裝置和建築物設置爲一體的例子。圖44E包括框體5022、顯示部5023、作爲操作部的遙控單元5024、揚聲器5025等。半導體裝置以壁掛式的方式結合到建築物內並且可以不需要較大的空間而設置。

圖44F示出在建築物內將半導體裝置和建築物設置爲一體的另一個例子。顯示面板5026被結合到浴室5027內，

並且洗澡的人可以觀看顯示面板5026。

另外，在本實施例模式中，舉出牆、浴室作爲建築物的例子。但是，本實施例模式不侷限於此，也可以將半導體裝置安裝到各種建築物。

下面，示出將半導體裝置和移動體設置爲一體的例子。

圖44G示出將半導體裝置設置到汽車中的例子。顯示面板5028被安裝到汽車的車體5029，並且可以根據需要而顯示車體的工作或從車體內部或外部輸入的資訊。另外，也可以具有導航功能。

圖44H示出將半導體裝置和旅客用飛機設置爲一體的例子。圖44H示出在將顯示面板5031設置在旅客用飛機的座位上方的天花板5030上的情況下的使用形狀。顯示面板5031藉由鉸鏈部5032被結合到天花板5030，並且利用鉸鏈部5032的伸縮乘客可以觀看顯示面板5031。顯示面板5031具有藉由乘客的操作來顯示資訊的功能。

另外，在本實施例模式中，舉出汽車、飛機作爲移動體，但是不限於此，還可以設置在各種移動體諸如摩托車、自動四輪車（包括汽車、公共汽車等）、電車（包括單軌、鐵路等）以及船舶等。

【符號說明】

11：節點

12：節點

13：節點

100：電路

101：電晶體

101d：二極體

101p：電晶體

102：電晶體

102A：電容元件

102d：二極體

102S：開關

103：電晶體

103A：電晶體

103B：電容元件

103d：二極體

103S：開關

104：電晶體

104A：電容元件

104d：二極體

104p：電晶體

104R：電阻元件

105：電晶體

105A：電晶體

105B：電容元件

105S：開關

106：電晶體

107：電容元件

108：電晶體

109：電晶體

111：佈線

112：佈線

112A：佈線

112B：佈線

112C：佈線

113：佈線

113A：佈線

113B：佈線

113C：佈線

113D：佈線

114：佈線

115：佈線

115A：佈線

115B：佈線

115C：佈線

115D：佈線

115E：佈線

115F：佈線

115G：佈線

116：佈線

117：佈線

120：電路

121：電阻元件

122：電容元件

123：緩衝器電路

124：反相器電路

125：電晶體

126：電晶體

127：電晶體

128：電晶體

129：佈線

130：佈線

131：電晶體

132：電晶體

133：電晶體

134：電晶體

150：電路

151：電路

152：電路

153：電路

154：電路

160：保護電路

201：電晶體

201d：二極體

201p：電晶體

202：電晶體

202d：二極體

202p：電晶體

203：電晶體

203d：二極體

203p：電晶體

204：電晶體

204d：二極體

204p：電晶體

205：電晶體

205d：二極體

205p：電晶體

206：電晶體

207：電晶體

207d：二極體

207p：電晶體

208：電晶體

209：電晶體

211：佈線

212：佈線

212A：佈線

212B：佈線

213：佈線

214：佈線

220：電容元件

350：保持控制部

901：導電層

902：半導體層

903：導電層

904：導電層

905：接觸孔

1001：電路

1002：電路

1002a：電路

1002b：電路

1003：電路

1004：像素部

1005：端子

1006：基板

1100：移位暫存器電路

1101：正反器電路

1111：佈線

1112：佈線

1113：佈線

1114：佈線

1115：佈線

1116：佈線

2000：電路

2001：電路

2002：電路

2003：電晶體

2004：佈線

2005：佈線

2006A：掃描線驅動電路

2006B：掃描線驅動電路

2007：像素部

2014：信號

2015：信號

2206：電晶體

3000：保護電路

3001：電晶體

3002：電晶體

3003：電晶體

3004：電晶體

3005：電容元件

3006：電阻元件

3007：電容元件

3008：電阻元件

3011：佈線

3012：佈線

3013：佈線

3020：像素

3021：電晶體

3022：液晶元件

3023：電容元件

3031：佈線

3032：佈線

3033：佈線

3034：電極

3100：閘極驅動器

3101a：端子

3101b：端子

5000：框體

5001：顯示部

5002：顯示部

5003：揚聲器

5004：LED燈

5005：操作鍵

5006：連接端子

5007：感測器

5008：麥克風

5009：開關

5010：紅外埠

5011：記錄媒體讀取部

5012：支撐部

5013：耳機

5015：快門按鈕

5016：圖像接收部

5017：充電器

5018：支撐台

5019：外部連接埠

5020：定位裝置

5021：讀寫器

5022：框體

5023：顯示部

5024：遙控單元

5025：揚聲器

5026：顯示面板

5027：浴室

5028：顯示面板

5029：車體

5030：天花板

5031：顯示面板

5032：鉸鏈部

5033：光源

5034：投射透鏡

5260：基板

5261：絕緣層

5262：半導體層

5262a：區域

5262b：區域

5262c：區域

5262d：區域

5262e：區域

5263：絕緣層

5264：導電層

5265：絕緣層

5266：導電層

5267：絕緣層

5268：導電層

5269：絕緣層

5270：發光層

5271：導電層

5273：絕緣層

5300：基板

5301：導電層

5302：絕緣層

5303a：半導體層

5303b：半導體層

5304：導電層

5305：絕緣層

5306：導電層

5307：液晶層

5308：導電層

5350：區域

5351：區域

5352：半導體基板

5353：區域

5354：絕緣層

5355：區域

5356：絕緣層

5357：導電層

5358：絕緣層

5359：導電層

5391：基板

5392：驅動電路

5393：像素部

5400：基板

5401：導電層

5402：絕緣層

5403a：半導體層

5403b：半導體層

5404：導電層

5405：絕緣層

5406：導電層

5408：絕緣層

5409：導電層

5410：基板

5420：基板

5421：導電層

5422：導電層

5423：絕緣層

5424：接觸孔

5425：氧化物半導體層

5429：導電層

5430：導電層

5431：導電層

5432：絕緣層

5433：導電層

5434：導電層

5435：絕緣層

5441：電晶體

5442：電容元件

# 申請專利範圍

1.一種半導體裝置，包含：

第一佈線至第五佈線；以及

移位暫存器，其包含第一電晶體至第五電晶體，

其中該第一電晶體的第一端子和第二端子中的一者電連接於該第一佈線，

其中該第一電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第二電晶體的第一端子和第二端子中的一者電連接於該第三佈線，

其中該第二電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第二電晶體的閘極電連接於該第四佈線，

其中該第三電晶體的第一端子和第二端子中的一者電連接於該第三佈線，

其中該第三電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第三電晶體的閘極電連接於該第五佈線，

其中該第四電晶體的第一端子和第二端子中的一者電連接於該第一電晶體的閘極，

其中該第五電晶體的第一端子和第二端子中的一者電連接於該第一佈線，

其中該第五電晶體的該第一端子和該第二端子中的另一者電連接於該第一電晶體的該閘極，以及

其中該第五電晶體的閘極電連接於該第五佈線。

2.一種半導體裝置，包含：

第一佈線至第五佈線；以及

移位暫存器，其包含第一電晶體至第六電晶體，

其中該第一電晶體的第一端子和第二端子中的一者電連接於該第一佈線，

其中該第一電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第二電晶體的第一端子和第二端子中的一者電連接於該第三佈線，

其中該第二電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第二電晶體的閘極電連接於該第四佈線，

其中該第三電晶體的第一端子和第二端子中的一者電連接於該第三佈線，

其中該第三電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第三電晶體的閘極電連接於該第五佈線，

其中該第四電晶體的第一端子和第二端子中的一者電連接於該第一電晶體的閘極，

其中該第五電晶體的第一端子和第二端子中的一者電連接於該第一佈線，

其中該第五電晶體的該第一端子和該第二端子中的另一者電連接於該第一電晶體的該閘極，

其中該第五電晶體的閘極電連接於該第五佈線，

其中該第六電晶體的第一端子和第二端子中的一者電連接於該第二佈線，

其中該第六電晶體的該第一端子和該第二端子中的另一者電連接於該第一電晶體的該閘極，以及

其中該第六電晶體的閘極電連接於該第一佈線。

3.根據申請專利範圍第 2 項的半導體裝置，其中該第一電晶體至該第六電晶體各者包含氧化物半導體層。

4.一種半導體裝置，包含：

第一佈線至第五佈線；以及

移位暫存器，其包含第一電晶體至第五電晶體，

其中該第一電晶體的第一端子和第二端子中的一者電連接於該第一佈線，

其中該第一電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第二電晶體的第一端子和第二端子中的一者電連接於該第三佈線，

其中該第二電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第二電晶體的閘極電連接於該第四佈線，

其中該第三電晶體的第一端子和第二端子中的一者電連接於該第三佈線，

其中該第三電晶體的該第一端子和該第二端子中的另一者電連接於該第二佈線，

其中該第三電晶體的閘極電連接於該第五佈線，

其中該第四電晶體的第一端子和第二端子中的一者電連接於該第一電晶體的閘極，

其中該第五電晶體的第一端子和第二端子中的一者電連接於該第一佈線，

其中該第五電晶體的該第一端子和該第二端子中的另一者電連接於該第一電晶體的該閘極，

其中該第五電晶體的閘極電連接於該第五佈線，以及

其中該第一電晶體至該第五電晶體各者包含氧化物半導體層。

5.根據申請專利範圍第 1、2 和 4 項中任一項的半導體裝置，其中該第四電晶體的該第一端子和該第二端子中的另一者電連接於該第一佈線。

6.根據申請專利範圍第 1、2 和 4 項中任一項的半導體裝置，其中該第四電晶體爲二極體連接。

7.根據申請專利範圍第 1、2 和 4 項中任一項的半導體裝置，更包含閘極驅動器，

其中該閘極驅動器包含該移位暫存器。

8.根據申請專利範圍第 1、2 和 4 項中任一項的半導體裝置，更包含：

第一基板；

在該第一基板上的驅動電路；

在該第一基板和該驅動電路上方的第二基板；

在該第一基板和該第二基板之間且與該驅動電路重疊

的密封材料；以及

在該第一基板和該第二基板之間的液晶層，

其中該驅動電路包含該移位暫存器。

9.一種半導體裝置，包含：

第一電晶體至第十電晶體，該些電晶體各者具有相同的極性；以及

第一佈線和第二佈線，

其中該第一電晶體的源極和汲極中的一者電連接於該第二電晶體的源極和汲極中的一者，

其中該第三電晶體的源極和汲極中的一者電連接於該第四電晶體的源極和汲極中的一者，

其中該第三電晶體的該源極和該汲極中的該者電連接於該第五電晶體的源極和汲極中的一者，

其中該第三電晶體的該源極和該汲極中的該者電連接於該第一電晶體的閘極，

其中該第六電晶體的源極和汲極中的一者電連接於該第七電晶體的源極和汲極中的一者，

其中該第八電晶體的源極和汲極中的一者電連接於該第九電晶體的源極和汲極中的一者，

其中該第八電晶體的該源極和該汲極中的該者電連接於該第十電晶體的源極和汲極中的一者，

其中該第八電晶體的該源極和該汲極中的該者電連接於該第六電晶體的閘極，

其中該第八電晶體的該源極和該汲極中的該者電連接

於該第二電晶體的閘極，

其中該第八電晶體的該源極和該汲極中的該者電連接於該第五電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的該者電連接於該第七電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的該者電連接於該第九電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的另一者電連接於該第一佈線，

其中該第三電晶體的該源極和該汲極中的另一者電連接於該第一佈線，

其中該第三電晶體的該源極和該汲極中的該另一者電連接於該第三電晶體的閘極，

其中該第二電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第四電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第五電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第七電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第九電晶體的該源極和該汲極中的另一者電連接於該第二佈線，以及

其中該第十電晶體的該源極和該汲極中的另一者電連

接於該第二佈線。

10.一種半導體裝置，包含：

第一電晶體至第十電晶體，該些電晶體各者具有相同的極性；以及

第一佈線和第二佈線，

其中該第一電晶體的源極和汲極中的一者直接連接於該第二電晶體的源極和汲極中的一者，

其中該第三電晶體的源極和汲極中的一者直接連接於該第四電晶體的源極和汲極中的一者，

其中該第三電晶體的該源極和該汲極中的該者直接連接於該第五電晶體的源極和汲極中的一者，

其中該第三電晶體的該源極和該汲極中的該者直接連接於該第一電晶體的閘極，

其中該第六電晶體的源極和汲極中的一者直接連接於該第七電晶體的源極和汲極中的一者，

其中該第八電晶體的源極和汲極中的一者直接連接於該第九電晶體的源極和汲極中的一者，

其中該第八電晶體的該源極和該汲極中的該者直接連接於該第十電晶體的源極和汲極中的一者，

其中該第八電晶體的該源極和該汲極中的該者直接連接於該第六電晶體的閘極，

其中該第八電晶體的該源極和該汲極中的該者直接連接於該第二電晶體的閘極，

其中該第八電晶體的該源極和該汲極中的該者直接連

接於該第五電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的該者直接連接於該第七電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的該者直接連接於該第九電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的另一者直接連接於該第一佈線，

其中該第三電晶體的該源極和該汲極中的另一者直接連接於該第一佈線，

其中該第三電晶體的該源極和該汲極中的該另一者直接連接於該第三電晶體的閘極，

其中該第二電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第四電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第五電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第七電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第九電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，以及

其中該第十電晶體的該源極和該汲極中的另一者直接連接於該第二佈線。

11.一種顯示裝置，包含：

第一基板；

形成在該第一基板上的像素區域；

形成在該第一基板上的閘極驅動器，該閘極驅動器包含：

第一電晶體至第十電晶體，該些電晶體各者具有相同的極性；以及

第一佈線和第二佈線，

其中該第一電晶體的源極和汲極中的一者電連接於該第二電晶體的源極和汲極中的一者，

其中該第三電晶體的源極和汲極中的一者電連接於該第四電晶體的源極和汲極中的一者，

其中該第三電晶體的該源極和該汲極中的該者電連接於該第五電晶體的源極和汲極中的一者，

其中該第三電晶體的該源極和該汲極中的該者電連接於該第一電晶體的閘極，

其中該第六電晶體的源極和汲極中的一者電連接於該第七電晶體的源極和汲極中的一者，

其中該第八電晶體的源極和汲極中的一者電連接於該第九電晶體的源極和汲極中的一者，

其中該第八電晶體的該源極和該汲極中的該者電連接於該第十電晶體的源極和汲極中的一者，

其中該第八電晶體的該源極和該汲極中的該者電連接於該第六電晶體的閘極，

其中該第八電晶體的該源極和該汲極中的該者電連接

於該第二電晶體的閘極，

其中該第八電晶體的該源極和該汲極中的該者電連接於該第五電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的該者電連接於該第七電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的該者電連接於該第九電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的另一者電連接於該第一佈線，

其中該第三電晶體的該源極和該汲極中的另一者電連接於該第一佈線，

其中該第三電晶體的該源極和該汲極中的該另一者電連接於該第三電晶體的閘極，

其中該第二電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第四電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第五電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第七電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第九電晶體的該源極和該汲極中的另一者電連接於該第二佈線，以及

其中該第十電晶體的該源極和該汲極中的另一者電連

接於該第二佈線。

12.一種顯示裝置，包含：

第一基板；

形成在該第一基板上的像素區域；

形成在該第一基板上的閘極驅動器，該閘極驅動器包含：

第一電晶體至第十電晶體，該些電晶體各者具有相同的極性；以及

第一佈線和第二佈線，

其中該第一電晶體的源極和汲極中的一者直接連接於該第二電晶體的源極和汲極中的一者，

其中該第三電晶體的源極和汲極中的一者直接連接於該第四電晶體的源極和汲極中的一者，

其中該第三電晶體的該源極和該汲極中的該者直接連接於該第五電晶體的源極和汲極中的一者，

其中該第三電晶體的該源極和該汲極中的該者直接連接於該第一電晶體的閘極，

其中該第六電晶體的源極和汲極中的一者直接連接於該第七電晶體的源極和汲極中的一者，

其中該第八電晶體的源極和汲極中的一者直接連接於該第九電晶體的源極和汲極中的一者，

其中該第八電晶體的該源極和該汲極中的該者直接連接於該第十電晶體的源極和汲極中的一者，

其中該第八電晶體的該源極和該汲極中的該者直接連

接於該第六電晶體的閘極，

其中該第八電晶體的該源極和該汲極中的該者直接連接於該第二電晶體的閘極，

其中該第八電晶體的該源極和該汲極中的該者直接連接於該第五電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的該者直接連接於該第七電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的該者直接連接於該第九電晶體的閘極，

其中該第一電晶體的該源極和該汲極中的另一者直接連接於該第一佈線，

其中該第三電晶體的該源極和該汲極中的另一者直接連接於該第一佈線，

其中該第三電晶體的該源極和該汲極中的該另一者直接連接於該第三電晶體的閘極，

其中該第二電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第四電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第五電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第七電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第九電晶體的該源極和該汲極中的另一者直接

連接於該第二佈線，以及

其中該第十電晶體的該源極和該汲極中的另一者直接連接於該第二佈線。

13.一種包含撓性印刷電路以及根據申請專利範圍第 9 或 10 項的半導體裝置或根據申請專利範圍第 11 或 12 項的顯示裝置的顯示模組，其中該撓性印刷電路連接於該半導體裝置或該顯示裝置。

14.一種包含外殼中設置有根據申請專利範圍第 9 或 10 項的半導體裝置或根據申請專利範圍第 11 或 12 項的顯示裝置的電子裝置。

15.一種包含外殼中設置有根據申請專利範圍第 13 項的顯示模組的電子裝置。

16.一種顯示裝置，包含：

基板；

形成在該基板上的像素區域；

形成在該基板上的閘極驅動器，該閘極驅動器包含：

第一電晶體至第九電晶體；以及

第一佈線和第二佈線，

其中該第一電晶體的源極和汲極中的一者電連接於該第一佈線，

其中該第一電晶體的該源極和該汲極中的另一者電連接於該第二電晶體的源極和汲極中的一者以及該第三電晶體的源極和汲極中的一者，

其中該第二電晶體的該源極和該汲極中的另一者以及

該第三電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第四電晶體的源極和汲極中的一者以及閘極電連接於該第一佈線，

其中該第四電晶體的該源極和該汲極中的另一者電連接於該第五電晶體的源極和汲極中的一者以及該第一電晶體的閘極，

其中該第五電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第三電晶體的閘極電連接於該第五電晶體的閘極，

其中該第六電晶體的源極和汲極中的一者電連接於該第七電晶體的源極和汲極中的一者以及電連接於該第八電晶體的閘極，

其中該第六電晶體的該源極和該汲極中的另一者和該第七電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第八電晶體的源極和汲極中的一者電連接於該第九電晶體的源極和汲極中的一者，

其中該第九電晶體的該源極和該汲極中的另一者電連接於該第二佈線，以及

其中該第七電晶體的閘極和該第九電晶體的閘極電連接於該第一電晶體的該源極和該汲極中的該另一者。

17.一種顯示裝置，包含：

基板；

形成在該基板上的像素區域；

形成在該基板上的閘極驅動器，該閘極驅動器包含：

第一電晶體至第九電晶體；以及

第一佈線和第二佈線，

其中該第一電晶體的源極和汲極中的一者直接連接於該第一佈線，

其中該第一電晶體的該源極和該汲極中的另一者直接連接於該第二電晶體的源極和汲極中的一者以及該第三電晶體的源極和汲極中的一者，

其中該第二電晶體的該源極和該汲極中的另一者以及該第三電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第四電晶體的源極和汲極中的一者以及閘極直接連接於該第一佈線，

其中該第四電晶體的該源極和該汲極中的另一者直接連接於該第五電晶體的源極和汲極中的一者以及該第一電晶體的閘極，

其中該第五電晶體的該源極和該汲極中的另一者直接連接於該第二佈線，

其中該第三電晶體的閘極直接連接於該第五電晶體的閘極，

其中該第六電晶體的源極和汲極中的一者電連接於該第七電晶體的源極和汲極中的一者以及電連接於該第八電

晶體的閘極，

其中該第六電晶體的該源極和該汲極中的另一者和該第七電晶體的該源極和該汲極中的另一者電連接於該第二佈線，

其中該第八電晶體的源極和汲極中的一者電連接於該第九電晶體的源極和汲極中的一者，

其中該第九電晶體的該源極和該汲極中的另一者電連接於該第二佈線，以及

其中該第七電晶體的閘極和該第九電晶體的閘極電連接於該第一電晶體的該源極和該汲極中的該另一者。

18.根據申請專利範圍第 16 或 17 項的顯示裝置，

其中該第五電晶體的通道寬度小於該第三電晶體的通道寬度。

19.根據申請專利範圍第 16 或 17 項的顯示裝置，

其中該第六電晶體的該源極和該汲極中的該者直接連接於該第七電晶體的該源極和該汲極中的該者以及該第八電晶體的閘極，

其中該第六電晶體的該源極和該汲極中的該另一者以及該第七電晶體的該源極和該汲極中的該另一者直接連接於該第二佈線，

其中該第八電晶體的該源極和該汲極中的該者直接連接於該第九電晶體的該源極和該汲極中的該者，

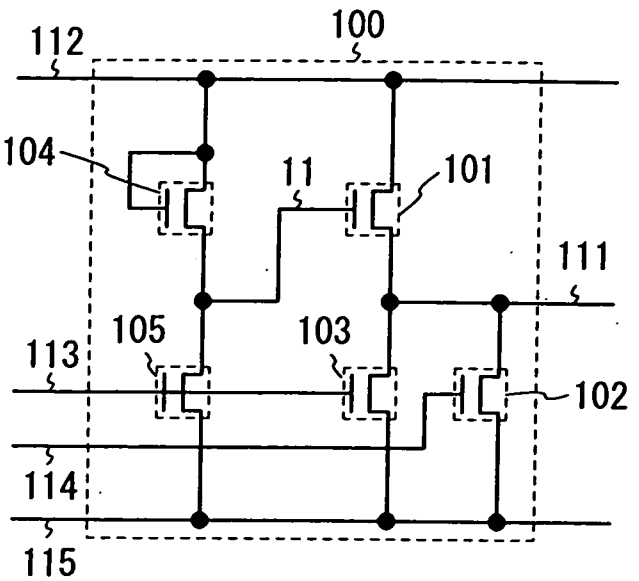
其中該第九電晶體的該源極和該汲極中的該另一者直接連接於該第二佈線，

其中該第七電晶體的該閘極以及該第九電晶體的該閘極直接連接於該第一電晶體的該源極和該汲極中的另一者。

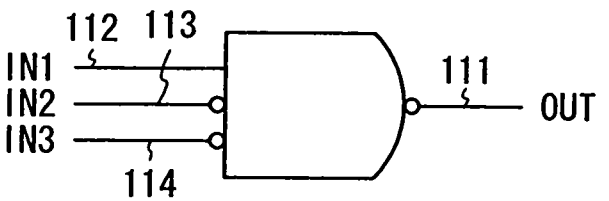
20.根據申請專利範圍第 16 或 17 項的顯示裝置，更包含連接於該顯示裝置的撓性印刷電路。

# 圖式

## 圖1A




## 圖1B




## 圖1C

$$OUT = IN1 \cdot \overline{IN2} \cdot \overline{IN3} = \overline{IN1} \text{ AND } \overline{IN2} \text{ AND } \overline{IN3}$$

## 圖1D

| | IN1 | IN2 | IN3 | OUT |
|---|---|---|---|---|
| 工作1 | H | H | H | L |
| 工作2 | H | H | L | L |
| 工作3 | H | L | H | L |
| 工作4 | H | L | L | H |
| 工作5 | L | H | H | L |
| 工作6 | L | H | L | L |
| 工作7 | L | L | H | L |
| 工作8 | L | L | L | Z |

圖2A

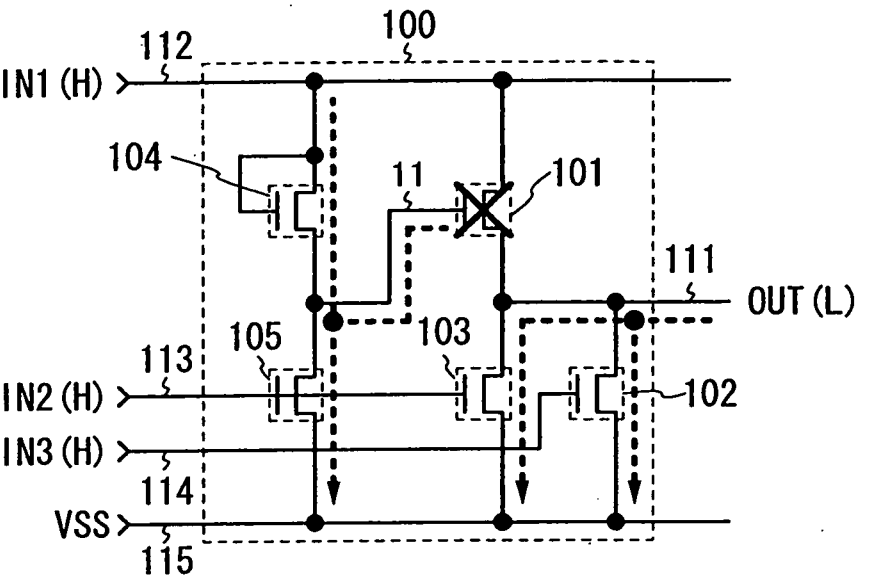

100
112
IN1 (H)
104
11
101
111
OUT (L)
105
103
113
IN2 (H)
102
IN3 (H)
114
VSS
115

圖2B

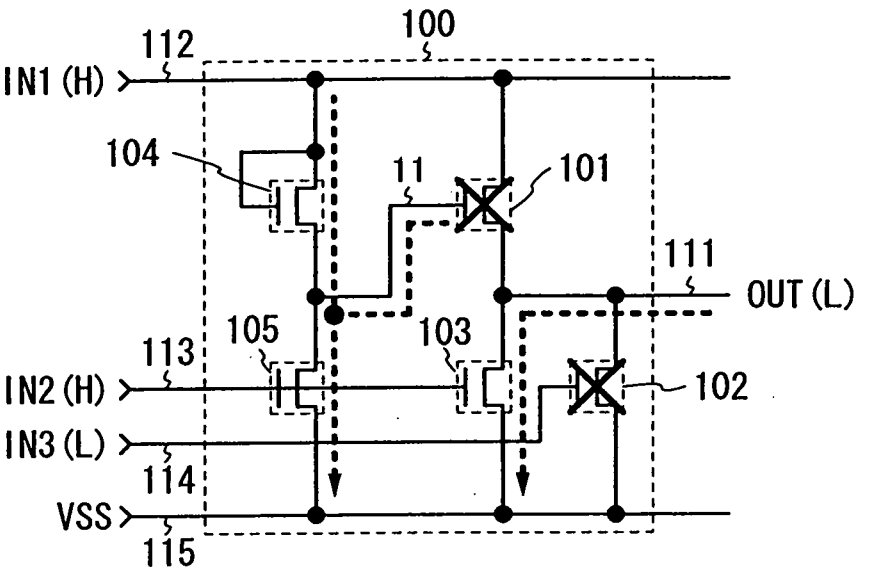

100
112
IN1 (H)
104
11
101
111
OUT (L)
105
103
113
IN2 (H)
102
IN3 (L)
114
VSS
115

圖2C

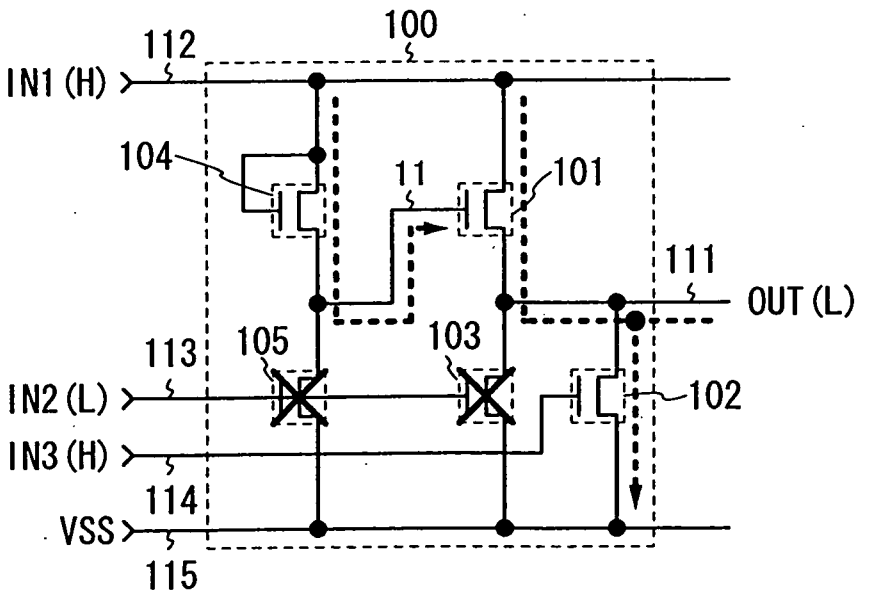

100
112
IN1 (H)
104
11
101
111
OUT (L)
105
103
113
IN2 (L)
102
IN3 (H)
114
VSS
115

圖3A

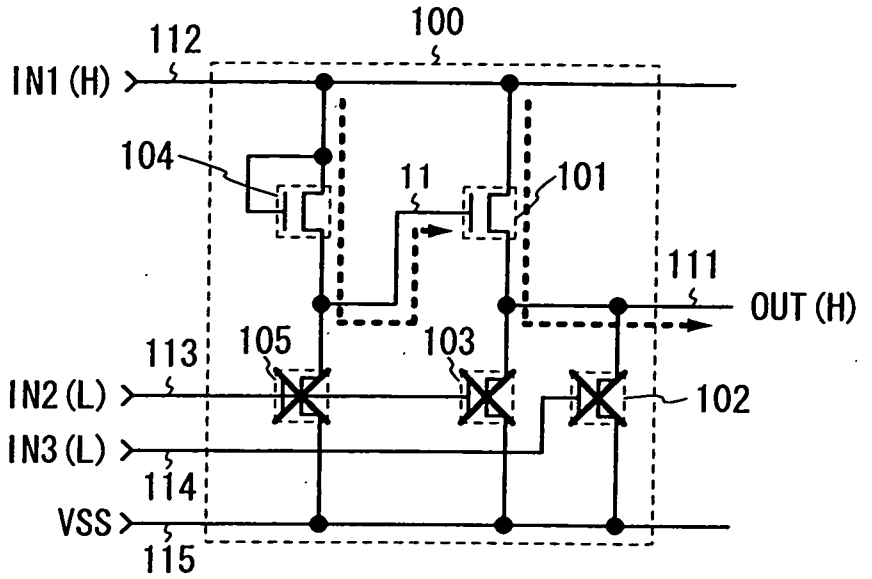

112
100
IN1 (H)
104
11
101
111
OUT (H)
113
105
103
IN2 (L)
102
IN3 (L)
114
VSS
115

圖3B

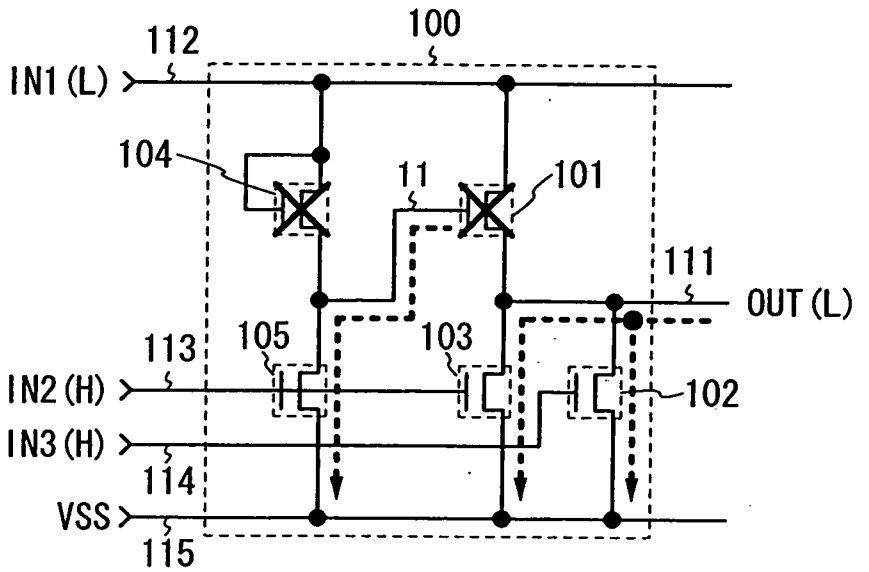

112
100
IN1 (L)
104
11
101
111
OUT (L)
113
105
103
IN2 (H)
102
IN3 (H)
114
VSS
115

圖3C

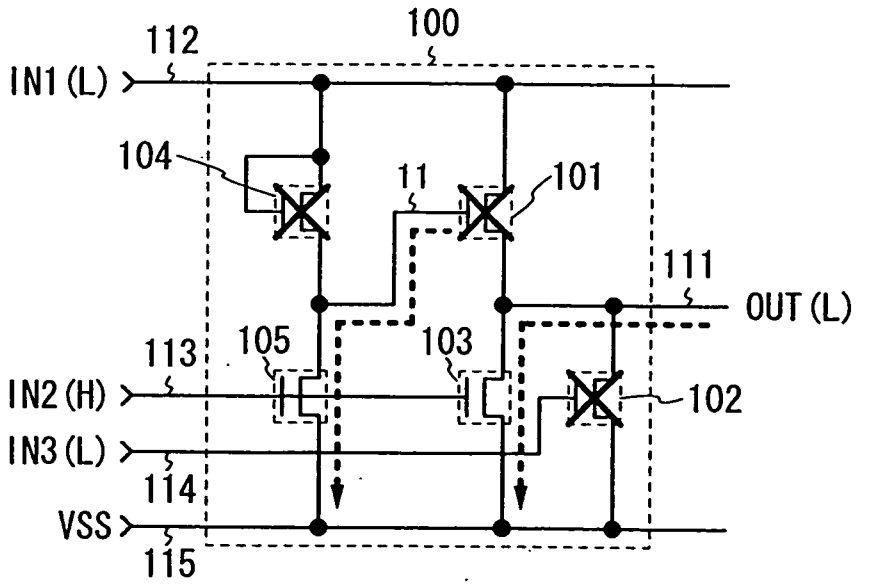

112
100
IN1 (L)
104
11
101
111
OUT (L)
113
105
103
IN2 (H)
102
IN3 (L)
114
VSS
115

圖4A

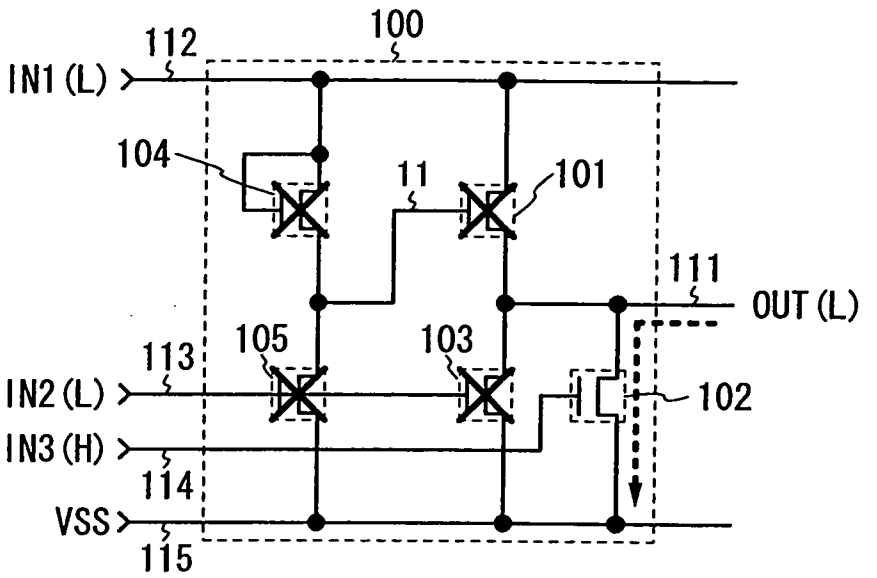

100
112
IN1 (L)
104
11
101
111
OUT (L)
105
103
113
IN2 (L)
102
IN3 (H)
114
VSS
115

圖4B

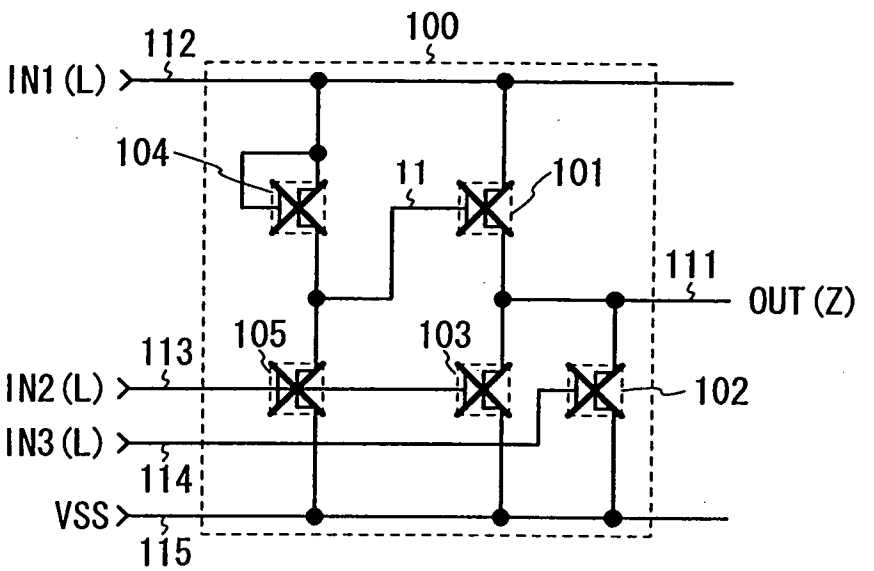

100
112
IN1 (L)
104
11
101
111
OUT (Z)
105
103
113
IN2 (L)
102
IN3 (L)
114
VSS
115

圖4C

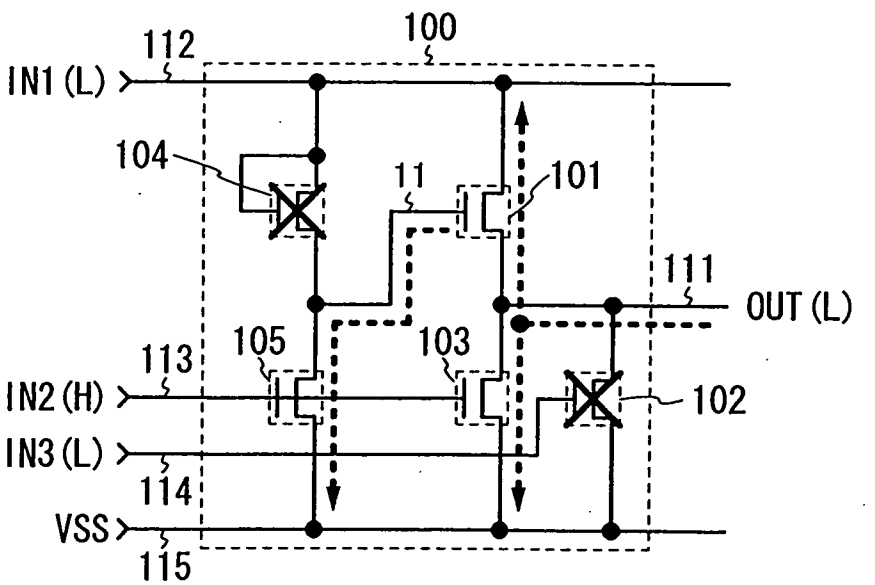

100
112
IN1 (L)
104
11
101
111
OUT (L)
105
103
113
IN2 (H)
102
IN3 (L)
114
VSS
115

圖5A

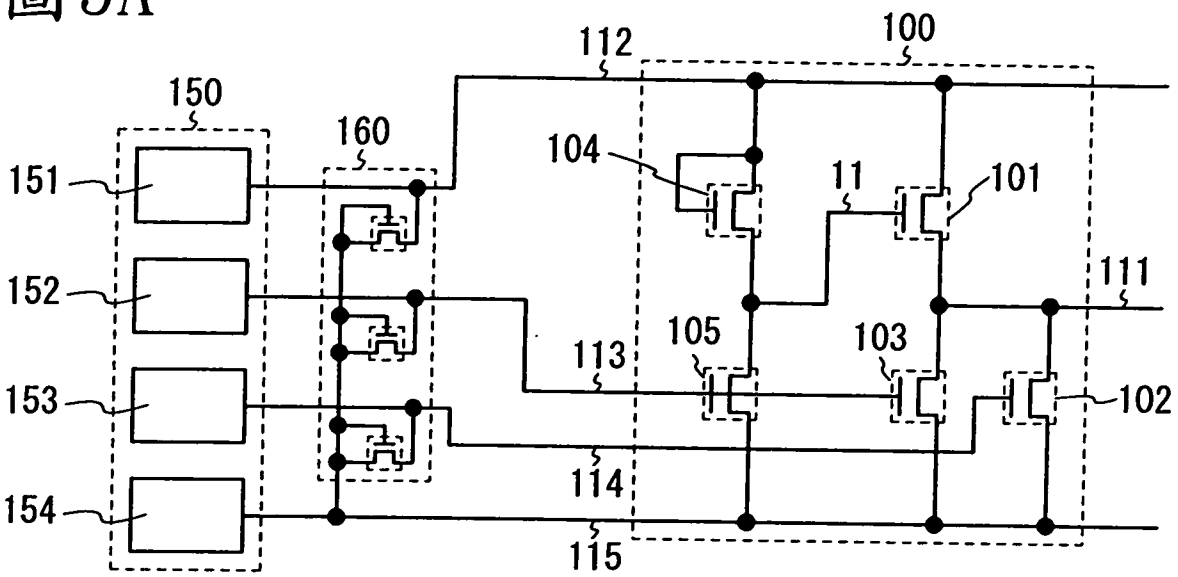



圖5B

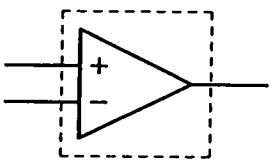


圖5C

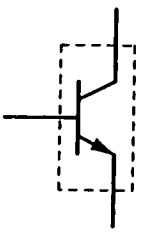


圖5D

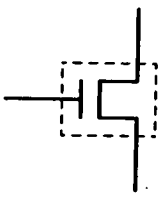


圖5E

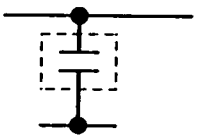


圖5F

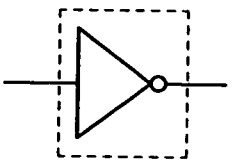


圖5G

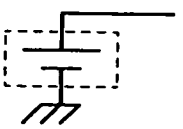


圖5H

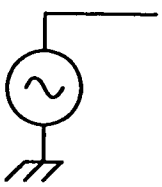


圖5I

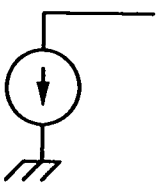


圖6A

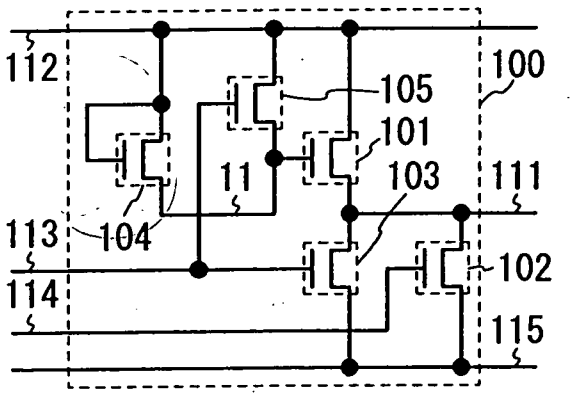



圖6B

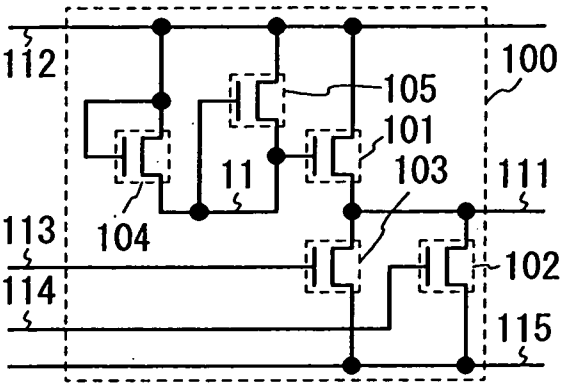



圖6C

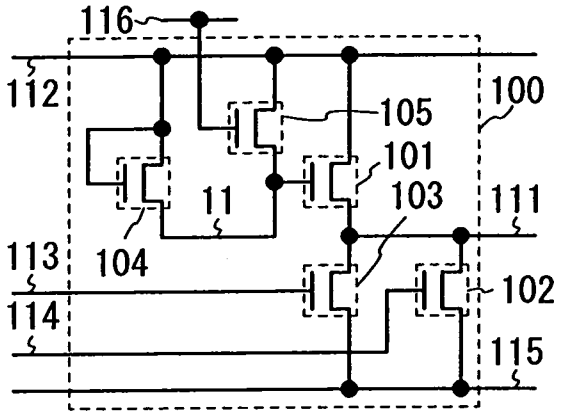



圖6D

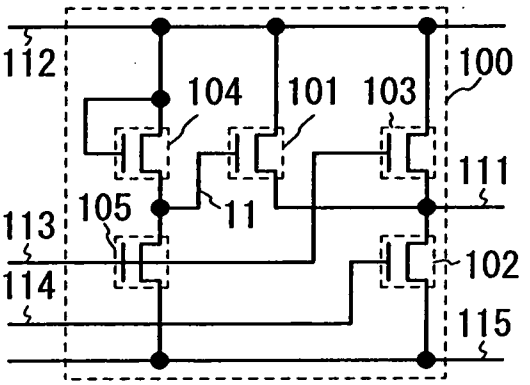



圖6E

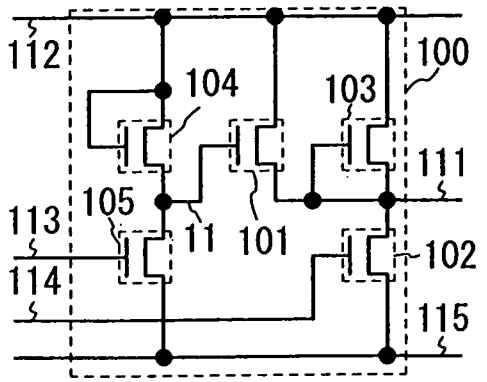



圖6F

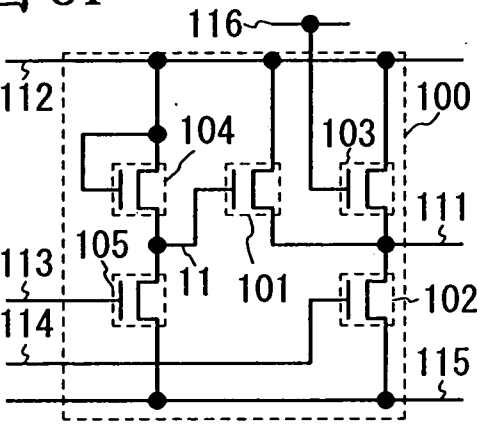


圖7A

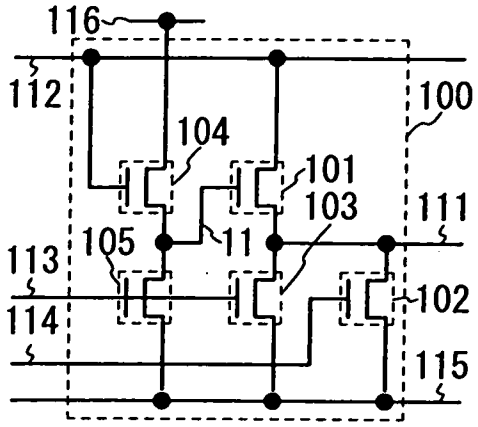



圖7B

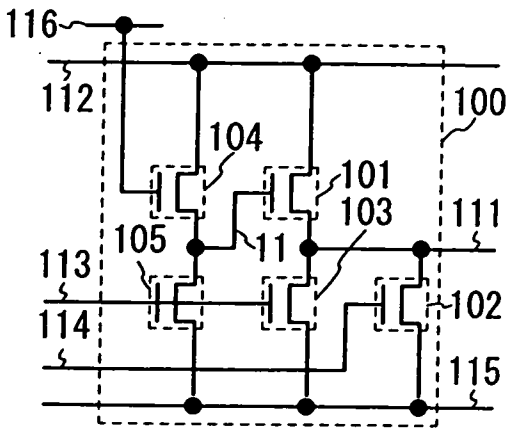



圖7C

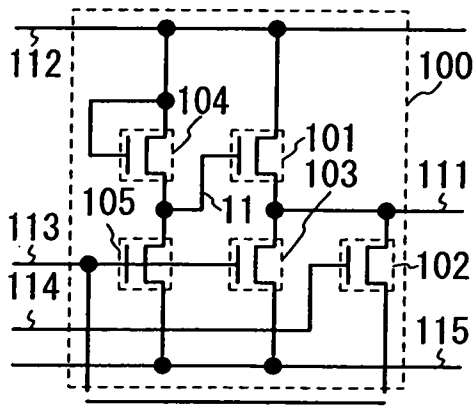



圖7D

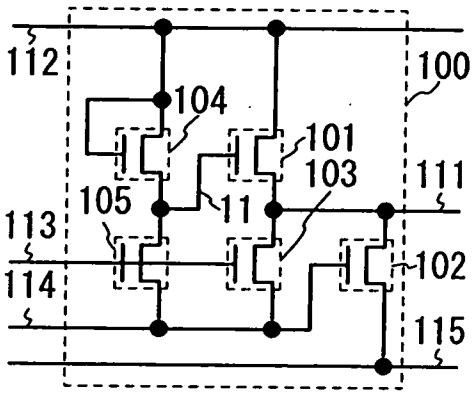



圖7E

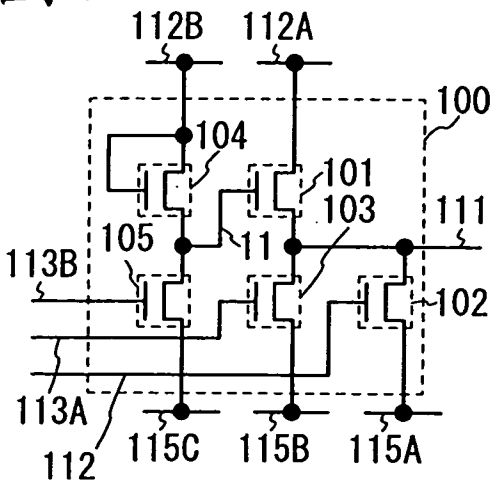


圖8A

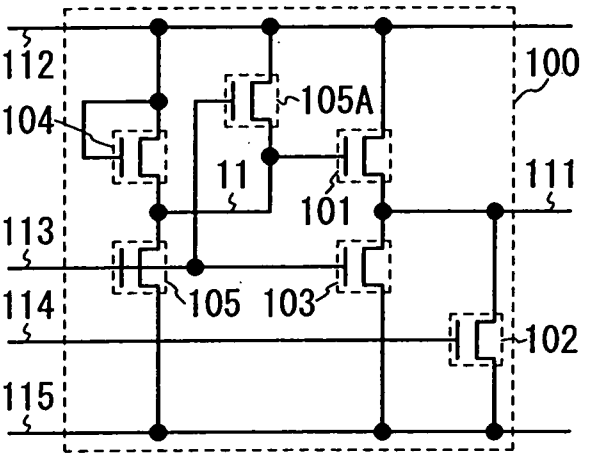



圖8B

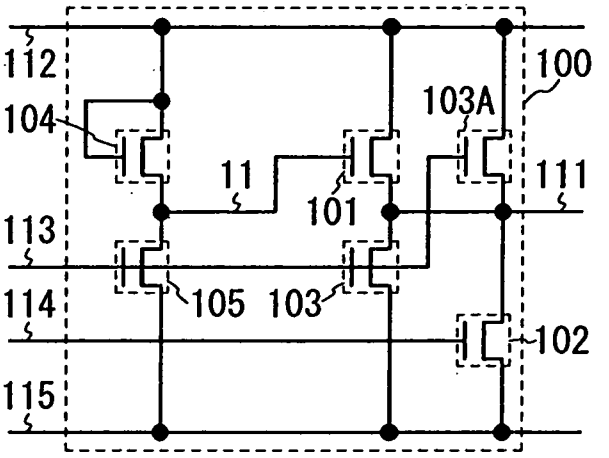



圖8C

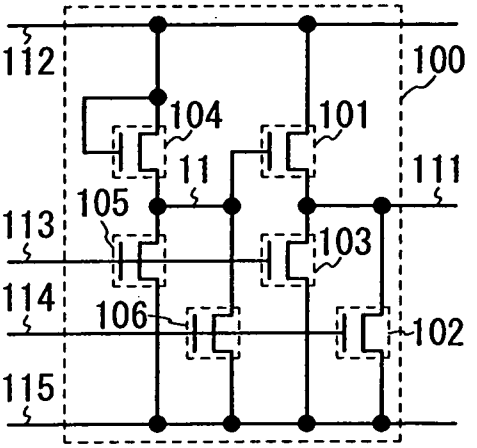



圖8D

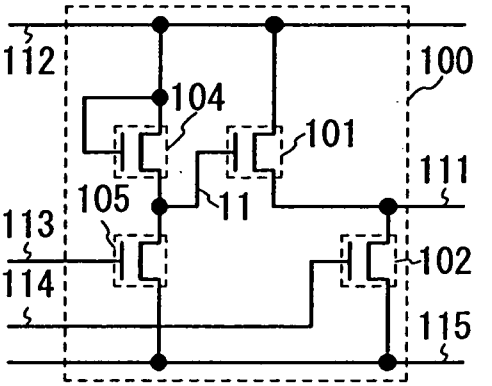



圖8E

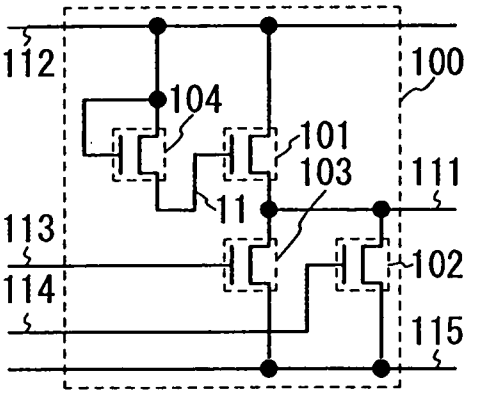



圖8F

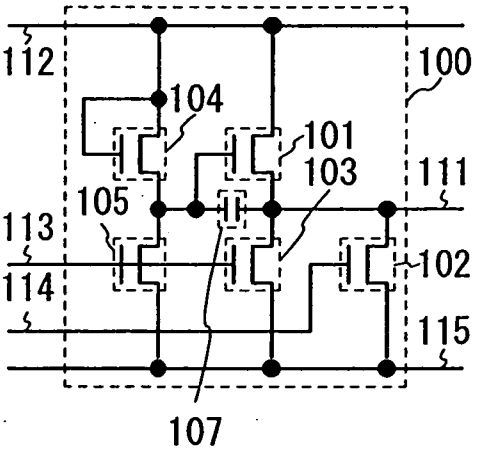


圖 9A

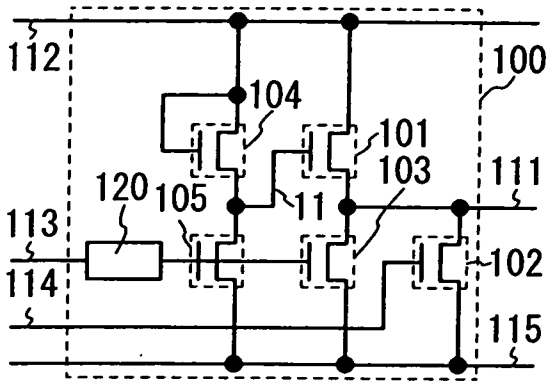



圖 9B

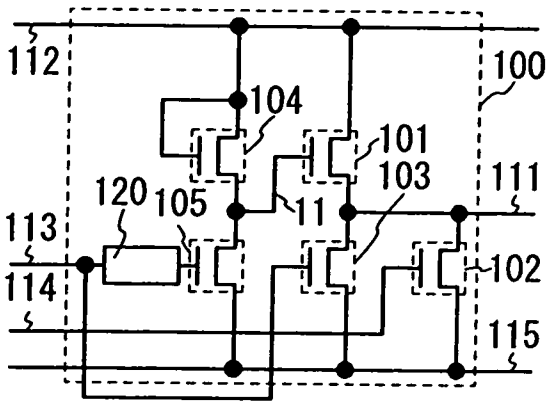



圖 9C

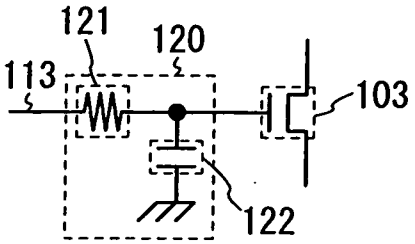



圖 9D

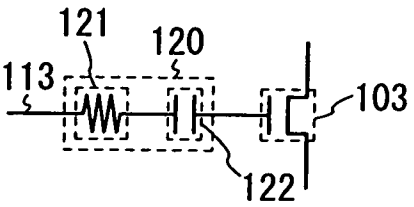



圖 9E

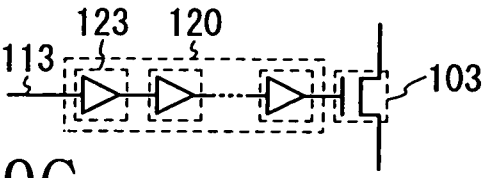



圖 9F

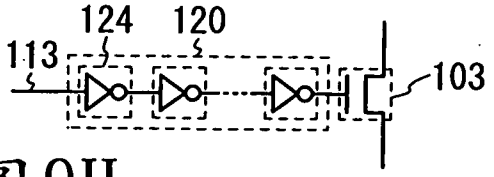



圖 9G

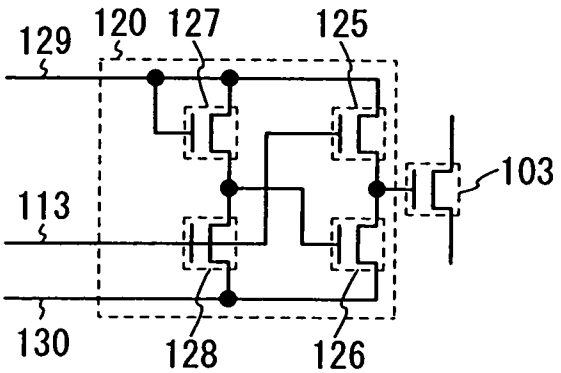



圖 9H

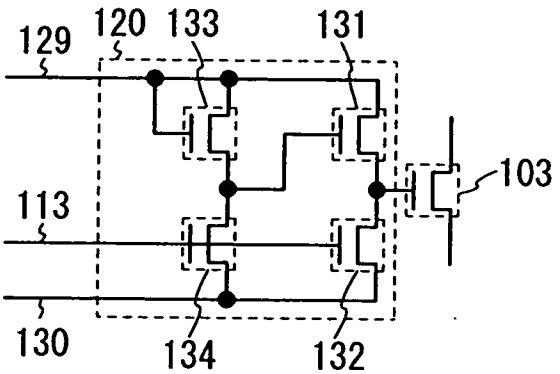


圖10A

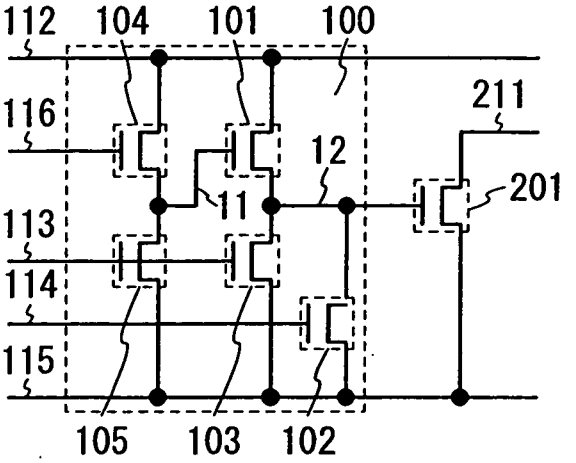



圖10B

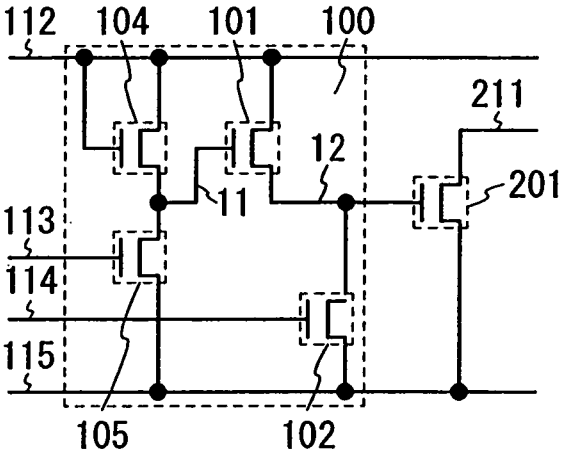



圖10C

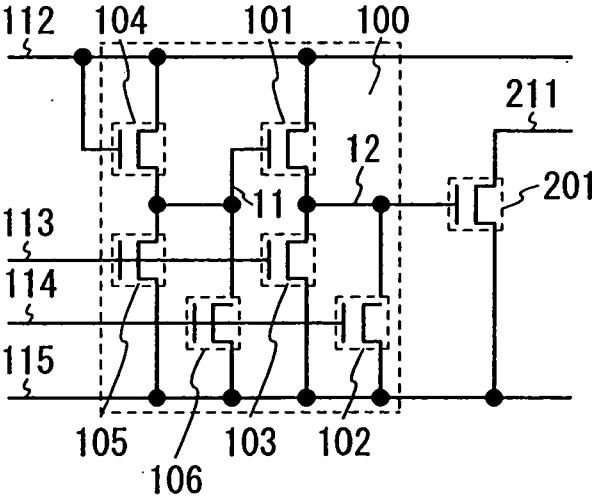


圖11A

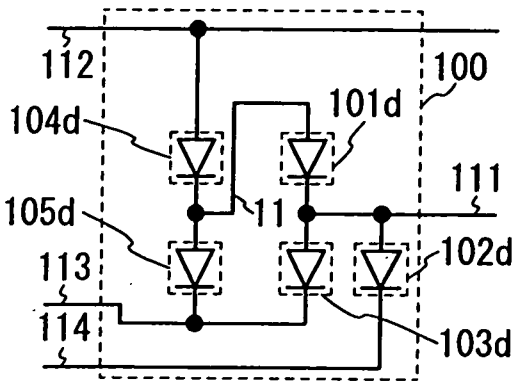



圖11B

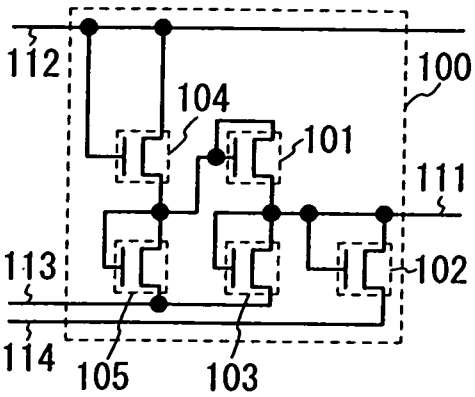



圖11C

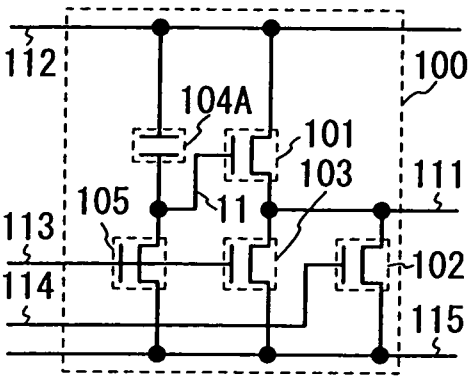



圖11D

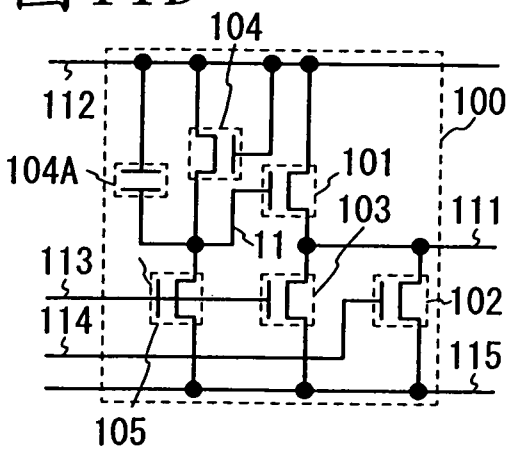



圖11E

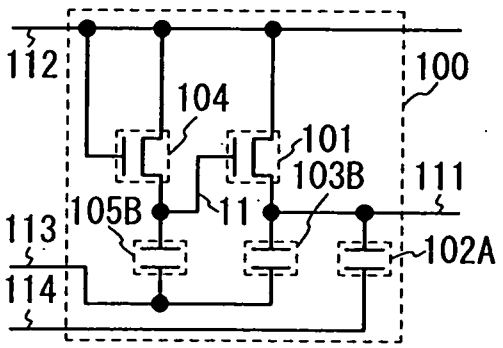



圖11F

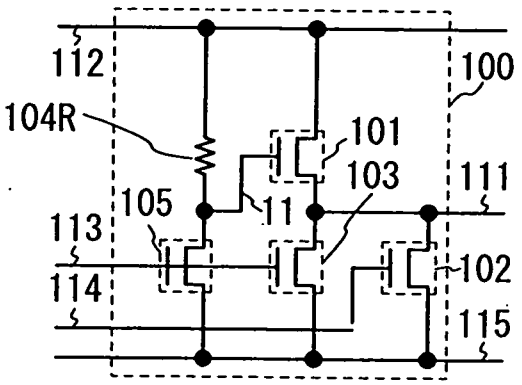


圖12A

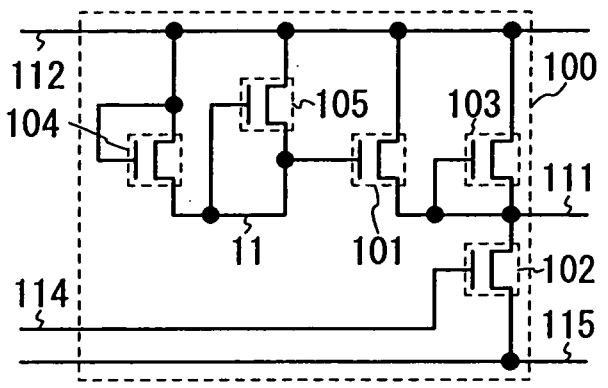



圖12B

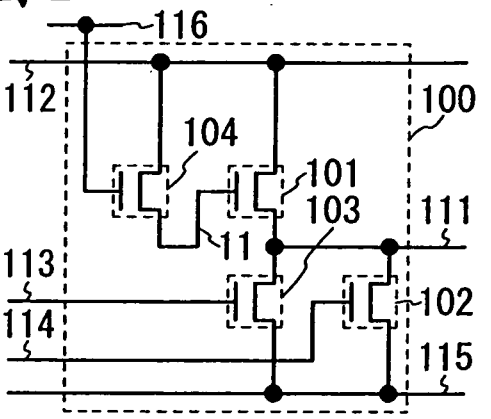



圖12C

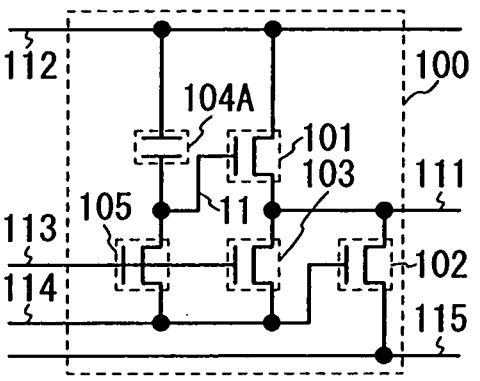



圖12D

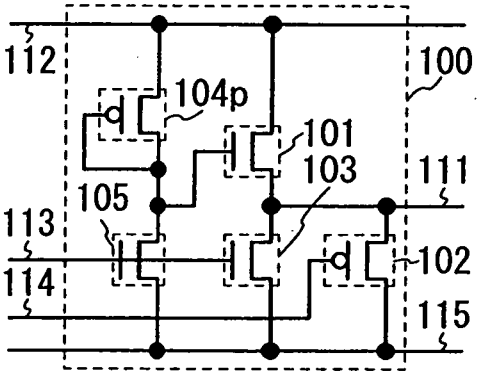


圖13A

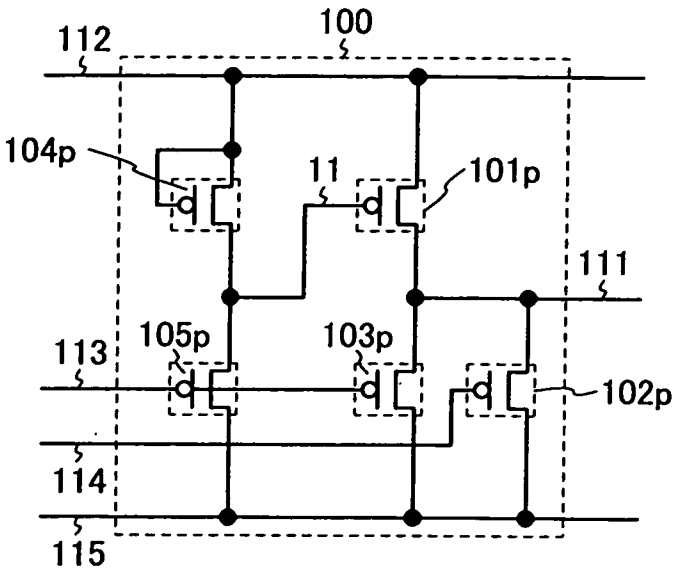



圖13B

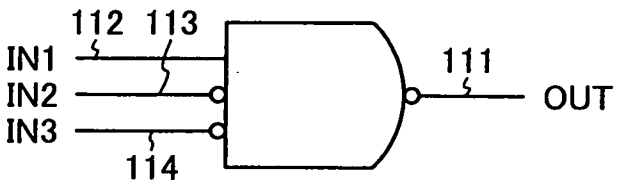



圖13C

$$OUT=\overline{IN1\cdot\overline{IN2}\cdot\overline{IN3}}=\overline{\overline{IN1}\ AND\ \overline{IN2}\ AND\ \overline{IN3}}$$

圖13D

| | IN1 | IN2 | IN3 | OUT |
|---|---|---|---|---|
| 工作1 | H | H | H | Z |
| 工作2 | H | H | L | H |
| 工作3 | H | L | H | H |
| 工作4 | H | L | L | H |
| 工作5 | L | H | H | L |
| 工作6 | L | H | L | H |
| 工作7 | L | L | H | H |
| 工作8 | L | L | L | Z |

圖14A

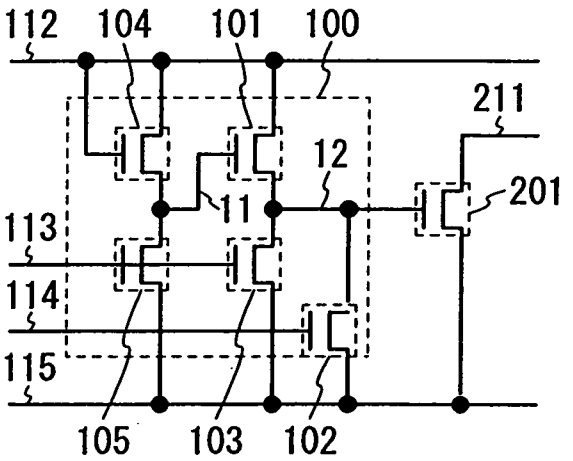



圖14B

期間A

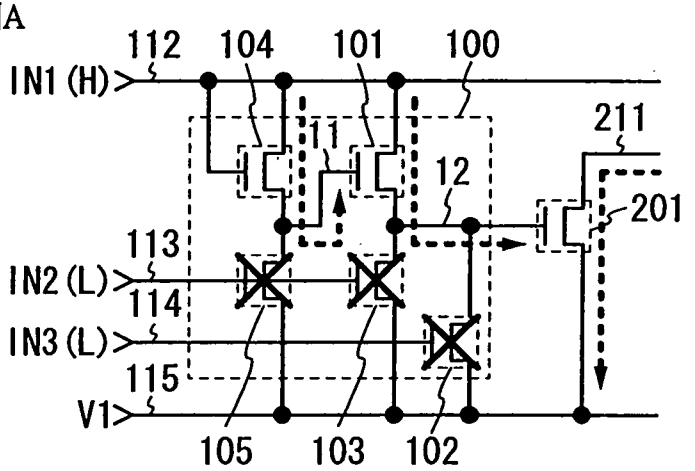



圖14C

期間B

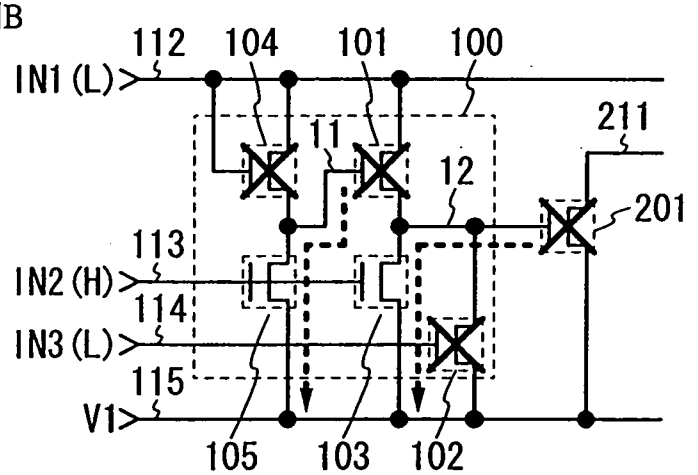


圖15A

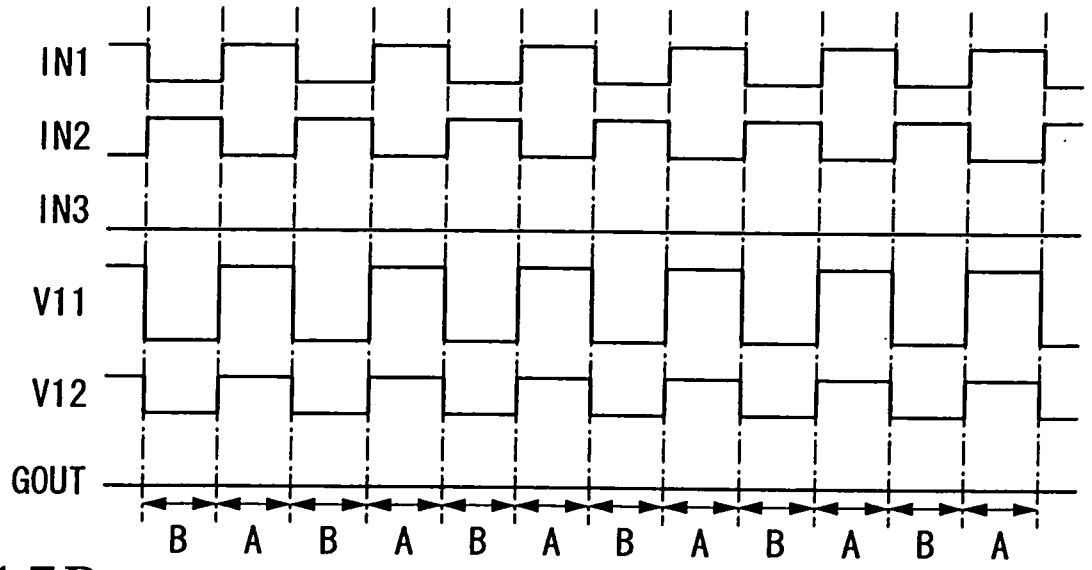



圖15B

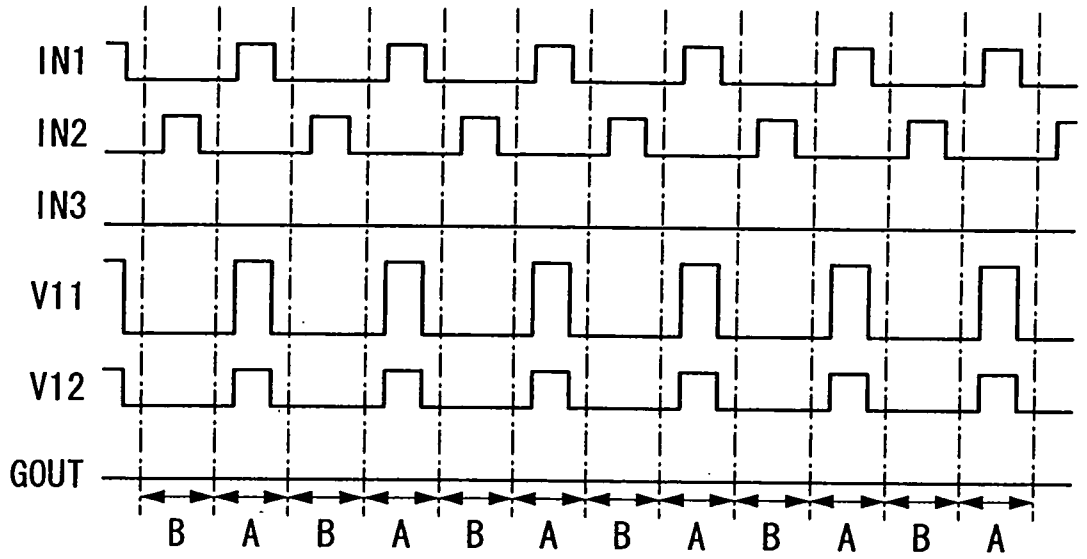



圖15C

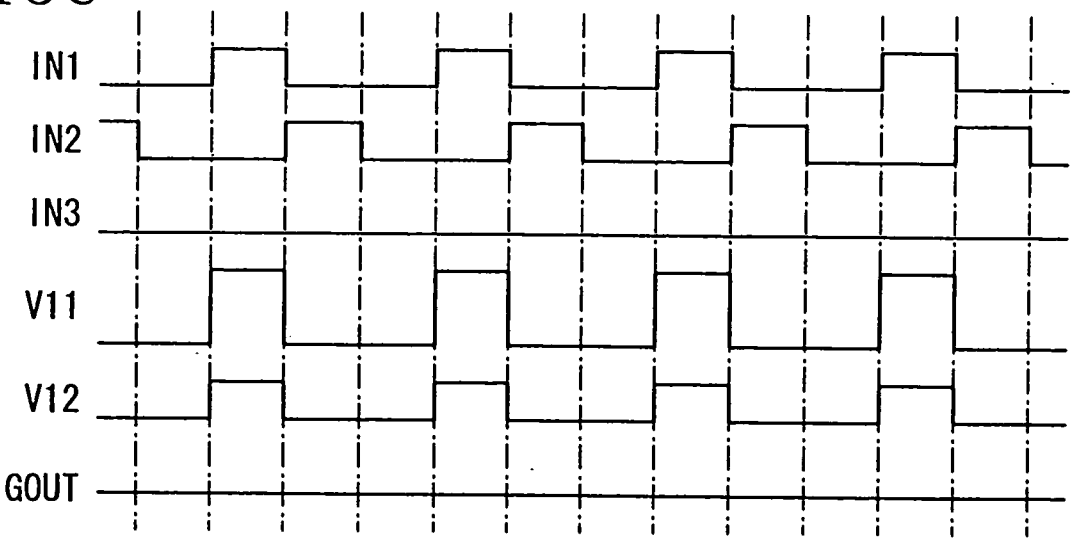


圖16A

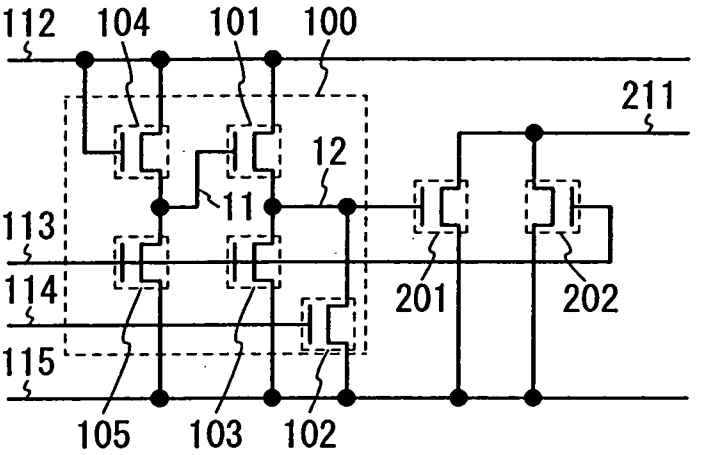



圖16B

期間A

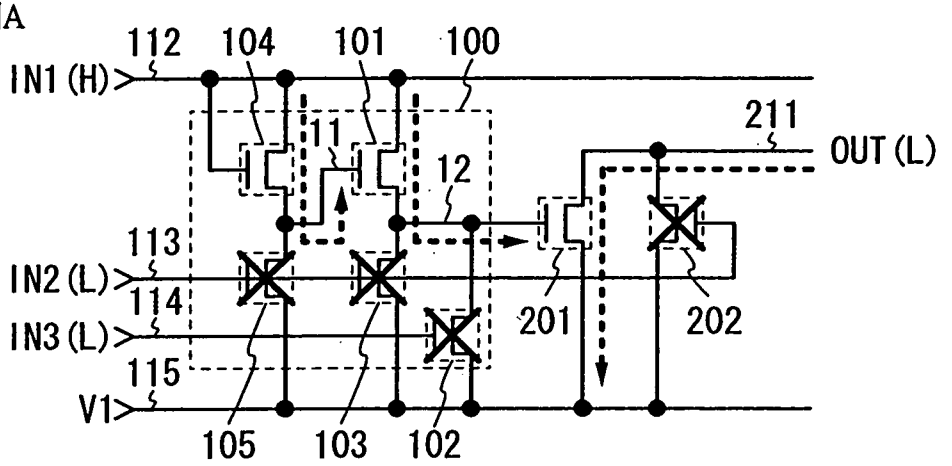



圖16C

期間B

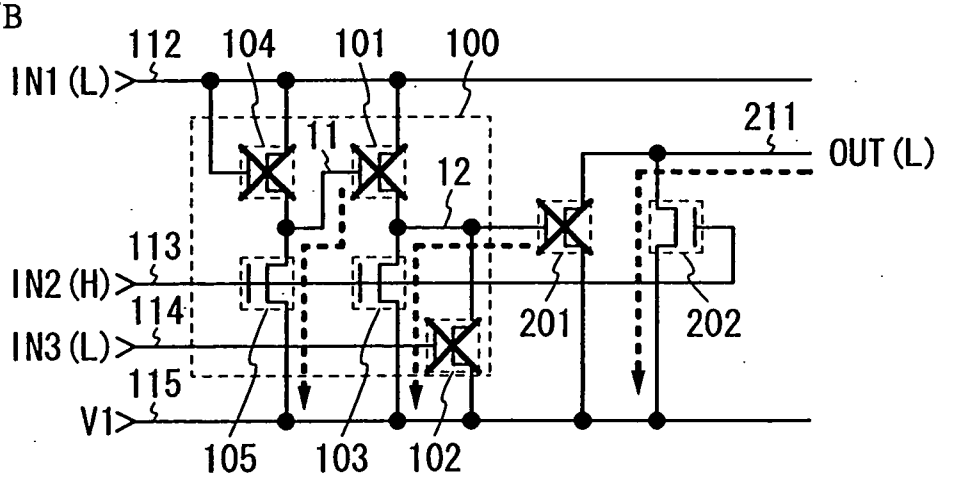


圖17A

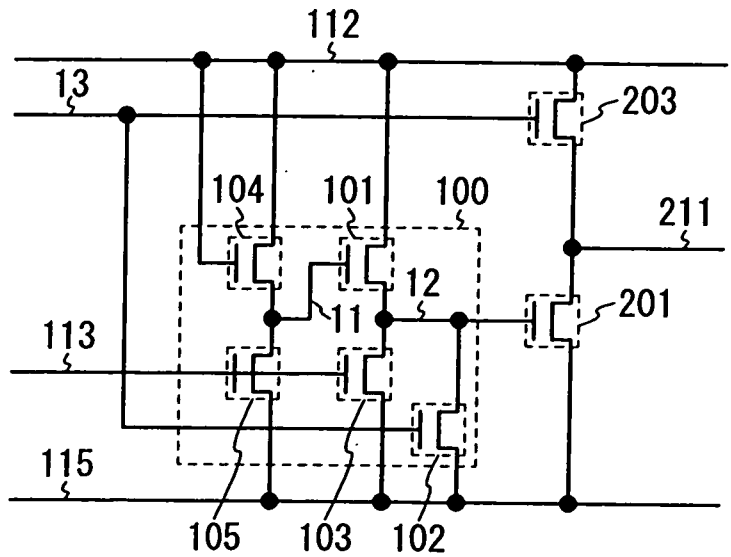

112
13
203
104
101
100
211
12
11
201
113
115
105
103
102

圖17B

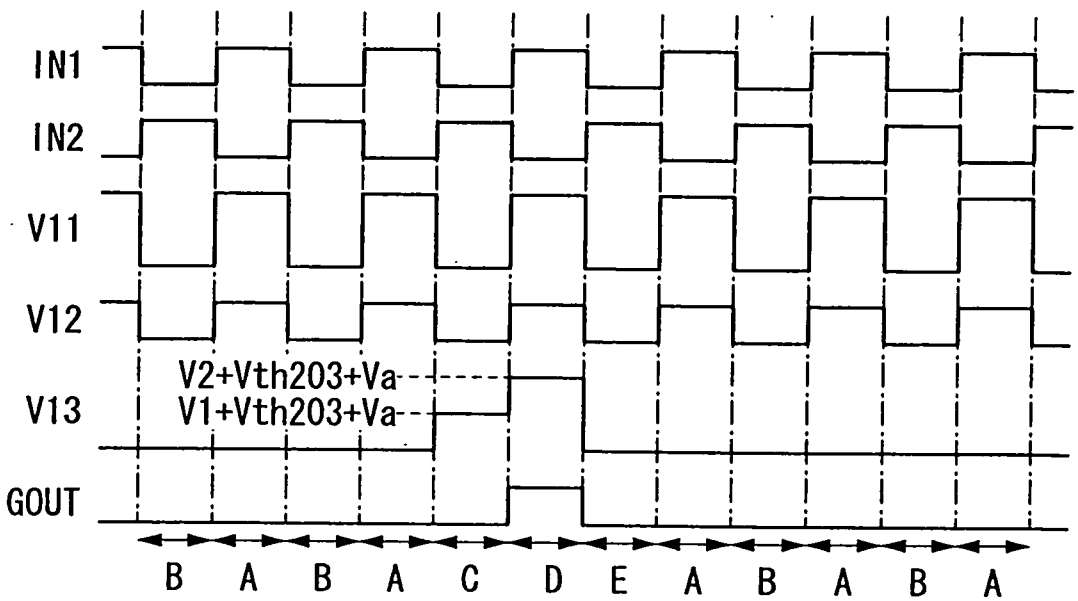

IN1
IN2
V11
V12
V2+Vth203+Va
V1+Vth203+Va
V13
GOUT
B A B A C D E A B A B A

圖18A

期間A

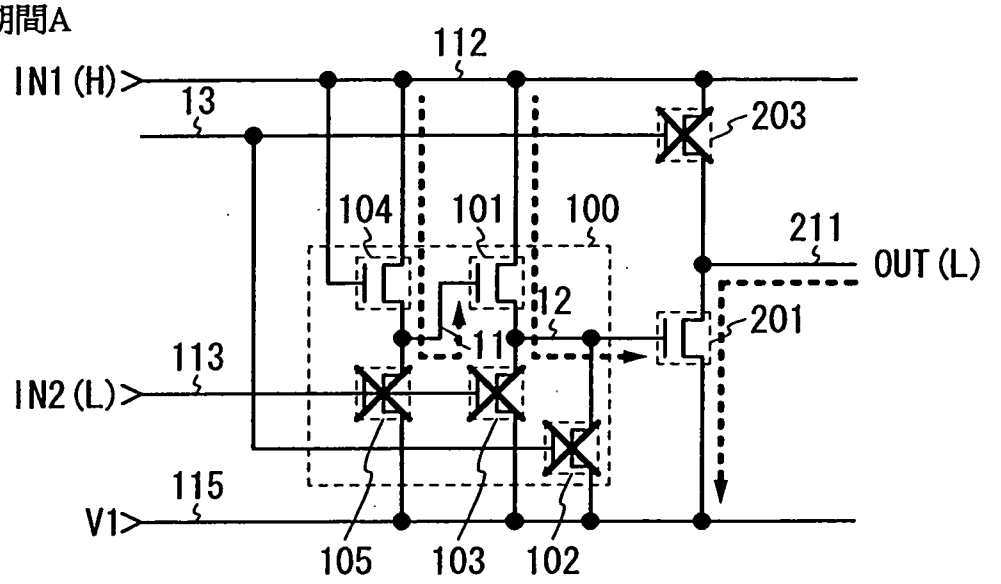



圖18B

期間B

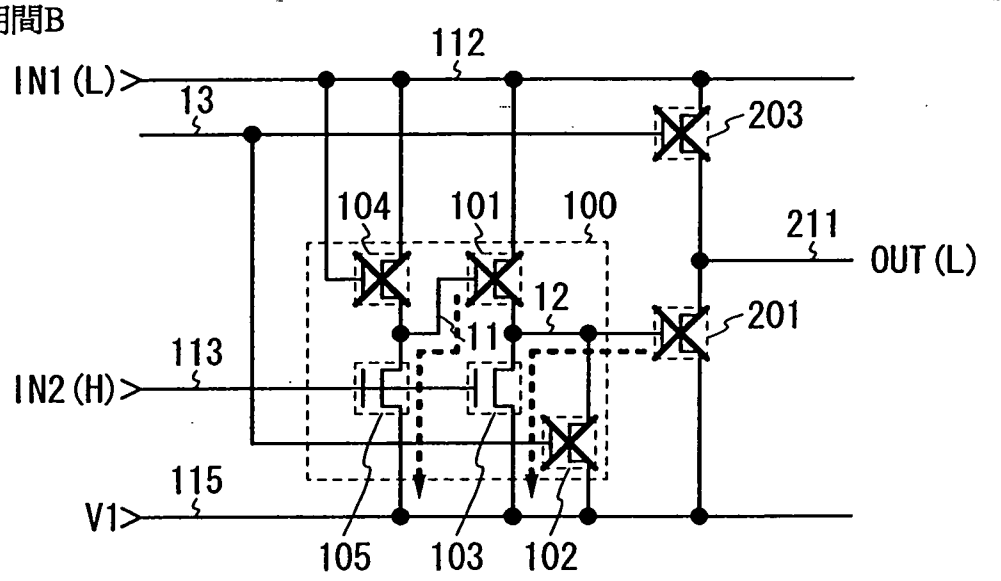


圖19A

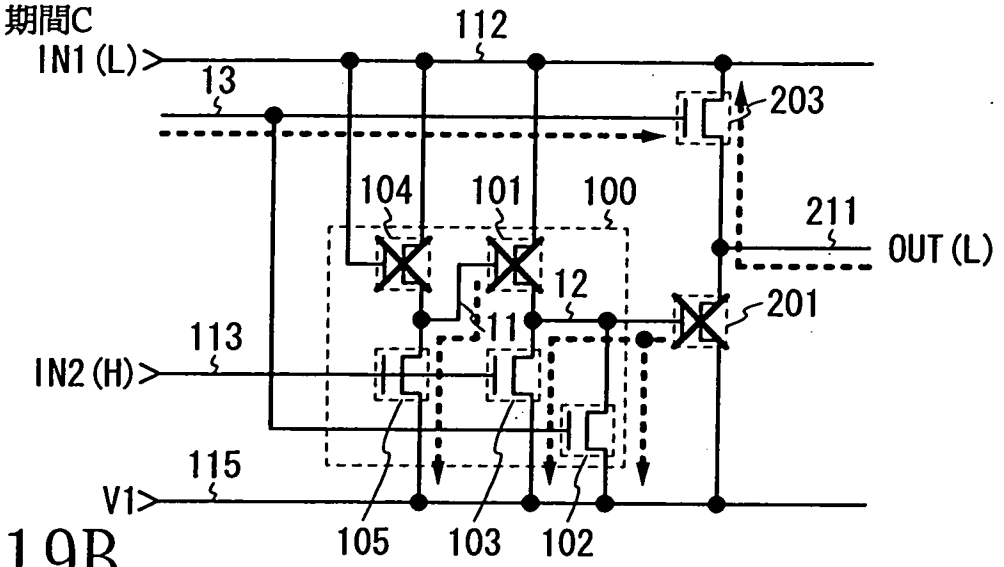



圖19B

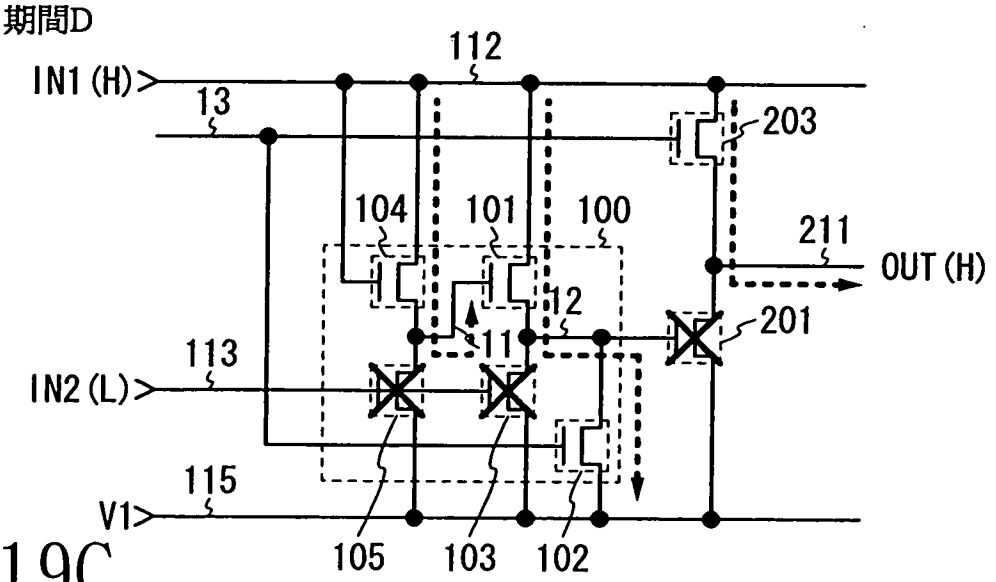



圖19C

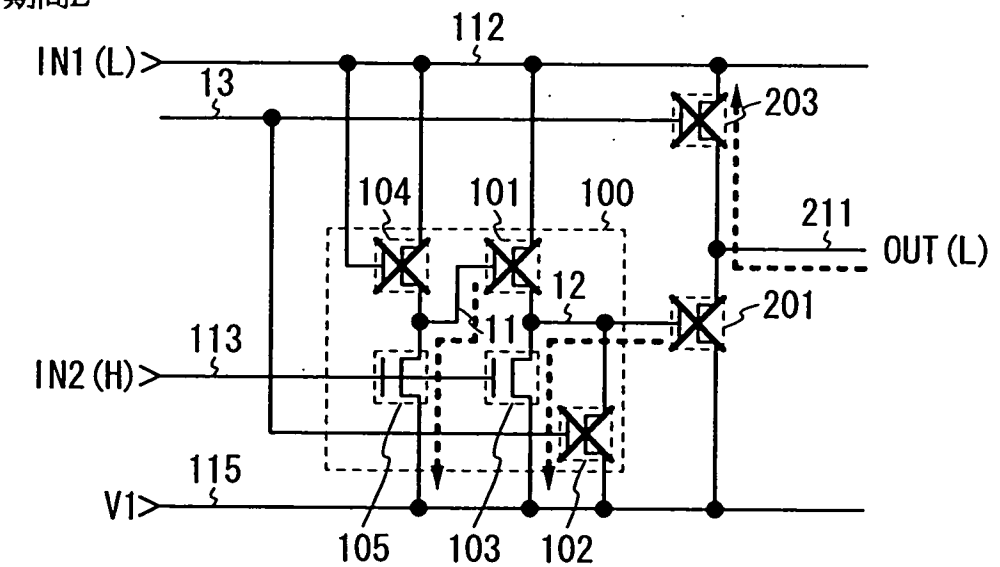


圖20A

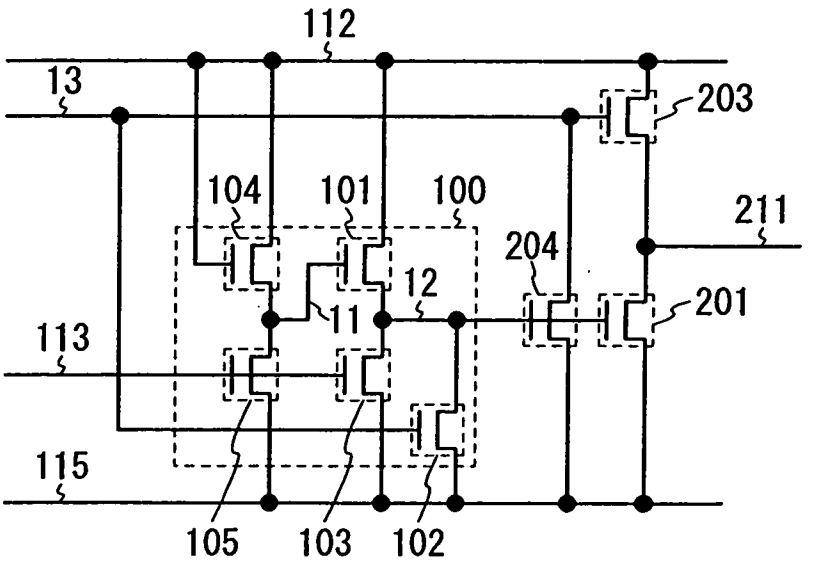



圖20B

期間A

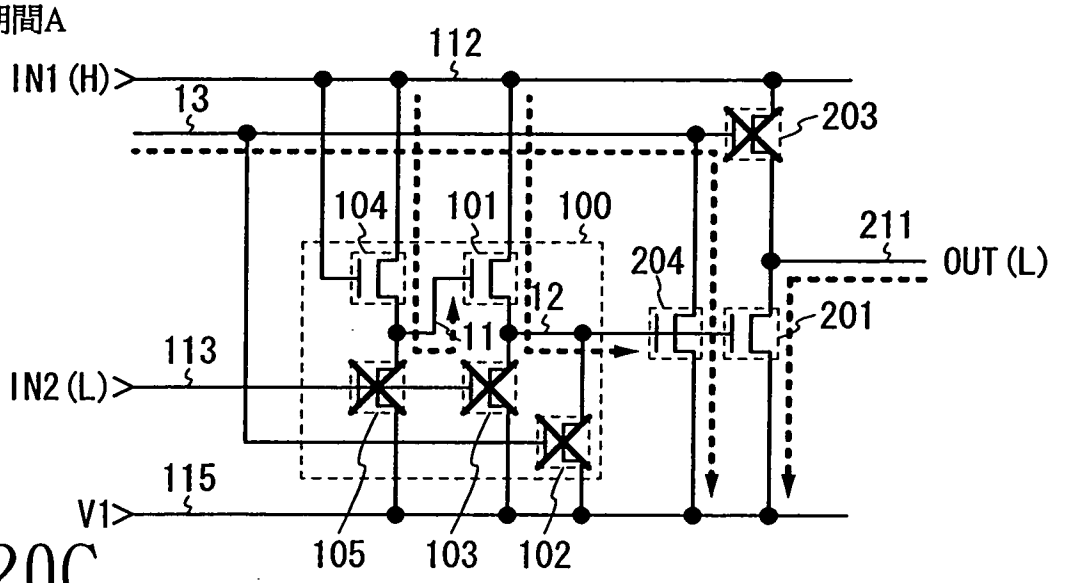



圖20C

期間B

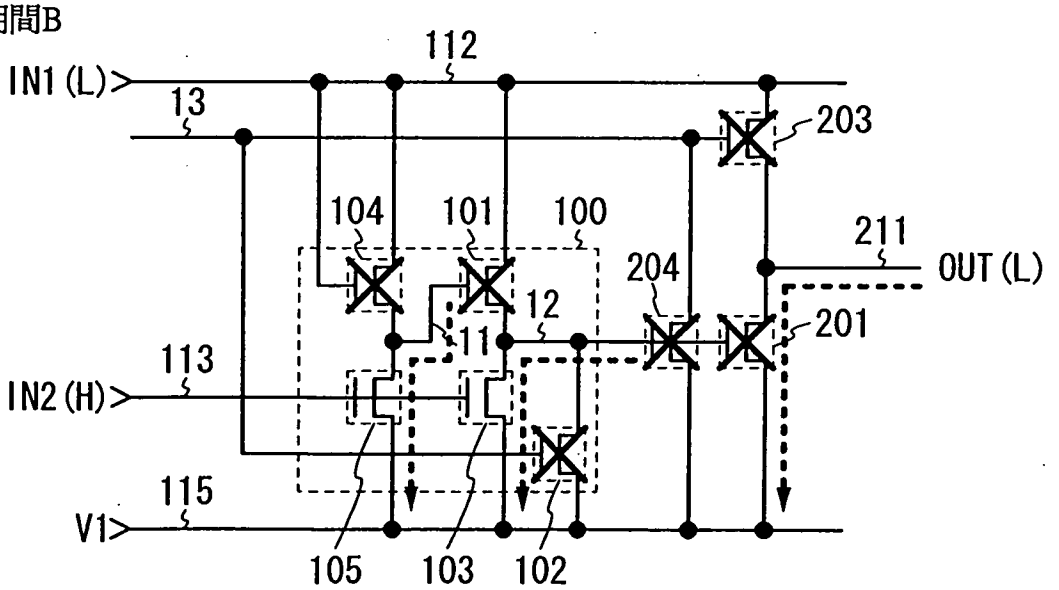


圖21A

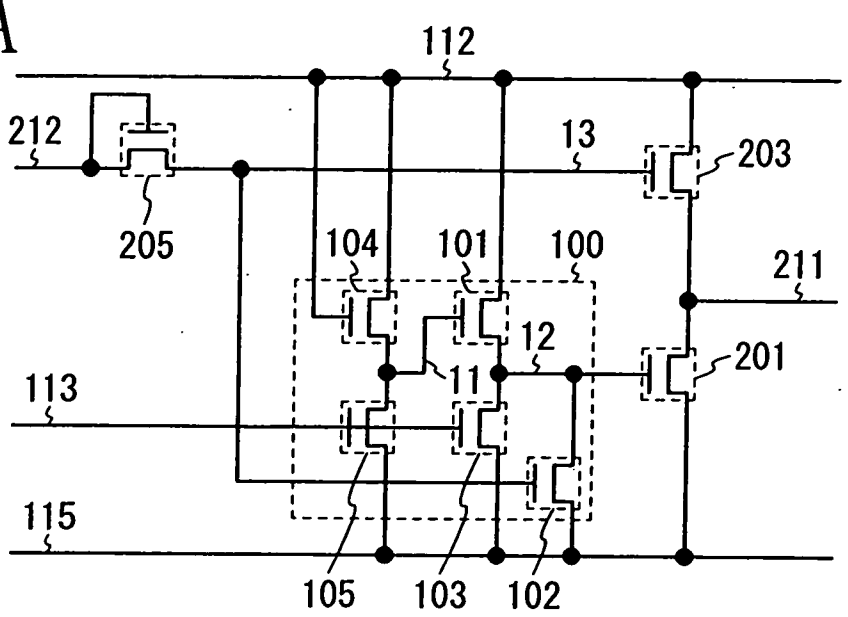

112
212
205
13
203
104
101
100
211
12
11
201
113
115
105
103
102

圖21B

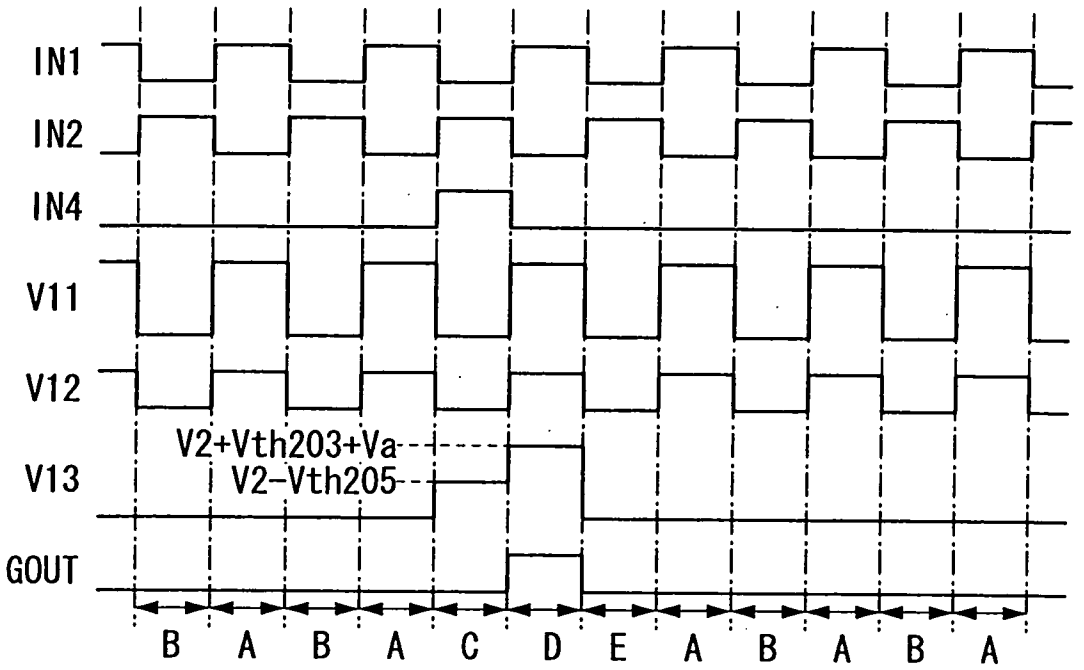

IN1
IN2
IN4
V11
V12
V2+Vth203+Va
V13
V2-Vth205
GOUT
B A B A C D E A B A B A

圖22A

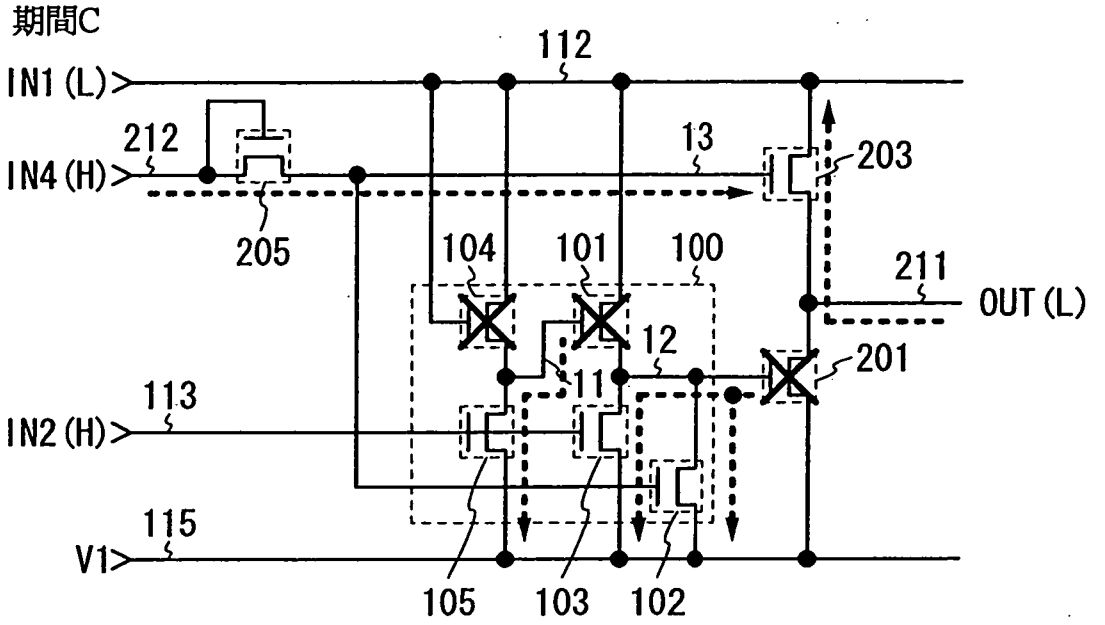

期間C
112
IN1 (L)
212
IN4 (H)
205
13
203
104
101
100
211
OUT (L)
12
201
11
113
IN2 (H)
115
V1
105
103
102

圖22B

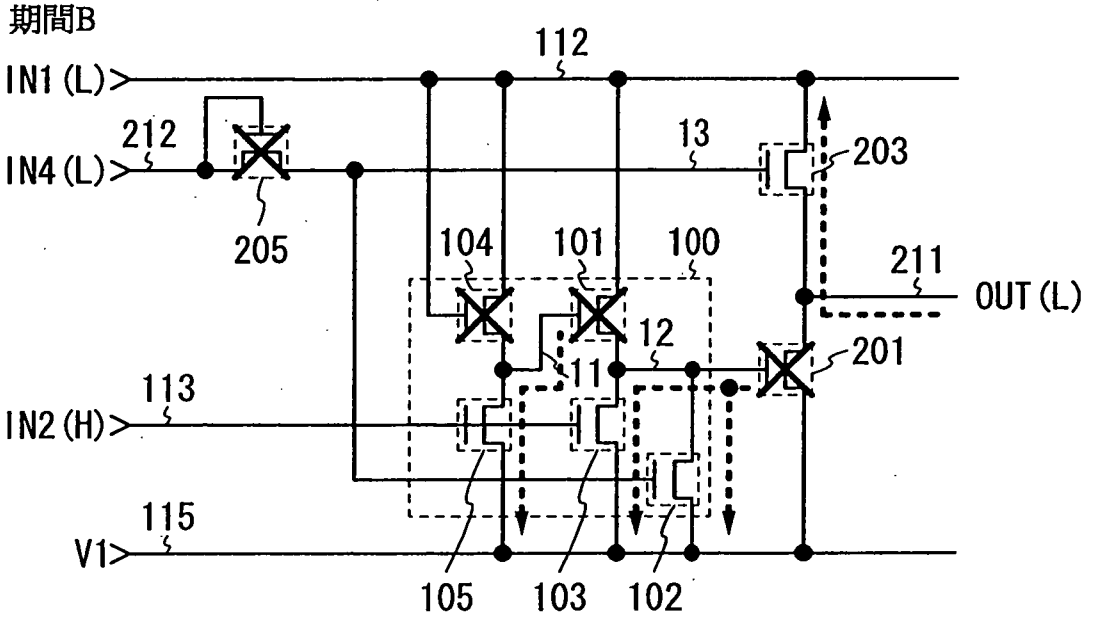

期間B
112
IN1 (L)
212
IN4 (L)
205
13
203
104
101
100
211
OUT (L)
12
201
11
113
IN2 (H)
115
V1
105
103
102

圖23A

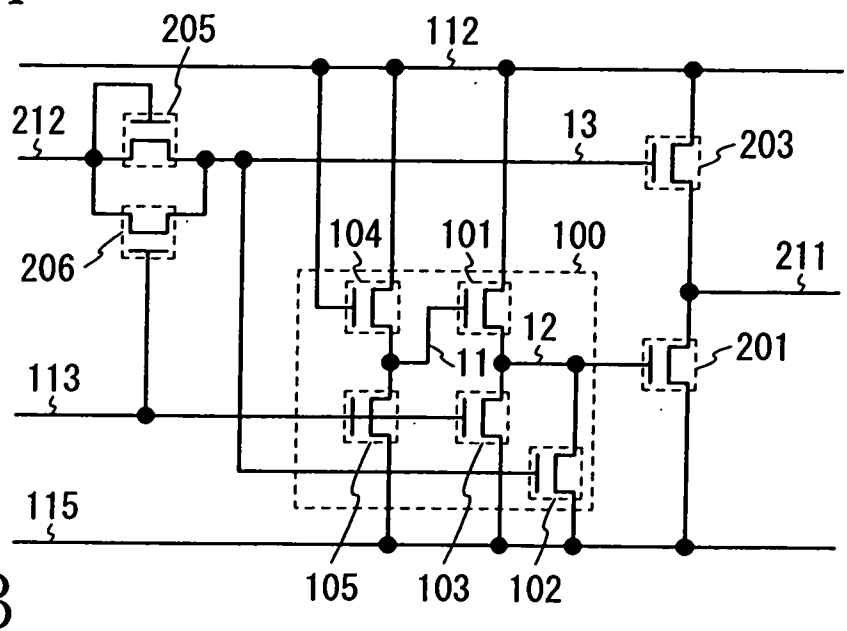

205
112
212
13
203
104
101
100
211
206
12
11
201
113
115
105
103
102

圖23B

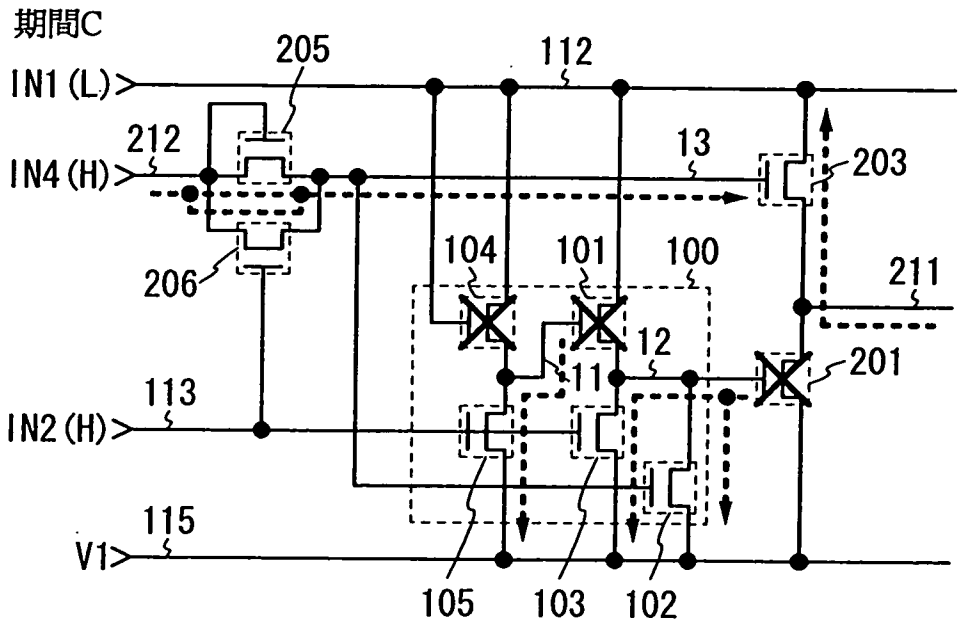

期間C
205
112
IN1 (L)
212
13
203
IN4 (H)
104
101
100
211
206
12
11
201
113
IN2 (H)
115
V1
105
103
102

圖24A

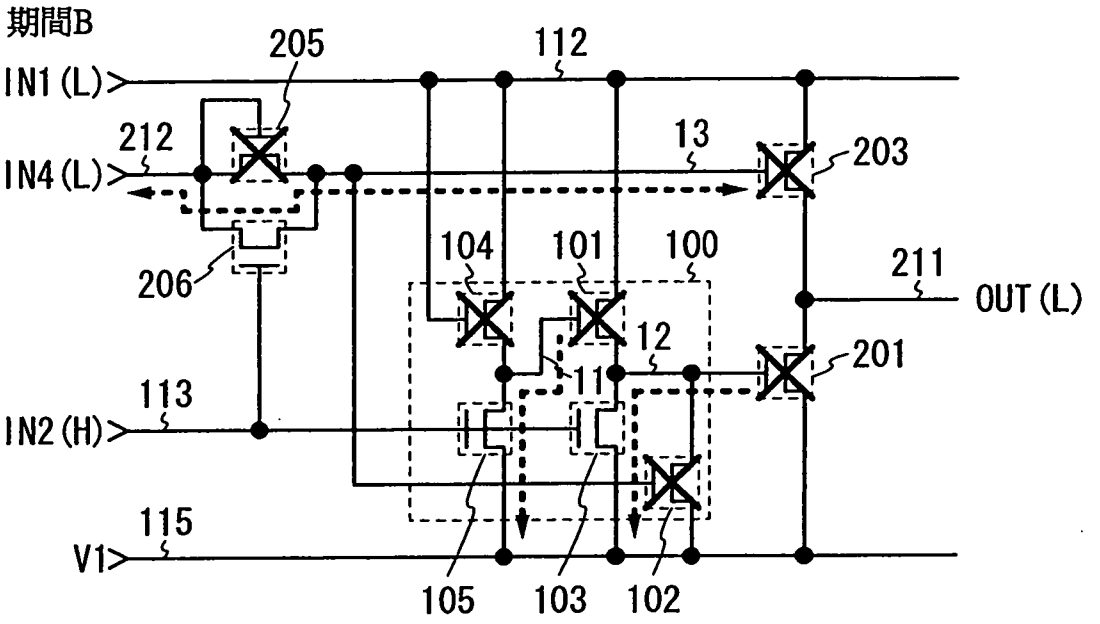

期間B
205
112
IN1 (L)
212
13
203
IN4 (L)
104
101
100
211
206
OUT (L)
12
201
11
113
IN2 (H)
115
V1
105
103
102

圖24B

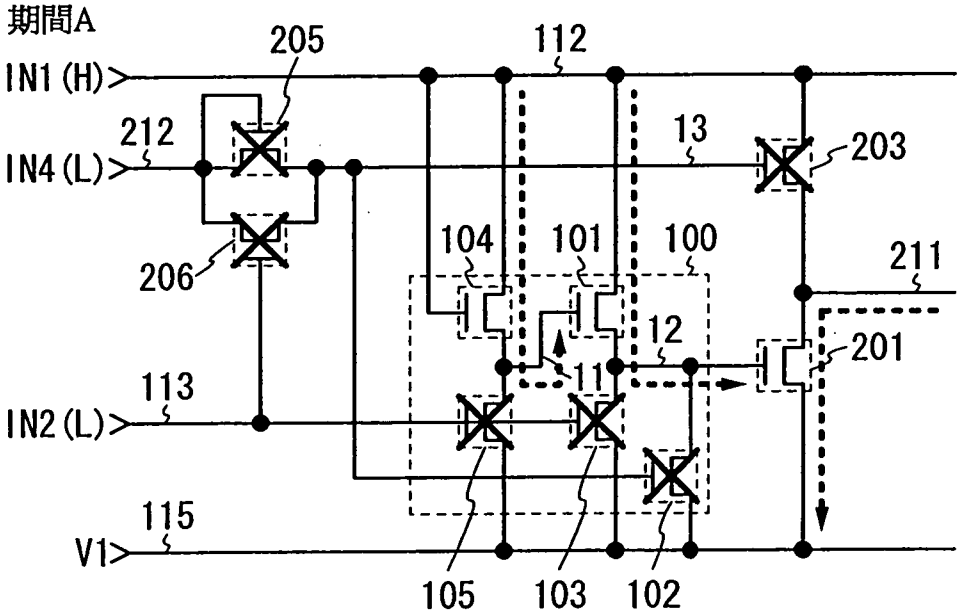

期間A
205
112
IN1 (H)
212
13
203
IN4 (L)
104
101
100
211
206
12
201
11
113
IN2 (L)
115
V1
105
103
102

圖25A

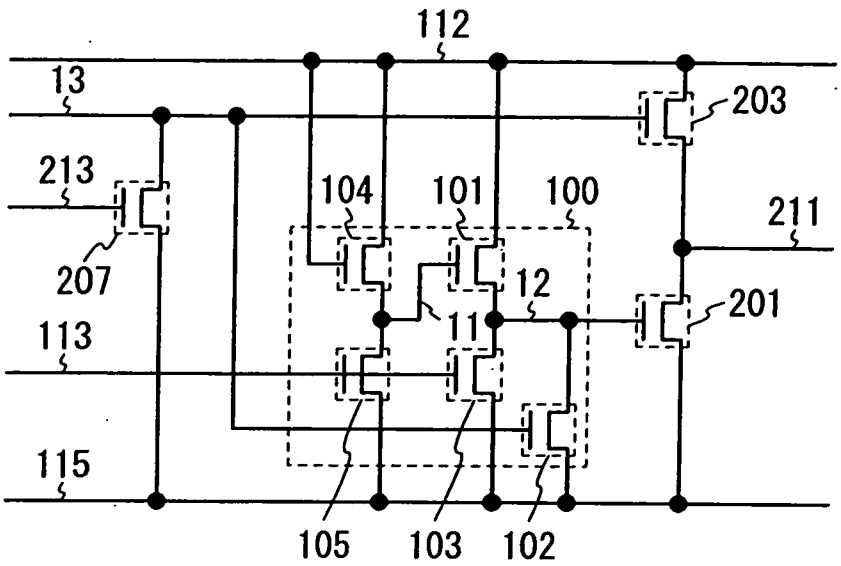

112
13
203
213
104
101
100
211
207
12
201
11
113
115
105
103
102

圖25B

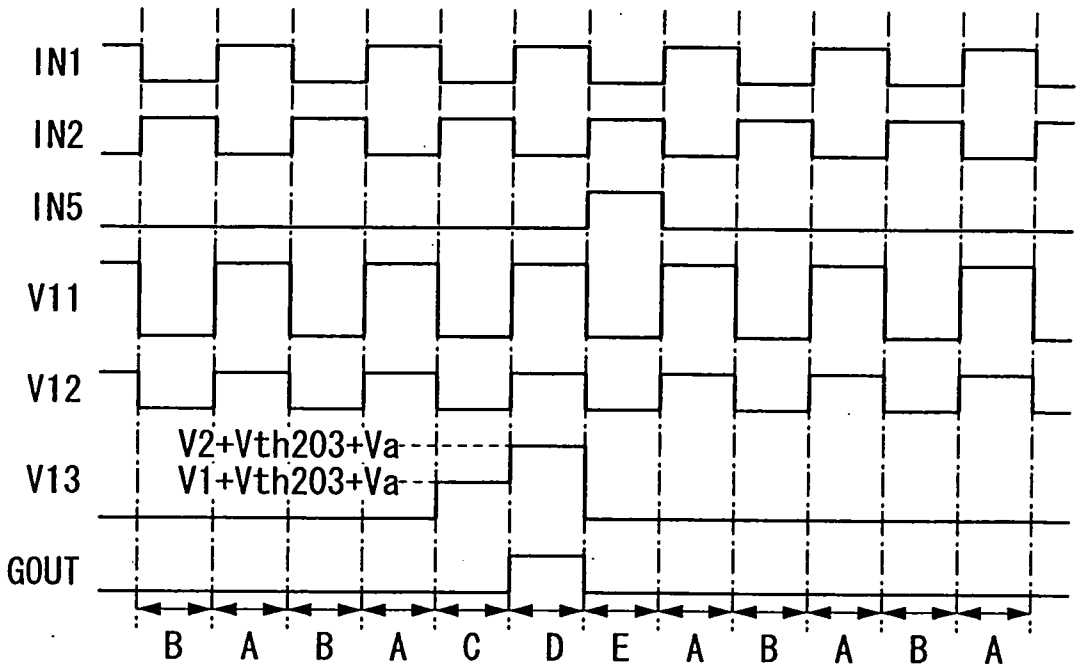

IN1
IN2
IN5
V11
V12
V2+Vth203+Va
V13
V1+Vth203+Va
GOUT
B A B A C D E A B A B A

圖26A

期間E

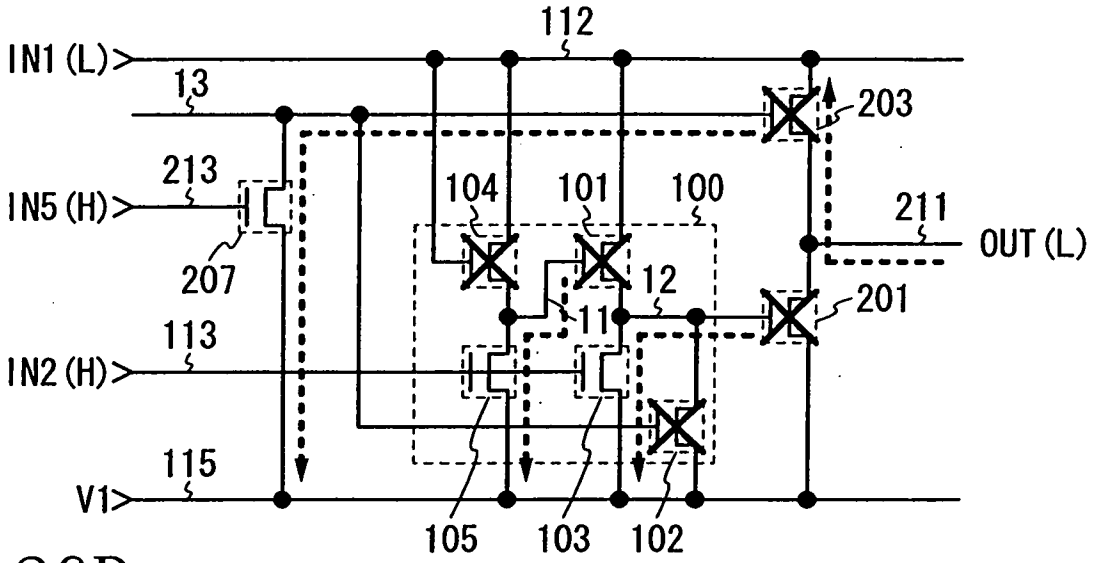



圖26B

期間B

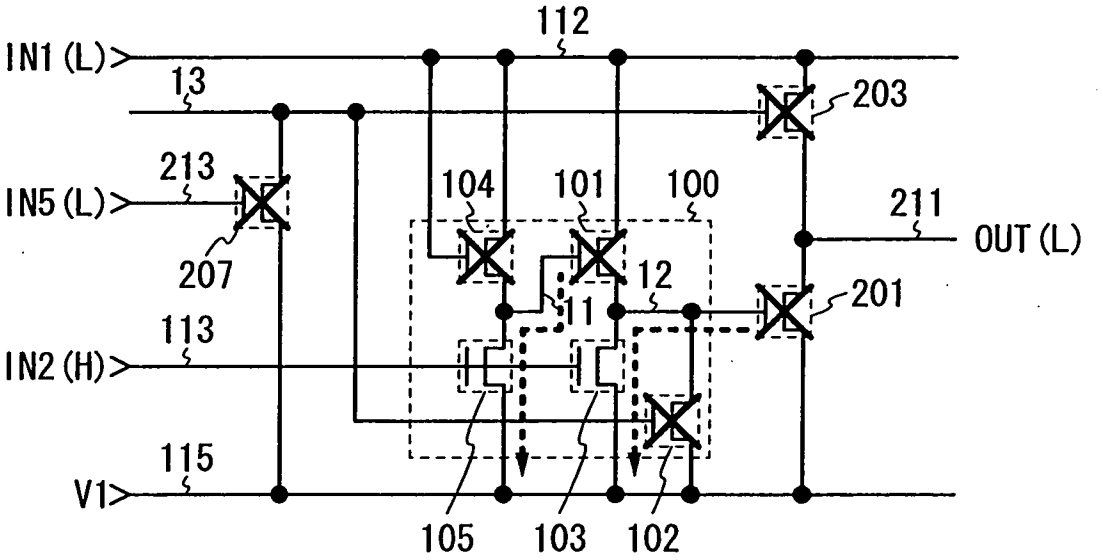


圖27A

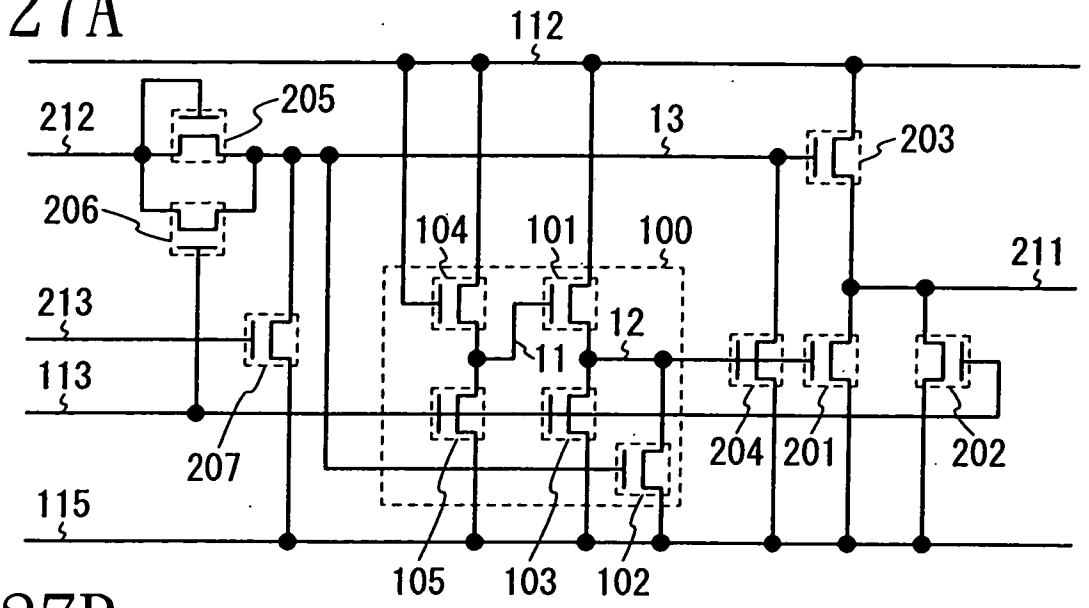



圖27B

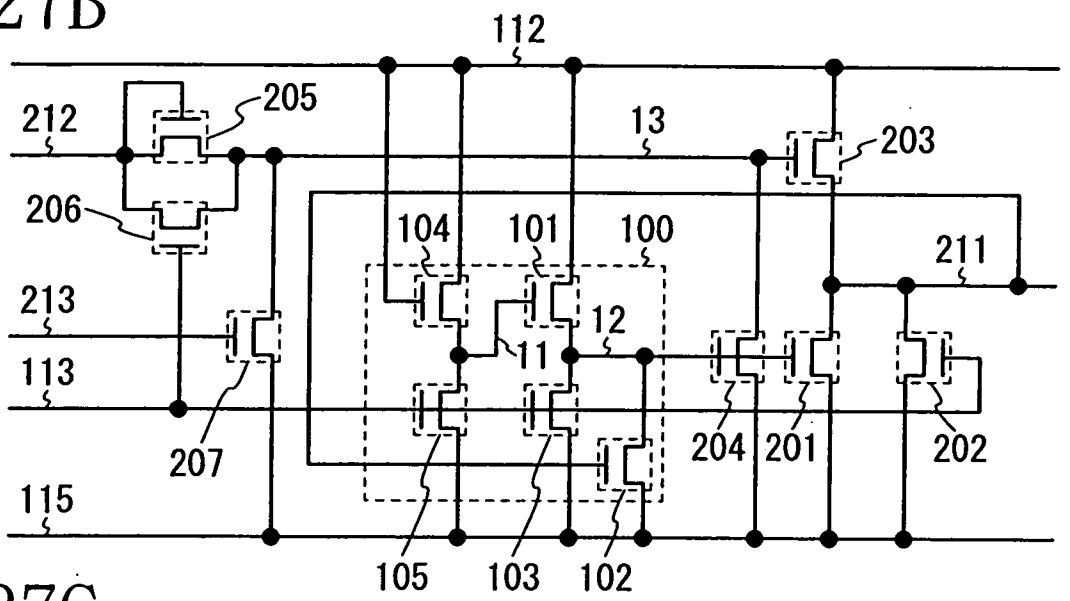



圖27C

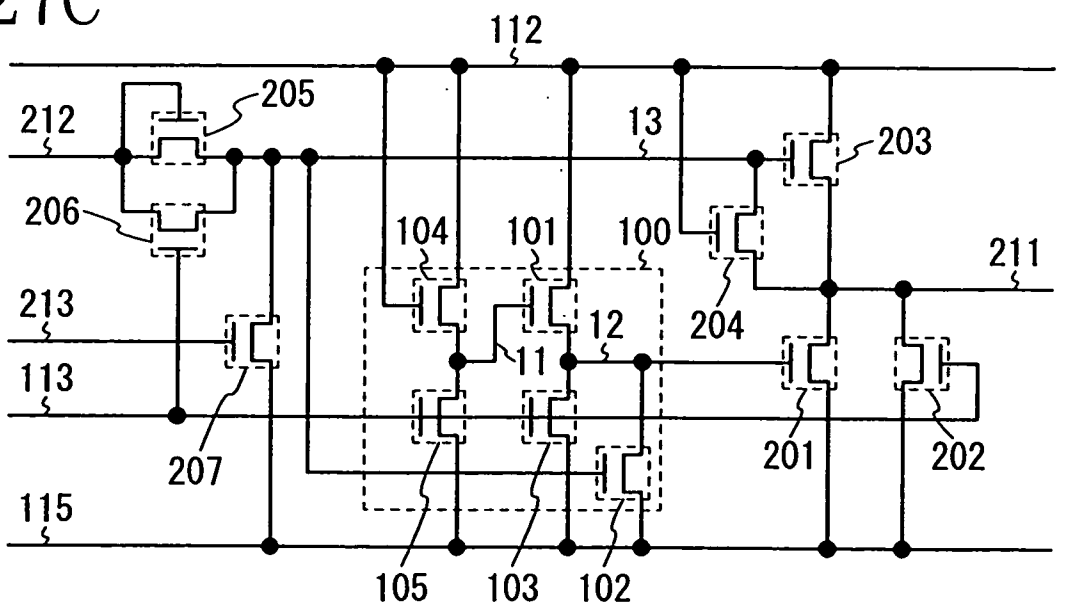


圖28A

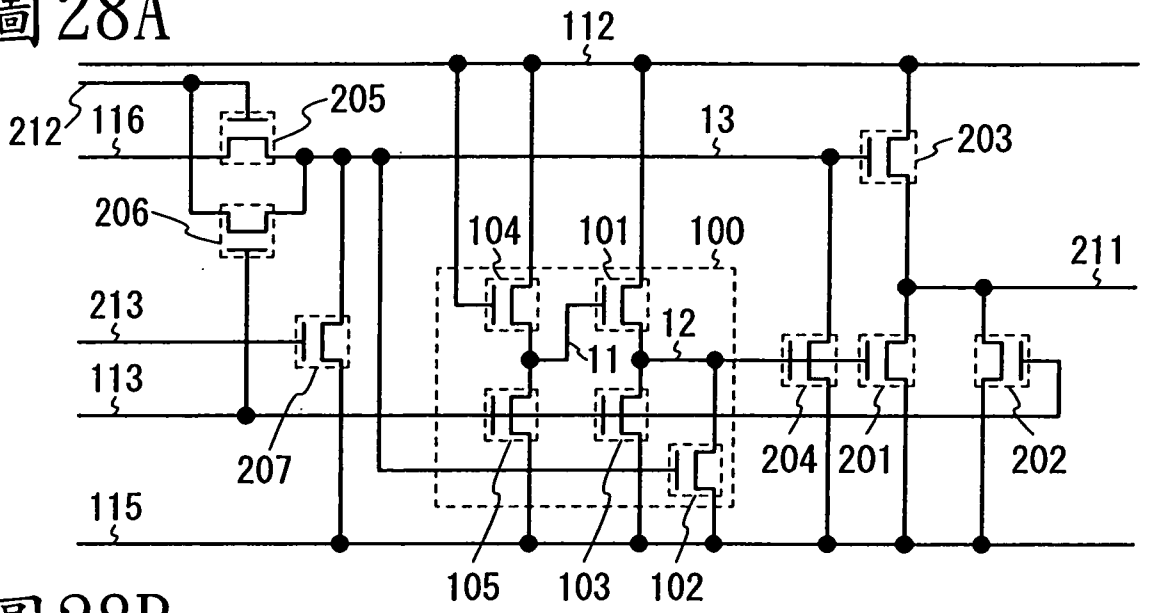



圖28B

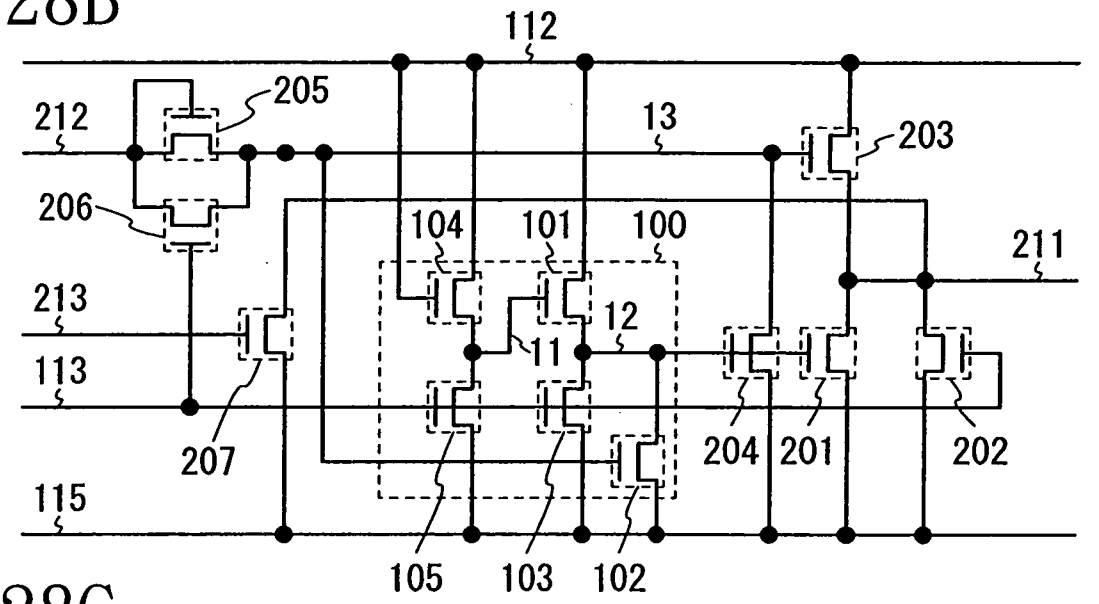



圖28C

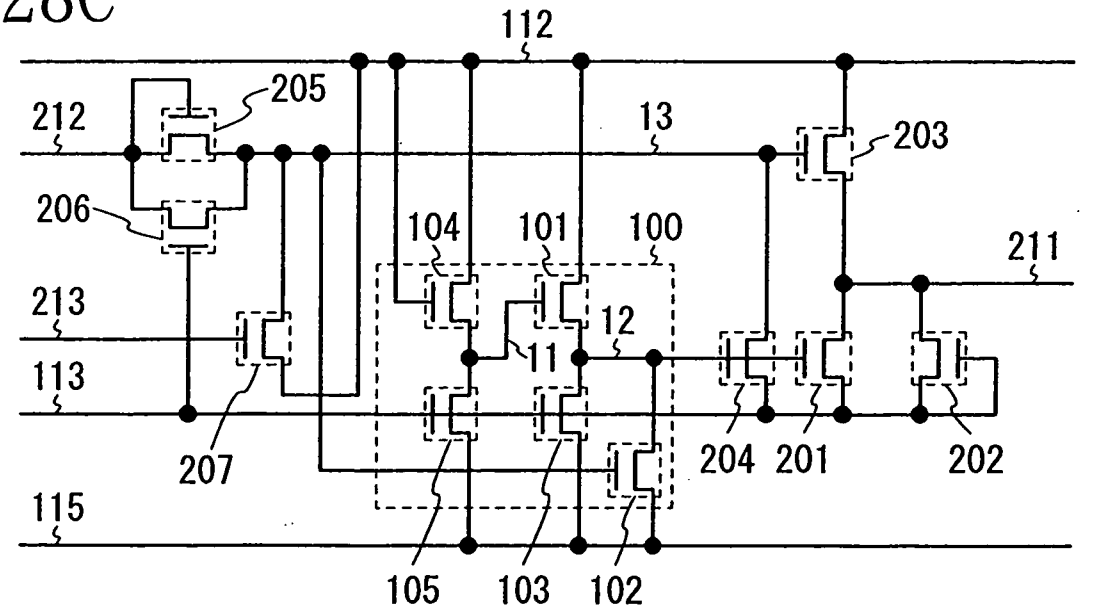


圖29A

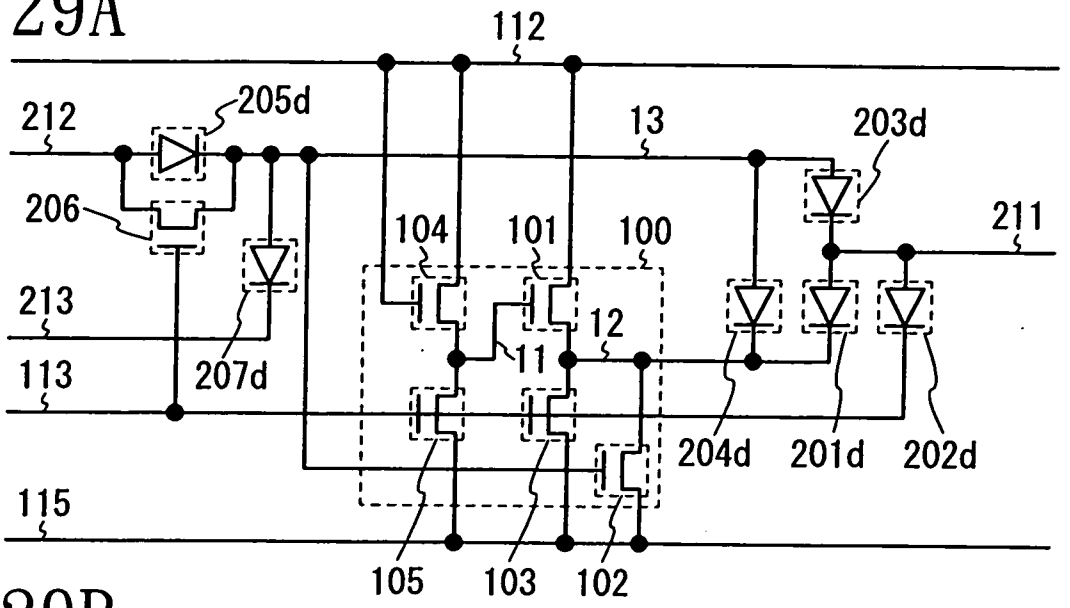



圖29B

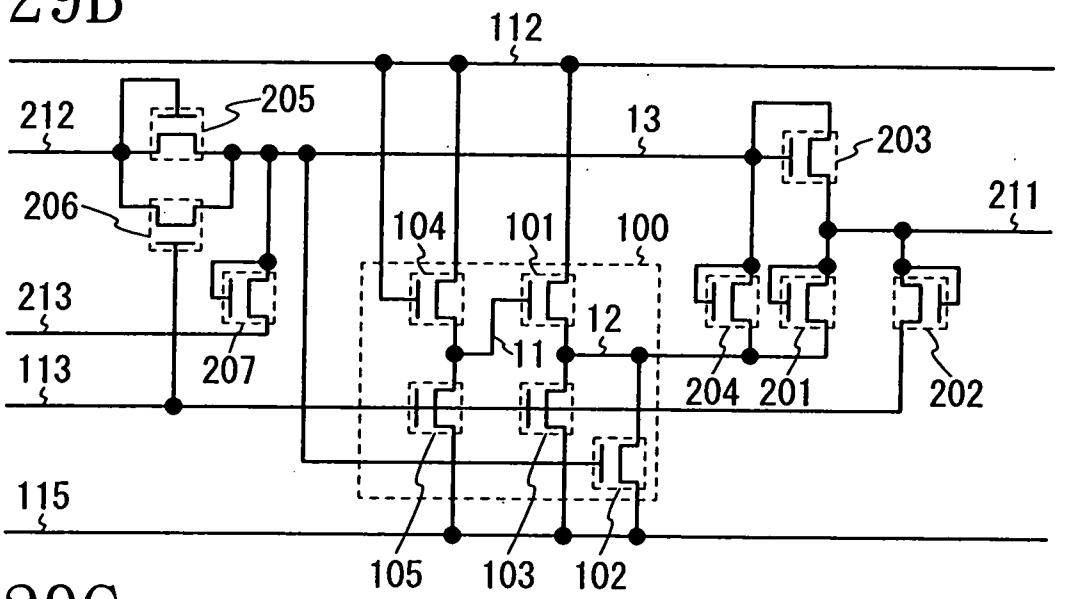



圖29C

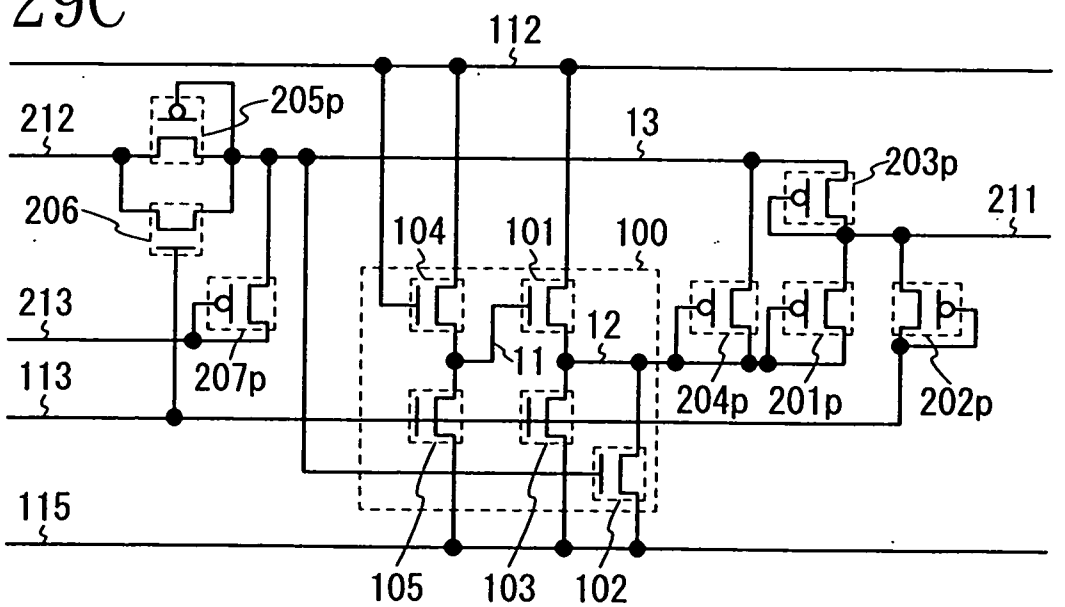


圖30A

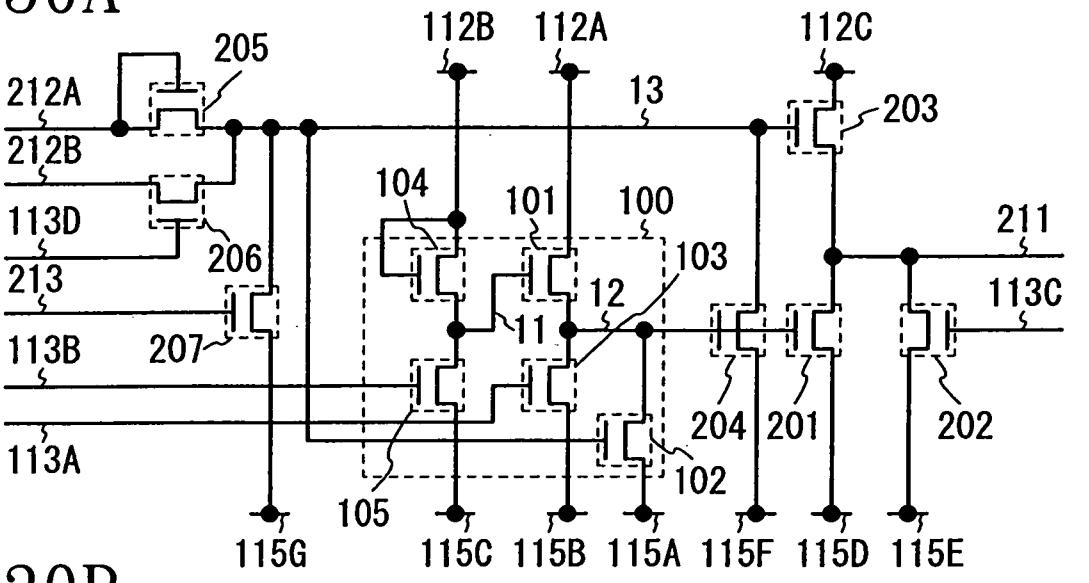



圖30B

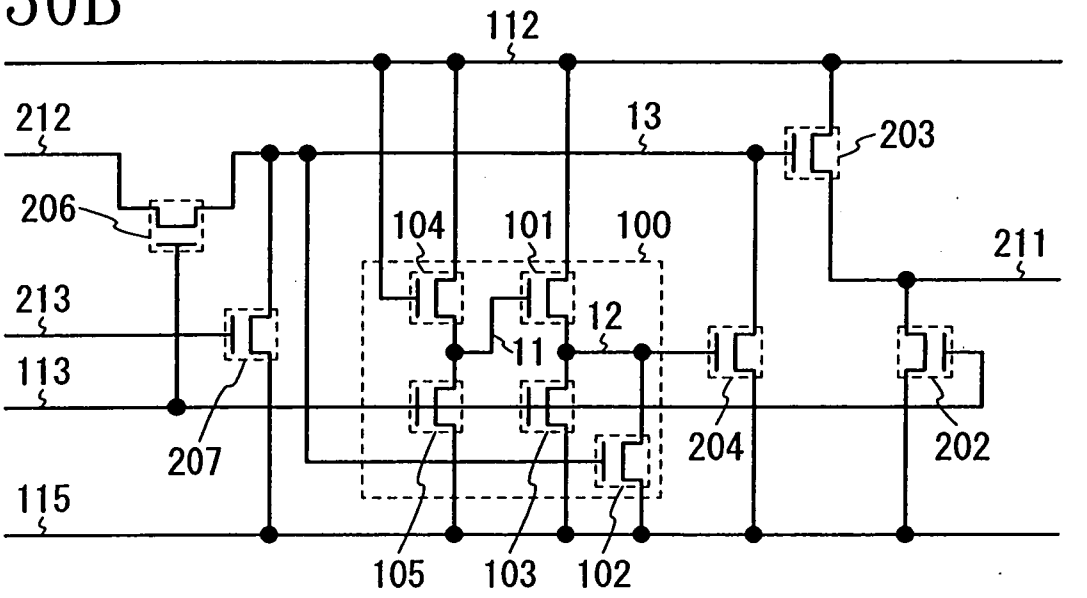



圖30C

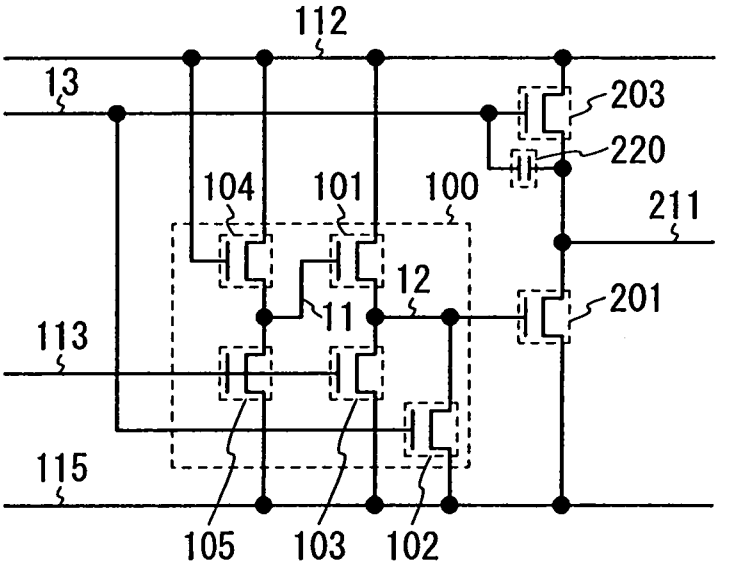


圖31A

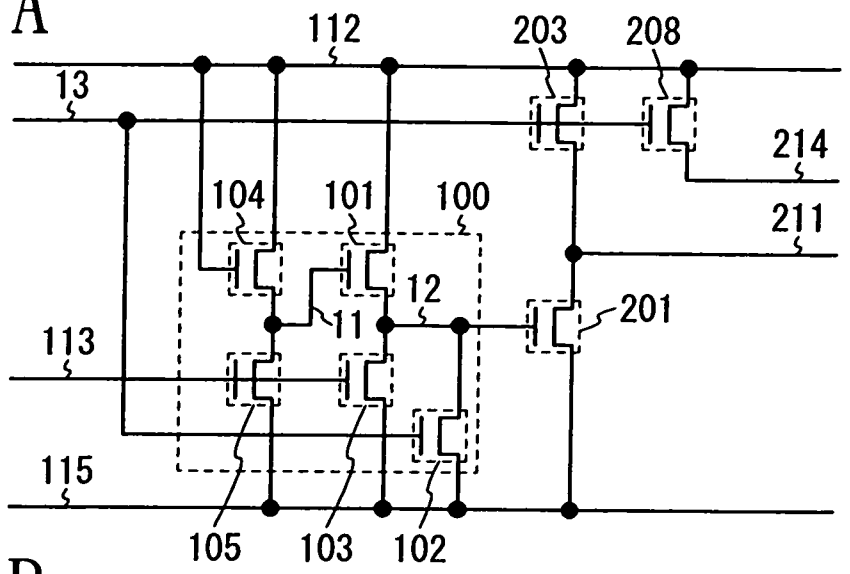



圖31B

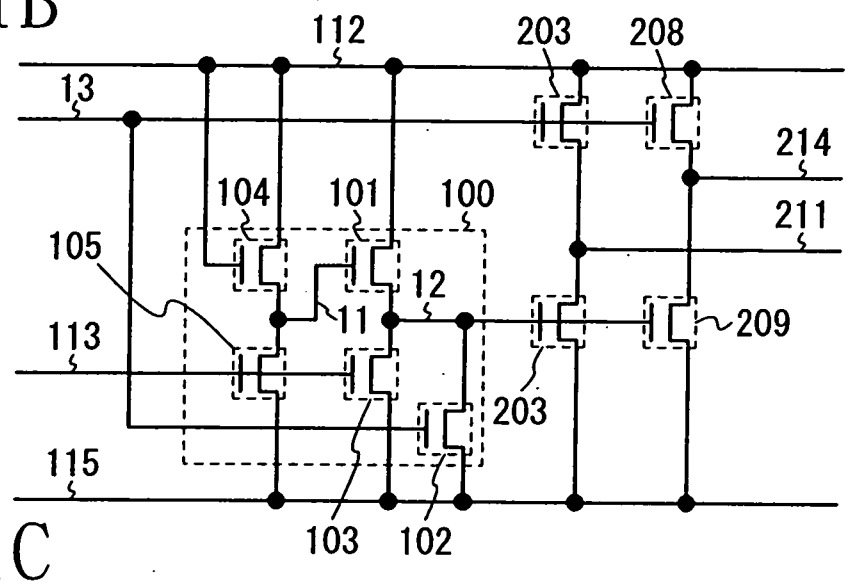



圖31C

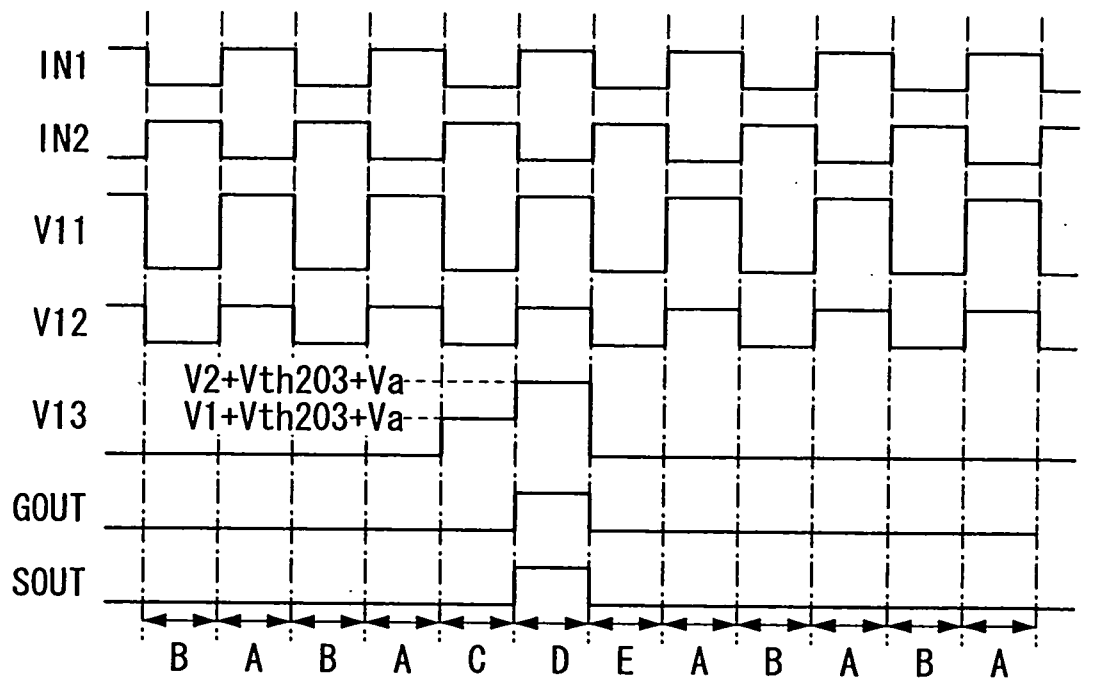


圖32A

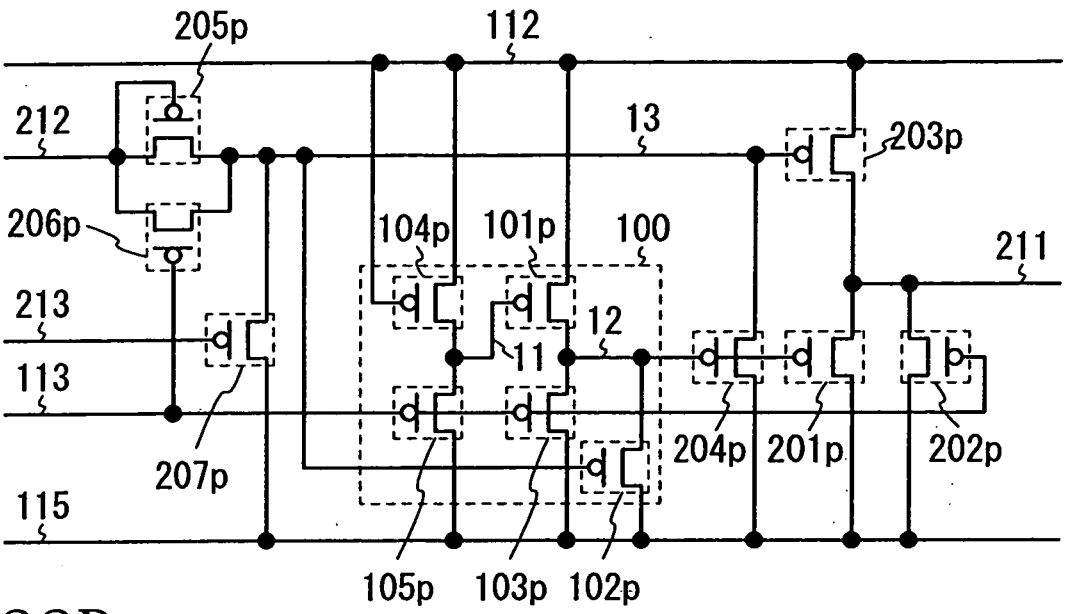

205p
112
212
13
203p
206p
104p
101p
100
211
213
12
11
113
204p
201p
202p
207p
115
105p
103p
102p

圖32B

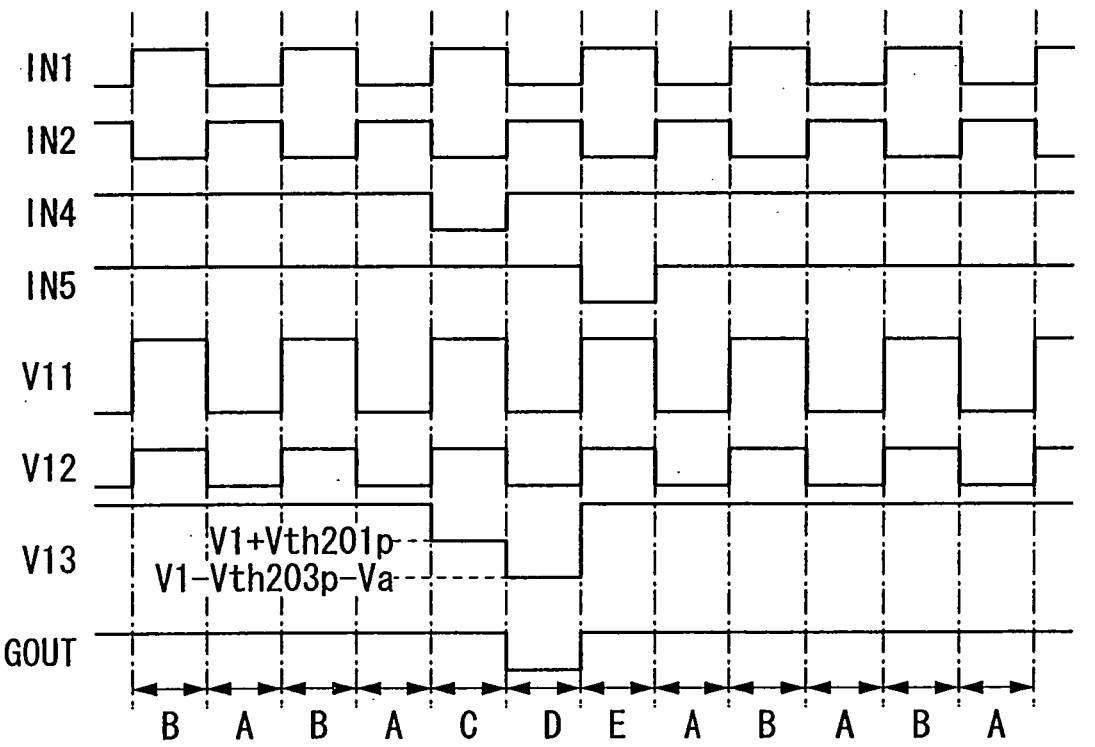

IN1
IN2
IN4
IN5
V11
V12
V13
V1+Vth201p
V1-Vth203p-Va
GOUT
B A B A C D E A B A B A

圖33A

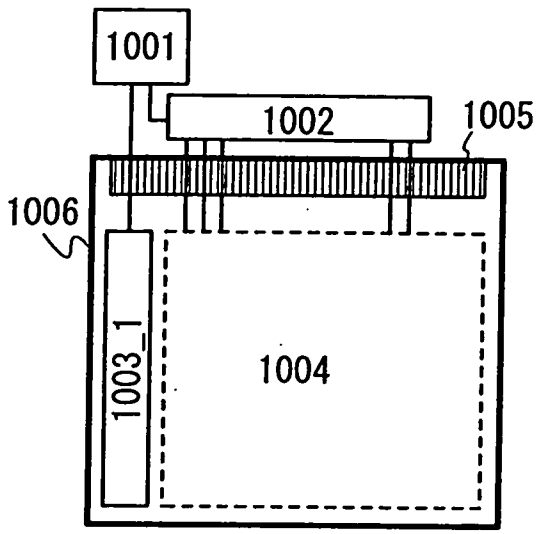



圖33B

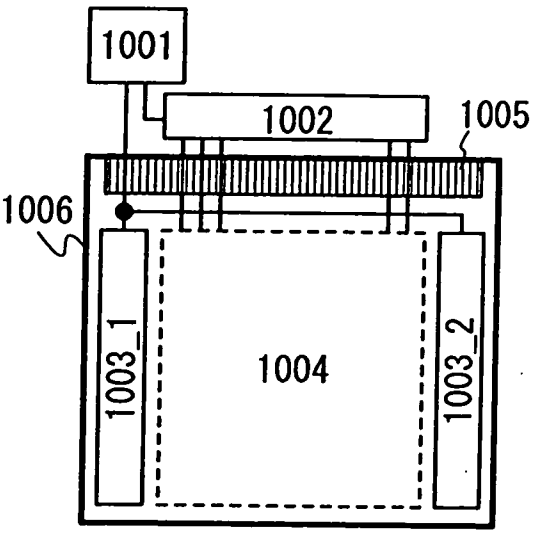



圖33C

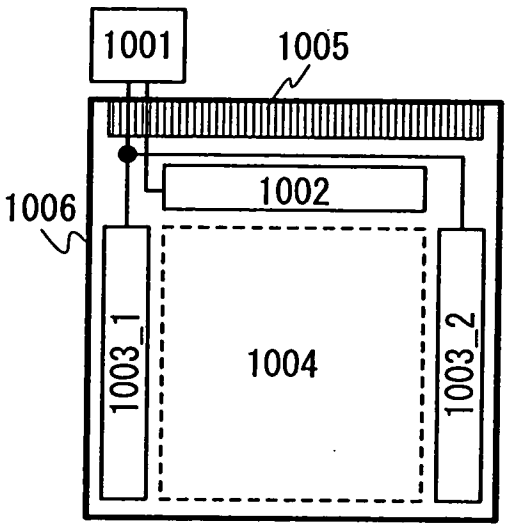



圖33D

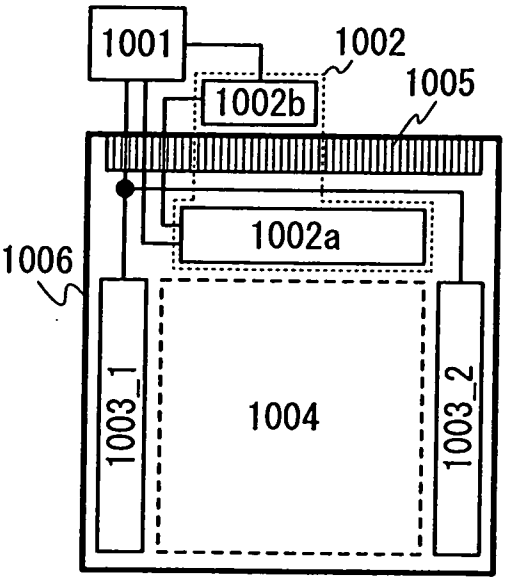



圖33E

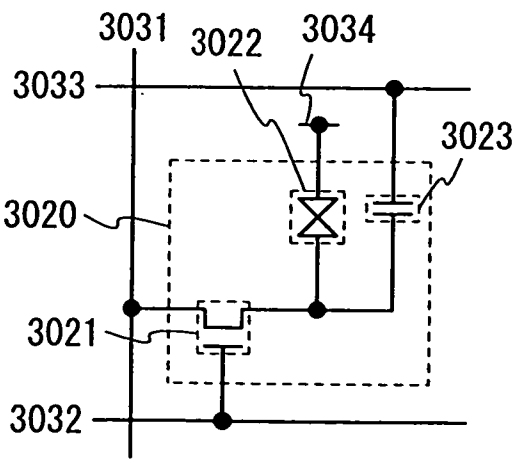
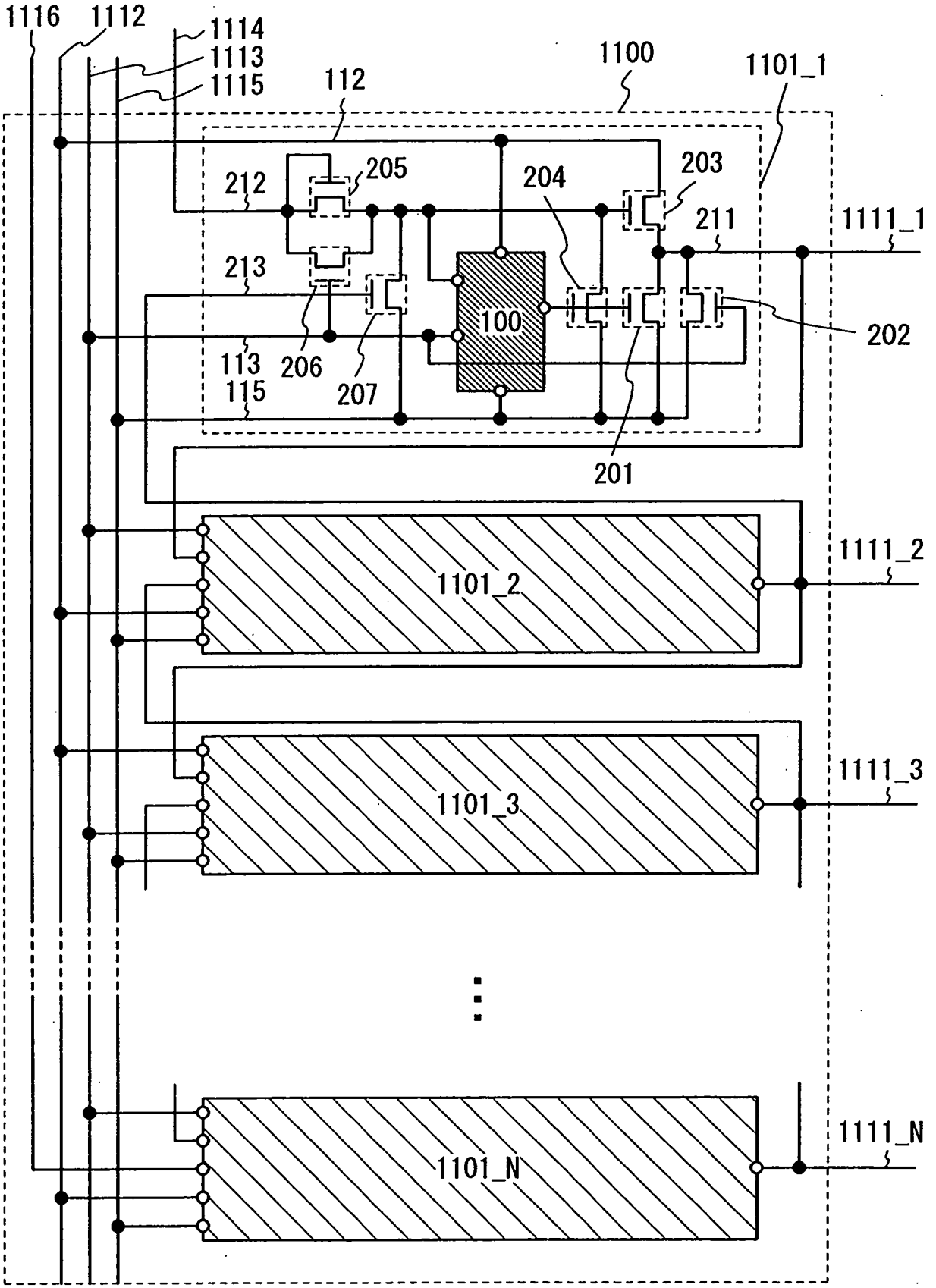


圖34


1116
1112
1114
1113
1115
112
1100
1101_1
212
205
204
203
211
1111_1
213
100
202
113
115
206
207
201
1101_2
1111_2
1101_3
1111_3
1101_N
1111_N

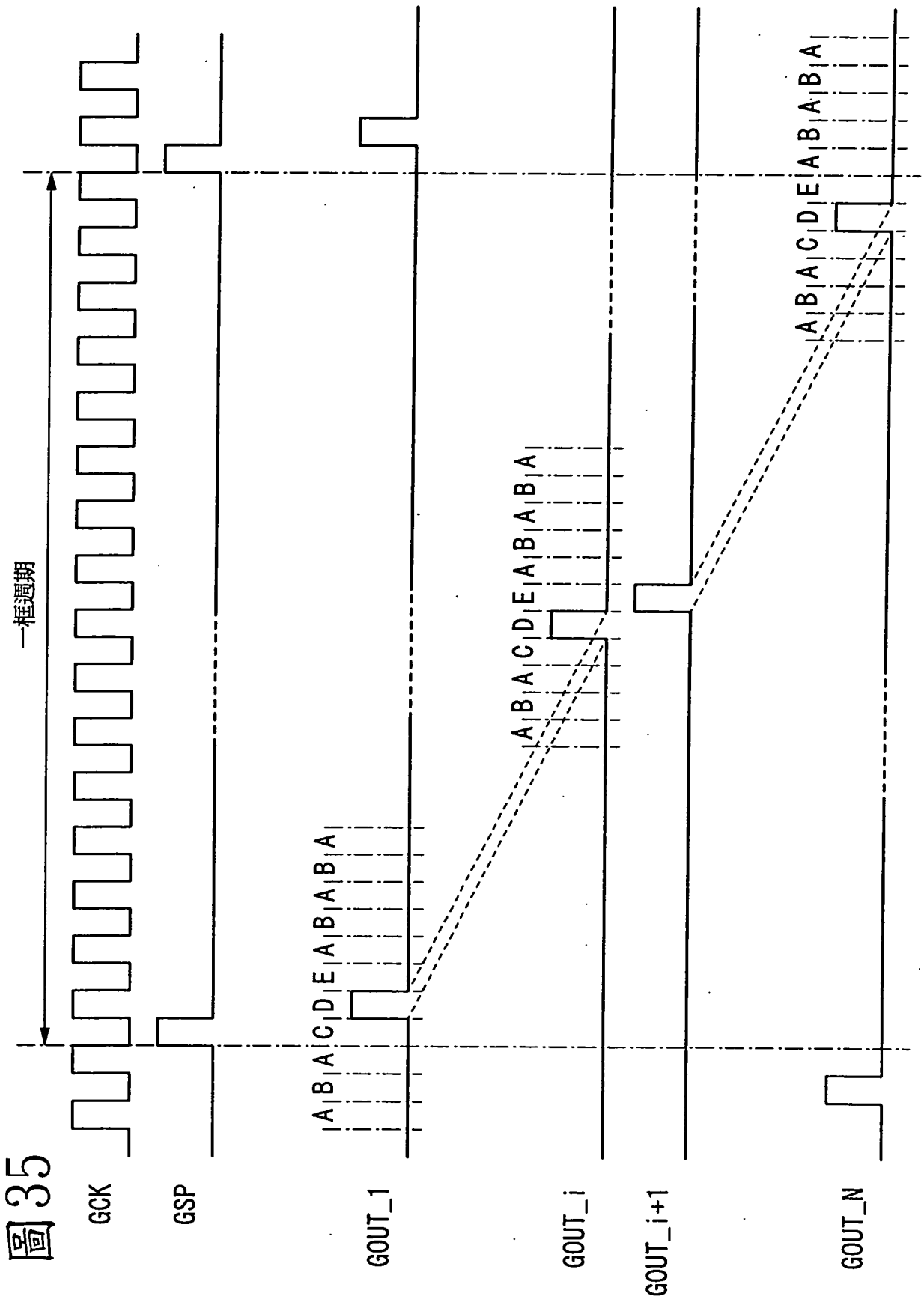

一框週期
GCK
GSP
GOUT_1
GOUT_i
GOUT_i+1
GOUT_N
A B A C D E A B A B A
A B A C D E A B A B A
A B A C D E A B A B A

圖35

圖36A

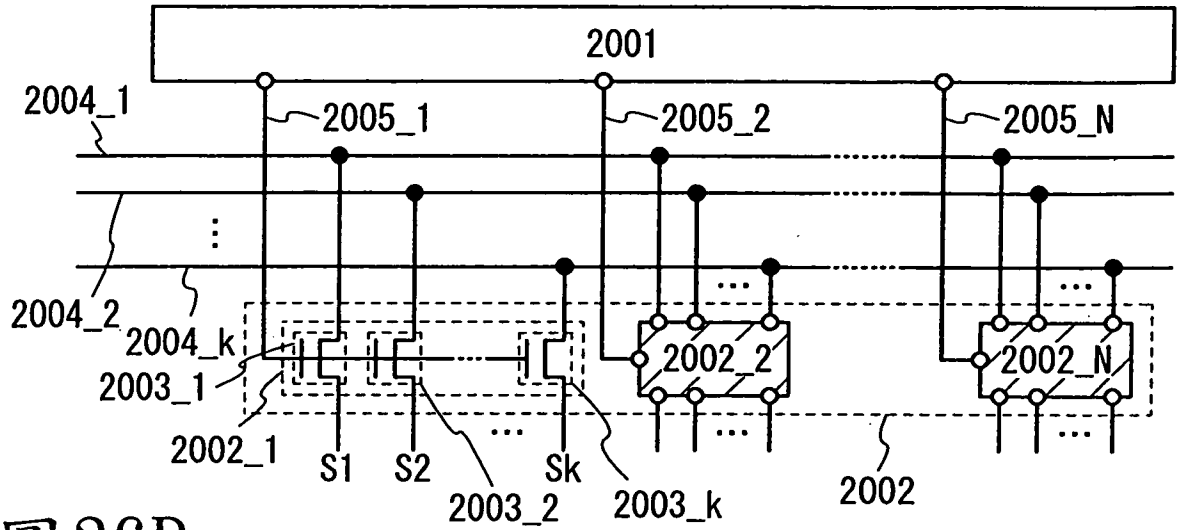



圖36B

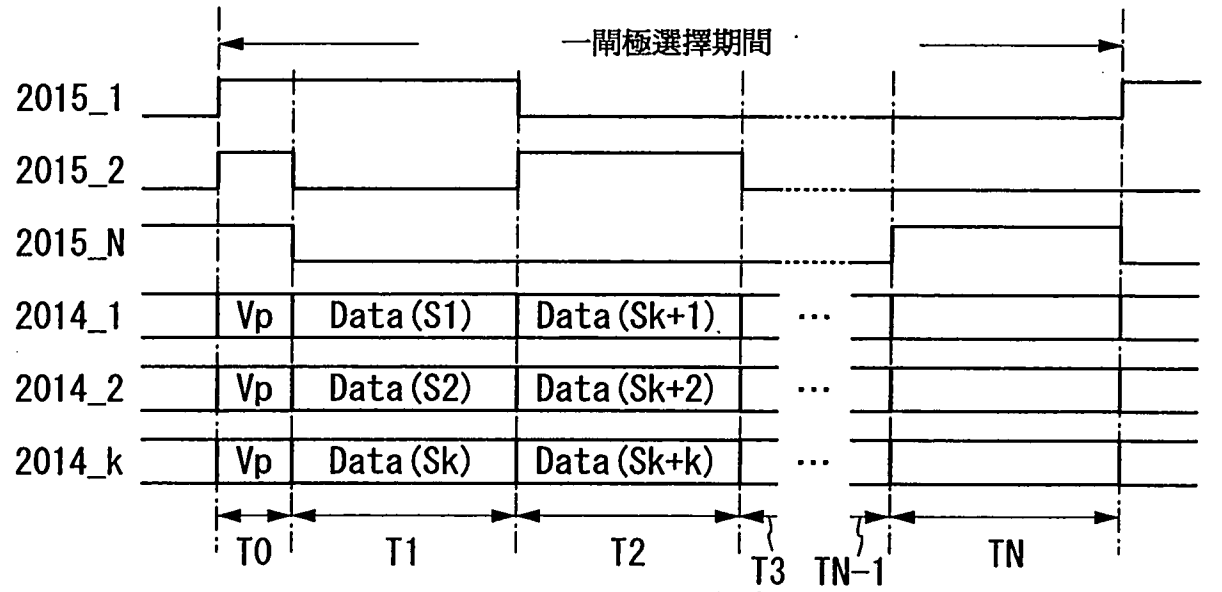



圖36C

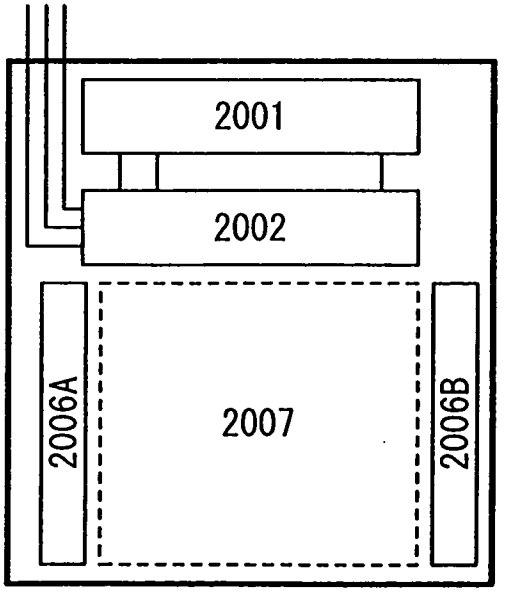



圖36D

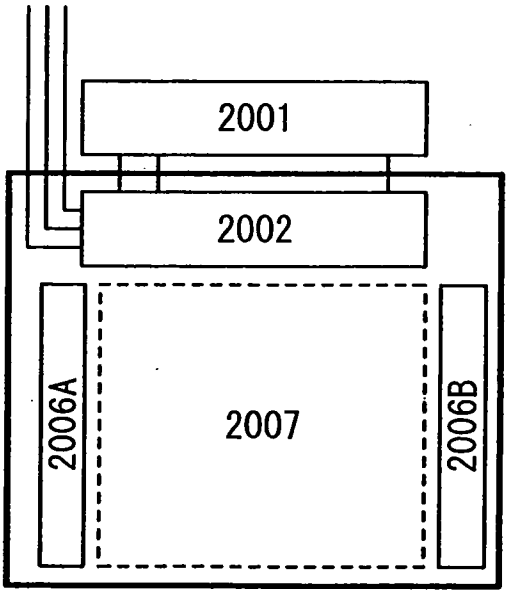


圖37A

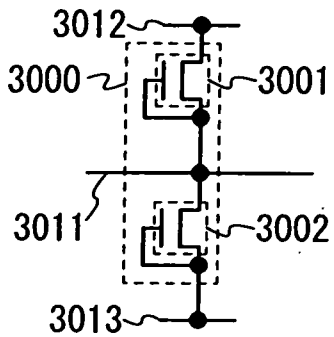



圖37B

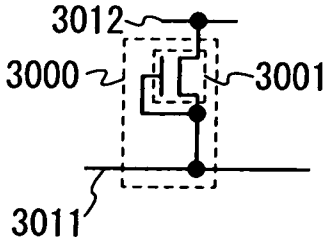



圖37C

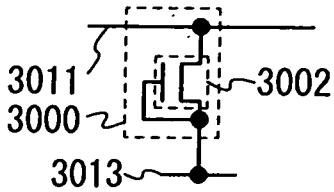



圖37D

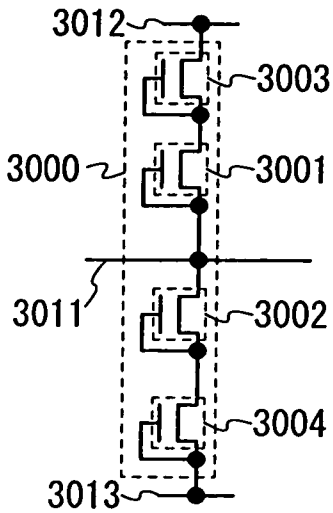



圖37E

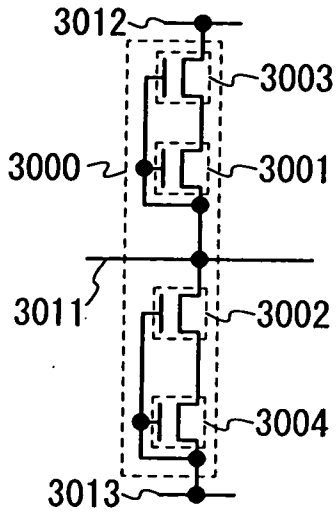



圖37F

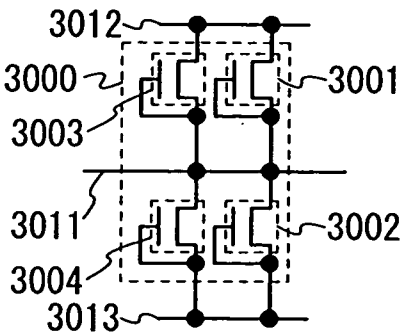



圖37G

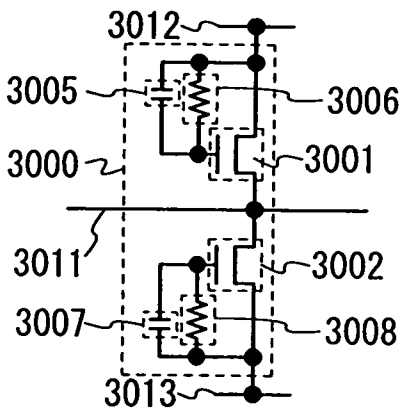


圖38A

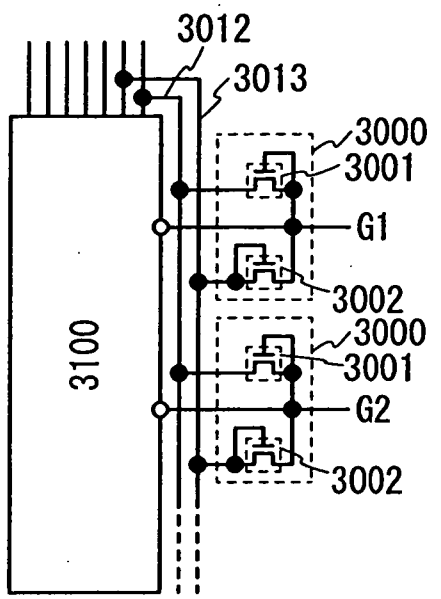

3012
3013
3000
3001
G1
3002
3000
3001
G2
3002
3100

圖38B

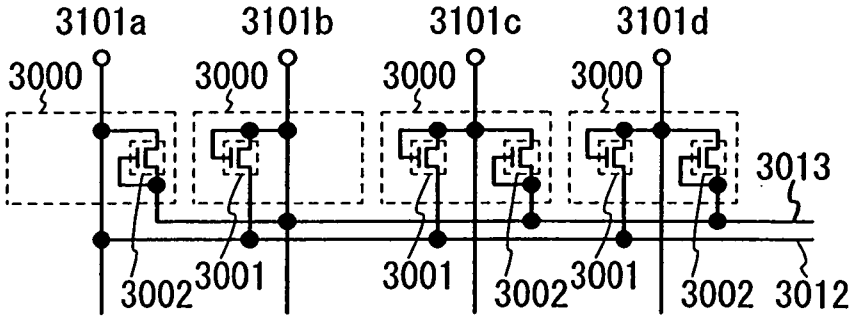

3101a
3101b
3101c
3101d
3000
3000
3000
3000
3013
3002
3001
3001
3002
3001
3002
3012

圖39A

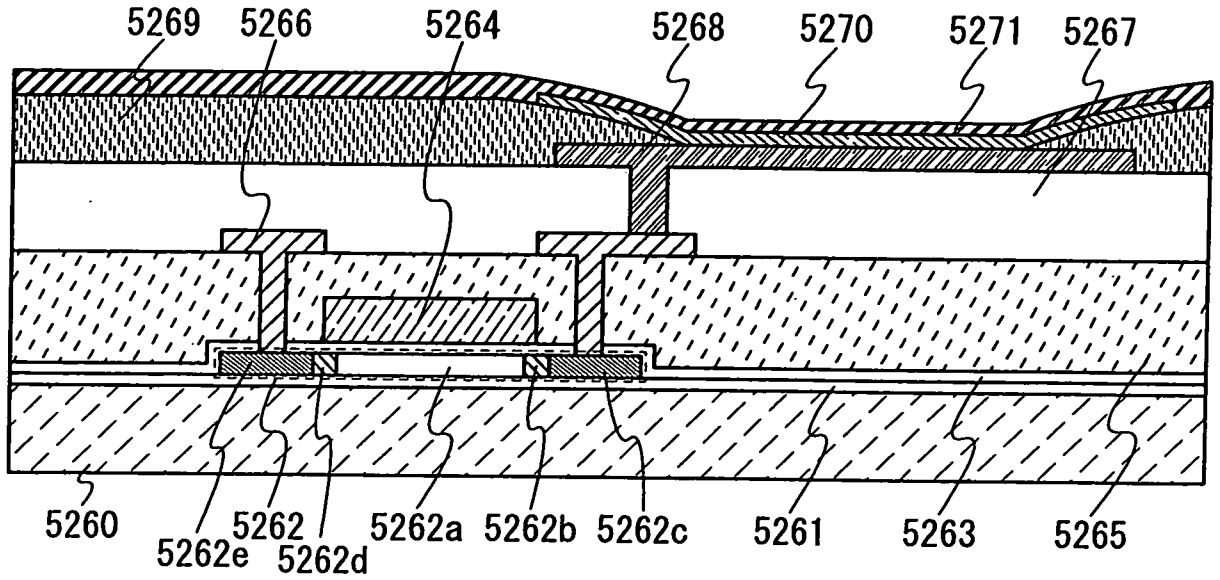



圖39B

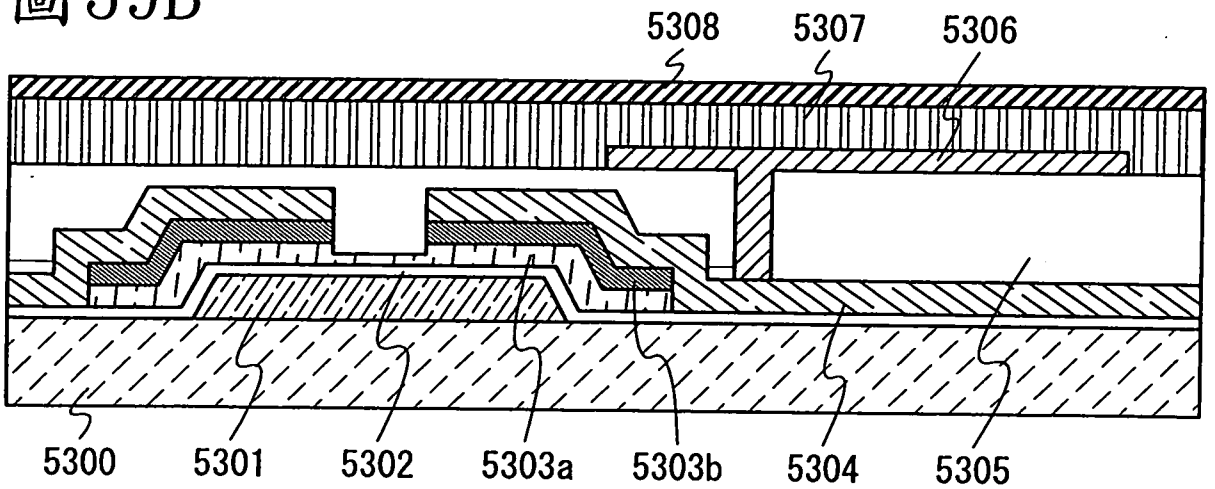



圖39C

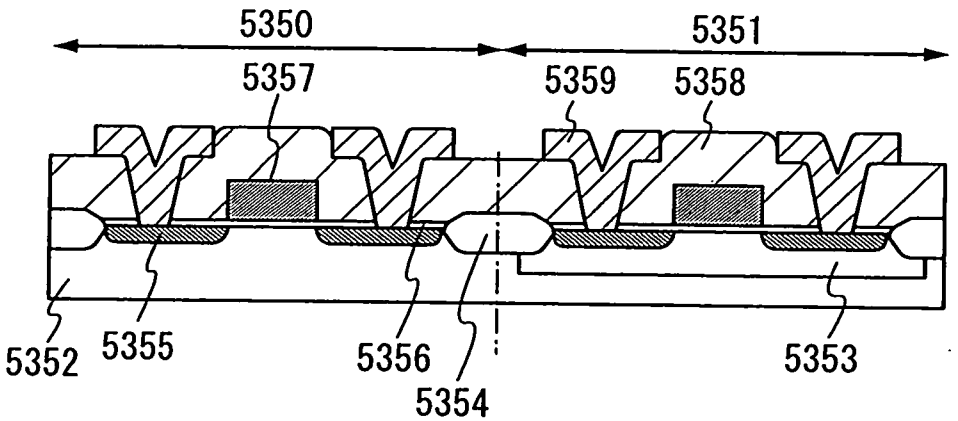


圖40A

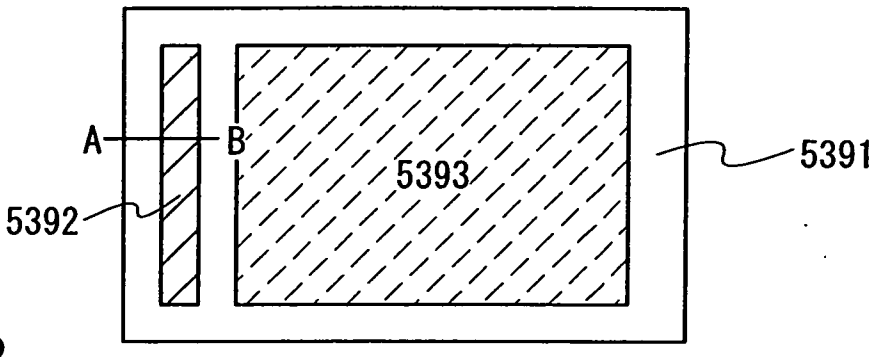



圖40B

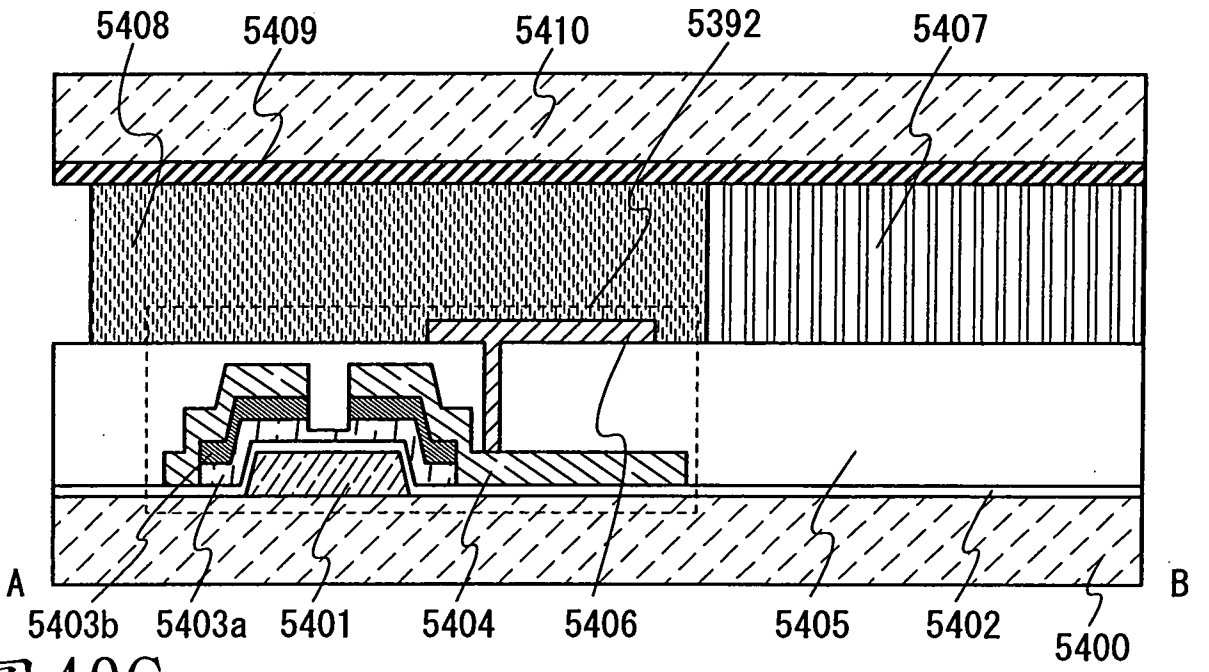



圖40C

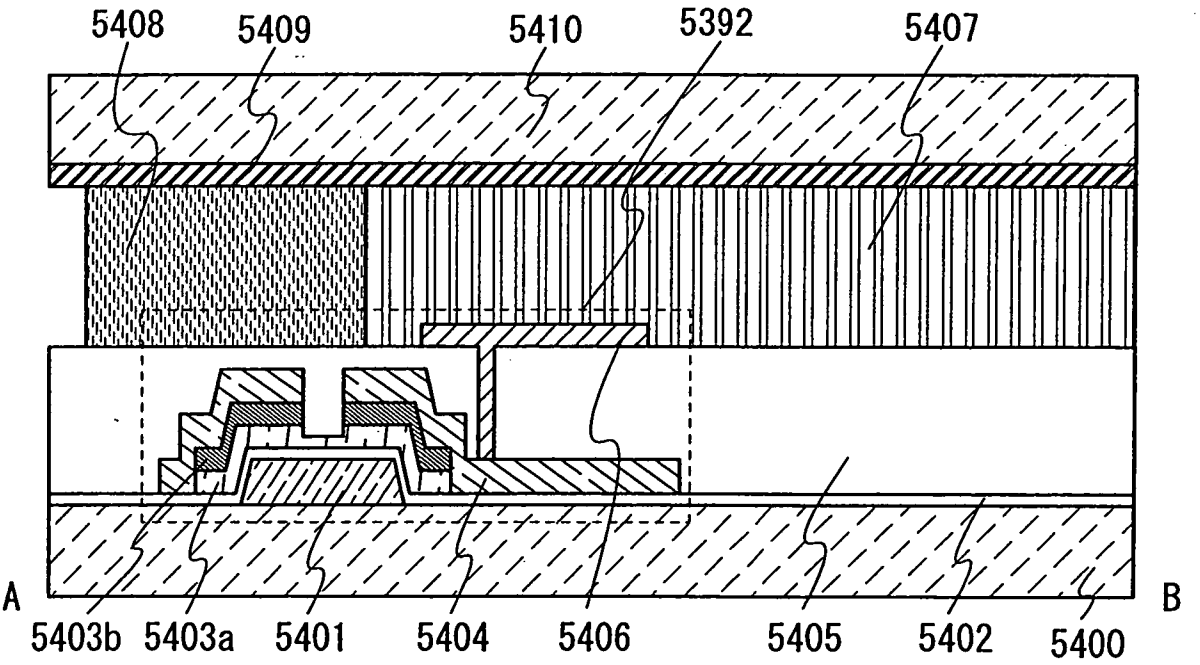


圖41A

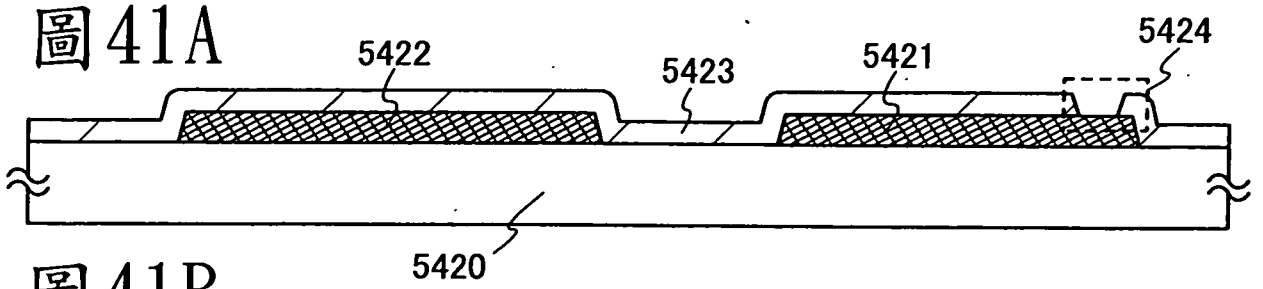



圖41B

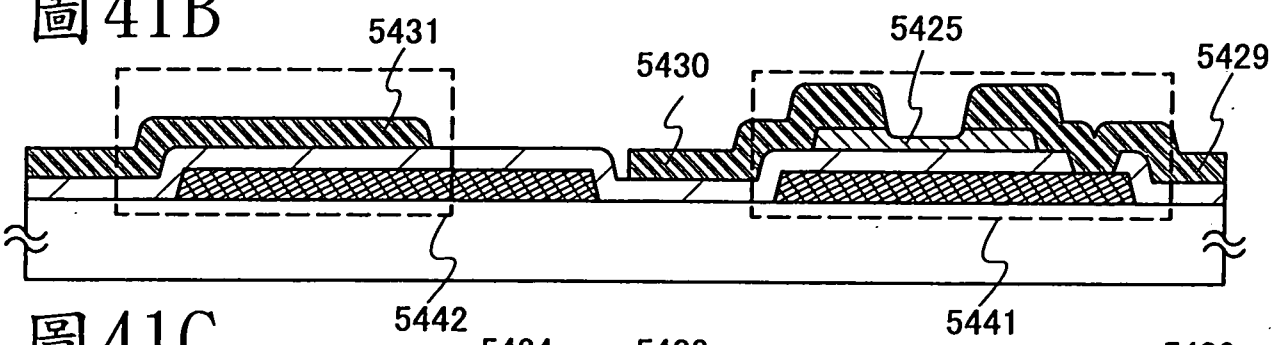



圖41C

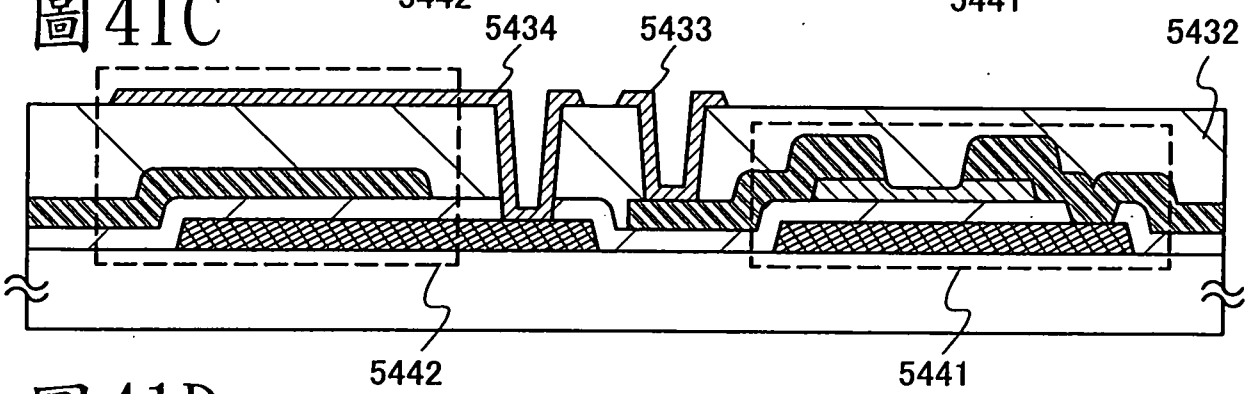



圖41D

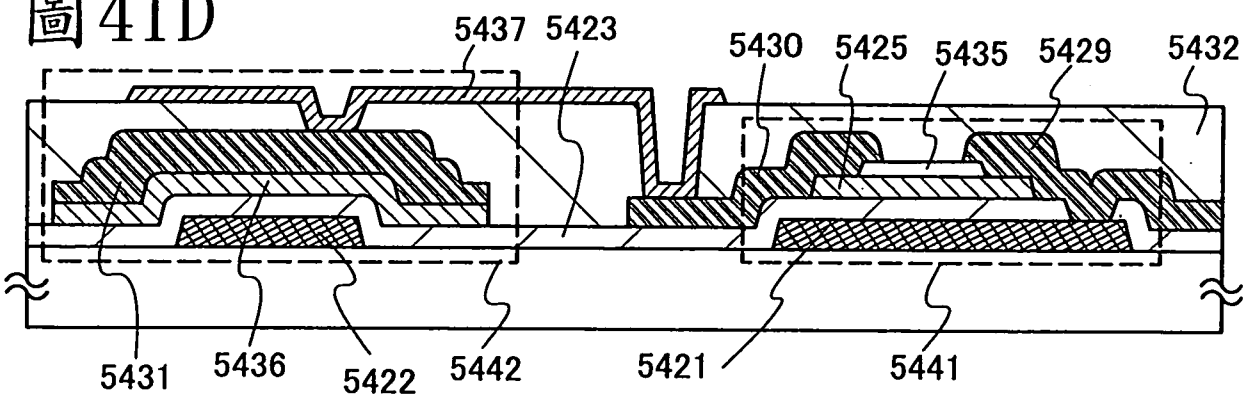
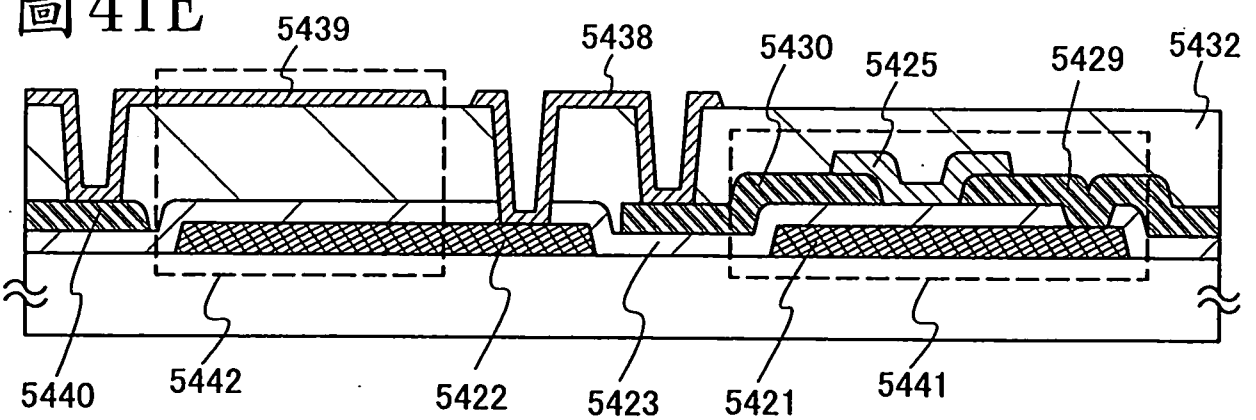



圖41E



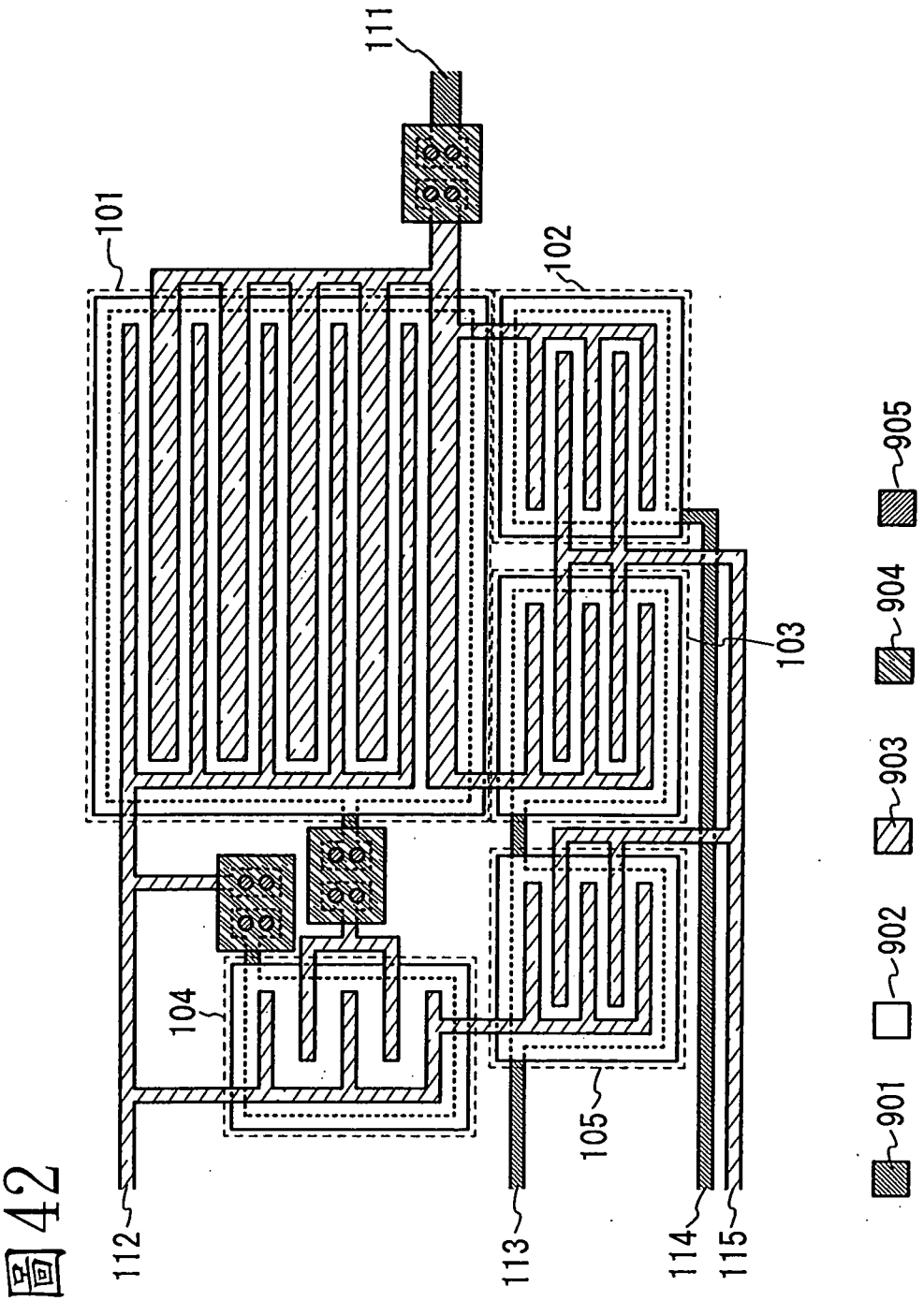



圖42

圖43A

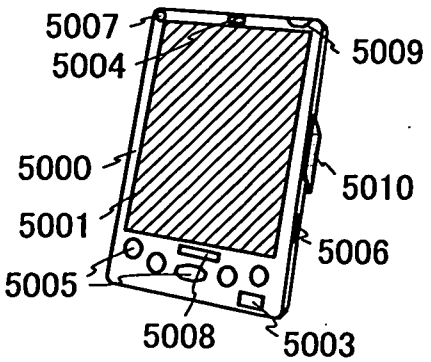



圖43B

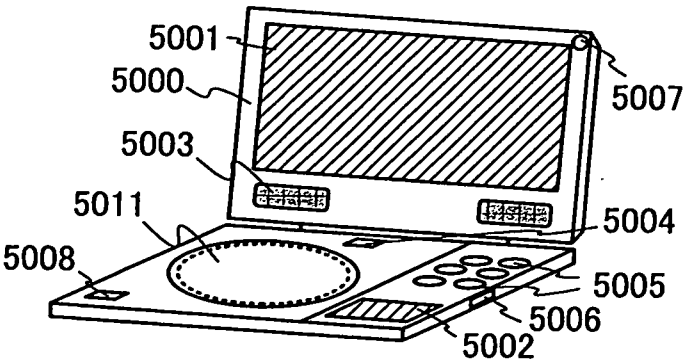



圖43C

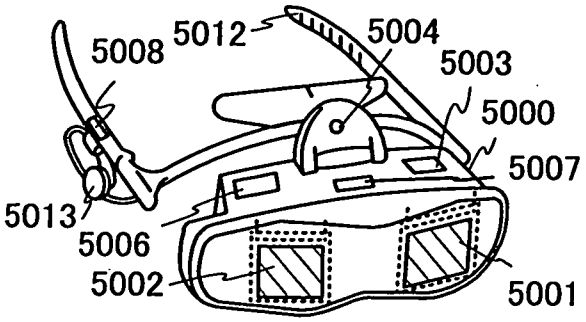



圖43D

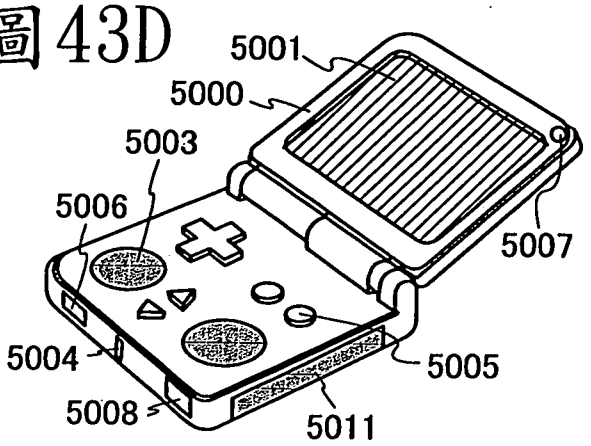



圖43E

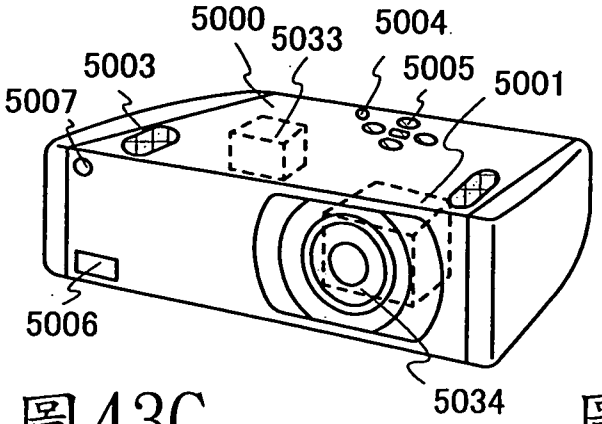



圖43F

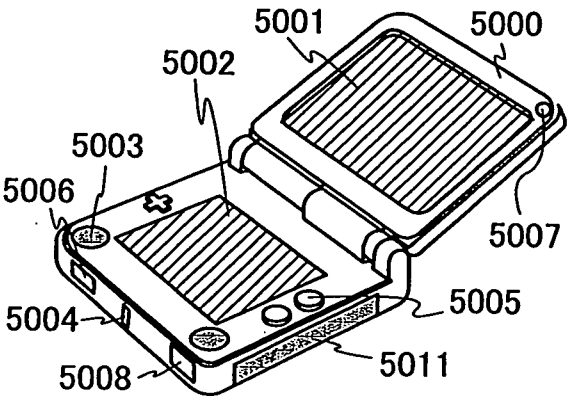



圖43G

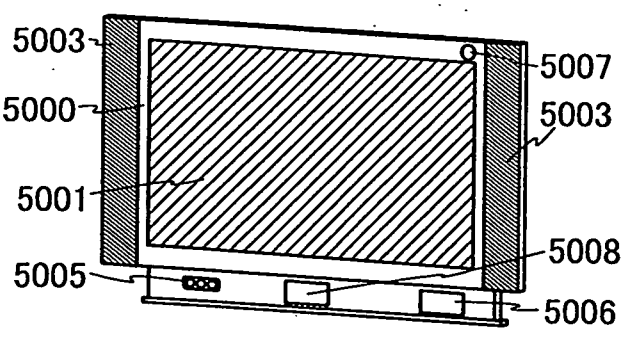



圖43H

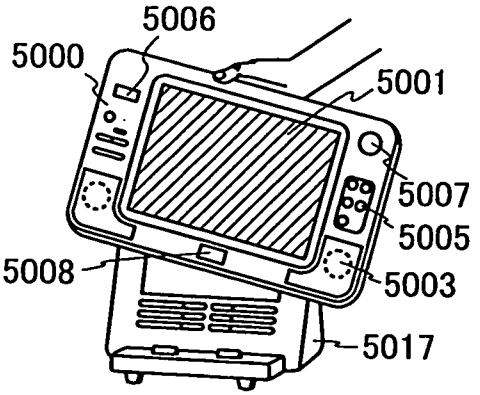


圖44A

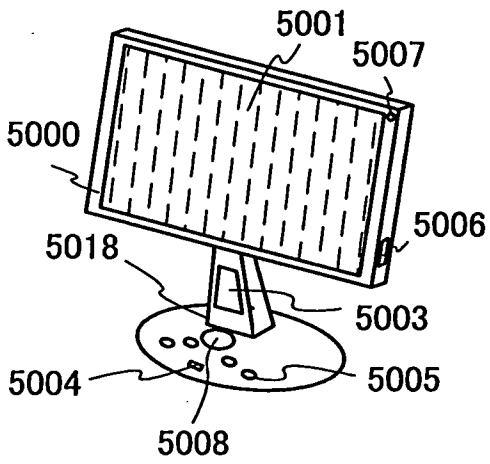



圖44B

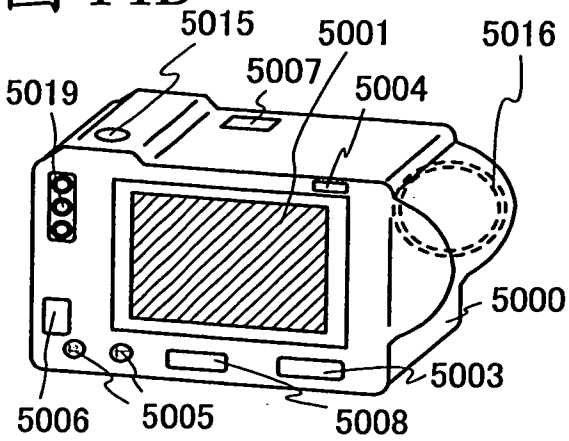



圖44C

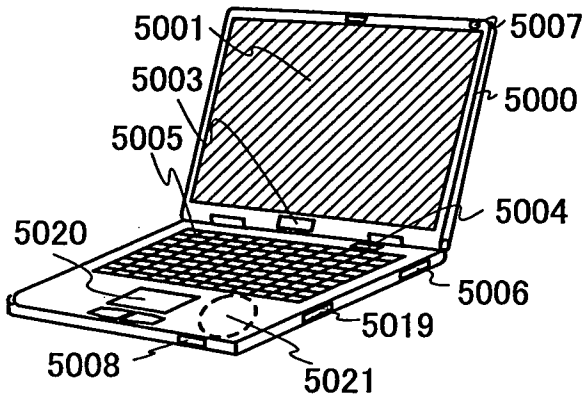



圖44D

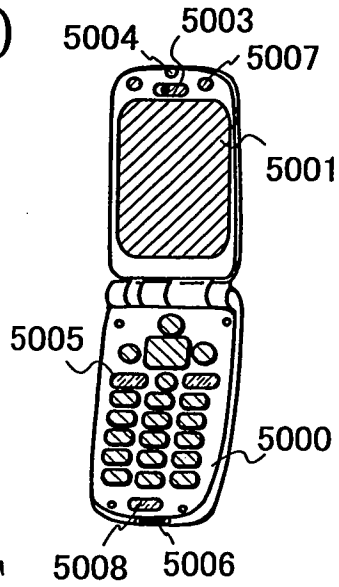



圖44E

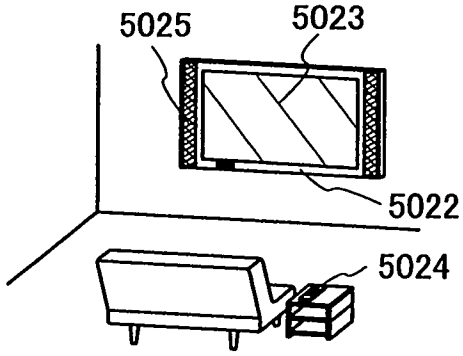



圖44F

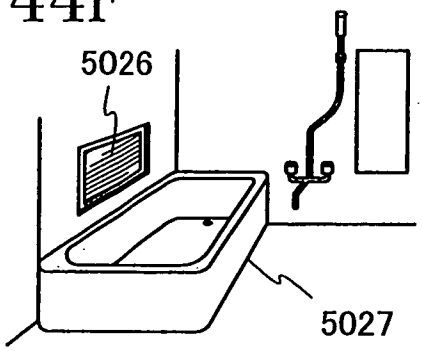



圖44G

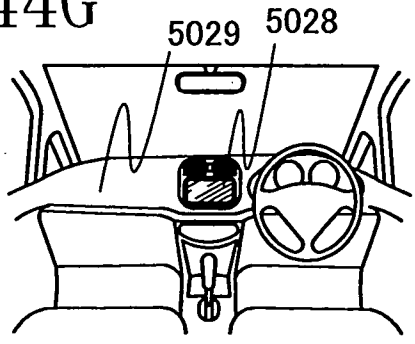



圖44H

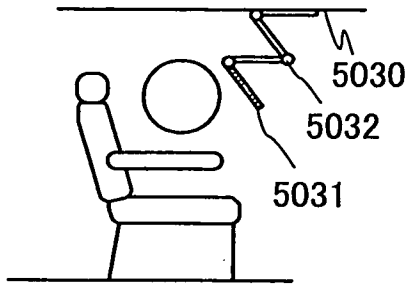


圖45A

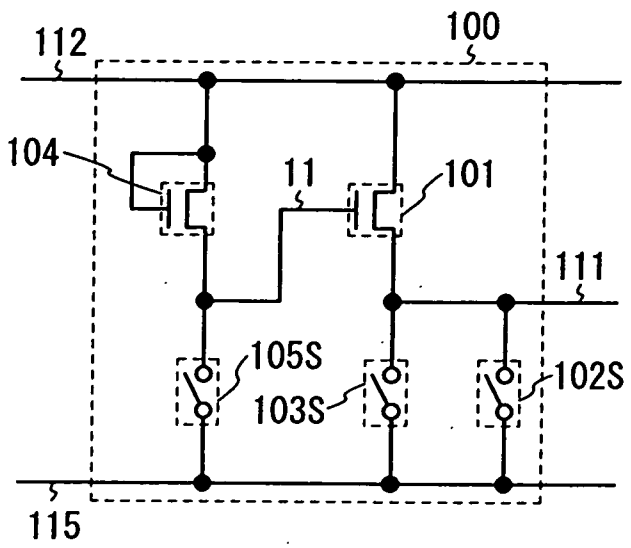

112
100
104
11
101
111
105S
103S
102S
115

圖45B

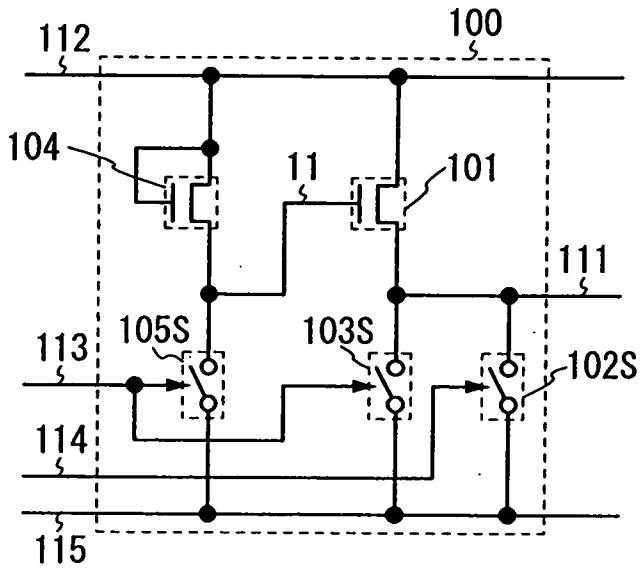

112
100
104
11
101
111
113
105S
103S
102S
114
115

圖46A

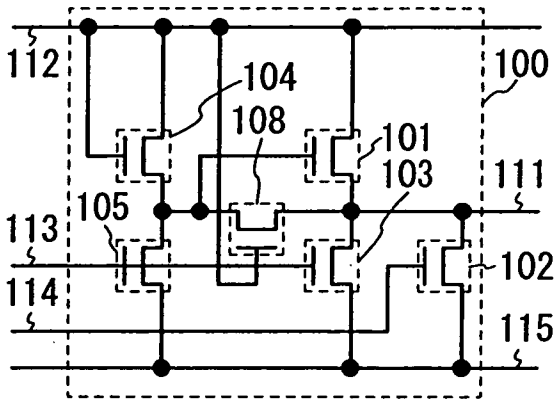

112
104
100
108
101
103
111
105
113
102
114
115

圖46B

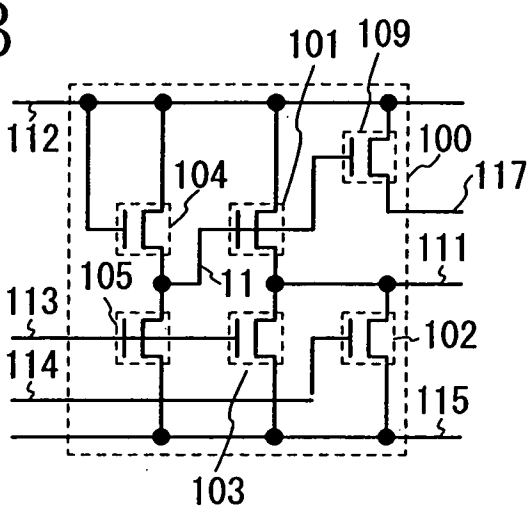

101
109
112
100
104
117
111
105
11
113
102
114
115
103

圖47A

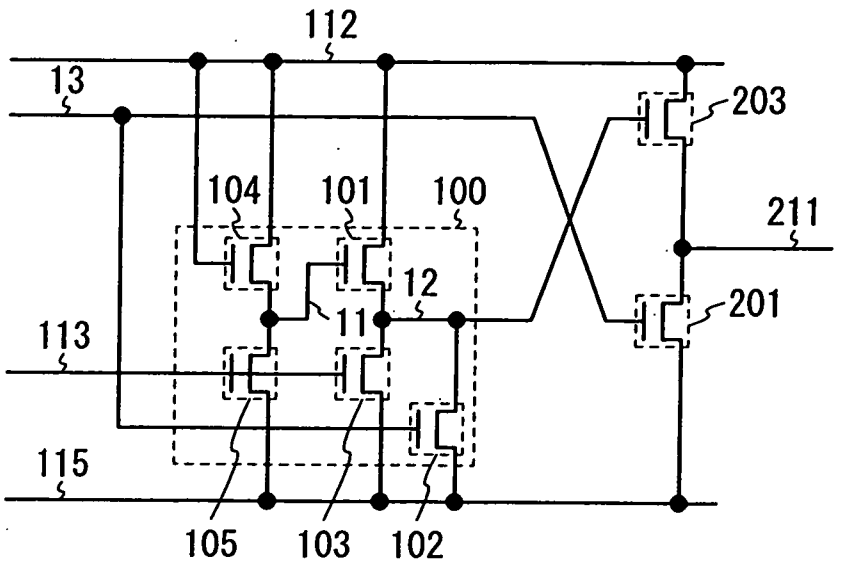
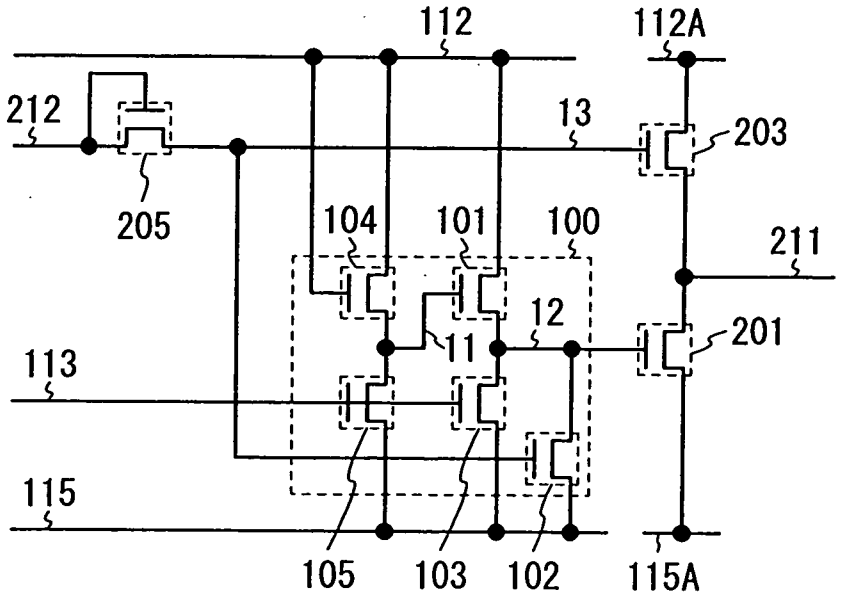

112
13
203
104
101
100
211
12
11
201
113
115
105
103
102

圖47B


112
112A
212
13
203
205
104
101
100
211
12
11
201
113
115
105
103
102
115A