



(21)申請案號：100106735

(22)申請日：中華民國 100 (2011) 年 03 月 01 日

(51)Int. Cl. : **H01L33/32 (2010.01)**

(30)優先權：2010/09/07 日本 2010-200086

2011/02/25 日本 2011-039407

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：杉山直治 SUGIYAMA, NAOHARU (JP)；鹽田倫也 SHIODA, TOMONARI (JP)；

布上真也 NUNOUE, SHINYA (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 7-245266A

D. Zubia, "Nanoheteroepitaxial growth of GaN on Si by organometallic vapor phase epitaxy", APPLIED PHYSICS LETTERS, vol. 76, No. 7, 14 FEBRUARY 2000, page 858-860.

審查人員：陳佳瑛

申請專利範圍項數：22 項 圖式數：33 共 0 頁

(54)名稱

製造氮化物半導體晶體層的方法

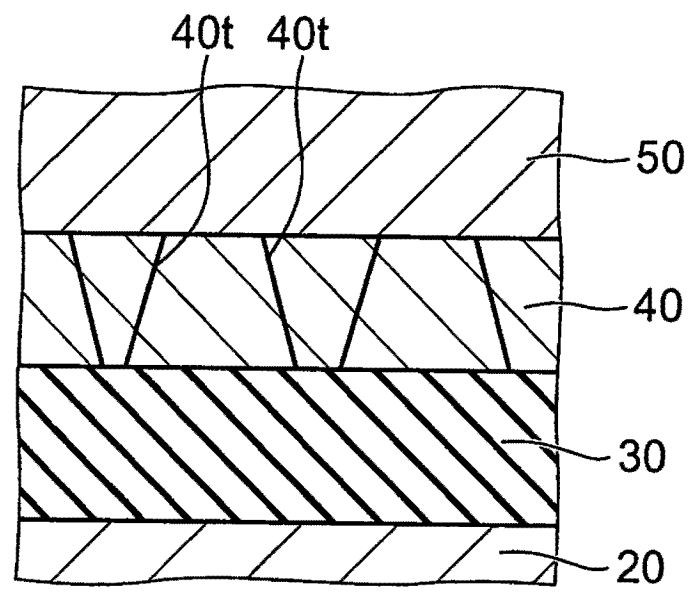
METHOD FOR MANUFACTURING NITRIDE SEMICONDUCTOR CRYSTAL LAYER

(57)摘要

根據一具體實例，本發明揭示一種製造氮化物半導體晶體層的方法。該方法可包括在矽晶體層上形成具有第一厚度之氮化物半導體晶體層。該矽晶體層係提供於基體上。該矽晶體層於形成該氮化物半導體晶體層之前具有第二厚度。該第二厚度比該第一厚度薄。形成該氮化物半導體晶體層包括使至少一部分該矽晶體層併入氮化物半導體晶體層以令該矽晶體層之厚度從該第二厚度變小。

According to one embodiment, a method is disclosed for manufacturing a nitride semiconductor crystal layer. The method can include forming the nitride semiconductor crystal layer having a first thickness on a silicon crystal layer. The silicon crystal layer is provided on a base body. The silicon crystal layer has a second thickness before the forming the nitride semiconductor crystal layer. The second thickness is thinner than the first thickness. The forming the nitride semiconductor crystal layer includes making at least a portion of the silicon crystal layer incorporated into the nitride semiconductor crystal layer to reduce a thickness of the silicon crystal layer from the second thickness.

圖 1



- 20 . . . 基體
- 30 . . . 中間層
- 40 . . . 矽晶體層
- 40t . . . 移位
- 50 . . . 氮化物半導
體晶體層

六、發明說明：

本申請案係根據於2010年9月7日申請之先前日本專利申請案第2010-200086號及於2011年2月25日申請之先前日本專利申請案第2011-039407號，且主張彼等之優先權，該等專利申請案係以全文引用之方式併入本文中。

【發明所屬之技術領域】

本文所述之具體實例大致關於製造氮化物半導體晶體層的方法。

【先前技術】

化合物半導體係用於各種領域，諸如高速電子裝置（其實例為高頻裝置）、光學裝置（其實例為發光及接收光之裝置）等。高性能裝置係用於實際應用。為了製造高品質裝置，通常必須製備高品質基板晶體。然而，當與具有較大直徑之矽基板相較時，化合物半導體之晶體基板具有小直徑。然後，使用此等基板製造半導體之方法有大量生產性不良的傾向。

【發明內容】

通常，根據一具體實例，本發明揭示一種製造氮化物半導體晶體層的方法。該方法可包括在矽晶體層上形成具有第一厚度之氮化物半導體晶體層。該矽晶體層係提供於基體上。該矽晶體層於形成該氮化物半導體晶體層之前具

有第二厚度。該第二厚度比該第一厚度薄。形成該氮化物半導體晶體層包括使至少一部分該矽晶體層併入氮化物半導體晶體層以令該矽晶體層之厚度從該第二厚度變小。

例如，根據該具體實例製造氮化物半導體晶體層的方法係包括將氮化物半導體晶體層堆疊於矽晶體層係堆疊在基體上之結構上的製造氮化物半導體晶體層之方法。該氮化物半導體晶體層的厚度比矽晶體層的厚度厚。該製造方法藉由使該矽晶體層部分或整體併入該氮化物半導體晶體層來縮減該矽晶體層之厚度。

例如，根據該具體實例製造氮化物半導體晶體層的方法係包括將氮化物半導體晶體層堆疊於在堆疊於基體上之中間層上形成之晶體層的製造氮化物半導體晶體層之方法。該製造方法藉由使該晶體層部分或整體併入該氮化物半導體晶體層來縮減該晶體層之厚度。

以下茲參考圖式說明具體實例。

【實施方式】

第一具體實例

圖1係圖示根據第一具體實例製造氮化物半導體晶體層之方法的示意斷面圖。

圖2係圖示根據第一具體實例製造氮化物半導體晶體層之方法的流程圖。

該具體實例係製造氮化物半導體晶體層之方法，其包括：製備堆疊在基體20上之厚度為50 nm或更小的矽晶體

層 40 之結構，及將厚度大於該矽晶體層 40 之氮化物半導體晶體層 50 堆疊在該結構上。

該具體實例中，氮化物半導體晶體層 50 係形成於矽晶體層係堆疊在基體 20 上之結構上（步驟 S110）。在形成氮化物半導體晶體層 50 之後或期間，藉由令部分或整體該矽晶體層 40 與該氮化物半導體晶體層 50 反應來縮減該矽晶體層 40 之厚度。發生鎵原子及矽原子之相互擴散，且該等矽原子併入該氮化物半導體晶體中。

該具體實例中，提供氮化物半導體晶體層 50 係經由矽晶體層 40 堆疊在基體 20 上之結構，該構造超薄且其晶格以平面內方向延伸。可在基體 20 及氮化物半導體晶體層 50 之間提供與第 III 族金屬原子（第 3 族金屬原子）反應性低之中間層 30。

該具體實例中提供一種方法，於該方法中，為了實現上述堆疊結構，在基體 20 上提供具有均勻厚度之超薄矽晶體層 40，且在該超薄矽晶體層 40 上堆疊厚度大於該超薄矽晶體層 40 之氮化物半導體晶體層 50。

更明確地說，該超薄矽晶體層 40 之厚度為 50 nm 或更小，更佳為 20 nm 或更小。

另一方面，在參考實例之方法中，在厚度不小於 500 μm 且不大於 1000 μm 之矽晶體基板上直接磊晶生長氮化物半導體晶體層，隨著該氮化物半導體晶體層厚度增加，該氮化物半導體晶體與該矽晶體之間因晶格失配所造成的應變增加，且最終藉由在氮化物半導體晶體側導入移位以鬆

弛該應力而發生塑性變形，且鬆弛所累積之應力。結果，在該矽晶體基板上形成之氮化物半導體晶體層中殘留大量移位，約 1×10^8 (移位數 $\cdot \text{cm}^{-2}$)。

另一方面，如該具體實例，當製備超薄矽晶體層 40 及於其上生長厚度大於該超薄矽晶體層 40 之氮化物半導體晶體層 50 時，可藉由將移位 40t 導入基底材料的超薄矽晶體層 40 側來鬆弛伴隨該氮化物半導體晶體層生長所發生的應變。

更明確地說，當基底材料的矽晶體層 40 厚度充分大於該磊晶生長之氮化物半導體晶體層 50 之厚度時，將難以發生與基底材料側上導入移位相關聯的塑性變形，但當基底材料的矽晶體層 40 之膜厚度充分小於氮化物半導體晶體層 50 之厚度時，變得容易發生與基底材料的矽晶體層 40 側上移位之產生相關聯的塑性變形。

該具體實例中，製備具有均勻膜厚度之超薄矽晶體層 40 係直接堆疊於基體 20 上，或經由中間層 30 堆疊的結構，該結構不會繼承基體 20 之晶體輪廓。藉由在超薄矽晶體層 40 上磊晶生長氮化物半導體晶體層 50，可能在超薄矽晶體層 40 側上產生具有良好重現性之與導入移位 40t 相關聯的塑性變形。

另一方面，若磊晶生長有氮化物半導體晶體層 50 之矽晶體層 40 基底材料不均勻且具有部分較厚的部分，則無法經由與基底材料側上產生移位相關聯的塑性變形產生來造成應力鬆弛。而是在堆疊於頂部的氮化物半導體晶體層 50

上發生與移位產生相關聯的塑性變形。因此，不可能充分降低氮化物半導體晶體層 50 中之移位密度。

該具體實例中所述之超薄矽晶體層 40 係在基體 20 上形成，該基體 20 之晶體輪廓與該超薄矽晶體層 40 之晶體輪廓不同。例如，可提供超薄矽晶體層 40 係堆疊在是為基體 20 之矽石玻璃基板等之上的結構。

當使用具有大直徑之矽晶體基板（矽基板，諸如廣泛用於製造電子裝置者）作為基體 20 時，該超薄矽晶體層 40 係經由中間層 30 堆疊在該矽晶體基板上。

更明確地說，在一具體實例中，使用氧化矽膜（ SiO_2 ）作為該中間層 30。例如，薄膜 Si 晶體層係經由 SiO_2 層堆疊在矽基板晶體上的結構被稱為「絕緣體上矽（SOI）」結構，且已提供具有高工業品質之產物。

在許多例中，通常供應用於電子裝置（諸如積體電路等）的 SOI 基板之 SOI 層厚度約不小於 100 nm 且不大於 1 μm 。然而，藉由熱氧化其表面，容易以高精確度縮減該 SOI 層之厚度。

此外，在該具體實例中，直接支撐該超薄矽晶體層 40 之基底材料層不一定必須為矽玻璃或 SiO_2 層，不一定必須為非晶形層，且可為晶體層。換言之，矽晶體層 40 之基底材料層為不具與該超薄矽晶體層 40 共同晶體輪廓的材料即已足夠。

然而，如下文所述，該基底材料層經建構以與諸如鎵（Ga）、銦（In）等第 III 族元素具有低反應性，且在約

1000°C之熱程序下具有安定性。

該具體實例中，超薄矽晶體層40係堆疊在與諸如鎵（Ga）、銦（In）等第III族元素具有低反應性之基體20上，或堆疊在中間層30上，且磊晶生長氮化物半導體晶體層50。因此，因第III族元素所致之矽晶體層40的回熔蝕刻受限。

更明確地說，根據該具體實例，由於超薄矽晶體層40之厚度為50 nm或更小，在低溫下於超薄矽晶體層40上堆疊氮化物半導體晶體層50之後，即使進行高溫程序時，發生因第III族元素所致之回熔蝕刻的最大區侷限於該超薄矽晶體層40之厚度（50 nm）或更小。

該具體實例中，當超薄矽晶體層40係經由中間層30堆疊在基體20上，然後在其上磊晶生長氮化物半導體晶體層50時，構成該超薄矽晶體層40之矽原子的一部分或全部係與氮化物半導體晶體層50反應，發生鎵原子及矽原子的相互擴散，且該等矽原子係併入該氮化物半導體晶體中。因此，與氮化物半導體晶體層50生長之前相較，該超薄矽晶體層40之膜厚度進一步縮減，或該超薄矽晶體層40消失。然而，在氮化物半導體晶體層50中擴散之矽原子總量受侷限，且可能降低對於氮化物半導體晶體層50之傳導類型控制的影響。

此外，當氮化物半導體晶體層50之厚度充分大於超薄矽晶體層40之厚度時（更明確地說，1 μm或更多時），實際製造之堆疊結構可被視為包括基體20、中間層30及氮化

物半導體晶體層 50 的三層結構。

此處，當基體 20 為矽晶體基板且中間層 30 為 SiO_2 層時，形成矽晶體基板、 SiO_2 層及氮化物半導體晶體層 50 之三層結構，且與參考實例中在矽基板晶體上堆疊氮化物半導體晶體層時相較，形成 SiO_2 層係介入二者晶體層之間的結構。在參考實例中，在將氮化物半導體晶體層堆疊於矽晶體基板上之後，於降低溫度時存在二者成分之間熱膨脹係數差所導致之龜裂問題。然而，根據該具體實例，形成熱膨脹係數小之 SiO_2 層係介入熱膨脹係數較大之矽基板層與熱膨脹係數更大之氮化物半導體（氮化鎵）層之間的結構。

另外，該具體實例中，該堆疊結構之成分的特定厚度為：矽晶體基板（不小於 $400\ \mu\text{m}$ 且不大於 $1000\ \mu\text{m}$ ）； SiO_2 層（不小於 $100\ \text{nm}$ 且不大於 $1000\ \text{nm}$ ）；及氮化物半導體晶體層（不小於 $1\ \mu\text{m}$ 且不大於 $10\ \mu\text{m}$ ）。藉此，因形成氮化物半導體晶體層之後於冷卻程序期間之熱膨脹係數差所導致的收縮係藉由熱收縮量小的 SiO_2 層之介入而予以平衡。因此，可避免於矽晶體基板及氮化物半導體晶體層的兩層結構中發生翹曲以及與該翹曲相關聯的龜裂。

接著，茲更詳細說明第一具體實例。

圖 3A 及 3B 與圖 4A 及 4B 為圖示根據第一具體實例製造氮化物半導體晶體層之方法的示意斷面圖。

如圖 3A 所圖示，製備具有絕緣體上矽（SOI）結構之基板 80 作為該基板。是為基體基板晶體的基體 20 之厚度為

650 μm ；是為嵌入之氧化物膜層的中間層 30 之厚度為 200 nm；及頂部超薄矽晶體層 40 (SOI層) 之厚度為 10 nm。該表面 SOI層之晶面取向為 (111) 平面。任何晶體取向均可用於該基體 20，尤其是不會造成任何問題者。該具體實例中，基體 20 之晶體取向為 (100) 平面。是為基體 20 之矽晶體可為不會造成問題之多晶。此外，基板 80 可具有超薄矽晶體層 40 係附接在矽石基板之結構。

此處，當超薄矽晶體層 (SOI層) 40 之厚度大時，藉由經熱氧化來氧化表面層及縮減該矽晶體層 (SOI層) 40 之厚度可獲得厚度為 10 nm 之超薄層。在熱氧化之後，容易經由氫氟酸處理來移除表面氧化膜。此外，當無熱氧化膜黏附於表面時，以濃度為約 1% 之稀釋氫氟酸溶液處理樣本基板約 1 分鐘以使基板表面以氫為終端。經由該氫為終端處理，矽晶體層 (SOI層) 40 成為經氫為終端之表面，且變成拒水表面。

接著，如圖 3B 所圖示，氮化物半導體晶體層 50a (氮化鎵晶體層) 係生長 (磊晶生長) 於具有氫為終端之表面的超薄 SOI層上。將是為樣本基板之基板 80 導入 MOCVD (金屬有機氣相沉積) 設備，將基板溫度提高至 500 $^{\circ}\text{C}$ ，且使用 TMG (三甲基鎵) 及 NH_3 (氨) 作為源材料，形成厚度為 20 nm 之氮化物半導體晶體層 50a。

接著，如圖 4A 所圖示，將基板 80 之溫度升高至 1080 $^{\circ}\text{C}$ 。此時，藉由因氮化物半導體晶體層 50a 及超薄矽晶體層 40 之間的晶格失配所致之應力而在超薄矽晶體層 40 側上導

入移位 40t 而發生塑性變形。此外，因該超薄矽晶體層 40 之塑性變形而釋放施加於氮化物半導體晶體層 50a 之應變。此階段之條件示意圖示於圖 4A。

如圖 4B 所圖示，接著，在 1080°C 下，使用 TMG（三甲基鎵）及 NH₃（氨）作為源材料，形成厚度為 2 μm 之氮化物半導體晶體層 50b（氮化鎵晶體層）。

此外，於此階段，構成該超薄矽晶體層 40 之矽原子的一部分或全部係與氮化物半導體晶體層 50 反應，發生鎵原子及矽原子的相互擴散，且該等矽原子係併入該氮化物半導體晶體。因此，與氮化物半導體晶體層 50 生長之前相較，該超薄矽晶體層 40 之膜厚度進一步縮減，或該超薄矽晶體層 40 消失。

此外，雖然前文提及在低溫下形成之氮化物半導體晶體層 50a 於溫度升高至 1080°C 時晶格鬆弛，即使氮化物半導體晶體層 50a 未完全鬆弛且於此階段仍殘留部分應變，當在高溫生長厚度為 2 μm 之氮化物半導體晶體層 50b 時，此階段會獲得具有完全晶格鬆弛之氮化物半導體晶體層 50a。

當製造以發光二極體（LED）為例之光學半導體裝置時，可能將從 InGaN 等形成之發光層堆疊在氮化物半導體晶體層 50 上（如下述）。此外，可能以 n 型 Si、p 型 Mg 等摻雜該氮化物半導體晶體層 50 以便注入電流以使發光層發光。通常，亦可能在於 1080°C 下生長氮化鎵的程序中進行摻雜，及亦可能形成矽原子為約 1×10^{18} （個原子 $\cdot \text{cm}^{-3}$ ）之層

以在該基底材料基板側上形成n型層。然而，在諸如氮化物半導體晶體層50係形成於超薄矽晶體層40上之具體實例的情況下，該氮化物半導體晶體層50中之鎵原子與矽晶體反應，且該等矽原子擴散至該氮化物半導體晶體層50內。

更明確地說，即使不進行在生長期間導入單矽烷氣體的摻雜作用，接觸該超薄矽晶體層40（生長層底部部分）的500 nm氮化鎵晶體層中含有濃度不小於 1×10^{19} （個原子 $\cdot \text{cm}^{-3}$ ）且不多於 1×10^{20} （個原子 $\cdot \text{cm}^{-3}$ ）之矽原子。因此，超薄矽晶體層40之厚度比形成氮化物半導體晶體層50之前小或已完全消失。當使用慣用矽晶體基板替代該超薄SOI層作為基板時，更大量矽原子會擴散至該氮化物半導體晶體層50所有區內，且生長層底部部分會呈接近矽及氮化鎵之混合晶體形式的形式。

該具體實例中，提出金屬有機化學氣相沉積（MOCVD）作為氮化物半導體晶體層50之薄膜晶體生長的技术，但可使用氮化物半導體晶體生長中所使用之任何慣用薄膜晶體生長方法，諸如分子束磊晶（MBE）及氮化物氣相磊晶（HVPE）。

通常，化合物半導體晶體之晶格常數與矽晶體不同。因此，難以在矽基板晶體上形成化合物半導體晶體。例如，當在矽基板上磊晶生長GaAs晶體時，由於矽晶體之晶格常數與GaAs之晶格常數相差約4%之故，在GaAs晶體中產生移位。因此，在Si基板上生長的GaAs晶體會因該生長層中產生移位而鬆弛，且無法獲得高品質GaAs晶體。

近年來，氮化物半導體晶體用作發光裝置材料已吸引關注。在氮化物半導體晶體中，在許多情況下係使用六方晶體，其具有與矽晶體通常所呈現之立方晶體形式不同之晶體形式。此外，晶格常數差異遠遠較大。另外，因氮化物半導體晶體與矽晶體的熱膨脹係數差大，存在每次熱程序（諸如提高或降低溫度）中發生龜裂之問題。

爲了解決該等問題，已提出若干技術，諸如經由易碎矽晶體層而在矽基板上製備薄膜矽層，接著於其上形成晶格失配化合物半導體晶體層。更明確地說，參考實例中所述之技術係在矽基板頂部形成多孔矽層，接著在該表面上形成連續及平坦超薄層，然後磊晶生長化合物半導體層。

該技術中，一般認爲因與矽晶格失配以及因熱膨脹係數差與從薄膜形成溫度冷卻至室溫之冷卻作用而導入之晶體瑕疵僅導入該超薄矽層。然而，使用該方法，在多孔層之孔隙度大（當空隙佔多孔層之比例大時）之情況下，難以形成在該表面上形成平坦超薄層。如參考實例所述，在孔隙度小至20%時，即使在表面上形成平坦之超薄層，該矽晶體部分係連接至佔超薄層區的80%之基底材料。如此，超薄部分實際上只佔20%。因此，就導入瑕疵以減少與堆疊化合物半導體晶體層晶格失配所致之應變目的而言，仍存在重現性問題。

在另一參考實例中，提出一種在矽基板頂部上形成之多孔層上直接磊晶生長氮化物半導體晶體層的方法。一般認爲晶格失配所致之應變及基板及氮化物半導體之間的熱

膨脹係數差所致之應變可藉由該多孔層減少。然而，藉由該方法，生長該化合物半導體晶體層的基底材料不平坦。晶體生長係從多孔層表面不連續曝露之突起開始。因此，在生長開始之後立刻形成分離晶體，且彼等最終橫向聚結。此情況下，作為基底材料之矽晶體中的晶格常數及晶體形式與已生長之化合物半導體晶體不同。在開始獨立生長之晶體之間發生聚結的部分形成晶界，且產生瑕疵。此導致某些問題。

此外，在又一參考實例中，存在當於矽晶體上形成氮化物半導體晶體時因 GaN 晶體造成之矽晶體部分回熔蝕刻的問題。更明確地說，氮於高溫下自堆疊在矽晶體上之 GaN 昇華且產生 Ga 原子，然後矽晶體部分回熔蝕刻且在界面部分形成孔洞。此外，與該回熔蝕刻之矽晶體部分分離的矽原子擴散至頂部 GaN 晶體內。彼等變成高度濃縮之 n 型雜質，且傳導類型之可控制性變差。

因此，在參考實例中，存在將堆疊化合物半導體晶體（特別是氮化物半導體晶體）堆疊在矽基板上時發生的各種問題。

另一方面，在該具體實例中，提供用於獲得高品質晶體層之結構及技術以形成化合物半導體晶體層，特別是氮化物半導體晶體層，其晶格常數與基底材料矽基板晶體之晶格常數差異甚大。該結構及技術實現抑制導入因氮化物半導體晶體側之晶格失配所之移位。亦提供其技術。

藉由該具體實例，提供抑制當氮化物半導體晶體層堆

疊在矽基板上時矽晶體被第 III 族原子回熔蝕刻的問題之結構及技術。彼等亦抑制因大量被回熔蝕刻部分之矽原子擴散至氮化物半導體層中而使得傳導類型控制變麻煩的問題。

於高溫下形成薄膜之後冷卻時因將矽晶體層堆疊在矽基板上之熱膨脹係數差而導致發生龜裂。使用該具體實例，提供結構及技術以降低龜裂密度。

根據該具體實例，將厚度大於超薄矽晶體層 40 之氮化物半導體晶體層 50 堆疊在該超薄矽晶體層 40 上。該超薄矽晶體層 40 不繼承基底材料之晶體輪廓且具有均勻厚度。藉此，可能產生因超薄矽晶體層 40 側上之晶格失配所導致之移位 40t 及減少導入氮化物半導體晶體層 50 中之移位 40t。

該具體實例中，將該超薄矽晶體層 40 堆疊在與第 III 族元素反應性低之基體上，或經由置於基體上之與第 III 族元素反應性低之中間層 30 來堆疊。該厚度大於超薄矽晶體層 40 之氮化物半導體晶體層 50 係堆疊於其上。藉此，即使該矽晶體部分被氮化物半導體晶體層 50 回熔蝕刻時，可能限制回熔蝕刻之量。因此，擴散至氮化物半導體晶體層 50 側中之矽原子數量受到抑制，且避免與控制該氮化物半導體晶體層 50 之傳導類型相關的問題。

該具體實例中，將該超薄矽晶體層 40 經由 SiO_2 層所形成之中間層 30 堆疊在基體 20 上，且在其上磊晶生長氮化物半導體晶體層 50。然而，根據該程序，形成熱膨脹係數小之 SiO_2 層係介入熱膨脹係數較大之矽基板層與熱膨脹係數

更大之氮化物半導體層（氮化鎵）之間的三層結構。藉此，因形成氮化物半導體晶體層 50 之後於冷卻時之熱膨脹係數差所導致的收縮係藉由介入熱收縮小之 SiO_2 層而予以平衡。因此，抑制於矽基板及氮化物半導體晶體層的兩層結構中之翹曲且可抑制與該翹曲相關聯的龜裂。

接著，將說明根據第一具體實例使用氮化物半導體晶體層 50 製造之半導體裝置的構造。

圖 5A 及 5B 係圖示使用根據第一具體實例製造氮化物半導體晶體層之方法所製造之半導體裝置的構造之示意斷面圖。

首先，使用圖 5A 及 5B 說明使用根據該具體實例之製造氮化物半導體晶體層的方法所製造之半導體裝置的實例。此處，描述氮化鎵（GaN）高電子遷移率電晶體（HEMT）及氮化鎵發光二極體（LED）作為半導體裝置之實例。

如圖 5A 所圖示，半導體裝置 100 為 GaN HEMT。在該半導體裝置 100 中，在氮化物半導體晶體層 50 上提供半導體堆疊體 150。更明確地說，例如，半導體裝置 100 包括經由緩衝層 102 提供在氮化物半導體晶體層 50 上之第一半導體層 103 及能帶隙大於第一半導體層 103 之第二半導體層 104。該第一半導體層 103 為通道層，及該第二半導體層 104 為阻障層。在第一半導體層 103 及第二半導體層 104 之間存在異質界面。該緩衝層 102、第一半導體層 103 及第二半導體層 104 係在氮化物半導體晶體層 50 上依序磊晶生長。

該第一半導體層 103 包括例如不包含雜質之未經摻雜 $\text{Al}_\alpha\text{Ga}_{1-\alpha}\text{N}$ (其中, $0 \leq \alpha \leq 1$)。該第二半導體層 104 包括例如未經摻雜或 n 型 $\text{Al}_\beta\text{Ga}_{1-\beta}\text{N}$ (其中, $0 \leq \beta \leq 1$ 且 $\alpha < \beta$)。例如, 未經摻雜之 GaN 層係用作第一半導體層 103, 及未經摻雜或 n 型 AlGa_N 層係用作第二半導體層 104。AlN 層或 AlGa_N 層係用作例如該緩衝層 102。應注意的是, 緩衝層 102 並非必要且可省略。

在第二半導體層 104 上提供彼此分開之源極 105 及汲極 106。源極 105 及汲極 106 各與第二半導體層 104 之表面歐姆接觸。閘極 107 係提供於第二半導體層 104 上介於源極 105 及汲極 106 之間。閘極 107 係與第二半導體層 104 之表面肖特基接觸。

第二半導體層 104 之晶格常數小於第一半導體層 103 之晶格常數。因此, 在第二半導體層 104 中產生應變, 及在第二半導體層 104 中因壓電效應而產生壓電極化。因此, 在該第一半導體層 103 與第二半導體層 104 之間的界面附近中形成二維電子氣 109。在半導體裝置 100 中, 藉由控制施加至閘極 107 之閘極電壓, 改變在閘極 107 下方之二維電子氣 109 的濃度, 且介於源極 105 與汲極 106 之間的電流變化。

如圖 5B 所圖示, 半導體裝置 200 為 GaN LED。在該半導體裝置 200 中, 在氮化物半導體晶體層 50 上提供半導體堆疊體 250。例如, 半導體裝置 200 包括提供於氮化物半導體晶體層 50 上之 n 型 GaN 層 210、提供於該 n 型 GaN 層 210 上

之 n 型 GaN 導引層 212、提供於該 n 型 GaN 導引層 212 上之主動層 214、提供於該主動層 214 上之 p 型 GaN 導引層 216，及提供於該 p 型 GaN 導引層 216 上之 p 型 GaN 層 220。該主動層 214 含有 InGaN，且具有例如堆疊 $\text{In}_{0.15}\text{Ga}_{0.85}\text{N}$ 層及 $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ 層之多量子井 (MQW) 構造。

在半導體裝置 200 中，曝露出一部分 n 型 GaN 層 210 表面，且在該經曝露部分之 n 型 GaN 層 210 上提供 n 側電極 230。在該 p 型 GaN 層 220 上提供 p 側電極 240。

當在 n 側電極 230 與 p 側電極 240 之間施加預定電壓時，該主動層 214 中之電洞及電子重組且發出藍光，例如從該主動層 214 發出。從該主動層 214 發出之光係從氮化物半導體晶體層 50 側或 p 側電極 240 側提取。

此種半導體裝置 (即，半導體裝置 100 及 200) 係使用氮化物半導體晶體層製造。以下，將描述根據該具體實例製造氮化物半導體晶體層之方法。

第二具體實例

圖 6A 及 6B 與圖 7A 至 7C 為圖示根據第二具體實例製造氮化物半導體晶體層之方法的示意斷面圖。

如圖 6A 所圖示，製備具有絕緣體上矽 (SOI) 結構之基板 80 作為該基板。是為基體基板晶體的基體 20 之厚度為 $650\ \mu\text{m}$ ；是為嵌入之氧化物膜層的中間層 30 之厚度為 $200\ \text{nm}$ ；及頂部超薄矽晶體層 40 (SOI 層) 之厚度為 $10\ \text{nm}$ 。該表面 SOI 層之晶面取向為 (111) 平面。任何晶體取向均可

用於該基體，尤其是不會造成任何問題者。該具體實例中，晶體取向為(100)平面。以濃度為約1%之稀釋氫氟酸溶液處理樣本基板約1分鐘以使該基板表面之超薄SOI層表面上以氫為終端。經由該氫為終端處理，該SOI層表面成為經氫為終端之表面，且變成拒水表面。接著，氮化物半導體晶體層50a(氮化鎵晶體層)係生長(磊晶生長)於具有氫為終端之表面的超薄SOI層基板上的薄膜晶體。

例如，如圖6B所圖示，將樣本基板導入金屬有機化學氣相沉積(MOCVD)設備，且將基板溫度提高至500°C。然後，在低溫生長氮化物半導體晶體層之前，只供應TMG，且等量之鎵原子係沉積在超薄矽晶體層40之表面上。藉此，形成鎵原子層11。於此階段，鎵原子中一部分係擴散至該超薄矽晶體層40中。

接著，如圖7A所圖示，使用TMG(三甲基鎵)及NH₃(氨)作為源材料，形成厚度為20 nm之氮化物半導體晶體層50a(氮化鎵晶體層)。

接著，如圖7B所圖示，將基板80之溫度升高至1080°C。此時，藉由因氮化物半導體晶體層50a及超薄矽晶體層40之間的晶格失配所致之應力而在超薄矽晶體層40側上導入移位40t而發生塑性變形。此外，因該超薄矽晶體層40之塑性變形而釋放施加於氮化物半導體晶體層50a之應變。

該具體實例中，由於鎵原子係事先擴散至超薄矽晶體層40中，容易發生因導入移位40t所致之超薄矽晶體層40

塑性變形。已詳知將鎵原子擴散於矽晶體中同時改變晶格位置。在該具體實例之條件下，鎵原子係擴散至厚度為10 nm之矽晶體層40的最底部部分（介於矽晶體層40與中間層30之間的界面）。因此，促進將移位導入矽晶體中。更明確地說，從矽晶體層表面（氮化物半導體晶體層之生長界面）導入之移位造成當Ga原子貫穿整體矽晶體直到該中間層界面時，塑性變形效果發生的可能性更高。因此，重要的是矽晶體層40的厚度為鎵原子容易擴散的厚度。

此外，在第一具體實例中，在生長氮化物半導體晶體之前未導入第III族元素，但一般認為當在矽晶體層上生長氮化鎵晶體層時，因在界面發生之反應，該矽原子及鎵原子相互擴散至各層中，因此，同樣地，鎵原子係擴散至該矽晶體層中。

如圖7C所圖示，接著，使用TMG（三甲基鎵）及NH₃（氨）作為源材料，於1080°C下形成厚度為2 μm之氮化物半導體晶體層50b（氮化鎵晶體層）。

此外，於此階段，構成該超薄矽晶體層40之矽原子的一部分或全部係與氮化物半導體晶體層50反應，且發生鎵原子及矽原子的相互擴散，且該等矽原子係併入該氮化物半導體晶體中。因此，與氮化物半導體晶體層50生長之前相較，該超薄矽晶體層40之膜厚度進一步縮減，或該超薄矽晶體層40消失。

雖然前文提及在低溫下形成之氮化物半導體晶體層50a於溫度升高至1080°C時顯示其晶格鬆弛，即使氮化物

半導體晶體層 50a 未完全鬆弛且於此階段仍殘留部分應變，當在高溫生長厚度為 2 μm 之氮化物半導體晶體層 50b 時，此階段會獲得具有完全晶格鬆弛之氮化物半導體晶體層 50a。如該第一具體實例，當製造以發光二極體 (LED) 為例之光學半導體元件時，有利的是將從 InGaN 等所形成之發光層堆疊在該氮化物半導體晶體層 50 上，且形成 p 型層。

第三具體實例

圖 8A 至 8D 及圖 10A 至 10C 係圖示根據第三具體實例製造氮化物半導體晶體層之方法的示意斷面圖。圖 9A 及 9B 係圖示根據第三具體實例製造氮化物半導體晶體層之方法的示意圖。更明確地說，圖 9A 為平面示意圖，而圖 9B 為從圖 9A 之 X-Y 線取得之斷面圖。

如圖 9A 所圖示，製備具有絕緣體上矽 (SOI) 結構之基板 80 作為該基板 80。是為基體基板晶體的基體 20 之厚度為 650 μm ；是為嵌入之氧化物膜層的中間層 30 之厚度為 1 μm ；及頂部超薄矽晶體層 40 (SOI 層) 之厚度為 20 nm。該表面 SOI 層之晶面取向為 (111) 平面。任何晶體取向均可用於該基體，尤其是不會造成任何問題者。該具體實例中，晶體取向為 (100) 平面。此外，將超薄矽晶體層 40 分成四角形島狀，其一側之長度為 1 mm。如此，可在與該矽晶體層 40 之層表面平行的平面中分開該矽晶體層 40。

更明確地說，可圖 8B 所圖示，該製程包括使用 CVD 法

將氧化物膜 45 沉積在超薄矽晶體層 40 上，且藉由在該氧化物膜 45 上施加光阻來形成遮罩圖案 46。

接著，如圖 8C 所散射，使用乾式蝕刻來蝕刻該沉積之氧化物膜 45。

之後，如圖 8D 所圖示，使用該已藉由蝕刻而圖案化之氧化物膜 45a 作為遮罩來蝕刻該超薄矽晶體層 40。如此，形成一側長度為 1 mm 之四角形島狀超薄矽晶體部分 40p 係以 1 mm 間隔形成於是為嵌入之氧化物膜的中間層 30 上的結構。

該基板 80 於已移除氧化物膜 45a 之後的平面及斷面圖係圖示於圖 9A 及 9B。如圖 9A 及 9B 所圖示，超薄矽部分 40p 係形成於例如具有 1 mm 間隔之結構中。

以濃度為約 1% 之稀釋氫氟酸溶液處理樣本基板約 1 分鐘，以使具有四角形島狀之超薄矽部分 40p 之表面以氫為終端。經由該氫為終端處理，該超薄矽部分 40p 成為經氫為終端之表面，且變成拒水表面。接著，氮化物半導體晶體層 50 係生長（磊晶生長）於具有氫為終端之表面的超薄 SOI 層基板上。

例如，如圖 10A 所圖示，使用 TMG（三甲基鎵）及 NH_3 （氨）作為源材料，藉由將樣本基板導入金屬有機化學氣相沉積（MOCVD）設備，且將基板溫度提高至 500°C 而在該超薄矽部分 40p 上形成厚度為 30 nm 之氮化物半導體晶體層 50a（氮化鎵晶體層）。

接著，如圖 10B 所圖示，將基板 80 之溫度升高至

1080°C。此時，藉由因氮化物半導體晶體層 50a 及超薄矽晶體部分 40p 之間的晶格失配所致之應力而在超薄矽晶體部分 40p 側上導入移位 40t 而發生塑性變形。此外，因該超薄矽晶體部分 40p 之塑性變形而釋放施加於氮化物半導體晶體層 50a 之應變。

如圖 10C 所圖示，接著，使用 TMG（三甲基鎵）及 NH_3 （氨）作為源材料，於 1080°C 下形成厚度為 2 μm 之氮化物半導體晶體層 50b（氮化鎵晶體層）。

如該具體實例，在島狀超薄矽部分 40p 係形成於是為嵌入之氧化物膜的中間層 30 上的基板 80 之情況下，僅在存在矽層之區上選擇性發生氮化物半導體晶體層 50 之生長，而該是為嵌入之氧化物膜的中間層 30 曝露出的區不發生生長。

此外，於此階段，構成該超薄矽晶體層 40 之矽原子的一部分或全部係與氮化物半導體晶體層 50 反應，發生鎵原子及矽原子的相互擴散，且該等矽原子係併入該氮化物半導體晶體中。因此，與氮化物半導體晶體層 50 生長之前相較，該超薄矽晶體層 40 之膜厚度進一步縮減，或該超薄矽晶體層 40 消失。

此外，即使在低溫生長及在升高溫度之後該氮化物半導體晶體層 50a 中仍殘留部分應變，與未形成島狀時相同，當在高溫生長厚度為 2 μm 之氮化物半導體晶體層 50b 時，此階段會獲得具有完全晶格鬆弛之氮化物半導體晶體層 50。

因此，在該具體實例中，藉由將在 SiO_2 上形成之超薄矽晶體層40處理成約不小於 $500\ \mu\text{m}$ 且不大於 $1000\ \mu\text{m}$ 片段之島狀，且以間隔不小於 $0.1\ \mu\text{m}$ 且不大於 $100\ \mu\text{m}$ 排列該等島狀，僅在留有相互間隔之數個超薄矽部分40p的頂部選擇性形成磊晶生長之氮化物半導體晶體層50。因此，可能避免因大熱膨脹係數所導致之氮化物半導體晶體層收縮而產生的應力以及抑制龜裂。

尤其是，如該具體實例中在已處理成島狀之超薄矽層上選擇性生長氮化物半導體晶體層時，可抑制在高溫生長氮化物半導體晶體層之後冷卻時因熱膨脹係數差所導致之應力。

更明確地說，由於三種材料氮化鎵、 SiO_2 及矽的熱膨脹係數不同，於冷卻時存在收縮量差異。然而，熱膨脹係數小且收縮量小的 SiO_2 層係介於熱膨脹係數大且收縮量較大的矽以及熱膨脹係數更大且收縮量更大的氮化鎵之間；此外，將氮化鎵層選擇性形成島狀。因此，可能平衡所產生之應力。藉此，可抑制翹曲及龜裂。

另一方面，已知將氮化鎵直接堆疊於矽基板上時，在二者成分之間施加應力且因氮化鎵與矽之熱膨脹係數差而發生龜裂。在此種兩層構造中，由於即使在矽表面上形成圖案化氧化物層且選擇性形成氮化鎵層時，該氮化鎵層與該矽基板係直接接合，故藉由該島狀處理所造成的分散應力效果有限。

因此，在該具體實例中，將在 SiO_2 層上形成的超薄矽

晶體層 40 處理成特徵長度約不小於 $500\ \mu\text{m}$ ($0.5\ \text{mm}$ 或更大) 且不大於 $1000\ \mu\text{m}$ 之片段的島狀。超薄矽部分 40p 係圖示為具有四角形平面形狀的島狀，但該超薄矽部分 40p 之平面形狀不侷限於四角形。超薄矽部分 40p 之平面形狀包括方形以外之多邊形（即，四角形以外之三角形及矩形）、圓形等。該具體實例中，「特徵長度」為指明一未指定形狀之大小的指標。「特徵長度」在平面形狀為圓形或近圓形之例中係指直徑，而在平面形狀為多邊形之例中係指多邊形之一側的長度。

藉由配置間隔不小於 $0.1\ \mu\text{m}$ 且不大於 $100\ \mu\text{m}$ 之島狀物，僅在該等以島狀相互隔開之超薄矽晶體之部分頂部選擇性形成磊晶生長之氮化物半導體晶體層 50。換言之，使用分開之矽晶體層 40 作為生長氮化物半導體晶體的基底材料。因此，可能避免因大熱膨脹係數所導致之氮化物半導體晶體層收縮而產生的應力以及抑制龜裂。

氮化物半導體晶體層 50a 對應於氮化物半導體晶體層 50 之第一部分。氮化物半導體晶體層 50b 對應於氮化物半導體晶體層 50 之第二部分。該第二部分係在第一部分上形成之部分。

如先前所述，在該具體實例中，矽晶體層 40 之平面取向較佳為 (111) 平面。藉此，促進具有優異結晶度之氮化物半導體晶體層 50（例如，Ga₂N 層）形成。該具體實例包括矽晶體層 40 具有完全結晶度之例以及矽晶體層 40 包括高度取向之多晶狀態之例，其取向係以 (111) 方向排列

在上述步驟 S120 之後（其中縮減矽晶體層 40 之厚度以使其小於第二厚度，其為初始厚度），增加氮化物半導體晶體層 50 之厚度（第一厚度）以使其大於矽晶體層 40 之厚度（該第二厚度）。

氮化物半導體晶體層 50 係藉由將矽晶體層 40 之一部分併入該氮化物半導體晶體層 50 而在該矽晶體層 40 上形成，以使得矽晶體層 40 厚度縮減至小於該第二厚度。可藉由將整體矽晶體層 40 併入該氮化物半導體晶體層 50 而將矽晶體層 40 之厚度從第二厚度縮減。

更明確地說，氮化物半導體晶體層 50 係藉由將矽晶體層 40 之至少一部分併入該氮化物半導體晶體層 50 而形成，以使得矽晶體層 40 厚度從該第二厚度縮減。

以下，將描述根據該具體實例製造氮化物半導體晶體層的方法之另一實例。該製造方法係參考圖 3A、3B、4A 及 4B 所述之方法的實例。因此，亦將於以下描述中提及該等圖式。

如圖 3A 所圖示，具有絕緣體上矽（SOI）結構之基板 80 亦用作該方法中之基板。

此處，該基體 20 之厚度亦為 650 μm 。然而，在該實例中，是為嵌入之氧化物膜層的中間層 30 之厚度為 460 nm。頂部超薄矽晶體層（SOI 層）40 之厚度為 8 nm。如此，可視需要改變各類型層之厚度。該表面 SOI 層之晶面取向為（111）平面。

該實例中所使用之SOI基板係使用藉由植入氧分離（SIMOX）程序來製造。

更明確地說，在習知為「高劑量」之條件下對表面晶體取向為（111）之Si基板進行氧離子植入，然後在含有約0.5%氧之惰性氣體氣氛中於1350℃之高溫下退火。藉此，該離子植入之氧與Si原子結合，且於其中形成氧化物膜（嵌入之氧化物膜）。因此，完成在Si基板上形成厚度為約450 nm之氧化物膜的結構。

此時，表面側之Si層（SOI層）的厚度為約150 nm。在氧離子植入之後進行的高溫退火之後，於氧濃度提高20%至100%的氧化氣氛中持續高溫退火（熱氧化）。經由該程序，在表面上形成厚度約200 nm之氧化物膜。藉此，SOI層之厚度縮減至50 nm。

此時，嵌入之氧化物膜的厚度因內部氧化（ITOX）而稍微增加。之後，使用氫氟酸溶液去除該表面之氧化物膜。

此處，該超薄矽晶體層（SOI層）的厚度大於SOI層之所希望厚度。因此，藉由進行進一步熱氧化而將表面層氧化約93 nm來縮減該矽晶體層（SOI層）的厚度。如此，SOI層之厚度縮減至8 nm。藉此，可獲得具有所希望厚度之矽晶體層（SOI層）40。之後，再次使用氫氟酸溶液蝕刻該表面之氧化物膜層。經由該處理，矽晶體層（SOI層）40成爲經氫爲終端之表面，且變成拒水表面。

接著，如圖3B所圖示，氮化物半導體晶體層50a（氮

化鎵晶體層)係生長(磊晶生長)於具有氫為終端之表面的超薄SOI層基板上的薄膜晶體。將是為樣本基板之基板80導入MOCVD(金屬有機氣相沉積)設備,將基板溫度提高至520°C,且使用TMG(三甲基鎵)及NH₃(氨)作為源材料,形成厚度為70 nm之氮化物半導體晶體層50a。

圖11係圖示根據第一具體實例製造氮化物半導體晶體層之方法半途之晶體層狀態的電子顯微照片。

圖11顯示當使用電子顯微鏡觀察時,在已形成氮化物半導體晶體層50a之狀態的該晶體層之斷面結果。

如圖11清楚看出,在SiO₂層(中間層30)與氮化鎵晶體層(氮化物半導體晶體層50a)之間清楚觀察到SOI層(矽晶體層40)區。如此,於該階段,SOI層與GaN層不反應,且可清楚辨識各層之邊界。

此外,如圖11清楚看出,形成GaN層(氮化物半導體晶體層50a)以完全覆蓋SOI層。該低溫形成之GaN層具有不良平坦度,因此在該表面中形成凹陷及突起。

之後,如圖4A所圖示,將基板80之溫度升高至1120°C

如圖4B所圖示,接著,在1120°C下,使用TMG(三甲基鎵)及NH₃(氨)作為源材料磊晶生長5分鐘,形成厚度為100 nm之氮化物半導體晶體層50b(氮化鎵晶體層)。

圖12係圖示根據第一具體實例製造氮化物半導體晶體層之方法半途之晶體層狀態的電子顯微照片。

圖12顯示當使用電子顯微鏡觀察時,在已形成氮化物

半導體晶體層 50b 之狀態的該晶體層之斷面結果。

如圖 12 清楚看出，與在 520°C 之低溫下形成之 GaN 層（氮化物半導體晶體層 50a）一起，在 SiO₂ 層（嵌入之氧化物膜層，該中間層 30）上形成具有平坦表面之總厚度約 170 nm 的 GaN 層。換言之，在低溫生長之後具有凹陷及突起的表面係藉由高溫生長程序平坦化。

如圖 12 清楚看出，無法清楚觀察到存在 SiO₂ 層（中間層 30）與 GaN 層（氮化物半導體晶體層 50a）之間的 SOI 層（矽晶體層 40）。

圖 13 係圖示根據第一具體實例製造氮化物半導體晶體層之方法半途之晶體層狀態的圖。

更明確地說，圖 13 顯示測量圖 12 所圖示之狀態的 SiO₂ 層與 GaN 層中該 Si 元素之濃度曲線及該 Ga 元素之濃度曲線的結果實例。該 SiO₂ 層對應於中間層 30。該 GaN 層對應於氮化物半導體晶體層 50（氮化物半導體晶體層 50a 及 50b）。該 Si 元素之濃度係使用二次離子質譜法（SIMS）測量。圖 13 中，該測量中的深度 Dz 係顯示於水平軸上。該深度 Dz 係從氮化物半導體晶體層 50 表面起沿著該氮化物半導體晶體層 50 朝中間層 30 之方向的深度。Si 元素之濃度 C (Si) 係顯示於垂直軸。圖 13 中，就 Ga 元素之濃度而言，顯示原獲得態之二次離子強度之特性。

如圖 13 所圖示，GaN 層中之 Ga 元素之濃度 C (Ga) 高而在 SiO₂ 層中該濃度 C (Ga) 低。

此外，如圖 13 更清楚看出，GaN 層與 SiO₂ 層之界面附

近的 GaN 層之 Si 元素之濃度 $C(\text{Si})$ 大約為 1×10^{21} (個原子 $\cdot \text{cm}^{-3}$)。在與該界面分開之位置處，GaN 層中之 Si 元素之濃度 $C(\text{Si})$ 降至大約 1×10^{18} (個原子 $\cdot \text{cm}^{-3}$)。

如先前所述，在根據該具體實例製造氮化物半導體晶體層之方法中，藉由將一部分或全部矽晶體層 40 併入該氮化物半導體晶體層 50 中來縮減該矽晶體層 40 之厚度。於該構造中，源自該矽晶體層 40 之矽原子從氮化物半導體晶體層 50 之中間層 30 側的界面遷移至該氮化物半導體晶體層 50。

因此，如上述，在該 GaN 層之 SiO_2 層 (中間層 30) 側上的第一區中之 Si 元素之濃度 $C(\text{Si})$ 高。又，比該第一區距離該 SiO_2 層 (中間層 30) 更遠之 GaN 層的第二區中之 Si 元素之濃度 $C(\text{Si})$ 係低於該第一區中之 Si 元素之濃度 $C(\text{Si})$ 。

更明確地說，在氮化物半導體晶體層 50 之基板 20 側上之第一區中的矽濃度高於比該第一區距離該氮化物半導體晶體層 50 中基板 20 更遠之第二區中的矽濃度。

換言之，Si 元素之濃度 $C(\text{Si})$ 係如上述擴散，且該在 GaN 層及 SiO_2 層之界面附近為約 1×10^{21} (個原子 $\cdot \text{cm}^{-3}$) 之極高濃度的獨特構造係藉由該具體實例的特定構造 (將一部分或整體矽晶體層 40 併入氮化物半導體晶體層 50 之構造) 來獲致。

該具體實例中，可在低溫形成之氮化物半導體晶體層 50a 上形成比上述氮化物半導體晶體層 50b (厚度為 100 nm

) 厚之氮化物半導體晶體層。例如，在形成上述氮化物半導體晶體層 50a 之後，藉由將 GaN 層之磊晶生長時間設定為 60 分鐘於 1120°C 來形成厚度為大約 2.4 μm 的 GaN 層。該 GaN 層為對應於例如上述半導體堆疊體 150、250 等（或其一部分）的晶體層。

圖 14 係圖示根據第一具體實例製造氮化物半導體晶體層之方法之晶體層狀態的電子顯微照片。

圖 14 顯示使用電子顯微鏡觀察之影像，其為如上述形成厚度為約 2.4 μm 之 GaN 層（晶體層 51）之狀態的晶體層之斷面圖。

從圖 14 清楚看出，晶體層 51（厚度為約 2.4 μm 之 GaN 層）的表面為平坦。如此，藉由根據該具體實例之製造方法，可獲得平坦 GaN 層。

以下，茲將描述呈此狀態之樣本（樣本 S1）以及參考實例之樣本（樣本 S2）的特性之評估結果。參考實例之樣本 S2 為藉由在低溫（520°C）下於整塊矽基板上生長 GaN 層，接著在高溫（1120°C）下於其上生長厚度大約 2 μm 之 GaN 層所獲得之樣本。換言之，參考實例之樣本 S2 對應於不包括根據具體實例之製造方法的中間層 30 及矽晶體層 40 之樣本。

圖 15 係圖示參考實例之製造氮化物半導體晶體層之方法之晶體層狀態的電子顯微照片。

圖 15 係參考實例之樣本 S2 的 GaN/Si 界面（介於氮化物半導體晶體層 59 及整塊矽基板 29 之界面）附近之斷面的電

子顯微照片。從圖 15 清楚看出，觀察到在介於整塊矽基板 29 與氮化物半導體晶體層 59 之界面發生反應的部分。

根據該具體實例樣本 S1 與參考實例之樣本 S2 中的 Si 元素及 Ga 元素的分布係使用 EDX 分析評估。

圖 16A 至 16D 係顯示說明該氮化物半導體晶體層之特性的分析結果之影像。

圖 16A 及 16B 對應於樣本 S1。圖 16C 及 16D 對應於樣本 S2。圖 16A 及 16C 表示 Si 元素之濃度。該等圖式中，較亮部分（該圖中亮度低之部分）表示 Si 元素之濃度高於較暗部分（該圖中亮度高之部分）。圖 16B 與 16D 表示 Ga 元素之濃度。該等圖式中，較亮部分表示 Ga 元素之濃度高於較暗部分。

如圖 16C 所圖示，在參考實例之樣本 S2 中，在遍及該 GaN 層（氮化物半導體晶體層 59）廣泛區域中觀察到較亮部分 Si 元素之濃度高的部分）。如圖 16D 所圖示，GaN 層（氮化物半導體晶體層 59）中之影像的亮度存在變化，此表示 Ga 元素之濃度不均勻。很清楚看出 Si 元素擴散遍及參考實例之樣本 S2 中的 GaN 層（氮化物半導體晶體層 59）中之廣泛區域。估計該 GaN 層中之 Si 元素的濃度為 30%。更明確地說，不只 Si 元素混合至該 GaN 晶體中，亦假設 GaN 晶體係與 Si、SiN 層等混合。

如圖 16A 及 16B 所圖示，根據具體實例之樣本 S1 中，清楚界定該影像之較亮部分及該影像之較暗部分。GaN 層之中心部分的 Si 元素之濃度低於 EDX 分析之偵測限制。

該濃度係例如估計為1%或更低。

圖17A及17B顯示藉由根據第一具體實例製造氮化物半導體晶體層之方法所形成之晶體層的分析結果。

圖17A顯示樣本S1之EDX光譜。圖17B表示樣本S1中經EDX分析之測量區MA。圖17A中，尖峰GaK及尖峰GaL分別對應於來自Ga元素K外殼及L外殼的訊號。如圖17B所表示，該測量中，評估GaN層中較接近SiO₂層之位置。

從圖17A清楚看出，在樣本S1中，GaN層中之Si元素的濃度低，且估計該濃度為1%或更低，其為該測量之偵測限制。

圖18A及18B顯示圖示說明參考實例之晶體層特性的分析結構。

圖18A顯示樣本S2之EDX光譜。圖18B表示樣本S2中經EDX分析之位置。

從圖18A清楚看出，在樣本S2中，該GaN層（氮化物半導體晶體層59）中之Si元素的濃度亦高。如此，在樣本S2中，擴散於GaN層中之Si元素數量極高。

在如上述GaN層直接堆疊於整塊矽基板29上之例中，GaN中之Ga金屬係與界面處之氮元素分解，且發生Ga-Si反應。因此，Si晶體部分被腐蝕，此外，因該反應之故，大量Si元素擴散至該GaN層側。此導致GaN晶體品質之嚴重惡化。

另一方面，在氮化物半導體晶體層係堆疊在整塊矽基板上之例中，提出將氮化鋁插入界面之構造。然而，該構

造中，容易產生自氮化鋁之額外移位等。

反之，如先前所述，在根據該具體實例之製造方法中，該 GaN 層係堆疊於超薄矽晶體層 40 上。該構造中，限制介於 Si 與 GaN 晶體之間的反應。因此，亦限制 Si 元素擴散至 GaN 層。如此，獲得具有優異品質之 GaN 晶體層。

如此，經由與圖 11 至 18A 及 18B 有關之所述實驗資料，可確認經由根據該具體實例之特定構造所獲得之特性。

根據該具體實例提出一種製造具有較高品質之氮化物半導體晶體層的方法。

本說明書中，「氮化物半導體」包括所有組成之半導體，其中式 $B_xIn_yAl_zGa_{1-x-y-z}N$ 中之組成比 x 、 y 及 z 係在以下個別範圍內： $0 \leq x \leq 1$ ， $0 \leq y \leq 1$ ， $0 \leq z \leq 1$ 及 $x+y+z \leq 1$ 。此外，藉由上述之式，「氮化物半導體」亦可理解為包括另外包括 N（氮）以外之第 V 族元素的半導體，及另外包括添加以控制各種物理性質（諸如傳導類型等）的各種摻雜劑之半導體。

上述中，茲參考實施例描述本發明之具體實例。然而，本發明並不侷限於該等實例。換言之，在包括本發明要旨之程度內，熟悉本技術之人士對於上述實例所做的各種修改係包括在本發明範疇內。例如，包括在上述實例中之組分及配置、組成物之材料、狀態、構造、大小等不侷限於該等範例；且可經適當修改。

此外，在技術可行程度內可結合包括在上述具體實例中之組件；且在包括本發明要旨之程度內係包括於本發明

範疇內。

此外，熟悉本技術之人士將很明瞭在本發明精神內的各種修改與變更。

雖然已描述特定具體實例，但該等具體實例僅以實例方式呈現，且其原意不在限制本發明範疇。確實，本文所述之新穎具體實例可以各種其他形式具體化；此外，在不違背本發明精神的情況下可進行本文所述之具體實例形式的各種省略、取代及改變。附錄申請專利範圍及其等效物意在涵蓋落在本發明範疇及精神內的此等形式或修改。

【圖式簡單說明】

圖 1 係圖示根據第一具體實例製造氮化物半導體晶體層之方法的示意斷面圖；

圖 2 係圖示根據第一具體實例製造氮化物半導體晶體層之方法的流程圖；

圖 3A 及 3B 係圖示根據第一具體實例製造氮化物半導體晶體層之方法的示意斷面圖；

圖 4A 及 4B 係圖示根據第一具體實例製造氮化物半導體晶體層之方法的示意斷面圖；

圖 5A 及 5B 係圖示藉由根據第一具體實例製造氮化物半導體晶體層之方法所製造之半導體裝置的構造之示意斷面圖；

圖 6A 及 6B 係圖示根據第二具體實例製造氮化物半導體晶體層之方法的示意斷面圖；

圖 7A 至 7C 係圖示根據第二具體實例製造氮化物半導體晶體層之方法的示意斷面圖；

圖 8A 至 8D 係圖示根據第三具體實例製造氮化物半導體晶體層之方法的示意斷面圖；

圖 9A 及 9B 係圖示根據第三具體實例製造氮化物半導體晶體層之方法的示意圖；

圖 10A 至 10C 係圖示根據第三具體實例製造氮化物半導體晶體層之方法的示意斷面圖；

圖 11 係圖示根據第一具體實例製造氮化物半導體晶體層之方法半途之晶體層狀態的電子顯微照片；

圖 12 係圖示根據第一具體實例製造氮化物半導體晶體層之方法半途之晶體層狀態的電子顯微照片；

圖 13 係圖示根據第一具體實例製造氮化物半導體晶體層之方法半途之晶體層狀態的圖；

圖 14 係圖示根據第一具體實例製造氮化物半導體晶體層之方法之晶體層狀態的電子顯微照片；

圖 15 係圖示參考實例之製造氮化物半導體晶體層之方法之晶體層狀態的電子顯微照片；

圖 16A 至 16D 係顯示說明該氮化物半導體晶體層之特性的分析結果之影像；

圖 17A 及 17B 係圖示根據第一具體實例製造氮化物半導體晶體層之方法的晶體層之分析結果的圖；及

圖 18A 及 18B 係圖示參考實例之晶體層分析結果之圖。

【 主要元件符號說明 】

20 : 基體

30 : 中間層

40 : 矽晶體層

40t : 移位

50、50a、50b、59 : 氮化物半導體晶體層

80 : 基板

100、200 : 半導體裝置

102 : 緩衝層

103 : 第一半導體層

104 : 第二半導體層

105 : 源極

106 : 汲極

107 : 閘極

109 : 二維電子氣

150、250 : 半導體堆疊體

210 : n型 GaN層

212 : n型 GaN導引層

214 : 主動層

216 : p型 GaN導引層

220 : p型 GaN層

230 : n側電極

240 : p側電極

11 : 鎘原子層

45、45a：氧化物膜

46：遮罩圖案

40p：超薄矽部分

51：晶體層

29：整塊矽基板

S1、S2：樣本

MA：測量區

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100106735

※申請日：100年03月01日

※IPC分類：

H01L 33/32

(2010.01)

一、發明名稱：(中文/英文)

製造氮化物半導體晶體層的方法

Method for manufacturing nitride semiconductor crystal layer

二、中文發明摘要：

根據一具體實例，本發明揭示一種製造氮化物半導體晶體層的方法。該方法可包括在矽晶體層上形成具有第一厚度之氮化物半導體晶體層。該矽晶體層係提供於基體上。該矽晶體層於形成該氮化物半導體晶體層之前具有第二厚度。該第二厚度比該第一厚度薄。形成該氮化物半導體晶體層包括使至少一部分該矽晶體層併入氮化物半導體晶體層以令該矽晶體層之厚度從該第二厚度變小。

三、英文發明摘要：

According to one embodiment, a method is disclosed for manufacturing a nitride semiconductor crystal layer. The method can include forming the nitride semiconductor crystal layer having a first thickness on a silicon crystal layer. The silicon crystal layer is provided on a base body. The silicon crystal layer has a second thickness before the forming the nitride semiconductor crystal layer. The second thickness is thinner than the first thickness. The forming the nitride semiconductor crystal layer includes making at least a portion of the silicon crystal layer incorporated into the nitride semiconductor crystal layer to reduce a thickness of the silicon crystal layer from the second thickness.

圖1

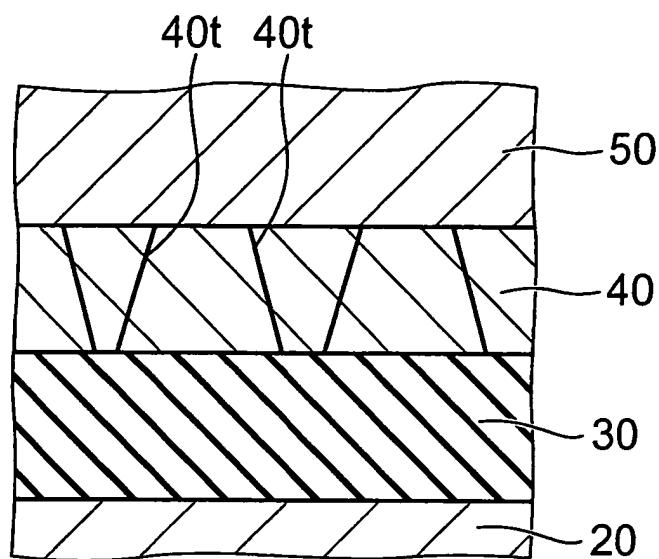


圖2

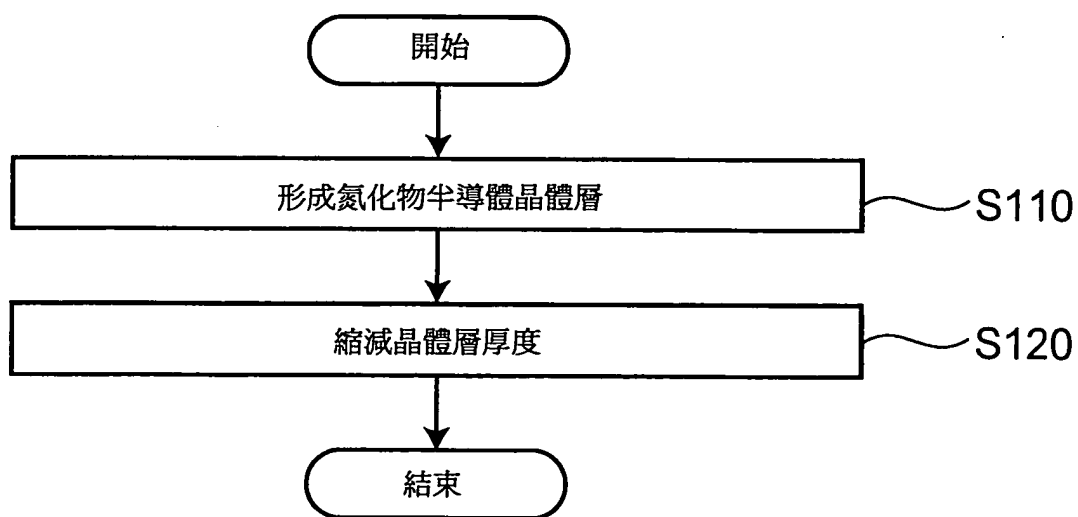


圖 3A

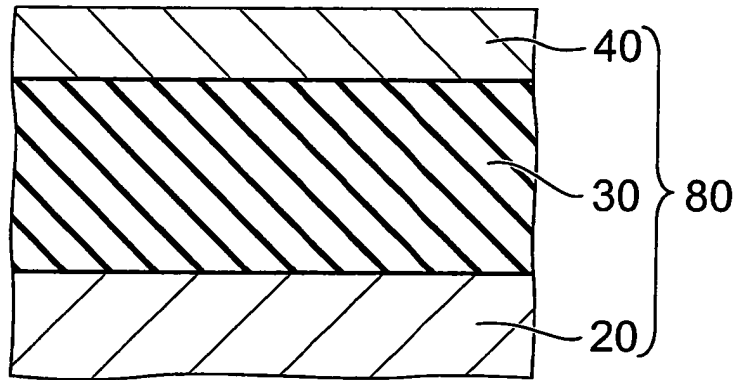


圖 3B

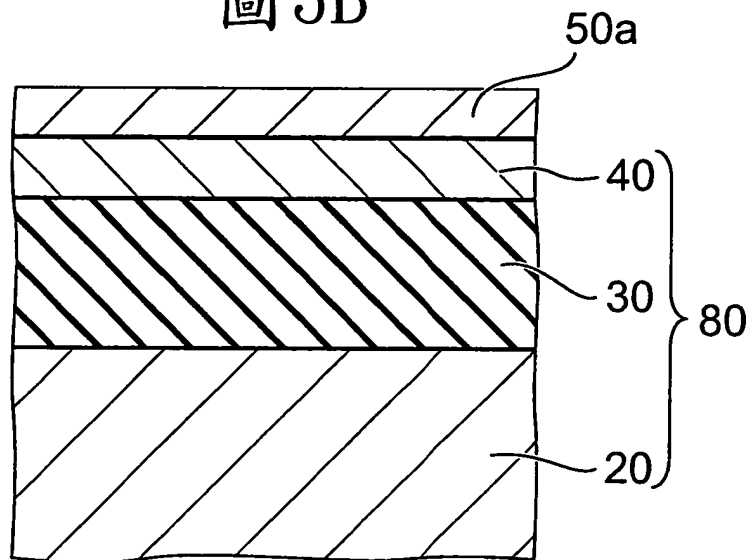


圖 4A

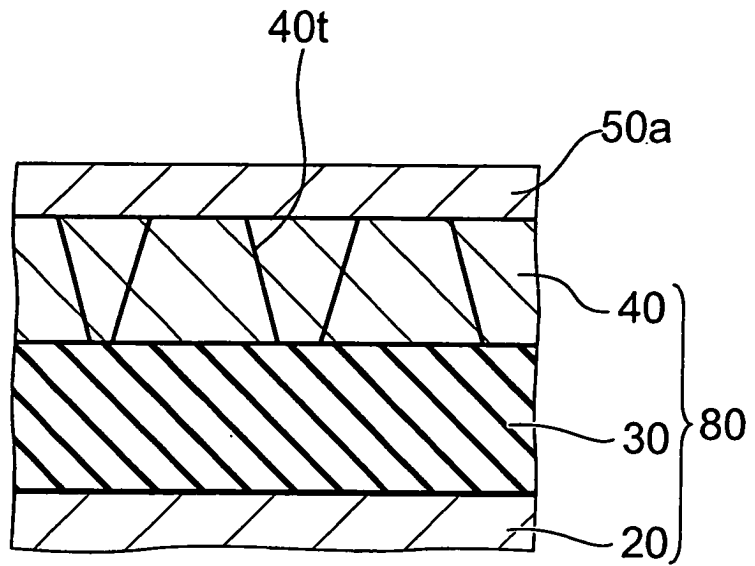


圖 4B

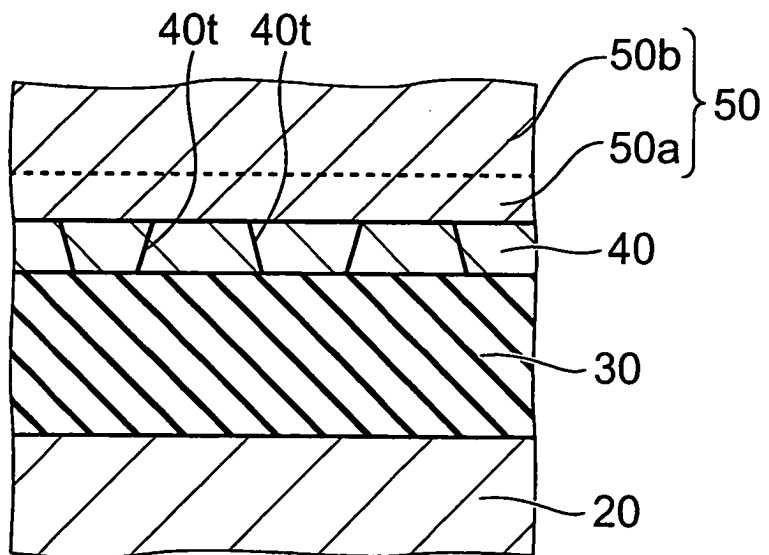


圖5A

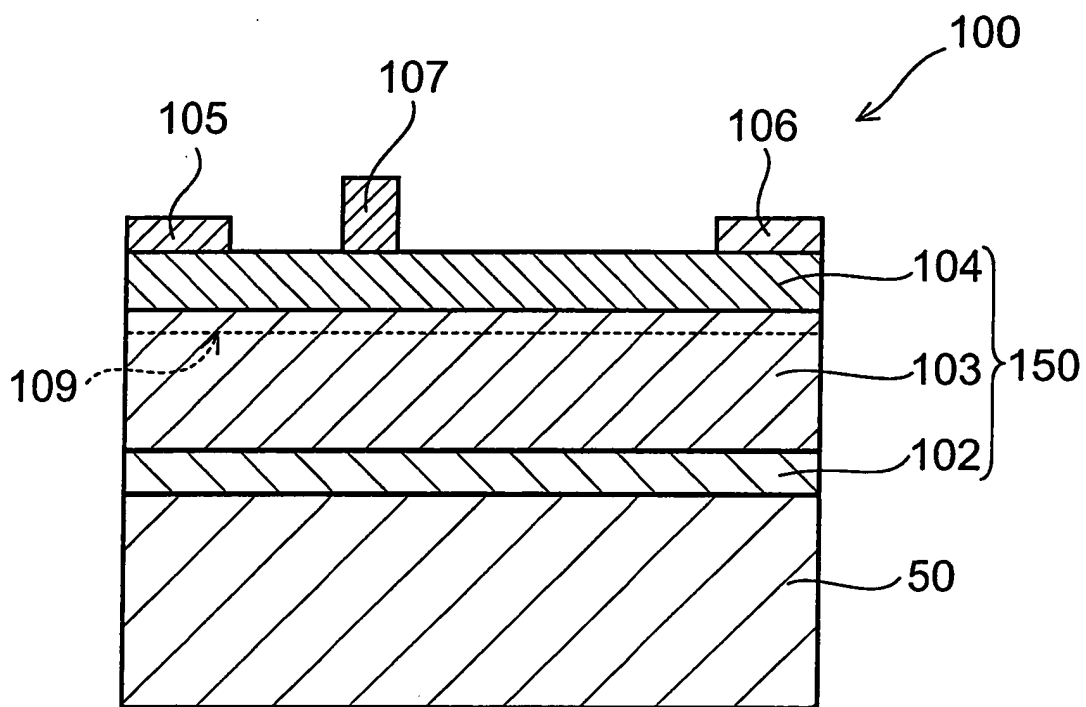


圖5B

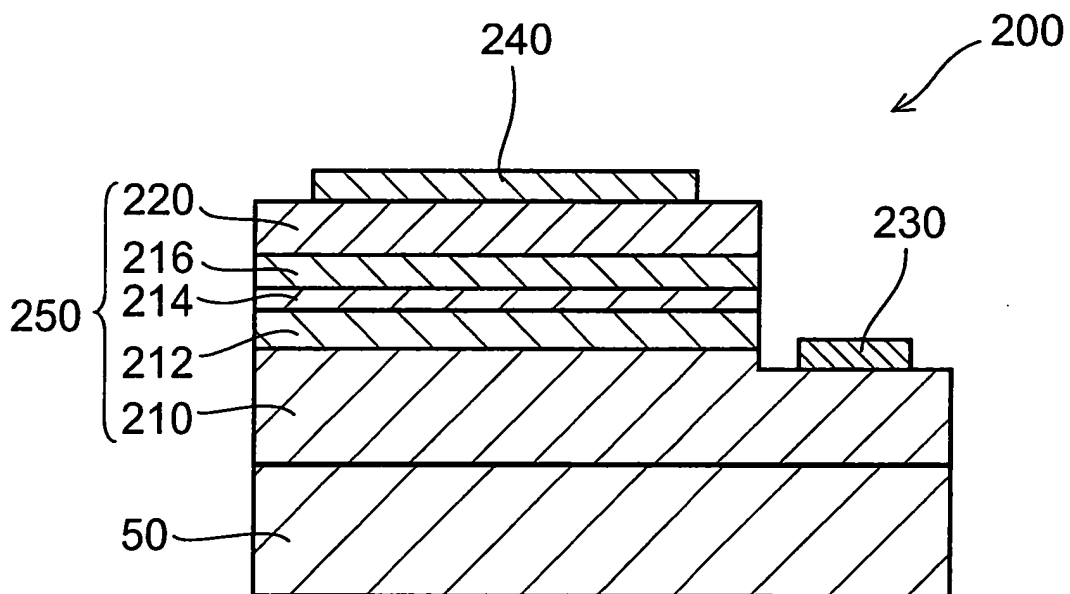


圖6A

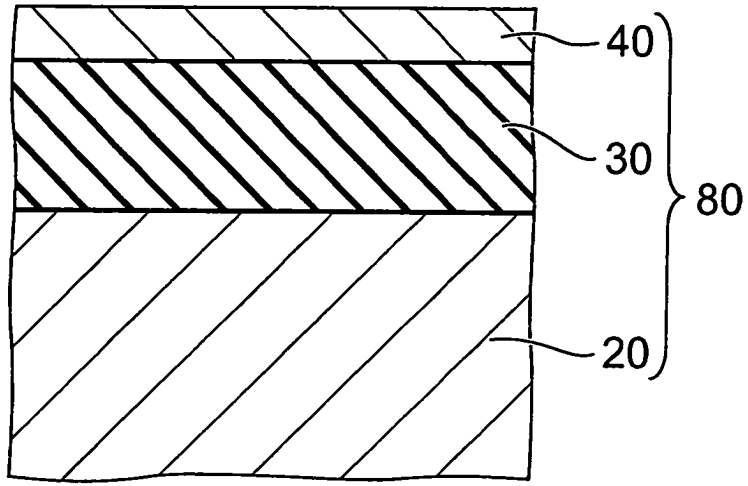


圖6B

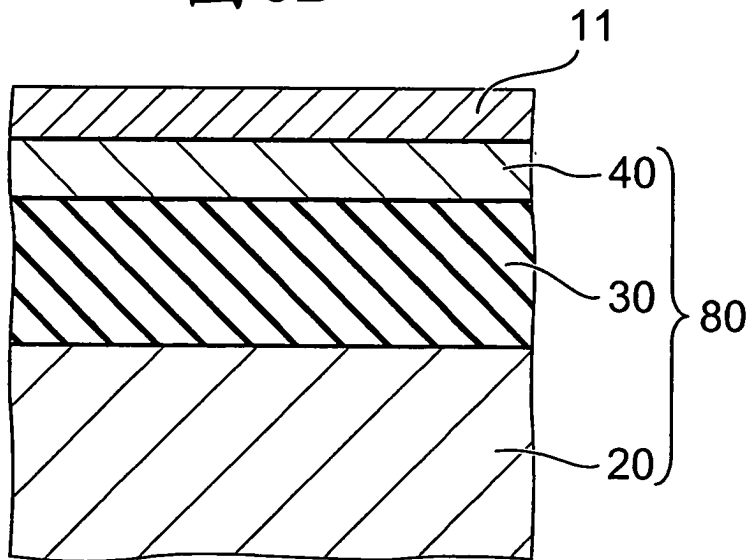


圖 7A

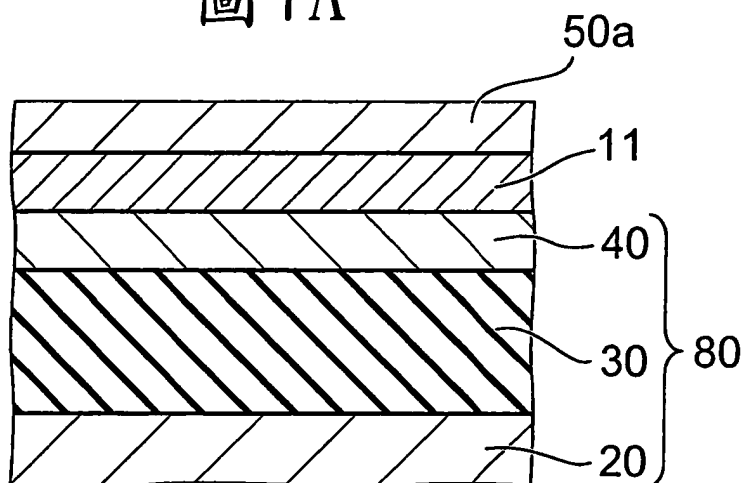


圖 7B

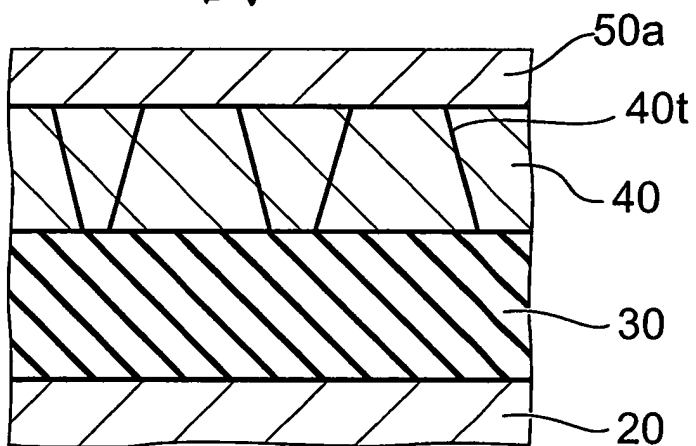


圖 7C

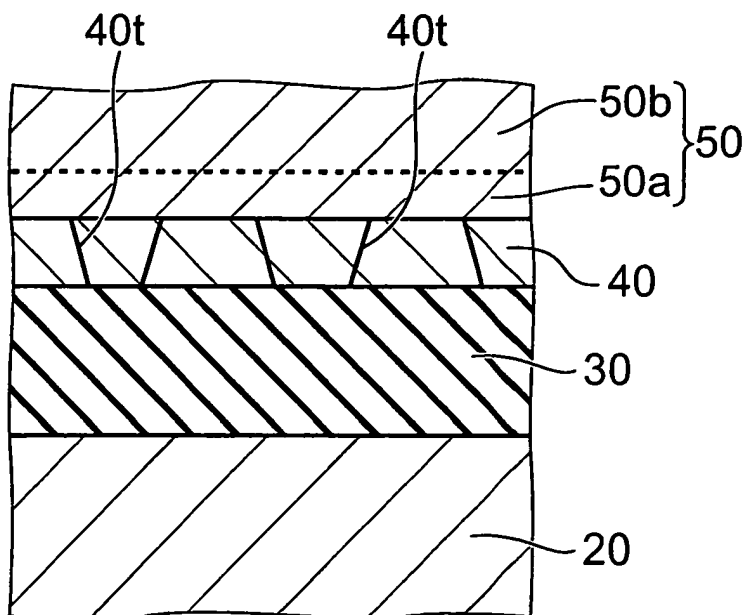


圖 8A

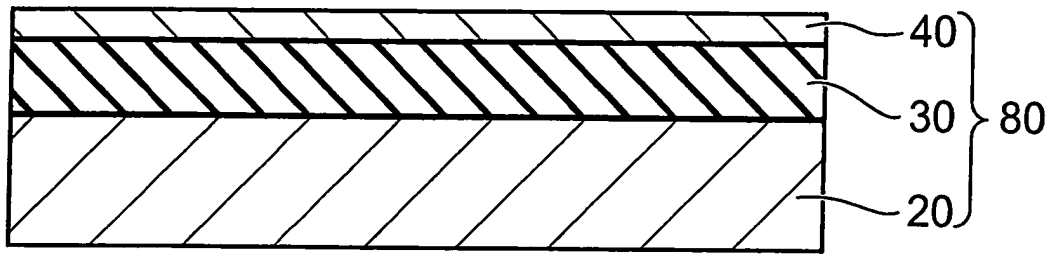


圖 8B

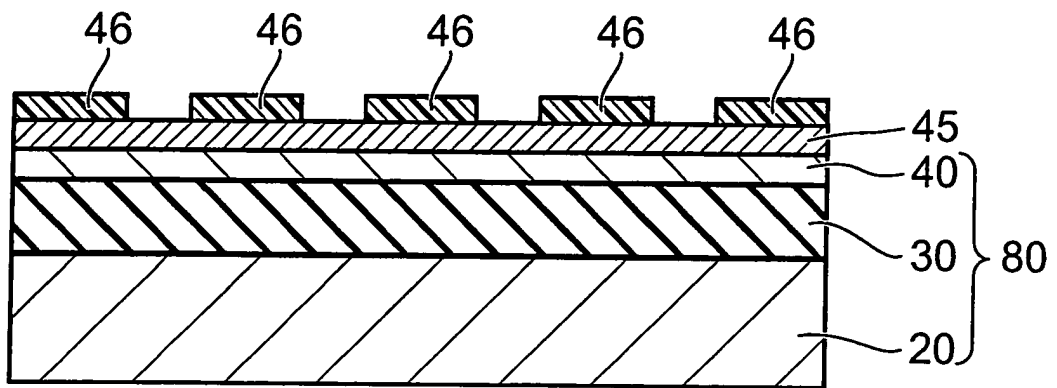


圖 8C

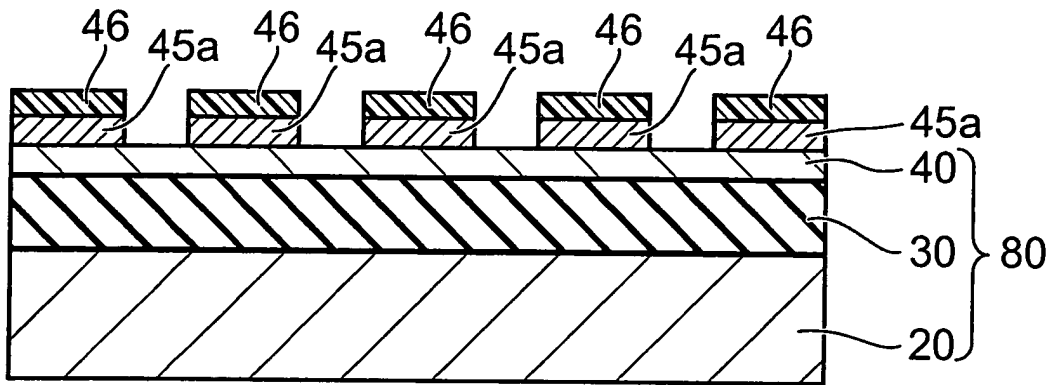


圖 8D

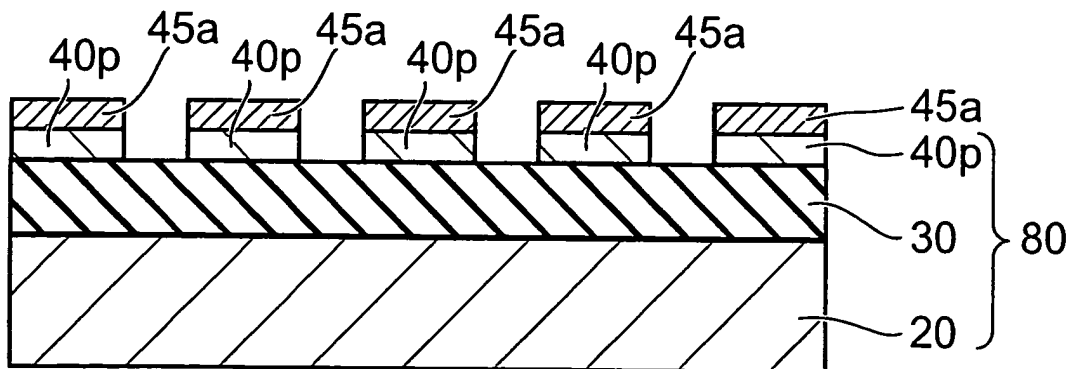


圖9A

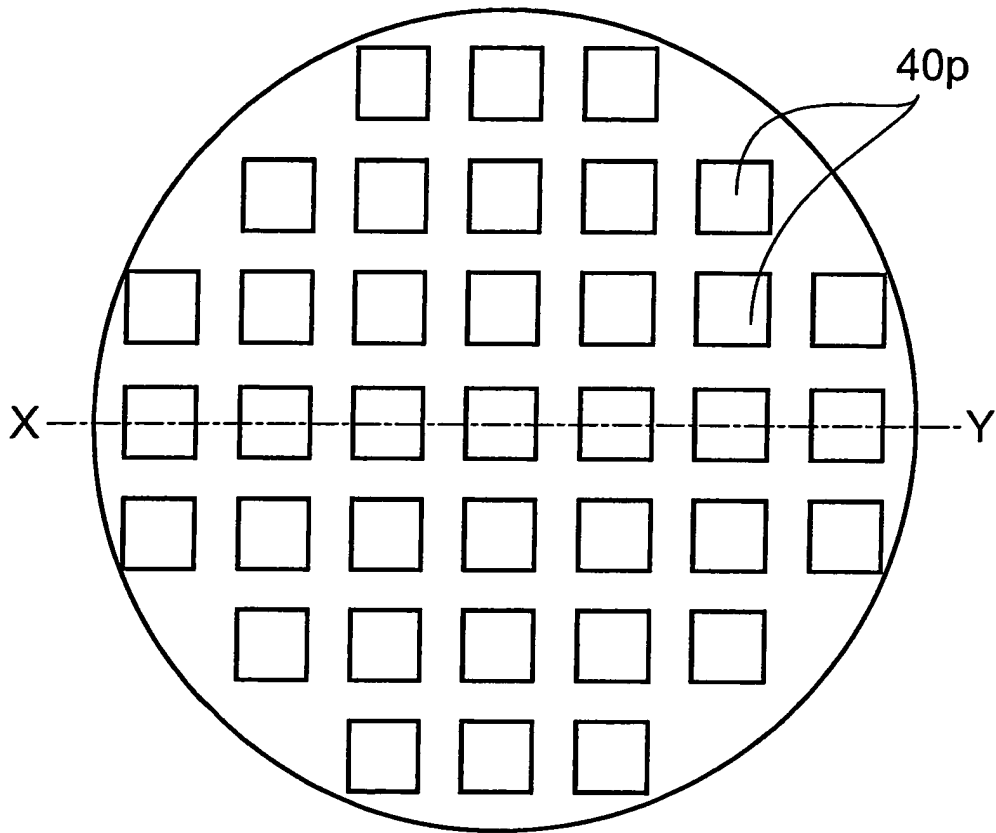


圖9B

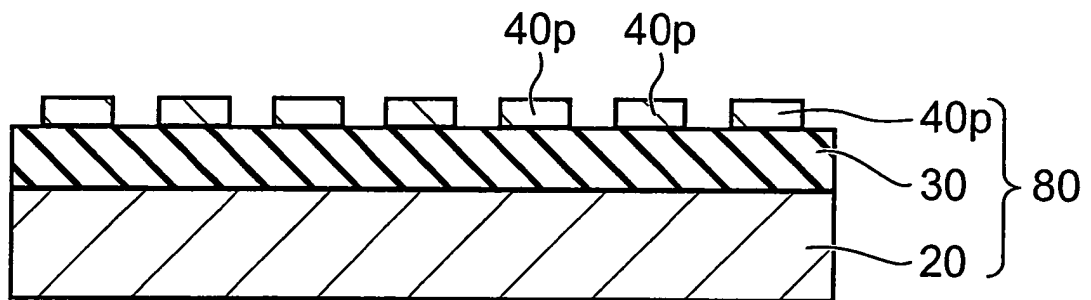


圖 10A

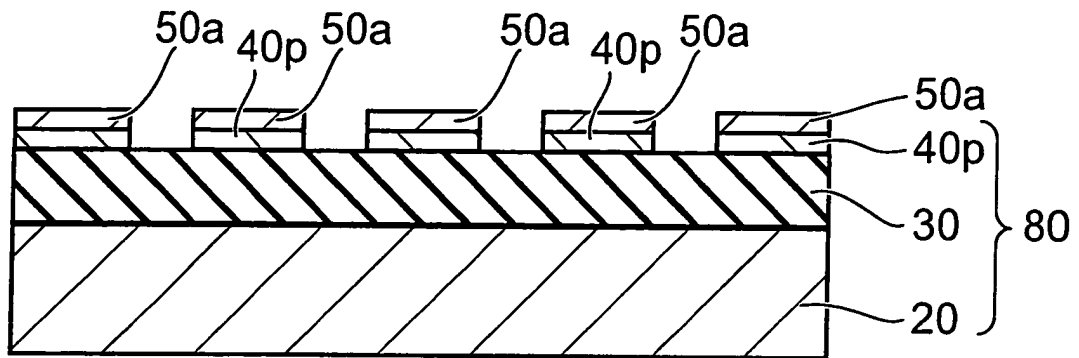


圖 10B

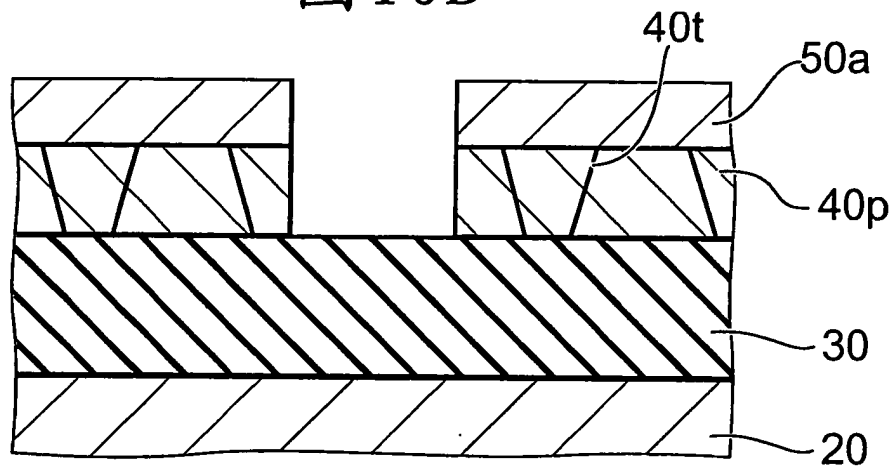


圖 10C

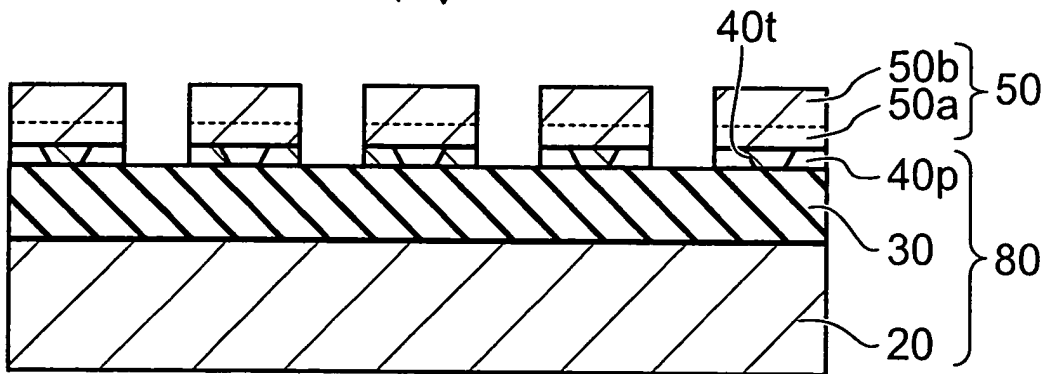


圖 11

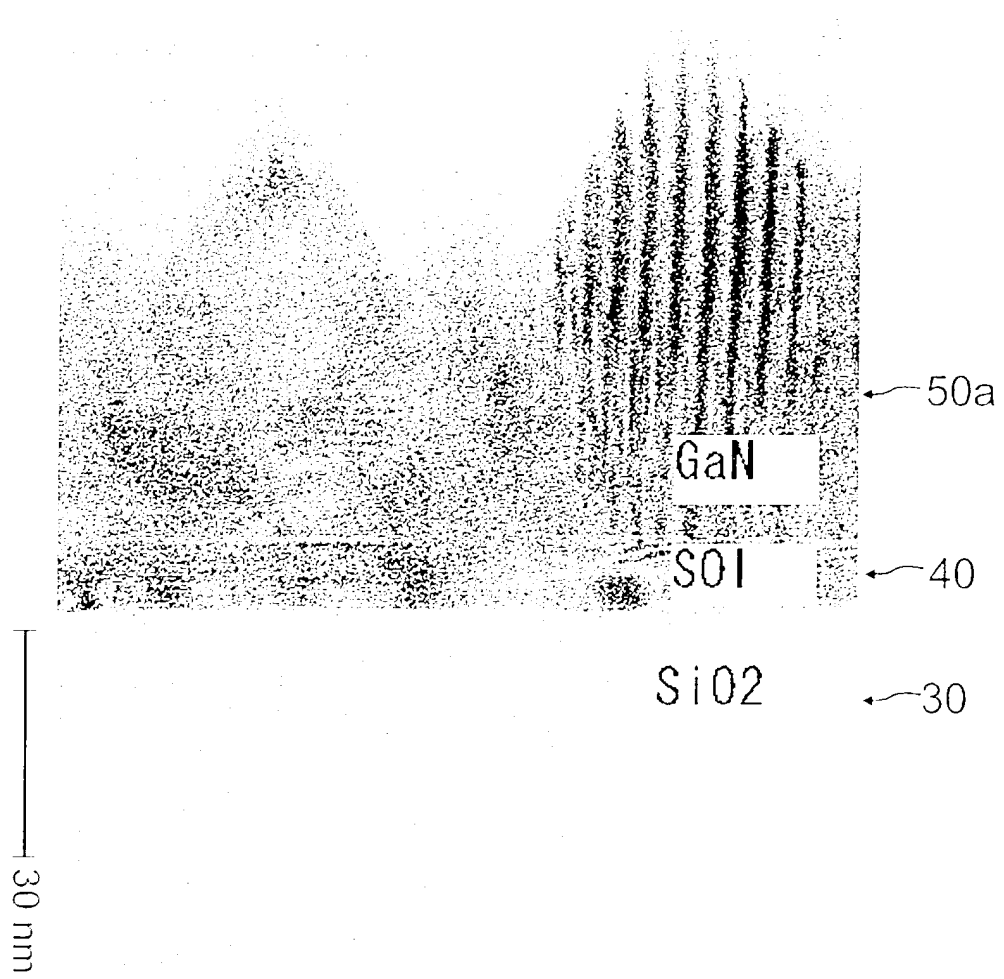


圖 12

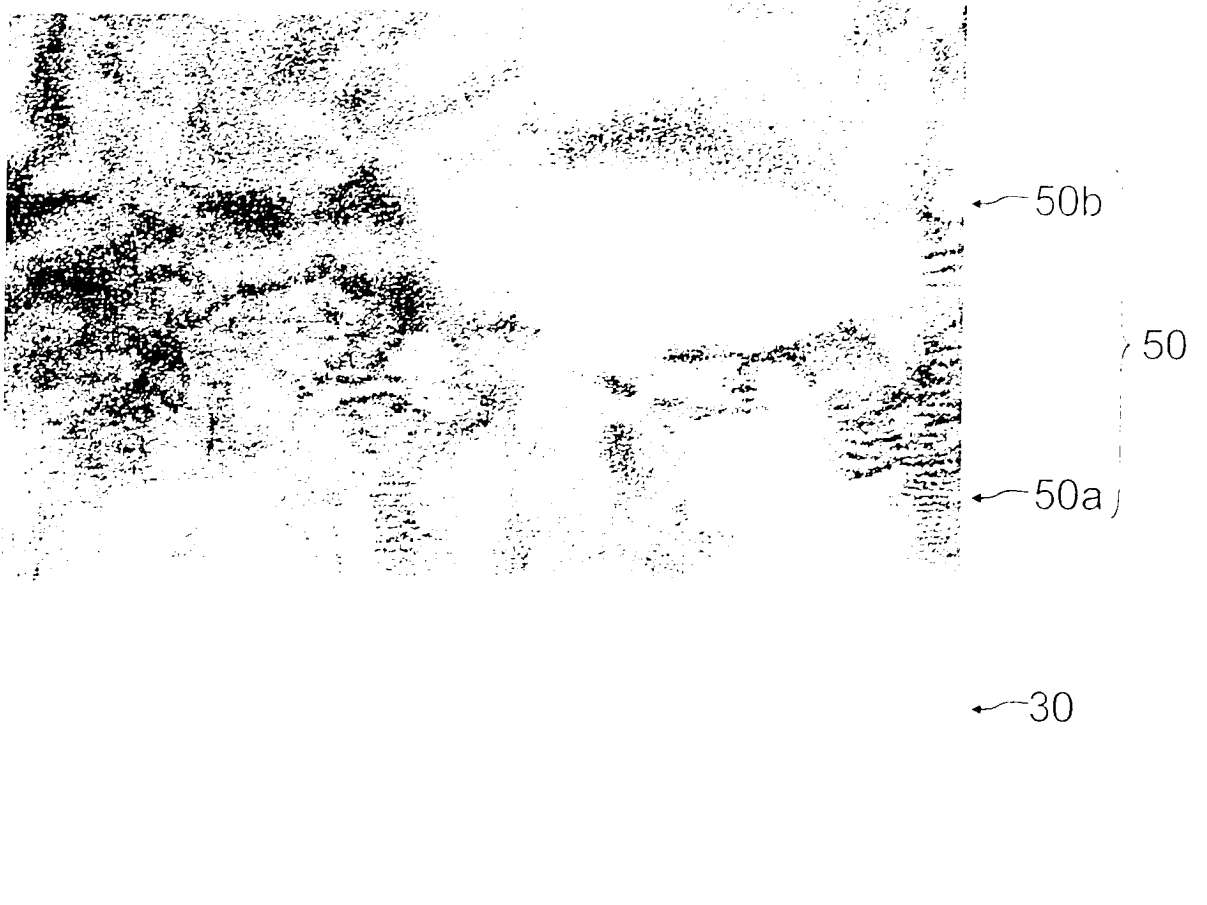


圖 13

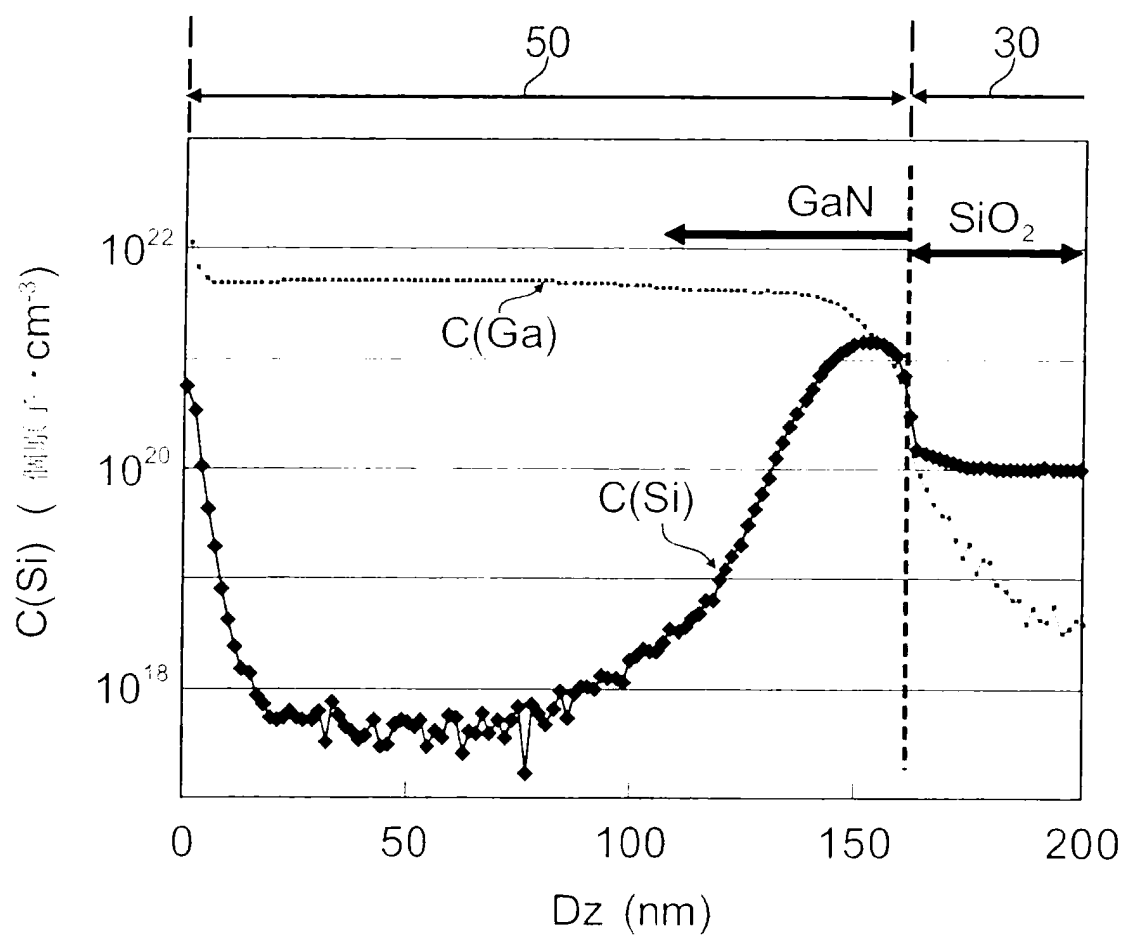


圖 14

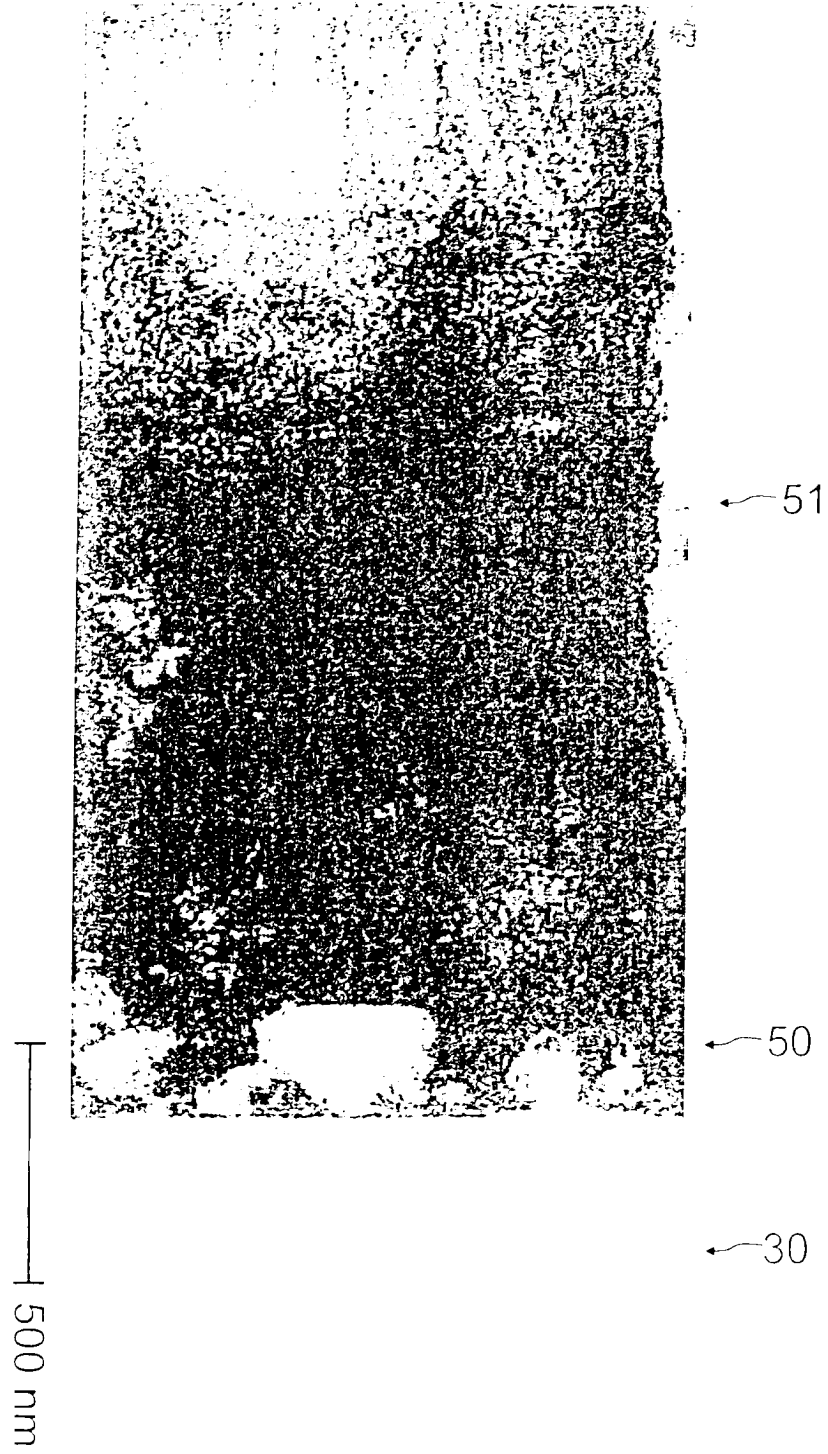


圖 15

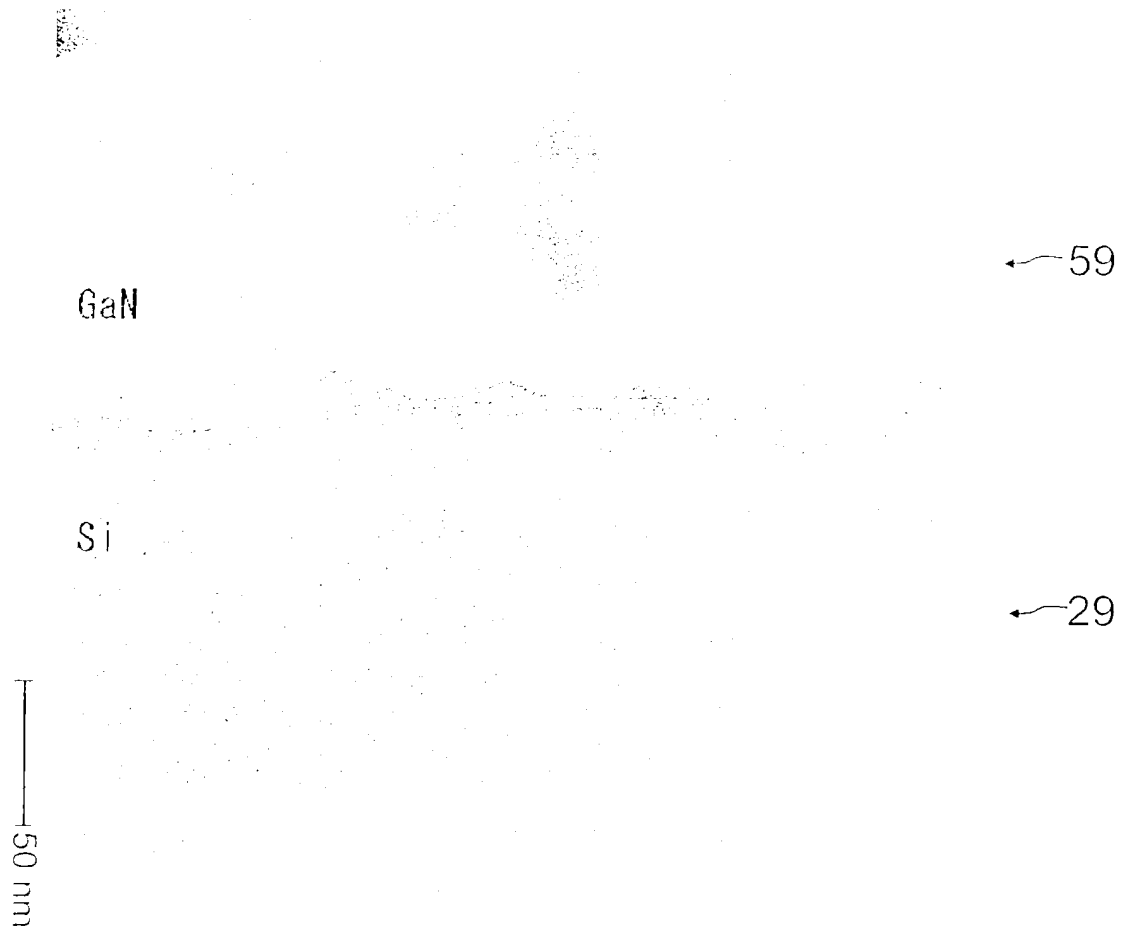


圖 16A

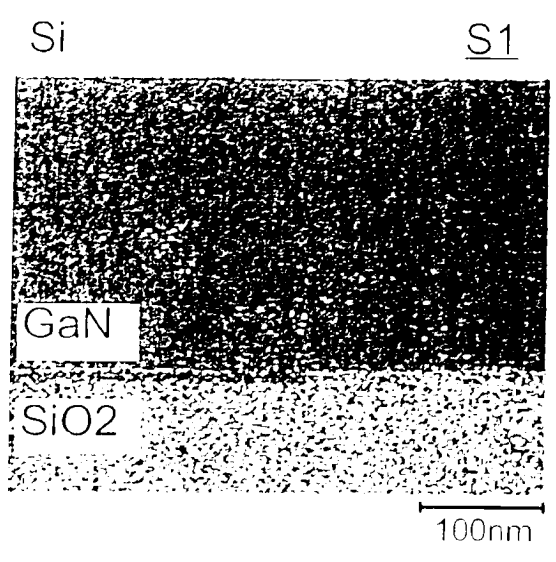


圖 16B

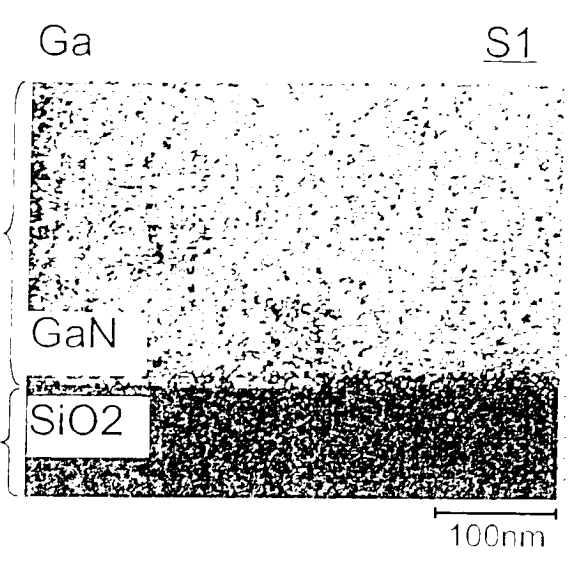


圖 16C

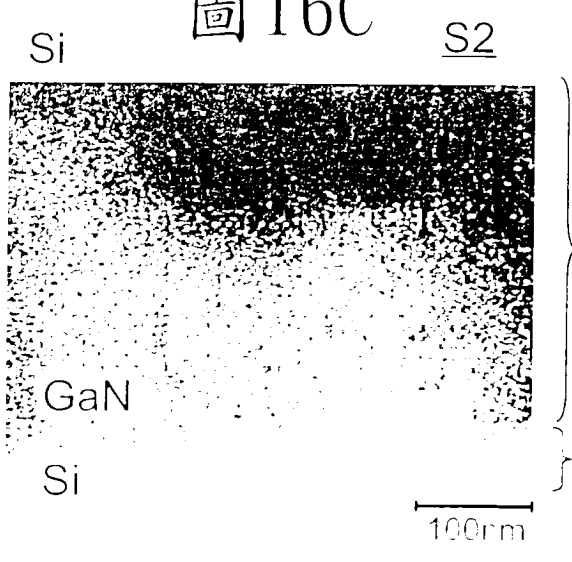


圖 16D

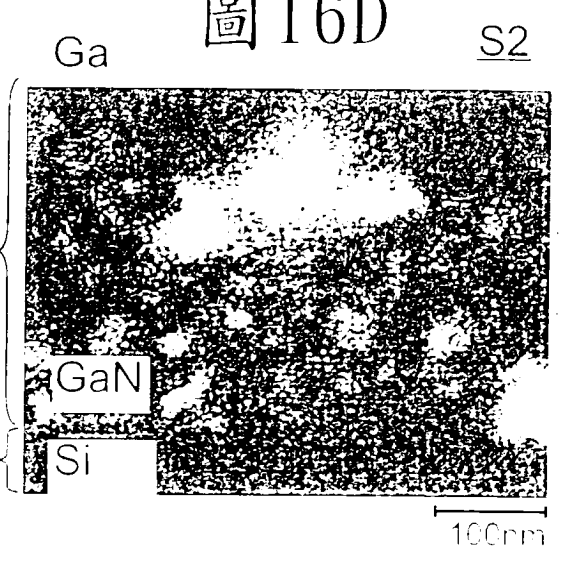


圖 17A

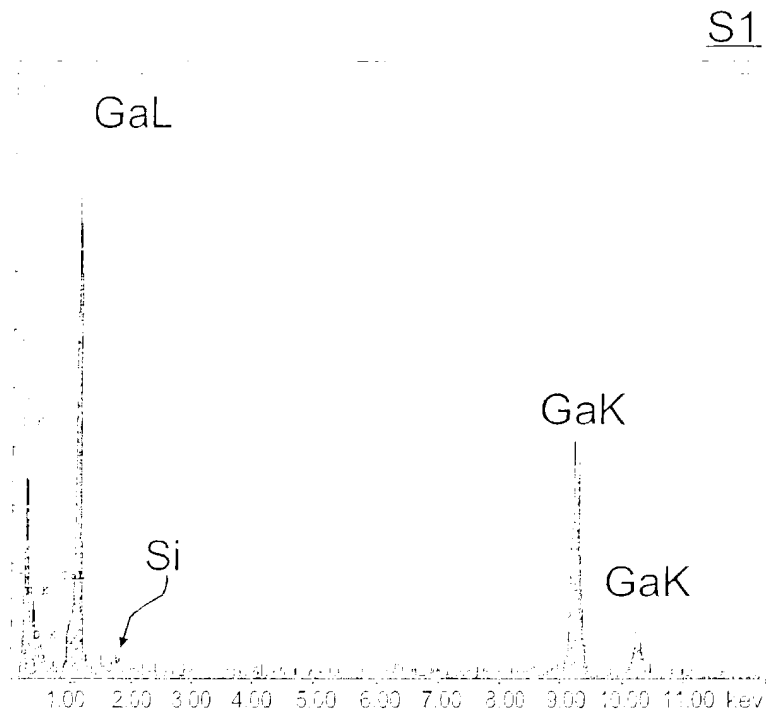


圖 17B

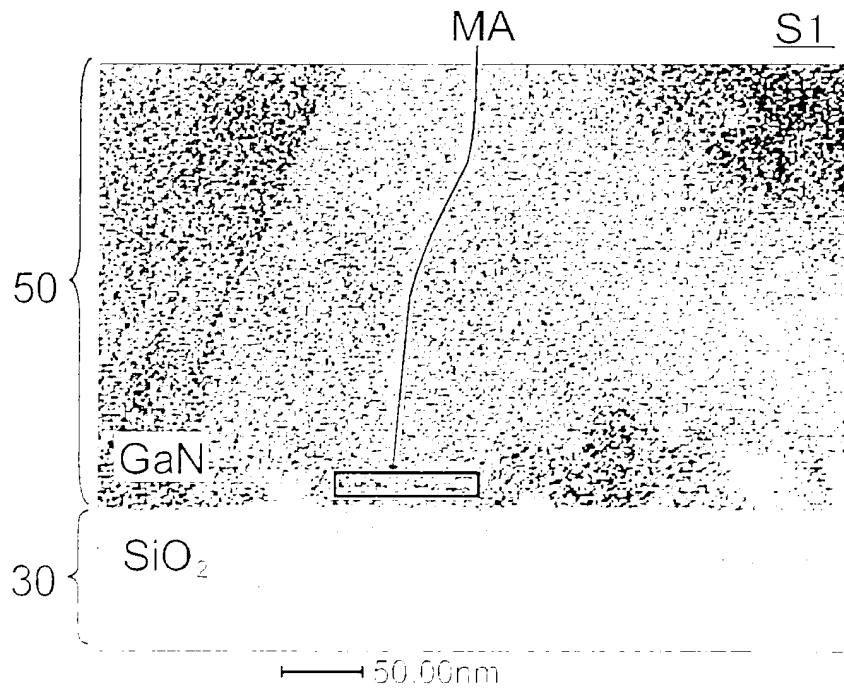


圖 18A

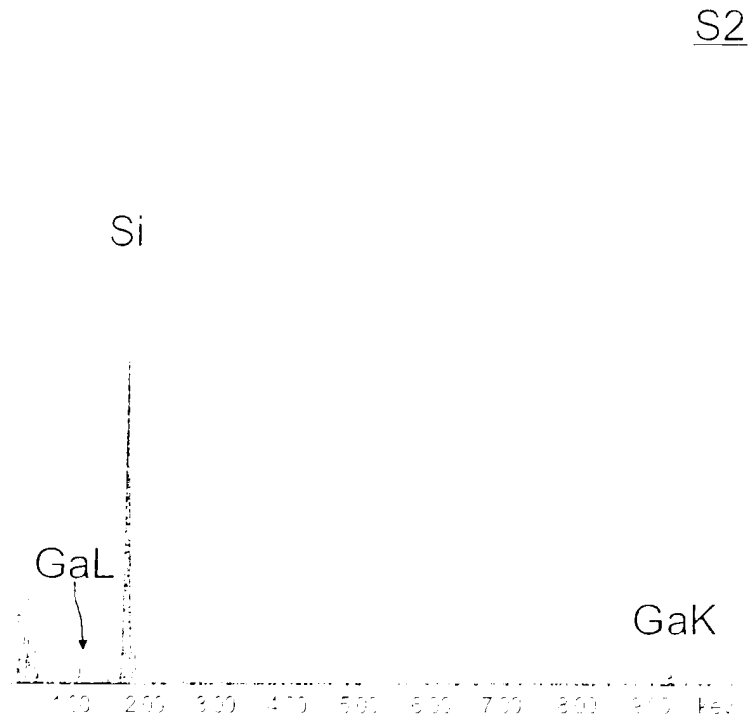
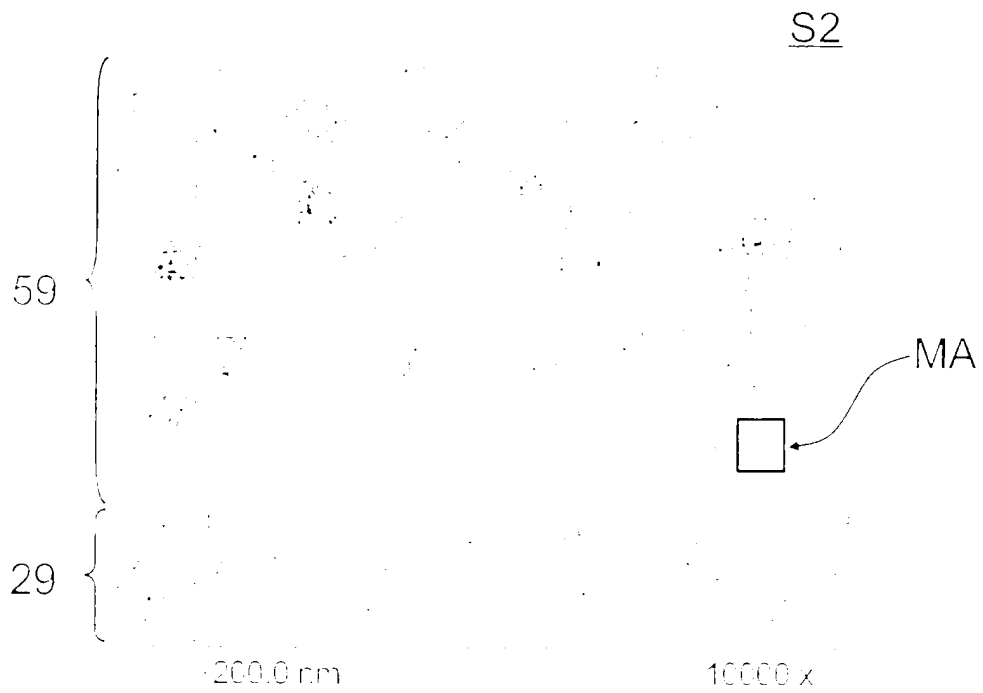


圖 18B



四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

20：基體

30：中間層

40：矽晶體層

40t：移位

50：氮化物半導體晶體層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

七、申請專利範圍：

1. 一種製造氮化物半導體晶體層之方法，其包括：

在矽晶體層上形成具有第一厚度之氮化物半導體晶體層，該矽晶體層係提供於基體上，該基體包含矽基板與形成在該矽基板上之氧化矽膜，

在形成該氮化物半導體晶體層之前，該矽晶體層具有第二厚度且該第二厚度比該第一厚度薄，

形成該氮化物半導體晶體層包括使至少一部分該矽晶體層併入氮化物半導體晶體層中以令該矽晶體層之厚度從該第二厚度變小，

其中形成該氮化物半導體晶體層包括：

在第一溫度下，於該矽晶體層上形成該氮化物半導體晶體層之第一部分，及

在第二溫度下，於該第一部分上形成該氮化物半導體晶體層之第二部分，該第二溫度高於該第一溫度，以及

其中形成該氮化物半導體晶體層包括：

使該矽晶體層併入氮化物半導體晶體層中以令該矽晶體層消失，及

形成包括下述之結構：

該矽基板，

形成在該矽基板上之該氧化矽膜，及

提供於該氧化矽膜上之該氮化物半導體晶體層，

且包括於該矽晶體層中的矽被導入該氮化物半導體晶體層中。

2.如申請專利範圍第1項之方法，其中該第一部分之厚度比該第二部分之厚度薄。

3.如申請專利範圍第1項之方法，其中該基體側邊之第一區中的氮化物半導體晶體層之矽濃度高於第二區中之氮化物半導體晶體層的矽濃度，該第二區比該第一區距離該基體更遠。

4.如申請專利範圍第1項之方法，其中該矽晶體層之晶面取向為(111)平面。

5.一種製造氮化物半導體晶體層之方法，其包括：

在矽晶體層上形成具有第一厚度之氮化物半導體晶體層，該矽晶體層係提供於基體上，

在形成該氮化物半導體晶體層之前，該矽晶體層具有第二厚度且該第二厚度比該第一厚度薄，

形成該氮化物半導體晶體層包括使該矽晶體層併入氮化物半導體晶體層中以令該矽晶體層之厚度從該第二厚度變小且令該矽晶體層消失，

該第一厚度不小於1微米(μm)，及

該第二厚度不大於50奈米(nm)。

6.如申請專利範圍第5項之方法，其中

該基體包含基板，

形成該氮化物半導體晶體層另包括：

形成包括下述之結構：

該基板，及

提供於該基板上之該氮化物半導體晶體層，且包

括於該矽晶體層中的矽被導入該氮化物半導體晶體層中。

7.如申請專利範圍第6項之方法，其中該基體之晶體輪廓與該矽晶體層之晶體輪廓不同。

8.一種製造氮化物半導體晶體層之方法，其包括：

在矽晶體層上形成具有第一厚度之氮化物半導體晶體層，該矽晶體層係提供於基體上，

在形成該氮化物半導體晶體層之前，該矽晶體層具有第二厚度且該第二厚度比該第一厚度薄，

形成該氮化物半導體晶體層包括使該矽晶體層併入氮化物半導體晶體層中以令該矽晶體層之厚度從該第二厚度變小且令該矽晶體層消失，

該基體包含基板，

形成該氮化物半導體晶體層另包括：

形成包括下述之結構：

該基板，及

提供於該基板上之該氮化物半導體晶體層，且包括於該矽晶體層中的矽被導入該氮化物半導體晶體層中，

其中因第III族元素所致之回熔蝕刻侷限於該第二厚度。

9.如申請專利範圍第5項之方法，其中

該基體包含

該基板，及

形成在該基板上之中間層，
形成該氮化物半導體晶體層另包括：
形成包括下述之結構：

該基板，

形成在該基板上之中間層，及

提供於該中間層上之該氮化物半導體晶體層，且
包括於該矽晶體層中的矽被導入該氮化物半導體晶
體層中。

10.如申請專利範圍第9項之方法，其中該基體之晶體
輪廓與該矽晶體層之晶體輪廓不同。

11.一種製造氮化物半導體晶體層之方法，其包括：

在矽晶體層上形成具有第一厚度之氮化物半導體晶體
層，該矽晶體層係提供於基體上，

在形成該氮化物半導體晶體層之前，該矽晶體層具有
第二厚度且該第二厚度比該第一厚度薄，

形成該氮化物半導體晶體層包括使該矽晶體層併入氮
化物半導體晶體層中以令該矽晶體層之厚度從該第二厚度
變小且令該矽晶體層消失，

該基體包含

基板，及

形成在該基板上之中間層，

形成該氮化物半導體晶體層另包括：

形成包括下述之結構：

該基板，

形成在該基板上之中間層，及

提供於該中間層上之該氮化物半導體晶體層，且包括於該矽晶體層中的矽被導入該氮化物半導體晶體層中，

其中因第 III 族元素所致之回熔蝕刻侷限於該第二厚度。

12. 如申請專利範圍第 9 項之方法，其中該基板為矽基板。

13. 如申請專利範圍第 9 項之方法，其中該基板包括矽多晶體。

14. 如申請專利範圍第 9 項之方法，其中該基板包括矽單晶體。

15. 如申請專利範圍第 9 項之方法，其中該中間層為氧化矽膜。

16. 如申請專利範圍第 5 項之方法，其中該第二厚度不大於 20 奈米 (nm)。

17. 如申請專利範圍第 5 項之方法，其中該矽晶體層之晶面取向為 (111) 平面。

18. 如申請專利範圍第 5 項之方法，其中形成該氮化物半導體晶體層包括：

在第一溫度下，於該矽晶體層上形成該氮化物半導體晶體層之第一部分，及

在第二溫度下，於該第一部分上形成該氮化物半導體晶體層之第二部分，該第二溫度高於該第一溫度。

19.如申請專利範圍第 18 項之方法，其中該第一部分的厚度比該第二部分的厚度薄。

20.如申請專利範圍第 5 項之方法，其中該矽晶體層具有氫為終端之表面，及該氮化物半導體晶體層係形成於該氫為終端之表面上。

21.如申請專利範圍第 5 項之方法，其中該矽晶體層係分隔成島狀，其於與該矽晶體層之層表面平行之平面中特性長度不小於 0.5 mm 且不大於 10 mm，及

形成該氮化物半導體晶體層包括在該分隔之矽晶體層上形成該氮化物半導體晶體層。

22.如申請專利範圍第 5 項之方法，其中該基體側邊之第一區中的氮化物半導體晶體層之矽濃度高於第二區中之氮化物半導體晶體層的矽濃度，該第二區比該第一區距離該基體更遠。