

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410003543.5

[51] Int. Cl.

H01L 23/48 (2006.01)

H01L 23/52 (2006.01)

H01L 21/28 (2006.01)

H01L 21/768 (2006.01)

H01L 21/60 (2006.01)

[45] 授权公告日 2007 年 4 月 4 日

[11] 授权公告号 CN 1309070C

[22] 申请日 2004.1.29

[21] 申请号 200410003543.5

[30] 优先权

[32] 2003.1.30 [33] JP [31] 021959/2003

[73] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 小田典明

[56] 参考文献

US20020163083A1 2002.11.7

CN1216398A 1999.5.12

JP7-202356A 1995.8.4

CN1314225A 2001.9.26

审查员 刘 红

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 穆德骏 陆 弋

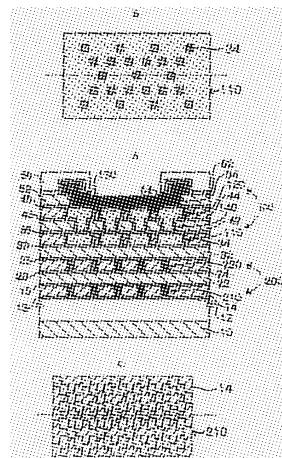
权利要求书 6 页 说明书 19 页 附图 5 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

一种在半导体衬底上带有键合焊盘的半导体器件包括：形成在键合焊盘的下表面上的上层铜层，它们中间插有阻挡金属，并且其具有大于在其里面形成电路互连的层的铜面积比；以及与上层铜层绝缘的下层铜层，并且其形成为比上层互连更靠近半导体衬底，其中，在上层铜层和下层铜层之间插入比低 k 膜硬的介电 SiO₂膜。



1. 一种半导体器件，包含：

形成在半导体衬底上的键合焊盘；

5 形成在所述键合焊盘的下表面上的上层铜层，它们中间夹有阻挡金属；以及

下层铜层，其形成地比所述上层铜层更靠近所述半导体衬底；

其中，所述键合焊盘下面的所述下层铜层的铜面积比低于所述上层铜层的铜面积比，

10 其中，在上层铜层和下层铜层之间插入比低 k 膜硬的介电 SiO_2 膜。

2. 如权利要求 1 所述的半导体器件，其中，所述上层铜层的铜面积比大于在所述半导体衬底上形成为电路互连的其它铜层的铜面积比。

15

3. 如权利要求 1 所述的半导体器件，其中，所述上层铜层的铜面积比是至少 70%。

20

4. 如权利要求 1 所述的半导体器件，其中，所述键合焊盘和所述上层铜层的平面面积相等。

5. 如权利要求 1 所述的半导体器件，其中所述上层铜层由多个铜层构成。

25

6. 如权利要求 5 所述的半导体器件，其中，所述上层铜层中的每个铜层的铜面积比相同。

30

7. 如权利要求 5 所述的半导体器件，进一步包含：

位于所述上层铜层中的每个铜层之间的层间介电膜；以及

由铜组成的通孔栓塞，其嵌入所述层间介电膜中；

其中，所述上层铜层中的每个铜层通过所述通孔栓塞连接。

8. 如权利要求 7 所述的半导体器件，其中，位于所述上层铜层的最上面的铜层的铜层图形和连接至铜层图形的所述通孔栓塞被嵌入由第一材料所组成的介电膜中。
5

9. 如权利要求 1 所述的半导体器件，其中，所述下层铜层的铜面积比至少为 15%且不大于 95%。

10. 如权利要求 1 所述的半导体器件，其中所述下层铜层由多个铜层构成。

11. 如权利要求 10 所述的半导体器件，其中，所述下层铜层中的每个铜层的铜面积比相等。

15
12. 如权利要求 10 所述的半导体器件，其中，在所述下层铜层中的每个铜层之间插入由第一材料所组成的介电膜。

20
13. 如权利要求 12 所述的半导体器件，其中，所述下层铜层中的每个铜层由嵌入介电膜的铜层图形构成，其中，介电膜由其介电常数相对低于所述第一材料的第二材料组成。

14. 如权利要求 13 所述的半导体器件，其中所述第二材料比所述第一材料软。

25
15. 如权利要求 13 所述的半导体器件，其中，由所述第二材料所组成的介电膜包含下述膜中的任何一种：SiOC 膜、碳化硅膜、SiOF 膜、多孔二氧化硅膜、多孔 SiOC 膜和带有梯型氢化硅氧烷的梯型氧化物膜。

16. 如权利要求 12 所述的半导体器件，其中，在所述下层铜层中的每个铜层之间插入由其介电常数相对低于所述第一材料的第三材料所组成的介电膜。

5 17. 如权利要求 16 所述的半导体器件，其中所述第三材料比所述第一材料软。

10 18. 如权利要求 16 所述的半导体器件，其中，由所述第三材料所组成的介电膜包含下述膜中的任何一种：SiOC 膜、碳化硅膜、SiOF 膜、多孔二氧化硅膜、多孔 SiOC 膜和带有梯型氢化硅氧烷的梯型氧化物膜。

15 19. 一种制造如权利要求 1 所述的半导体器件的方法，其中，通过大马士革方法形成所述上层铜层和所述下层铜层。

20 20. 一种制造如权利要求 8 所述的半导体器件的方法，其中，通过双大马士革方法形成位于所述上层铜层的最上面的铜层的铜层图形和连接至这个铜层图形的通孔栓塞。

20 21. 一种半导体器件，包含：
位于半导体衬底上的键合焊盘；
形成在所述键合焊盘的下表面上的上层铜层，它们中间夹有阻挡金属；以及

下层铜层，其比所述上层铜层更靠近所述半导体衬底；

25 其中，所述上层铜层与所述下层铜层电绝缘，且所述上层铜层的铜面积比大于在所述半导体衬底上形成为电路互连的其它铜层的铜面
积比

其中，在上层铜层和下层铜层之间插入比低 k 膜硬的介电 SiO₂ 膜。

30 22. 如权利要求 21 所述的半导体器件，其中，所述上层铜层的铜

面积比是至少 70%。

23. 如权利要求 21 所述的半导体器件，其中，所述键合焊盘和所述上层铜层的平面面积相同。

5

24. 如权利要求 21 所述的半导体器件，其中所述上层铜层由多个铜层构成。

10

25. 如权利要求 24 所述的半导体器件，其中，所述上层铜层中的每个铜层的铜面积比相同。

15

26. 如权利要求 24 所述的半导体器件，进一步包含：

位于所述上层铜层中的每个铜层之间的层间介电膜；以及
由铜组成的通孔栓塞，其嵌入所述层间介电膜中；

其中，所述上层铜层中的每个铜层通过所述通孔栓塞连接。

27. 如权利要求 26 所述的半导体器件，其中，位于所述上层铜层的最上面的铜层的铜层图形和连接至这个铜层图形的所述通孔栓塞被嵌入由第一材料所组成的介电膜中。

20

28. 如权利要求 21 所述的半导体器件，其中，所述下层铜层的铜面积比至少为 15%且不大于 95%。

25

29. 如权利要求 21 所述的半导体器件，其中所述下层铜层由多个铜层构成。

30. 如权利要求 29 所述的半导体器件，其中，所述下层铜层中的每个铜层的铜面积比相等。

30

31. 如权利要求 29 所述的半导体器件，其中，在所述下层铜层中

-
- 的每个铜层之间插入由第一材料所组成的介电膜。
32. 如权利要求 31 所述的半导体器件，其中，所述下层铜层中的每个铜层由嵌入介电膜的铜层图形构成，其中，介电膜由其介电常数相对低于所述第一材料的第二材料组成。
5
33. 如权利要求 32 所述的半导体器件，其中所述第二材料比所述第一材料软。
10
34. 如权利要求 32 所述的半导体器件，其中，由所述第二材料所组成的介电膜包含下述膜中的任何一种：SiOC 膜、碳化硅膜、SiOF 膜、多孔二氧化硅膜、多孔 SiOC 膜和带有梯型氢化硅氧烷的梯型氧化物膜。
15
35. 如权利要求 31 所述的半导体器件，其中，在所述下层铜层中的每个铜层之间插入由其介电常数相对低于所述第一材料的第三材料所组成的介电膜。
20
36. 如权利要求 35 所述的半导体器件，其中所述第三材料比所述第一材料软。
25
37. 如权利要求 35 所述的半导体器件，其中，由所述第三材料所组成的所述介电膜包含下述膜中的任何一种：SiOC 膜、碳化硅膜、SiOF 膜、多孔二氧化硅膜、多孔 SiOC 膜和带有梯型氢化硅氧烷的梯型氧化物膜。
30
38. 如权利要求 21 所述的半导体器件，其中所述阻挡金属包含氮化钛或氮化钽。
39. 如权利要求 21 所述的半导体器件，经一步包含：

位于所述半导体衬底上的内部电路；以及
电连接至所述内部电路的辅助铜互连；
其中，所述辅助铜互连通过通孔电连接至所述键合焊盘中的一部
分。

5

40. 一种制造如权利要求 27 所述的半导体器件的方法，其中，通过双大马士革方法形成位于所述上层铜层的最上面的铜层的铜层图形和连接至这个铜层图形的通孔栓塞。

半导体器件及其制造方法

5

技术领域

本发明涉及一种带有用于引线键合的键合焊盘的半导体器件以及制造这种半导体器件的方法。

10

背景技术

当在采用铜互连的现有技术的半导体器件中在铜互连上方形成键合焊盘时，在有些情况下，键合部位会位于偏移铜互连上方的位置上（参见公开号为 2001-15516 的日本专利申请，第 4—5 页，图 2）。

15

图 1 是个剖面结构图，示出了现有技术的半导体器件的结构的示例，在形成在半导体衬底 10 上的铜互连 700 上提供多个铜焊盘，最顶层铝互连 730 形成在最顶层铜焊盘 710 上方，它们之间夹有阻挡金属 720。最顶层铝互连 730 的键合部位 735 位于偏移铜互连 700 的位置上。因而，在键合时产生的压力被施加到位于键合部位 735 下面的钝化绝缘膜 740 以及层间介电膜 750 上。因此，键合时压力对铜互连 700 的影响能够得到降低以及表面上的铜互连 700 的暴露能够得到预防。

20

但是，现有技术的上述半导体器件存在几个缺点。

25

第一，由于这是一种键合部位位于偏移铜互连的位置上的结构，键合焊盘的面积大于键合部位位于铜互连的正上方的情况中的键合焊盘，因此这种结构会使芯片的尺寸变大。

30

其次，如果键合部位下面存在其介电常数相对低于氧化物膜的低 k 膜，则在检测或键合时加载探针会向下挤压键合焊盘且可能致使位于

键合焊盘下面的层间介电膜中发生断裂或者可能致使键合焊盘中的膜剥落。

发明内容

为了解决现有技术的上述问题而开发出了本发明，且本发明的目标是提供一种半导体器件以及制造这种半导体器件的方法，这种半导体器件改善了在检测和键合时抵抗对键合焊盘的冲击的能力（在下文中称为“抗冲击能力”）。

用于实现上述目标的本发明的半导体器件包括：形成在半导体衬底上的键合焊盘；形成在这些键合焊盘的下表面上的上层铜层，它们中间夹有阻挡金属；以及下层铜层，其比上层铜层更靠近半导体衬底；其中，下层铜层具有小于上层铜层的铜面积比，其中，在上层铜层和下层铜层之间插入比低 k 膜硬的介电 SiO_2 膜。

本发明的另一半导体器件包括：形成在半导体衬底上的键合焊盘；形成在键合焊盘的下表面上的上层铜层，它们中间夹有阻挡金属；以及下层铜层，其比上层铜层更靠近半导体衬底；其中，上层铜层与下层铜层电绝缘，且上层铜层的铜面积比大于形成在半导体衬底上的电路互连层。

在每种上述的半导体器件中，上层铜层的铜面积比可以是至少 70%。

此外，键合焊盘和上层铜层的平面面积可以基本相同。

进而，上层铜层可以由多个铜层构成。在这种情况下，上层铜层中的每个铜层的铜面积比可以相同。此外，半导体器件还可以包括：位于上层铜层中的每个铜层之间的层间介电膜；以及由铜组成的通孔栓塞，其嵌入层间介电膜中；其中，上层铜层中的每个铜层通过通孔

栓塞连接。进而，位于上层铜层的最顶层中的铜层图形和连接至这个铜层图形的通孔栓塞可以被嵌入由第一材料所组成的介电膜中。

5

下层铜层的铜面积比可以是至少 15%且不大于 95%。

下层铜层可以由多个铜层组成。在这种情况下，下层铜层中的每个铜层的铜面积比可以相同。进而，可以在下层铜层中的每个铜层之间插入由第一材料所组成的介电膜。下层铜层中的每个铜层可以由嵌入介电膜的铜层图形构成，其中，介电膜由其介电常数相对低于第一材料的第二材料组成。第二材料可以是比第一材料软的物质。进而，由第二材料所组成的介电膜可以包含下述膜中的任何一种：SiOC 膜、碳化硅（SiC）膜、SiOF 膜、多孔二氧化硅（ SiO_2 ）膜、多孔 SiOC 膜和带有梯型氢化硅氧烷的梯型氧化物膜。

10

可以在下层铜层中的每个铜层之间插入由其介电常数相对低于第一材料的第三材料所组成的介电膜。在这种情况下，第三材料可以是比第一材料软的物质。此外，由第三材料所组成的介电膜可以包含下述膜中的任何一种：SiOC 膜、碳化硅（SiC）膜、SiOF 膜、多孔二氧化硅（ SiO_2 ）膜、多孔 SiOC 膜和带有梯型氢化硅氧烷的梯型氧化物膜。

20

阻挡金属可以包含氮化钛（TiN）或氮化钽（TaN）。

半导体器件还可以包括：位于半导体衬底上的内部电路；以及电连接至内部电路的辅助铜互连；并且这些辅助铜互连可以通过通孔电连接至一部分键合焊盘。

在制造本发明的半导体器件的方法中，通过大马士革方法形成上层铜层和下层铜层。

30

在制造本发明的半导体器件的另一方法中，通过双大马士革方法形成位于上层铜层的最顶层中的铜层图形和连接至这个铜层图形的通孔栓塞。

5 如上面说明中所描述的本发明利用了铜的一个特性，即铜具有比氧化物膜大的弹性，弹性是可以回弹从外部施加的力的属性。换言之，本发明的半导体器件具有这样一种结构：位于键合焊盘下面的上层铜层和下层铜层起到抗冲击层的作用，其阻止了冲击被传递到键合焊盘的下面。

10 在上层铜层的铜面积比为至少 70% 的本发明中，检测和键合时的抗冲击能力得到较大的改善。

15 在键合焊盘和上层铜层的平面面积基本相同的本发明中，键合焊盘和上层铜层之间能够获得足够的接触面积。

在上层铜层由多个铜层构成的本发明中，冲击被分布在每个铜层中。此外，在上层铜层中的每个铜层的铜面积比相同的本发明中，冲击分布得更加均匀。

20 在上层铜层中的每个铜层通过通孔栓塞连接的本发明中，对最顶层的冲击可以更容易地分布到其它层中。

25 在由第一材料所组成并且嵌有上层铜层的最顶层介电膜和连接至这个最顶层的通孔栓塞的介电膜是硬质材料的本发明中，在键合时受到最大冲击的最顶层和通孔栓塞由硬质介电膜均匀地支持。

30 在下层铜层的铜面积比为至少 15% 且不大于 95% 的本发明中，可以获得对抗冲击能力的更大的改善。因而，下层铜层可以用作具有至少 15% 且至多 95% 的铜面积比的电路互连层，且键合焊盘下面的区域

能够得到更有效的利用。

在下层铜层由多个铜层构成的本发明中，传递至下层铜层的冲击力被分布在每个铜层中。通过使下层铜层中的每个铜层的铜面积比相同，传递至下层铜层的冲击能够分布得更加均匀。
5

在下层铜层中的每个铜层之间包括入由第一材料所组成的介电膜的本发明中，下层铜层能够更加均匀地由介电膜支持。

10 在下层铜层中的每个铜层由嵌入介电膜中的铜层图形所构成的本发明中，同一铜层内的铜层图形之间的电容能够得到降低，其中，介电膜由其介电常数相对低于第一材料的第二材料所组成。

15 在由第三材料所组成的介电膜被用作下层铜层的层间介电膜的本发明中，形成在与下层铜层相同的水平上的多个互连层之间的电容能够得到降低，其中，第三材料包含其介电常数相对低于第一材料的材料。

20 在氮化钛（TiN）和氮化钽（TaN）中的任何一种被用作阻挡金属的本发明中，阻挡金属能够防止铝和铜在位于阻挡金属的上面和下面的层之间互相扩散。

25 在键合焊盘被连接至辅助铜互连的本发明中，即使当在键合时出现的冲击致使上层铜层中发生断裂并且导致缺陷连接的时候，也能够保证键合焊盘和内部电路之间的电连接。

参考附图，下面的描述将使本发明的上述和其它目标、特征和优点更加清晰明了，其中，附图示出了本发明的示例。

30 附图说明

图 1 是个剖面结构图，示出了现有技术的半导体器件的结构的一个示例。

图 2A 是个剖面结构图，示出了在作为本发明的第一实施例的半导体器件中包含键合焊盘的区域的结构。

5 图 2B 是个示意性视图，示出了第一上层铜层的虚拟图形的示例。

图 2C 是个示意性视图，示出了第一下层铜层的虚拟图形的示例。

图 3 是作为本发明的第二实施例的半导体器件的剖面结构图。

图 4A 是作为本发明的第三实施例的半导体器件的平面图。

图 4B 是示出了沿图 4A 中的 A-A' 虚线切开的部分的剖面结构图。

10 图 5 是个剖面结构图，示出了作为本发明的第四实施例的半导体器件的结构。

具体实施方式

本发明的半导体器件提供有：形成在键合焊盘下面的上层铜层，
15 它们中间插有阻挡金属；以及与这个上层铜层电绝缘的下层铜层；其中，这些铜层作为抗冲击层。

第一实施例

图 2A 是个剖面结构图，示出了在作为本发明的第一实施例的半导体器件中包含键合焊盘的区域的结构。
20

现在，参考图 2A，本实施例的半导体器件包括用于改善抗冲击能力的上层铜层 100，这个形成在键合焊盘 130 下面的上层铜层 100 包括作为其主要组分且带有铝 (Al) 的金属膜，阻挡金属插在上层铜层 100 和键合焊盘 130 之间。提供的阻挡金属用于防止含在键合焊盘 130 中的铝与含在上层中的组分发生反应。上层铜层 100 与键合焊盘 130 具有基本相同的平面面积（指在制造误差的范围之内平面面积相同），且上层铜层 100 从下面均匀地支持键合焊盘 130。
25

为了提供额外的抗冲击能力，在上层铜层 100 的下面提供了与上

层铜层 100 电绝缘的下层铜层 200，在它们中间插有氧化物膜 (SiO_2 膜) 32。二氧化硅膜 (SiO_2 膜) 32 是比低 k 膜硬的介电膜。在上层铜层 100 和下层铜层 200 之间插入这个 SiO_2 膜 32 能够防止在键合时由于施加的力而导致的凹陷。

5

上层铜层 100 由第一上层铜层 110 和第二上层铜层 120 组成，并且第一上层铜层 110 和第二上层铜层 120 通过主要由铜组成的通孔栓塞 140 进行电连接。因此，上层铜层 100 是双层结构，从而施加到键合焊盘 130 上面的冲击被分布到每个层之间并且获得了对抗冲击能力的改善。形成为上层铜层 100 的铜层的层数可以是三层或更多。
10

由于第二上层铜层 120 和通孔栓塞 140 受到在键合时施加的力中的大部分，优选采用比低 k 膜硬的介电膜 (SiO_2 膜)，作为埋置这些构成组分且由第一材料组成的介电膜。在本实施例中，第二上层铜层 120 和通孔栓塞 140 均分别埋置在二氧化硅 (SiO_2) 膜 42 和 44 中，这些膜 42 和 44 由第一材料组成。二氧化硅 (SiO_2) 膜 42 和 44 很硬，因此第二上层铜层 120 和通孔栓塞 140 由这些二氧化硅 (SiO_2) 膜 42 和 44 均匀地支持。
15

下层铜层 200 由两层组成，即第一下层铜层 210 和第二下层铜层 220，且第一下层铜层 210 和第二下层铜层 220 被二氧化硅 (SiO_2) 膜 22 绝缘。对下层铜层 200 使用多个铜层提供了与上述上层铜层 100 相同的效果。
20

在第一下层铜层 210 的铜层图形之间插入由梯型氧化物膜和二氧化硅 (SiO_2) 膜组成的叠层介电膜 14。这种情况中的梯型氧化物膜是 L-Ox (NEC 电子公司的商标 (现在正在申请之中))，它是带有梯型氢化硅氧烷的低 k 膜。类似地，在第二下层铜层 220 的铜层图形之间插入由 L-Ox 膜和二氧化硅 (SiO_2) 膜所组成的叠层介电膜 24。利用由其介电常数相对低于第一材料的第二材料所组成的介电膜 (L-Ox 膜) 形
25

成叠层介电膜 14 和 24，降低了铜互连的互连之间的电容，铜互连与下层铜层 200 形成在同一水平上。

虽然未在图 2A 中示出，除了含有上述键合焊盘的区域之外，在半
5 导体衬底 10 上还提供了包括诸如晶体管、电阻器和电容器等半导体元件和用于互连这些半导体元件的电路互连的内部电路。电路互连用诸如与上层铜层 100 或下层铜层 200 形成在同一层上的铜层的导电层、形成在半导体衬底 10 上面的扩散层以及掺有杂质的多晶硅来形成。键合焊盘 130 和内部电路之间的连接通过例如上层铜层 100 来实现。

10 接下来将对上层铜层 100 和下层铜层 200 的平面图形进行说明。根据上层铜层 100 和下层铜层 200 起到用于分布施加到键合焊盘 130 上的冲击的虚拟层的作用而不是构成内部电路的互连的观点，上层铜层 100 和下层铜层 200 在下面的说明中称为“虚拟图形”。

15 图 2B 是个示意性视图，示出了第一上层铜层 110 的虚拟图形（平面图形）的示例，剖面结构沿图 2A 中的 A-A' 虚线切开。第二上层铜层 120 的虚拟图形与第一上层铜层 110 的虚拟图形相同，因此在此略去对它的说明。

20 25 如图 2B 所示，在第一上层铜层 110 的虚拟图形中散布多个叠层介电膜 34 的正方形图形，使得铜的整体表面密度是均匀的。铜面积比是被铜占据的面积的比例（被铜占据的面积比），且抗冲击能力随着这个比例的增加而得到改善。在这种情况下，为了提高抗冲击能力，虚拟图形的铜面积比被做得大于形成有电路互连的铜层的铜面积比。根据目前所获得的实验结果，虚拟图形的铜面积比优选为至少 70%。此外，为了防止在铜层的 CMP（化学机械抛光）工艺中发生变形，虚拟图形的铜面积比优选为不大于 95%。

30 图 2C 是个示意性视图，示出了第一下层铜层 210 的虚拟图形（平

面图形)的示例,剖面结构沿图2A中的B-B'虚线切开。第二下层铜层220的虚拟图形与第一下层铜层210的虚拟图形相同,因此在此略去对这个虚拟图形的说明。

5 如图2C所示,在第一下层铜层210的虚拟图形中散布多个叠层介电膜14的交叉(cross)图形,使得整体铜表面密度是均匀的。为了改善抗冲击能力,第一下层铜层210的铜面积比优选为至少15%,进而,由于与根据上层铜层100所阐述的相同的原因,第一下层铜层210的铜面积比优选为不大于95%。

10 由于下层铜层200受到比上层铜层100小的键合时所产生的压力,优选地,下层铜层200的铜面积比等于或小于上层铜层100的铜面积比。

15 此外,下层铜层200的虚拟图形与上层铜层100电绝缘,因此,这个虚拟图形可以用作电路互连的图形。以这种方式把下层铜层200作为电路互连层使用,可以实现有效利用键合焊盘130下面的区域。但是,这种情况中的下层铜层200的铜面积比小于上层铜层100的铜面积比。

20 进而,第一下层铜层210和第二下层铜层220被层间介电膜电绝缘,但是这些层可以通过通孔栓塞进行电连接。

25 接下来将参考图2A对制造上述实施例的半导体器件的方法进行说明。下面的说明只涉及制造用于改善键合焊盘的抗冲击能力的组件的程序,这些组件具有本实施例的半导体器件的突出特性,因此略去对形成在与作为抗冲击层的每个铜层相同的水平上的电路互连的详细说明。

30 在半导体衬底10上形成诸如晶体管、电阻器和电容器(未在图中

示出)的半导体元件，通过 CVD 方法在这些元件上形成 300—500nm 厚的二氧化硅 (SiO_2) 膜 12，作为层间介电膜，接着形成 30—50nm 厚的限位 SiCN 膜 13，作为用于限止蚀刻的膜(在下文中称为“蚀刻限位膜”)。接下来，通过涂敷和烧结工艺在限位 SiCN 膜 13 上形成 300—500nm 厚的 L-Ox 膜并在这个 L-Ox 膜上生长 100—200nm 厚的二氧化硅 (SiO_2) 膜，以形成由 L-Ox 膜和二氧化硅 (SiO_2) 组成的叠层介电膜 14。接下来通过光刻工艺在叠层介电膜 14 上形成抗蚀图形，接着以这个抗蚀图形作为掩膜进行蚀刻，以在叠层介电膜 14 上形成规定的虚拟图形和用于形成电路互连(未在图中示出)的互连沟槽。然后除去抗蚀图形。
10

接下来，在形成有虚拟图形和互连沟槽的叠层介电膜 14 上顺序形成 30—50nm 厚的阻挡金属和 50—200nm 厚的籽晶层，另外通过电镀方法在这些层上形成 500—1000nm 厚的铜膜。在采用 CMP 工艺对铜膜进行研磨直到暴露出叠层介电膜 14 的上表面之后，形成 30—50nm 厚的封盖 SiCN 膜 15，作为用于防止铜扩散的膜。从而完成了如图 2C 所示的带有虚拟图形的第一下层铜层 210。
15

在形成第一下层铜层 210 之后，在第一下层铜层 210 上形成 300—500nm 厚的二氧化硅 (SiO_2) 膜 22，并且通过与上述第一下层铜层 210 的制造过程相同的程序，形成第二下层铜层 220。
20

接下来，在第二下层铜层 220 上形成 300—500nm 厚的二氧化硅 (SiO_2) 膜 32 和 30—50nm 厚的限位 SiCN 膜 33。然后，形成由 300—500nm 厚的 L-Ox 膜和 100—200nm 厚的二氧化硅 (SiO_2) 膜组成的叠层介电膜 34。接下来通过光刻工艺在叠层介电膜 34 上形成抗蚀图形，接着通过蚀刻工艺在叠层介电膜 34 上形成规定的虚拟图形和用于形成未在图中示出的电路互连的互连沟槽。然后除去抗蚀图形。
25

接下来，在形成有虚拟图形和互连沟槽的叠层介电膜 34 上顺序形
30

成 30—50nm 厚的阻挡金属、50—100nm 厚的籽晶层和 600—1000nm 厚的铜膜。接下来，通过 CMP 工艺对铜膜进行研磨直到暴露出叠层介电膜 34 的上表面，接着形成 30—50nm 厚的封盖 SiCN 膜 35。通过这种方式，形成了如图 2B 所示的带有虚拟图形的第一上层铜层 110。

5

接下来，在第一上层铜层 110 上顺序生长 300—500nm 厚的二氧化硅 (SiO_2) 膜 42、50—70nm 厚的限位 SiCN 膜 43 和 300—500nm 厚的二氧化硅 (SiO_2) 膜 44。接下来通过光刻工艺在二氧化硅 (SiO_2) 膜 44 上形成用于形成通孔栓塞 140 的抗蚀图形，并且以这个抗蚀图形作为掩膜进行蚀刻直到暴露出封盖 SiCN 膜 35，以形成通孔部分，接着除去抗蚀图形。然后，通过光刻工艺在二氧化硅 (SiO_2) 膜 44 上形成用于形成第二上层铜层 120 的抗蚀图形，并且以这个抗蚀图形作为掩膜进行蚀刻，以在二氧化硅 (SiO_2) 膜 44 形成如图 2B 所示的虚拟图形。然后，在除去这个抗蚀图形之后，通过蚀刻除去作为通孔的底 10 表面的封盖 SiCN 膜 35。
15

接下来，顺序形成 30—50nm 厚的阻挡金属、50—100nm 厚的籽晶层和 600—1000nm 厚的铜膜。然后，通过 CMP 工艺对铜膜进行研磨直到暴露出二氧化硅 (SiO_2) 膜 44 的上表面，接着形成 30—50nm 厚的封盖 SiCN 膜 45。通过这种方式，形成了如图 2B 所示的带有虚拟图形的第二上层铜层 120。
20

接下来，在封盖 SiCN 膜 45 上形成 300—500nm 厚的二氧化硅 (SiO_2) 膜 52，并且通过光刻工艺在二氧化硅膜 52 上形成用于形成开口的抗蚀图形，其中，开口用于连接第二上层铜层 120 和键合焊盘 130。接下来，以抗蚀图形作为掩膜对二氧化硅 (SiO_2) 膜 52 和底层封盖 SiCN 膜 45 进行蚀刻，以形成开口。然后，在除去抗蚀图形之后，通过溅射工艺顺序形成作为阻挡金属的 100—200nm 厚的氮化钛 (TiN) 膜 54、800—1000nm 厚的 Al-Cu 膜（铝对铜的比例为 99.5% 至 0.5%）和作为 30 消反射涂层的 50—100nm 厚的氮化钛 (TiN) 膜 64。

然后，通过蚀刻工艺在氮化钛（TiN）膜 64 上形成用于形成键合焊盘 130 的抗蚀图形，接着以这个蚀刻图形作为掩膜，对氮化钛（TiN）膜 64、底层 Al-Cu（铝对铜的比例为 99.5% 至 0.5%）膜和氮化钛（TiN）膜 54 进行蚀刻。这次蚀刻后所留下的 Al-Cu（0.5%）膜变成键合焊盘 130。在形成键合焊盘 130 后除去抗蚀图形。接下来形成 100—200nm 厚的二氧化硅（SiO₂）膜 62，以覆盖键合焊盘 130 上的 TiN 膜 64，然后进一步在二氧化硅（SiO₂）膜 62 上形成 800—1000nm 厚的聚酰亚胺膜 66。

10

15

最后，通过蚀刻工艺在聚酰亚胺膜 66 上形成用于形成开口的抗蚀图形，其中，开口用于暴露出键合焊盘 130 的规定部位（实现键合的部位），并且以这个蚀刻图形作为掩膜，对聚酰亚胺膜 66、底层二氧化硅（SiO₂）膜 62 和氮化钛（TiN）膜 64 进行蚀刻，以暴露出键合焊盘 130。从而获得了具有如图 2A 所示的结构的半导体器件。

20

根据如上所描述的本实施例的半导体器件，在键合焊盘 130 的下面形成其弹性（弹性是可以回弹从外部施加的力的属性）比氧化物膜高的铜层，它们中间插有阻挡金属，从而获得了能够排斥检测和键合时由探针所施加的力以及阻止冲击被传递到键合焊盘 130 下面的结构。因此，这种半导体器件的抗冲击能力能到改善，且即使当探针被放在键合焊盘上面时，焊盘也不会受到损坏。

25

此外，在键合焊盘 130 下面提供铜层使得超声波能够被充分地传递至金引线和键合焊盘 130，而没有被诸如 L-Ox 膜的低 k 膜所吸收，其中，超声波用于在键合时实现金引线和键合焊盘 130 的共熔键合。因而，金引线和键合焊盘的紧密粘合得到加强且引线拉伸强度得到提高。

30

此外，键合焊盘部位的实际金属膜厚度是键合焊盘下面的铝和铜

层的总厚度，从而进一步增强了对抗检测和键合的硬度。因而，能够降低施加到底层 L-Ox 膜的邻近处的负载并且能够防止在层间介电膜中发生断裂。

5

第二实施例

在上述第一实施例的结构中，键合焊盘和内部电路的连接通过上层铜层实现，但是也可以采用键合焊盘被连接至辅助铜互连的结构，其中辅助铜互连被连接至内部电路。接下来将对应用这种类型的连接结构的半导体器件进行说明。

10

图 3 是作为本发明的第二实施例的半导体器件的剖面结构图。如图 3 所示，在本实施例的半导体器件中，在与第二上层铜层 120 相同的水平上形成连接至内部电路的辅助铜互连 125。辅助铜互连 125 和键合焊盘 130 通过通孔 150 电连接。这种结构的其它部分基本上与上述第一实施例的结构相同。

15

接下来将对制造本实施例的半导体器件的方法进行说明。下面的说明只限定于那些区别本实施例的部分，且略去对与第一实施例相同的步骤的详细说明。

20

从开始一直到第一上层铜层 110 的形成，半导体器件的制造与第一实施例中的程序相同。在形成第一上层铜层 110 之后，在如图 2A 所示的二氧化硅膜 44 中形成用于形成辅助铜互连 125 的沟槽，并且在形成第二上层铜层 120 的时候形成辅助铜互连 125。然后，当在二氧化硅 (SiO_2) 膜 52 上形成用于提供开口的抗蚀图形时，在这个抗蚀图形中包含入用于形成通孔 150 的图形，其中，开口用于连接第二上层铜层 120 和键合焊盘 130，通孔 150 用于连接辅助铜互连 125 和键合焊盘 130。通过与第一实施例相同的程序，顺序形成氮化钛 (TiN) 膜 54、键合焊盘 130、氮化钛 (TiN) 膜 64、二氧化硅 (SiO_2) 膜 62 和聚酰亚胺膜 66。

25

在本实施例的半导体器件中，除了具有第一实施例中所描述的效果外，还具有下述的效果。如果在检测和键合时由于对键合焊盘的冲击而导致在第二上层铜层 120 中发生断裂，则可以预见在第一实施例的结构中不能保证第二上层铜层 120 和内部电路之间的导电。但是，
5 在本实施例中，即使发生这种断裂，通过通孔 150 和辅助铜互连 125，也能够保证键合焊盘 130 和内部电路之间的导电。

进而，在本实施例中，由于键合焊盘 130 通过辅助铜互连 125 电
10 连接至内部电路，上层铜层 100 和内部电路无需连接。

此外，虽然在上面的说明中辅助铜互连 125 形成在与第二上层铜层 120 相同的水平上，本发明并不限于这种形式，且辅助铜互连 125 也可以形成在与诸如第一上层铜层 110 的其它导电层相同的水平上。
15

第三实施例

可以在上述第二实施例的结构中排列多个键合焊盘。现在将对应用这种类型的结构的半导体器件进行说明。

20 图 4A 是作为本发明的第三实施例的半导体器件的平面图，且图 4B 是示出了沿图 4A 中的 A-A' 虚线切开的结构的剖面图。在图 4A 和图 4B 中，在键合焊盘 130 上形成如图 2A 中所示的氮化钛 (TiN) 膜 64、二氧化硅 (SiO_2) 膜 62 和聚酰亚胺膜 66，但为了说明方便在此略去这些结构。
25

如图 4A 所示，本实施例的半导体器件是外部焊盘 132 和内部焊盘 134 沿不同的线排列的结构，其中，外部焊盘 132 是靠近划线 600 的键合焊盘，内部焊盘 134 是比外部焊盘 132 更靠近芯片的中心的键合焊盘。同时包含外部焊盘 132 和内部焊盘 134 的区域的剖面结构是接着
30 将描述的如图 4B 所示的结构。

5

在与第一下层铜层 210 相同的水平上形成用于电路互连的第一下层铜互连 212。在与第二下层铜层 220 相同的水平上形成用于电路互连的第二下层铜互连 222。在与第二上层铜层 120 相同的水平上形成用于电路互连的第二上层铜互连 122。

10

在外部焊盘 132 的下面形成第二上层铜层 120、第一上层铜层 110、第二下层铜层 220、第一下层铜层 210，作为抗冲击层。外部焊盘 132 通过辅助铜互连 125 和通孔栓塞 140 连接至第一下层铜互连 212 和第二下层铜互连 222。

在内部焊盘 134 的下面形成第二上层铜层 120 和第一上层铜层 110，作为抗冲击层。内部焊盘 134 连接至第二上层铜互连 122，其构成辅助铜互连。

15

也可以在内部焊盘 134 的下面提供第二下层铜层 220 和第一下层铜层 210。在这种情况下，提供第二下层铜层 220 用于预防相邻第二下层铜互连 222 之间的短路。第一下层铜层 210 具有相同的结构。

20

在本实施例的半导体器件中，与第二实施例相同，即使在检测和键合时由于对键合焊盘的冲击而导致在键合焊盘中发生断裂而导致不能在第二上层铜层 120 和键合焊盘之间获得足够的导电性时，通过辅助铜互连 125，也能够为外部焊盘 132 和内部焊盘 134 保证键合焊盘和内部电路之间的导电。

25

第四实施例

在上述的每个实施例中，可以使用作为第三介电膜的 SiOC 膜，第三介电膜包含其介电常数相对低于第一材料的材料，以代替作为下层铜层的层间介电膜的二氧化硅 (SiO_2) 膜。现在将对在如图 3 所示的半导体器件中应用这种类型的结构的示例进行说明。

30

图 5 是个剖面结构图，示出了作为本发明的第四实施例的半导体器件的结构。在本实施例的半导体器件中，上层铜层和下层铜层的铜面积比基本相等。上层铜层和上层铜层的上面部位如图 2B 所示。

5

如图 5 所示，下层铜层由四个层组成：第一下层铜层 410、第二下层铜层 412、第三下层铜层 414 和第四下层铜层 416。这四个层由与如图 2B 所示的第一上层铜层 110 的虚拟图形类似的图形所构成。

10

在第一下层铜层 410 中插入叠层介电膜 310，在第二下层铜层 412 中插入叠层介电膜 314，在第三下层铜层 414 中插入叠层介电膜 318，在第四下层铜层 416 中插入叠层介电膜 322。叠层介电膜 310、314、318 和 322 都是由 L-Ox 膜和二氧化硅 (SiO_2) 膜组成。

15

在第一下层铜层 410 和第二下层铜层 412 之间插入 SiOC 膜 312，在第二下层铜层 412 和第三下层铜层 414 之间插入 SiOC 膜 316，以及在第三下层铜层 414 和第四下层铜层 416 之间插入 SiOC 膜 320。 SiOC 膜 312、316 和 320 都是层间介电膜。

20

根据本实施例的半导体器件，每个上层铜层和下层铜层的铜面积比基本相等，且构成上层铜层和下层铜层的每个铜层的铜面积比也基本相等。这种结构能够实现更加均匀地分布冲击并且更大地改善抗冲击能力。

25

此外，由于 SiOC 膜 312、316 和 320 都是低 k 膜，当在与四个铜层中的至少两个铜层相同的水平上形成互连层时，互连层之间的电容能够被降低，其中，这四个铜层是第一下层铜层 410、第二下层铜层 412、第三下层铜层 414 和第四下层铜层 416。

30

虽然在本实施例中叠层介电膜 310、314、318 和 322 都是由 L-Ox

膜和二氧化硅膜组成，这些膜也可以由 SiOC 膜构成。

接下来对键合后的键合引线的拉伸强度的研究结果进行说明，即
5 引线拉伸测试的结果，这些结果是把先前描述的现有技术的半导体器
件与具有上述第一至第四实施例的结构的半导体器件中的每一种进行
比较而得出的结果。

10 在引线拉伸测试中，键合引线被向上拉伸，如果引线断裂且诸如
金或焊的球或键合焊盘在小于 4 gf 的力的作用下剥落，则认为连接有
缺陷。在如图 1 所示的现有技术的半导体器件中，当层间介电膜 750
是二氧化硅 (SiO_2) 膜时，缺陷比是 10%，且当层间介电膜 750 是 SiOC
膜时，缺陷比是 20%。相反，对于所有第一至第四实施例，缺陷比是
0%。

15 上述第一至第四实施例的结构以及制造方法只是本发明的示例，
且在不背离本发明的要旨的范围内，可以适当地修改本发明。例如，
上层铜层 100 和下层铜层 200 可以由非两个层或四个层的多个层构成。
当上层铜层是多个层时，即上层铜层的层数是 n，位于结构中的最顶层
20 的第 n 铜层（n 是等于或大于 2 的自然数）优选地根据改善抗冲击能力
的观点而被采用，这种观点是至少第 n 铜层和通孔栓塞被嵌入由第一
材料所组成的介电膜中。

25 此外，每个上层铜层 100 和下层铜层 200 也可以都是单层。在这种情况下，上层铜层 100 和下层铜层 200 中的任何一层也可以作为电
路互连层。

当上层铜层 100 和下层铜层 200 是虚拟层时，这些层的虚拟图形
并不限于如图 2B 和图 2C 中所示的形状，且可以采用使得铜的表面
密度大致均匀的其它图形。

此外，虽然通过双大马士革方法形成通孔栓塞 140 和第二上层铜层 120，也可以采用单大马士革方法（也简称为“大马士革方法”）。当使用大马士革方法时，通孔栓塞 140 和第二上层铜层 120 被分开形成。

5 进而，虽然把二氧化硅 (SiO_2) 膜作为带有第一材料的介电膜，
也可以使用其它介电膜。

10 当带有第一材料的介电膜是二氧化硅膜时，则对带有第二材料的
介电膜是 L-Ox 膜以及带有第三材料的介电膜是 SiOC 膜的情况进行了
描述，但是可以使用其它介电膜作为带有第二和第三材料的介电膜。
例如，带有第二和第三材料的介电膜可以是包含至少一种低 k 膜的膜，
低 k 膜例如有：L-Ox 膜、SiOC 膜、碳化硅 (SiC) 膜、SiOF 膜、多孔
二氧化硅 (SiO_2) 膜和多孔 SiOC 膜。

15 虽然以 SiCN 膜作为蚀刻限位膜和防铜扩散膜，但是也可以使用
SiC 膜或 SiN 膜。SiON 膜也可以被用作蚀刻限位膜。当从在此所推荐
的膜中选择蚀刻限位膜和防铜扩散膜时，可以通过下述的方式来选择
材料：比较例如介电常数和蚀刻选择性，然后选择有利于图形处理而
且是能够降低互连之间的电容的材料，其中，蚀刻选择性是蚀刻限位
20 膜或防铜扩散膜和将被蚀刻的膜之间的蚀刻速率的比例。

25 可以提供包含比二氧化硅膜软的低 k 膜的膜，例如 L-Ox 膜或 SiOC
膜，以替代带有第一材料的介电膜，例如插在第二上层铜层 120 中的
二氧化硅 (SiO_2) 膜 44。同样在这种情况下，键合时的抗冲击能力能
够得到被改善至高于现有技术的半导体器件。

30 此外，可以使用氮化钽 (TaN) 膜，作为位于键合焊盘 130 下面的
阻挡金属，而不是使用氮化钛 (TiN) 膜。在任何一种情况中，都能够
预防铝和铜的扩散。

进而，构成上层铜层 100 和下层铜层 200 的每层铜层以及通孔栓塞可以是包含少量诸如硅和铝的其它组分的材料。

根据上述的本发明，在键合焊盘的下面形成其弹性（弹性是可以回弹从外部施加的力的属性）比氧化物膜高的铜层，它们中间插有阻挡金属，从而获得了能够排斥在检测和键合时由探针施加的力以及阻止冲击被传递到键合焊盘下面的结构。因而，抗冲击能力得到改善，且当探针被放在键合焊盘上面时对焊盘的损坏能够得到预防。

此外，在键合焊盘下面提供铜层使得超声波能够被充分地传递至金引线和键合焊盘，而没有被诸如 L-Ox 膜的低 k 膜所吸收，其中，超声波用于在键合时实现金引线和键合焊盘之间的共熔键合。因而，金引线和键合焊盘的紧密粘合得到加强并且引线拉伸强度得到提高。

最后，由于键合焊盘部位的实际金属膜厚度是键合焊盘下面的铝和铜层的总膜厚度，从而可以获得具有较大的对抗检测和键合的硬度的器件，因而，能够降低施加到底层 L-Ox 膜的邻近处的负载并且能够防止在层间介电膜中发生断裂。

虽然已使用了具体术语对本发明的优选实施例进行描述，但是这种描述只是作为示例性的，且应当理解，在不脱离所附权利要求书的精神或范围的情况下，可以作出改变和变化。

图1
现有技术

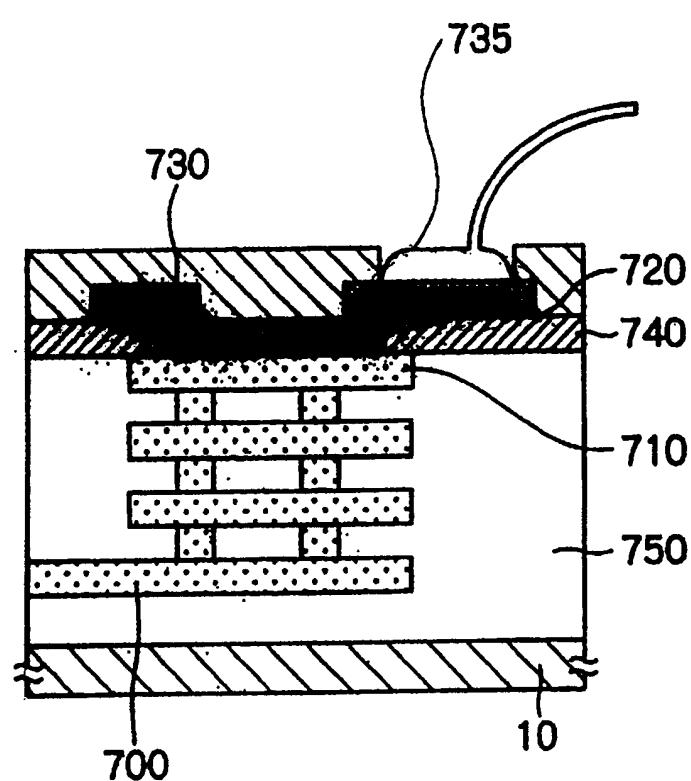


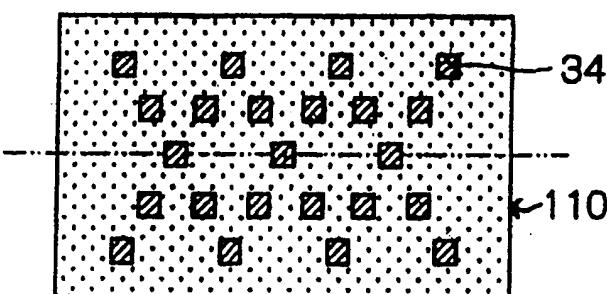
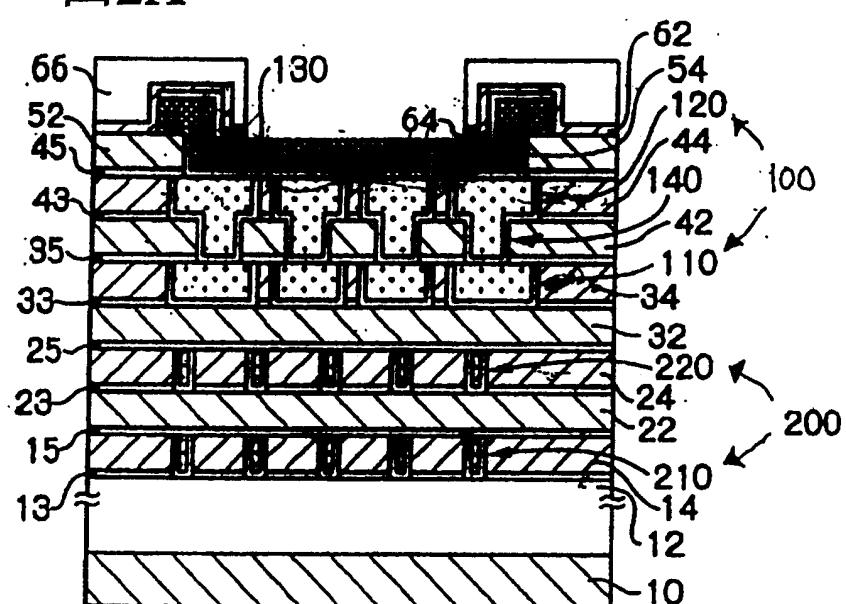
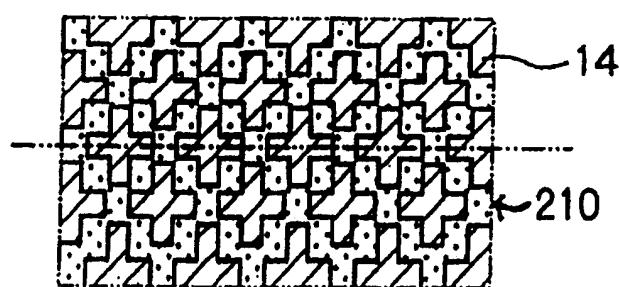
图2B**图2A****图2C**

图3

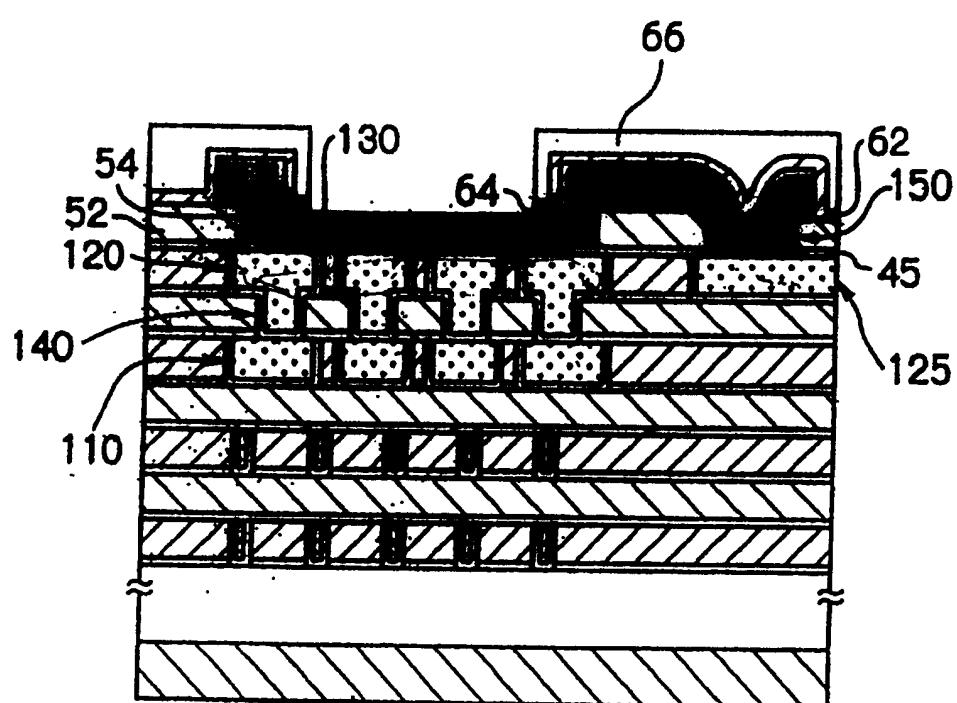


图4A

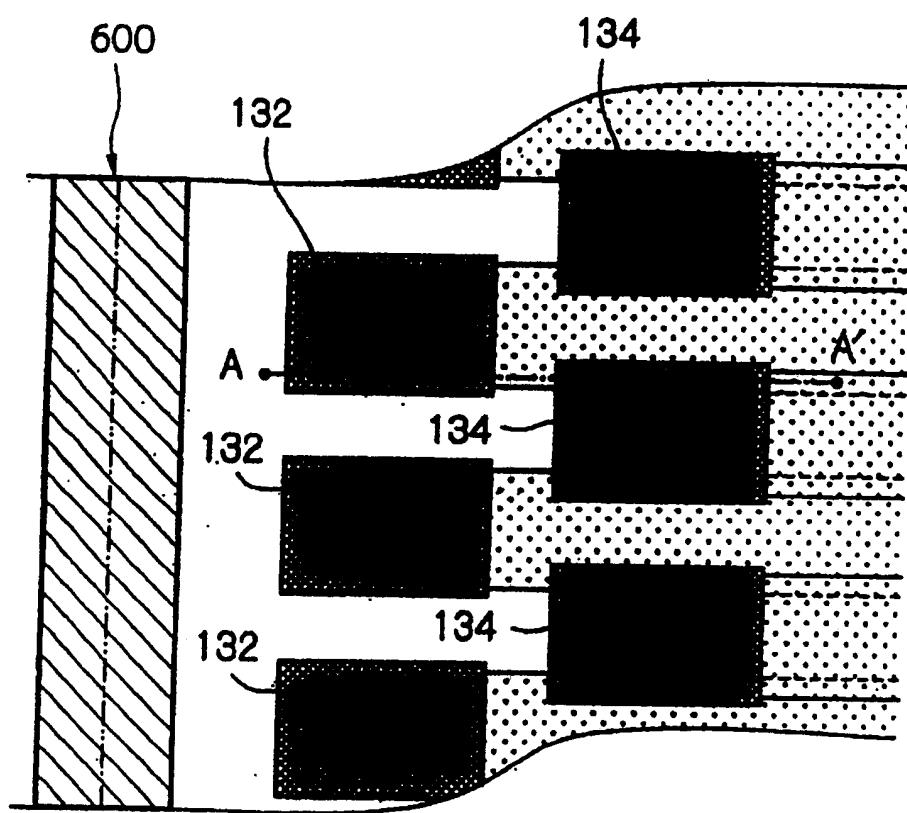


图4B

