(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0103827
(43) 공개일자 2008년11월28일

(51) Int. Cl.
G11C 11/4093 (2006.01) *G11C 11/4096* (2006.01)
(21) 출원번호 10-2007-0051055
(22) 출원일자 2007년05월25일
심사청구일자 2007년05월25일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
이경진
서울 성북구 안암동5가 134-20 제헌빌딩 609호
김수원
서울 광진구 자양2동 690-58 파라다이스리버빌 4층
(74) 대리인
현종철

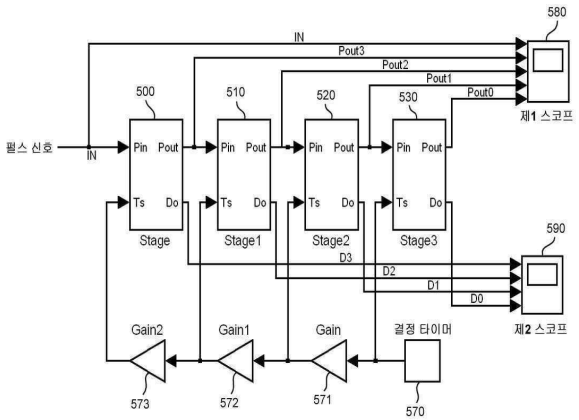
전체 청구항 수 : 총 12 항

(54) 파이프라인 시간 디지털 변환기의 스테이지 블록 회로,이를 이용하는 파이프라인 시간 디지털 변환기 및 씨모스온도센서

(57) 요 약

파이프라인 시간 디지털 변환기의 스테이지 블록 회로, 이를 이용하는 파이프라인 시간 디지털 변환기 및 씨모스 온도센서가 개시된다. 본 발명은 스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인; 상기 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭 만큼 축소시키는 감쇄 라인; 상기 지연 라인의 출력단 및 상기 감쇄 라인의 출력단 중 어느 하나의 신호를 상기 스테이지 출력 신호로 선택하는 멀티플렉서; 및 상기 감쇄 라인 출력단 신호의 변화에 따라 전환되는 신호를 상기 멀티플렉서의 제어 신호로 인가하는 플립플롭을 포함한다. 본 발명에 의하면, 시간 디지털 변환기의 구조를 파이프라인 구조로 설계하고 각 스테이지의 설계를 새롭게 함으로써, 순환식 시간 디지털 변환기에 비해 동작 시간을 현저히 줄일 수 있고, 전력 소모도 감소시키며, 면적 또한 줄일 수 있다.

대 표 도 - 도5



특허청구의 범위

청구항 1

스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인;

상기 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭 만큼 축소시키는 감쇄 라인;

상기 지연 라인의 출력단 및 상기 감쇄 라인의 출력단 중 어느 하나의 신호를 상기 스테이지 출력 신호로 선택하는 멀티플렉서; 및

상기 감쇄 라인 출력단 신호의 변화에 따라 전환되는 신호를 상기 멀티플렉서의 제어 신호로 인가하는 플립플롭을 포함하는 파이프라인 시간 디지털 변환기의 스테이지 블록 회로.

청구항 2

제 1 항에 있어서,

상기 감쇄 라인은

상기 스테이지 입력 신호의 펄스 폭이 상기 기준 펄스 폭보다 큰 경우에만 출력단의 신호를 전환시키는 것을 특징으로 하는 파이프라인 시간 디지털 변환기의 스테이지 블록 회로.

청구항 3

제 1 항에 있어서,

상기 플립플롭은

상기 감쇄 라인 출력단 신호의 변화가 없는 경우에는 상기 멀티플렉서가 상기 지연 라인의 출력단 신호를 선택하게 하는 제어 신호를 인가하고, 상기 감쇄 라인 출력단 신호의 변화가 있는 경우에는 상기 멀티플렉서가 상기 감쇄 라인의 출력단 신호를 선택하게 하는 제어 신호를 인가하는 것을 특징으로 하는 파이프라인 시간 디지털 변환기의 스테이지 블록 회로.

청구항 4

제 1 항에 있어서,

상기 지연 라인의 지연량은 상기 감쇄 라인의 지연량보다 크게 설계되는 것을 특징으로 하는 파이프라인 시간 디지털 변환기의 스테이지 블록 회로.

청구항 5

복수의 스테이지 블록으로 이루어지는 파이프라인 시간 디지털 변환기에 있어서,

상기 복수의 스테이지 블록은

이전 스테이지 블록으로부터 인가되는 스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인;

상기 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭 만큼 축소시키는 감쇄 라인;

상기 지연 라인의 출력단 및 상기 감쇄 라인의 출력단 중 어느 하나의 신호를 상기 스테이지 출력 신호로 선택하여 다음 스테이지 블록에 입력하는 멀티플렉서; 및

상기 감쇄 라인 출력단 신호의 변화에 따라 전환되는 신호를 상기 멀티플렉서의 제어 신호로 인가하는 플립플롭을 포함하는 파이프라인 시간 디지털 변환기.

청구항 6

제 5 항에 있어서,

상기 감쇄 라인은

상기 스테이지 입력 신호의 펄스 폭이 상기 기준 펄스 폭보다 큰 경우에만 출력단의 신호를 전환시키는 것을 특

징으로 하는 파이프라인 시간 디지털 변환기.

청구항 7

제 5 항에 있어서,

상기 플립플롭은

상기 감쇄 라인 출력단 신호의 변화가 없는 경우에는 상기 멀티플렉서가 상기 지연 라인의 출력단 신호를 선택하게 하는 제어 신호를 인가하고, 상기 감쇄 라인 출력단 신호의 변화가 있는 경우에는 상기 멀티플렉서가 상기 감쇄 라인의 출력단 신호를 선택하게 하는 제어 신호를 인가하는 것을 특징으로 하는 파이프라인 시간 디지털 변환기.

청구항 8

복수의 스테이지 블록으로 이루어지는 파이프라인 시간 디지털 변환기에 있어서,

상기 스테이지 블록은

이전 스테이지 블록으로부터 인가되는 스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인;

상기 지연 라인의 지연량보다 작은 지연량을 갖도록 설계되고, 상기 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭 만큼 축소시키는 감쇄 라인;

상기 지연 라인의 출력단 및 상기 감쇄 라인의 출력단 중 어느 하나의 신호를 상기 스테이지 출력 신호로 선택하여 다음 스테이지 블록에 입력하는 멀티플렉서;

상기 감쇄 라인 출력단 신호의 변화에 따라 전환되는 신호를 상기 멀티플렉서의 제어 신호로 인가하는 플립플롭; 및

상기 복수의 스테이지 블록의 각각에 소정의 클럭을 인가하여 상기 기준 펄스 폭을 결정하는 결정 타이머를 포함하고,

상기 각각의 스테이지 블록으로부터 출력되는 제어 신호가 디지털 출력 값인 것을 특징으로 하는 파이프라인 시간 디지털 변환기.

청구항 9

온도에 대응하는 펄스 신호를 출력하는 온도 펄스 제너레이터; 및

복수의 스테이지 블록에서 상기 펄스 신호에 대한 디지털 값을 출력하는 시간 디지털 변환기를 포함하고,

상기 복수의 스테이지 블록은

이전 스테이지 블록으로부터 인가되는 스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인;

상기 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭 만큼 축소시키는 감쇄 라인;

상기 지연 라인의 출력단 및 상기 감쇄 라인의 출력단 중 어느 하나의 신호를 상기 스테이지 출력 신호로 선택하여 다음 스테이지 블록에 입력하는 멀티플렉서; 및

상기 감쇄 라인 출력단 신호의 변화에 따라 전환되는 신호를 상기 멀티플렉서의 제어 신호로 인가하는 플립플롭을 포함하는 씨모스 온도센서.

청구항 10

제 9 항에 있어서,

상기 복수의 스테이지 블록은

상기 플립플롭의 제어신호가 씨모스 온도센서의 디지털 출력값인 것을 특징으로 하는 씨모스 온도센서.

청구항 11

제 9 항에 있어서,

상기 감쇄 라인은

상기 스테이지 입력 신호의 펄스 폭이 상기 기준 펄스 폭보다 큰 경우에만 출력단의 신호를 전환시키고,

상기 지연 라인은

지연량이 상기 감쇄 라인의 지연량보다 크게 설계되는 것을 특징으로 하는 씨모스 온도센서.

청구항 12

제 9 항에 있어서,

상기 플립플롭은

상기 감쇄 라인 출력단 신호의 변화가 없는 경우에는 상기 멀티플렉서가 상기 지연 라인의 출력단 신호를 선택하게 하는 제어 신호를 인가하고, 상기 감쇄 라인 출력단 신호의 변화가 있는 경우에는 상기 멀티플렉서가 상기 감쇄 라인의 출력단 신호를 선택하게 하는 제어 신호를 인가하는 것을 특징으로 하는 씨모스 온도센서.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 온도 센서에 관한 것으로, 특히, 파이프라인 시간 디지털 변환기의 스테이지 블록 회로, 이를 이용하는 파이프라인 시간 디지털 변환기 및 씨모스 온도센서에 관한 것이다.

<11> 최근 PDA, GPS, 디지털 카메라 및 UMPC 등과 같은 모바일 기기의 수요가 폭발적으로 증가함에 따라 이들 기기에 사용되는 mobile DRAM에 대한 관심이 고조되고 있다. 이러한 모바일 기기들은 저전력을 소모하면서, 고 이동성 뿐만 아니라 대용량의 데이터를 저장할 수 있는 mobile DRAM을 필요로 한다. mobile DRAM에서 소모되는 전력을 줄이기 위해서는 낮은 전원 전압에서 동작하는 회로들이 반드시 필요하다. 그러나 낮은 전원 전압은 셀 액세스(cell access) 트랜지스터의 전류 구동 능력을 현저히 저하시켜 DRAM의 동작속도를 제한하게 된다. 또한 낮은 전원 전압은 DRAM cell의 누설 전류를 증가시키는 원인이 되며, 이로 인해 데이터 리텐션 시간(data retention time)이 줄어들게 된다. 이러한 문제점을 해결하기 위한 한 가지 방안으로 DRAM cell의 리프레쉬(refresh) 주기를 조정하는 방법이 널리 사용되고 있다. 그러나 DRAM cell의 데이터 리텐션 시간이 온도 변화에 대한 함수이므로 리프레쉬 주기 역시 온도 변화의 함수가 되도록 하여야 한다. 일반적으로 DRAM의 동작속도가 빨라질 경우, 온도는 증가하게 되며, 이로 인해 데이터 리텐션 시간은 줄어들게 되므로, 빠른 리프레쉬 주기를 필요로 하고, 반대의 경우 느린 리프레쉬 주기를 필요로 한다. 이와 같은 적응적(adaptive) 동작은 DRAM의 전력 소모를 현저히 감소시킬 수 있으므로 DRAM 칩 내부에는 온도 변화를 감지할 수 있는 온도 센서의 설계가 반드시 필요하게 된다.

<12> 현재까지 씨모스(CMOS:Complementary Metal Oxide Semiconductor) 공정을 이용한 많은 온도 센서 관련 논문들이 발표되었다. 그러나 발표된 대부분의 씨모스 온도 센서는 시스템이 요구하는 정확도를 얻기 위해 복잡한 트리밍(trimming) 또는 오프셋 캔슬링(offset canceling) 기법들을 사용하였으며, 이로 인해 많은 전력을 소모한다는 문제점이 있다. 일반적으로 씨모스 온도 센서는 BJT를 이용하여 온도 변화를 감지하는데, 이때 사용되는 BJT의 특성이 공정 변화에 민감하기 때문에, BJT의 면적을 변화시켜 트리밍하는 기법을 사용한다. 또한, BJT를 이용한 온도 센서들은 회로에 사용된 op-amp의 dc-offset의 영향에 의해 전체 회로의 정확도가 결정되므로, chopping과 auto-zeroing등 과 같은 오프셋 캔슬링 기법을 필요로 하게 된다. 이러한 추가적인 기법들의 사용은 회로의 복잡도를 증가시켜 전력 소모를 증가시킬 뿐만 아니라 유효 면적을 증가시켜 생산 비용을 증가시키게 된다. 따라서 저전력, 저면적을 요구하는 모바일 기기에 응용하기 위해서는 이러한 복잡한 트리밍 또는 오프셋 캔슬링 기법들을 필요로 하지 않는 디지털 방식의 씨모스 온도 센서를 선택하는 것이 바람직하다.

<13> 도 1a는 종래의 씨모스 온도센서 회로의 예를 도시한 것이다.

<14> 온도센서(Temperature sensor)의 기본 구조는 도 1a와 같다. 도 1a에서 보이는 것과 같이 두 개의 동일한 diode-connected된 substrate PNP transistor(Q1, Q2)에 서로 다른 전류(이때, p는 Q1, Q2에 인가되는 전류의

크기 비율)를 공급하게 되면 온도에 비례하여 감소하는 전압인 V_{BE}와 온도에 비례하여 증가하는 전압인 ΔV_{BE}를 얻을 수 있다. 이와 같은 특성으로 바이폴라 트랜지스터(Bipolar transistor)는 온도에 비례하는 전압을 만들어 낼 수 있다. 최종적으로, ΔV_{BE}를 증폭시킨 V_{PTAT}와 기준전압(V_{REF})을 아날로그 디지털 컨버터(ADC)에 적용하면, 온도에 대응되는 디지털 값(D_{out})을 얻을 수 있다.

<15> 도 1b는 종래의 씨모스 디지털 온도센서의 예를 도시한 것이다.

<16> 종래의 디지털 방식의 씨모스 온도 센서는 온도에 대응하는 펄스(P_{in})를 출력하는 온도 펄스 제너레이터(Temperature-to-Pulse Generator)와 펄스(P_{in})를 입력으로 하여 디지털 값(D_{out})을 출력하는 시간 디지털 변환기(Time-to-Digital Converter)로 구성된다.

<17> 종래의 디지털 씨모스 온도 센서는 순환식 시간 디지털 변환기(Cyclic Time-to-Digital Converter)를 사용한다.

<18> 도 1c는 순환식 시간 디지털 변환기의 블록도이다. 순환식 시간 디지털 변환기는 매 순환(cycle)마다 일정한 양의 펄스 폭만큼 줄이는 역할을 한다. 이와 같은 과정은 P_{out}의 펄스 폭이 0이 될 때까지 계속되며, 이때 출력되는 펄스들이 다음 단의 카운터(Counter)로 공급되어 디지털 출력 (D_{out})을 생성한다.

<19> 그러나, 종래의 순환식 시간 디지털 변환기는 P_{out}이 0이 되기까지 많은 연산량을 요구하고, 연산량이 증가함에 따라 오차에 대한 확률이 증가하며, 사용하는 지연 소자(delay cell)가 많아져서 면적이 증가하며, 전력 소모도 커지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<20> 따라서, 본 발명이 이루고자 하는 첫 번째 기술적 과제는 시간 디지털 변환기의 연산량을 줄여 고속으로 데이터를 처리하면서, 저전력으로 구동을 할 수 있는 파이프라인 시간 디지털 변환기의 스테이지 블록 회로를 제공하는 데 있다.

<21> 본 발명이 이루고자 하는 두 번째 기술적 과제는 상기의 스테이지 블록 회로를 복수로 이용하여 파이프라인 처리를 수행하는 파이프라인 시간 디지털 변환기를 제공하는 데 있다.

<22> 본 발명이 이루고자 하는 세 번째 기술적 과제는 상기의 파이프라인 시간 디지털 변환기를 이용하는 씨모스 온도센서를 제공하는 데 있다.

발명의 구성 및 작용

<23> 상기의 첫 번째 기술적 과제를 이루기 위하여, 본 발명은 스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인; 상기 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭 만큼 축소시키는 감쇄 라인; 상기 지연 라인의 출력단 및 상기 감쇄 라인의 출력단 중 어느 하나의 신호를 상기 스테이지 출력 신호로 선택하는 멀티플렉서; 및 상기 감쇄 라인 출력단 신호의 변화에 따라 전환되는 신호를 상기 멀티플렉서의 제어 신호로 인가하는 플립플롭을 포함하는 파이프라인 시간 디지털 변환기의 스테이지 블록 회로를 제공한다.

<24> 상기의 두 번째 기술적 과제를 이루기 위하여, 본 발명은 복수의 스테이지 블록으로 이루어지는 파이프라인 시간 디지털 변환기에 있어서, 상기 복수의 스테이지 블록은 이전 스테이지 블록으로부터 인가되는 스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인; 상기 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭 만큼 축소시키는 감쇄 라인; 상기 지연 라인의 출력단 및 상기 감쇄 라인의 출력단 중 어느 하나의 신호를 상기 스테이지 출력 신호로 선택하여 다음 스테이지 블록에 입력하는 멀티플렉서; 및 상기 감쇄 라인 출력단 신호의 변화에 따라 전환되는 신호를 상기 멀티플렉서의 제어 신호로 인가하는 플립플롭을 포함하고, 각각의 스테이지 블록으로부터 출력되는 제어 신호가 디지털 출력값인 것을 특징으로 하는 파이프라인 시간 디지털 변환기를 포함하는 파이프라인 시간 디지털 변환기를 제공한다.

<25> 상기의 세 번째 기술적 과제를 이루기 위하여, 본 발명은 온도에 대응하는 펄스 신호를 출력하는 온도 펄스 제너레이터; 및 복수의 스테이지 블록에서 상기 펄스 신호에 대한 디지털 값을 출력하는 시간 디지털 변환기를 포함하고, 상기 복수의 스테이지 블록은 이전 스테이지 블록으로부터 인가되는 스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인; 상기 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭 만큼 축소시키는 감쇄 라인; 상기 지연 라인의 출력단 및 상기 감쇄 라인의 출력단 중 어느 하나의 신호를 상기 스테이지 출력 신호로 선택

하여 다음 스테이지 블록에 입력하는 멀티플렉서; 및 상기 감쇄 라인 출력단 신호의 변화에 따라 전환되는 신호를 상기 멀티플렉서의 제어 신호로 인가하는 플립플롭을 포함하는 씨모스 온도센서를 제공한다.

<26> 이하에서는 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나, 다음에 예시하는 본 발명의 실시 예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시 예에 한정되는 것은 아니다.

<27> 도 2는 본 발명에 따른 파이프라인 시간 디지털 변환기의 블록도이다.

<28> 위에서 온도 펄스 제너레이터의 출력인 펄스(P_{out})는 이하에서 P_{in}으로 인가된다. 파이프라인 시간 디지털 변환기(200)는 subranging ADC와 유사한 동작을 한다. 즉, 스테이지 1(210)에서는 최상위 비트(MSB) 만큼의 펄스 폭을 줄이고, 스테이지 2(220)에서는 MSB/2만큼의 펄스 폭을 줄이는 방식으로 동작을 한다. 동일한 방식으로, 스테이지 n-1(280) 및 스테이지 n(290)에서도 펄스 폭이 감쇄된다. 이때, 최종 출력은 각 스테이지에서의 출력 신호 즉, P_{in}, P_1, P_2, ... , P_{n-1}, P_n을 이용한 디지털 값, D_{n-1}, D_{n-2}, ... , D_1, D_0를 이용한 디지털 값이 된다. 특히, 본 발명에서는 카운터를 사용하지 않고도 디지털 출력 값을 얻을 수 있다. 여기서, D_{n-1}, D_{n-2}, ... , D_1, D_0는 온도 센서의 디지털 값을 구성하는 각각의 비트 값으로 이용된다.

<29> 따라서 종래의 시간 디지털 변환기에 비해 동작 시간을 현저히 줄일 수 있으며, 또한, 전력 소모도 감소시킬 수 있다.

<30> 도 3은 도 2에서 각각의 스테이지 블록 회로를 도시한 것이다.

<31> 도 2의 각 스테이지들은 도 3의 블록으로 구성된다. 각 스테이지는 펄스 폭(△W)을 줄이는 감쇄 라인(310)과 펄스 폭의 변화 없이 지연만 시키는 지연 라인(320)으로 구성된다. 이때, 지연 라인(320)의 지연량은 감쇄 라인(310)의 지연량보다 크게 설계할 수 있다. 또한 두 개의 지연 라인 중 하나를 선택할 수는 멀티플렉서(MUX, 330)와 멀티플렉서(330)의 입력 신호를 발생시키는 플립플롭(340)으로 구성된다. 이때, 플립플롭은 T-플립플롭(TFF)를 이용할 수 있다.

<32> 지연 라인(310)은 스테이지 입력 신호(P_n)를 소정의 시간만큼 지연시킨다. 지연 라인(310)의 소정의 딜레이 셀을 포함할 수 있다. 이때, 딜레이 셀의 개수나 구성은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자(이하 '당업자'라고 한다)가 필요에 따라 변경 가능한 범위의 것이다.

<33> 감쇄 라인(320)은 스테이지 입력 신호(P_n)의 펄스 폭에서 기준 펄스 폭(△W)만큼 축소시킨다. 바람직하게는, 감쇄 라인(320)은 스테이지 입력 신호(P_n)의 펄스 폭이 기준 펄스 폭보다 큰 경우에만 출력단의 신호(P_s)를 전환시키도록 구성할 수 있다.

<34> 멀티플렉서(330)는 지연 라인(310)의 출력단 및 감쇄 라인(320)의 출력단 중 어느 하나의 신호를 스테이지 출력 신호(P_{n+1})로 선택한다.

<35> 플립플롭(340)은 감쇄 라인(320) 출력단 신호(P_s)의 변화에 따라 전환되는 신호(D_{n-1})를 멀티플렉서(330)의 제어 신호로 인가한다. 즉, 플립플롭(340)의 출력 신호(D_{n-1})가 멀티플렉서(330)를 전환(toggling)시킨다.

<36> 바람직하게는, 플립플롭(340)은 감쇄 라인(320) 출력단 신호(P_s)의 변화가 없는 경우에는 멀티플렉서(330)가 지연 라인(310)의 출력단 신호(P_d)를 선택하게 하는 제어 신호를 인가하고, 감쇄 라인(320) 출력단 신호의 변화가 있는 경우에는 멀티플렉서(330)가 감쇄 라인(320)의 출력단 신호(P_s)를 선택하게 하는 제어 신호를 인가하도록 구성될 수 있다.

<37> 도 4a 및 도 4b는 도 3의 스테이지 블록 회로의 동작 원리를 도시한 것이다.

<38> 도 4a는 $T_p < T_s$ 인 경우를 나타낸다. 도 4a와 같이, 각 스테이지에 입력되는 펄스의 폭 (W_n)이 감쇄 라인에서 줄어드는 펄스의 폭 (△W)보다 작을 경우, P_s 에서는 아무런 신호가 나타나지 않는다. 따라서, P_s 는 전환(toggling)이 발생하지 않으므로 D_{n-1} 은 Low(0) 값을 가지게 되고 멀티플렉서는 Low 값에 해당하는 경로(P_d)를 선택한다. 따라서 다음 스테이지에는 펄스 폭의 감쇄가 없는 신호가 전달된다. 즉, $P_{n+1} = P_d = P_n$이다.

<39> 도 4b는 $T_p > T_s$ 인 경우를 나타낸다.

<40> 도 4b와 같이, 각 스테이지에 입력되는 펄스 폭(W_n)이 감쇄 라인에서 줄어드는 펄스의 폭(△W)보다 클 경우, P_s에서 두 펄스 폭의 차이만큼의 펄스 즉, $W_{n+1} = W_n - \triangle W$만큼의 펄스가 생성된다. 따라서 P_s는 전환이 발생하므로 D_{n-1}은 High(1) 값을 가지게 되고 멀티플렉서는 High값에 해당하는 경로(P_s)를 선택한다. 따라서 다음 단에는 △W만큼의 폭이 감쇄한 펄스가 전달된다. 즉, $P_{n+1} = P_s$이다.

<41> 위와 같은 동작이 각 스테이지에서 연속적으로 수행됨으로써, P_{out}에 비례하는 디지털 출력을 생성할 수 있다.

<42> 도 5는 본 발명에 따라 설계된 파이프라인 시간 디지털 변환기의 블록도이다.

<43> 도 5의 파이프라인 시간 디지털 변환기는 Simulink를 이용해 모델링한 것이다. Simulink는 시뮬레이션과 내장 시스템 개발용 프로그램으로서, 매트랩(MATLAB)을 기반으로 한 모델 기반 설계 툴로 활용된다. 도 5에서는 4bit의 출력을 기준으로 파이프라인 시간 디지털 변환기가 설계되었으나, 당업자의 입장에서 위와 같은 구성을 이용하여 8bit, 16bit 등의 구조를 설계하는 것은 용이하다.

<44> 도 5의 시간 디지털 변환기는 복수의 스테이지 블록(500, 510, 520, 530)을 포함한다.

<45> 각각의 스테이지 블록(500, 510, 520, 530)은 도 3에서 설명된 바와 같이, 이전 스테이지 블록으로부터 인가되는 스테이지 입력 신호를 소정의 시간만큼 지연시키는 지연 라인(310), 스테이지 입력 신호의 펄스 폭에서 기준 펄스 폭(△W) 만큼 축소시키는 감쇄 라인(320), 지연 라인(310)의 출력단 및 감쇄 라인(320)의 출력단 중 어느 하나의 신호를 스테이지 출력 신호로 선택하여 다음 스테이지 블록에 입력하는 멀티플렉서(330) 및 감쇄 라인(320) 출력단 신호의 변화에 따라 전환되는 신호를 멀티플렉서(330)의 제어 신호로 인가하는 플립플롭(340)을 포함한다.

<46> 제1스코프(580)는 복수의 스테이지 블록(500, 510, 520, 530)으로부터 각각의 스테이지 출력 신호(IN, Pout3, Pout2, Pout1, Pout0)를 모니터링 한다. 제2스코프(590)는 복수의 스테이지 블록(500, 510, 520, 530)으로부터 각각의 플립플롭의 제어신호(D3, D2, D1, D0)를 모니터링 한다. Simulink에서 스코프들(580, 590)은 결과 파형을 확인하기 위한 블록이다. 실제의 회로에는 이러한 스코프들(580, 590)이 포함되지 않는다.

<47> 결정 타이머(570)는 복수의 스테이지 블록(500, 510, 520, 530) 각각에 소정의 클럭(Ts)을 인가하여 기준 펄스 폭(△W)을 결정한다.

<48> 본 발명에 따른 씨모스 온도 센서는 위와 같이 구성된 파이프라인 시간 디지털 변환기를 포함하고, 온도 변화에 대한 펄스 신호를 입력(IN)으로 한다.

<49> 도 6은 도 5의 각각의 스테이지 출력 신호를 도시한 것이다.

<50> 도 6에서, 펄스의 폭이 각 스테이지를 지날 때마다 지연되거나 줄어든 모습을 확인할 수 있다. 즉, IN 에서 Pout3은 펄스의 폭이 감쇄하였고, Pout3에서 Pout2와 Pout2에서 Pout1은 펄스의 폭 변화 없이 지연량만 존재하며, Pout1에서 Pout0는 펄스의 폭이 감쇄하였다.

<51> 도 7은 도 5의 각각의 스테이지에서 플립플롭으로부터 출력되는 제어신호를 도시한 것이다.

<52> 본 발명에서 각 스테이지의 플립플롭의 출력 신호는 온도센서의 디지털 출력 값을 구성하는 각각의 비트 값으로 이용될 수 있다.

<53> 도 7에서, 각 스테이지를 지나고 나온 디지털 출력 결과를 보여주는데, 각 비트 값을 조합하여 보면, D3 D2 D1 D0 = $1001_2 = 9_{10}$를 얻을 수 있다.

<54> 본 발명에 의하면, 종래의 순환식 시간 디지털 변환기에 비해 동작 시간을 현저히 줄일 수 있고, 전력 소모도 감소시키며, 면적 또한 줄일 수 있다. 예를 들어, 각 시간 디지털 변환기에 10s의 펄스 폭을 갖는 입력을 인가한다고 해보자. 순환식 시간 디지털 변환기가 한번 순환하는데 걸리는 지연 시간(T_d)은 들어오는 입력 펄스 폭보다 커야 하므로 12s라 가정하고, 매회 일정하게 줄어드는 펄스 폭을 1s라 했을 때, 펄스가 0이 될 때까지 총 10번을 순환해야 하므로 이 변환기가 카운터의 최종 출력으로 1010을 출력하기까지는 120s가 걸린다. 이에 반해, 4bit 파이프라인 시간 디지털 변환기는 각 스테이지의 지연시간을 최대 12s라 가정하고, 각 단에서 줄어드는 펄스 폭을 8s(MSB/2), 4s, 2s, 1s라 하면 이 변환기는 카운터를 사용하지 않고, 4개의 스테이지를 거쳐, 총 36s

안에 1010이라는 출력을 얻을 수 있다.

<55> 본 발명은 도면에 도시된 일 실시 예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 그러나, 이와 같은 변형은 본 발명의 기술적 보호 범위 내에 있다고 보아야 한다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허 청구 범위의 기술적 사상에 의해서 정해져야 할 것이다.

발명의 효과

<56> 상술한 바와 같이, 본 발명에 의하면, 시간 디지털 변환기의 구조를 파이프라인 구조로 설계하고 각 스테이지의 설계를 새롭게 함으로써, 순환식 시간 디지털 변환기에 비해 동작 시간을 현저히 줄일 수 있고, 전력 소모도 감소시키며, 면적 또한 줄일 수 있는 효과가 있다.

도면의 간단한 설명

<1> 도 1a는 종래의 씨모스 온도 센서의 예를 도시한 것이다.

<2> 도 1b는 종래의 씨모스 디지털 온도 센서의 예를 도시한 것이다.

<3> 도 1c는 종래의 순환식 시간 디지털 변환기의 블록도이다.

<4> 도 2는 본 발명에 따른 파이프라인 시간 디지털 변환기의 블록도이다.

<5> 도 3은 도 2에서 각각의 스테이지 블록 회로를 도시한 것이다.

<6> 도 4a 및 도 4b는 도 3의 스테이지 블록 회로의 동작 원리를 도시한 것이다.

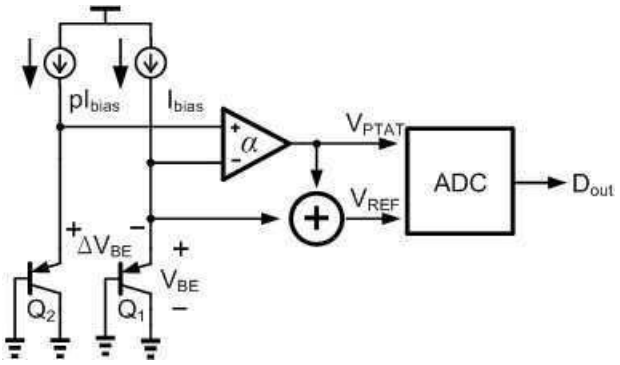
<7> 도 5는 본 발명에 따라 설계된 파이프라인 시간 디지털 변환기의 블록도이다.

<8> 도 6은 도 5의 각각의 스테이지 출력 신호를 도시한 것이다.

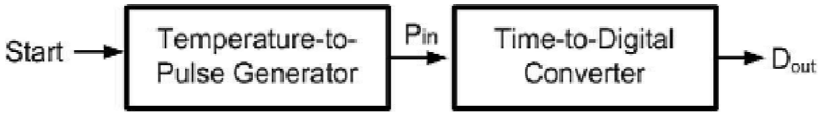
<9> 도 7은 도 5의 각각의 스테이지에서 플립플롭의 제어신호를 도시한 것이다.

도면

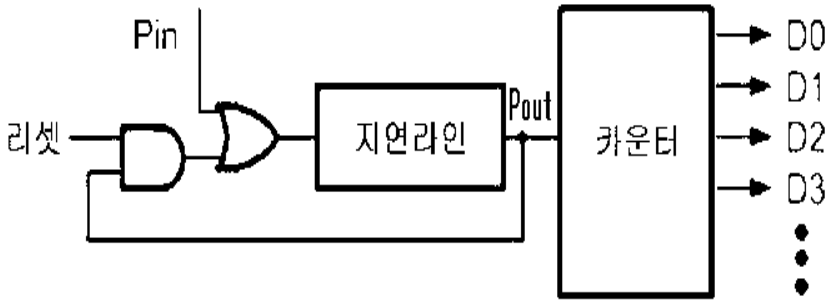
도면1a



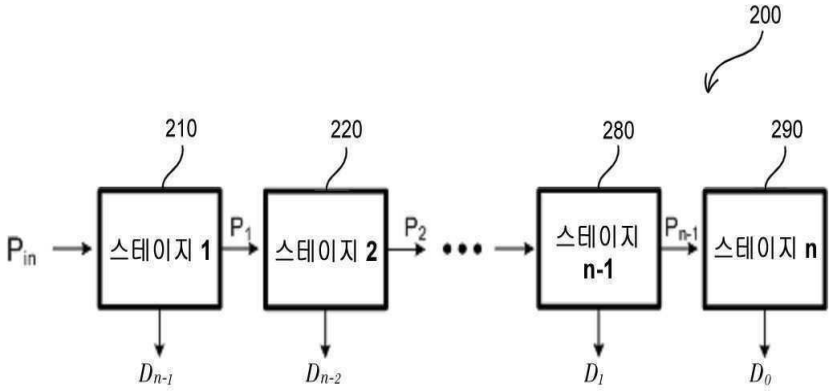
도면1b



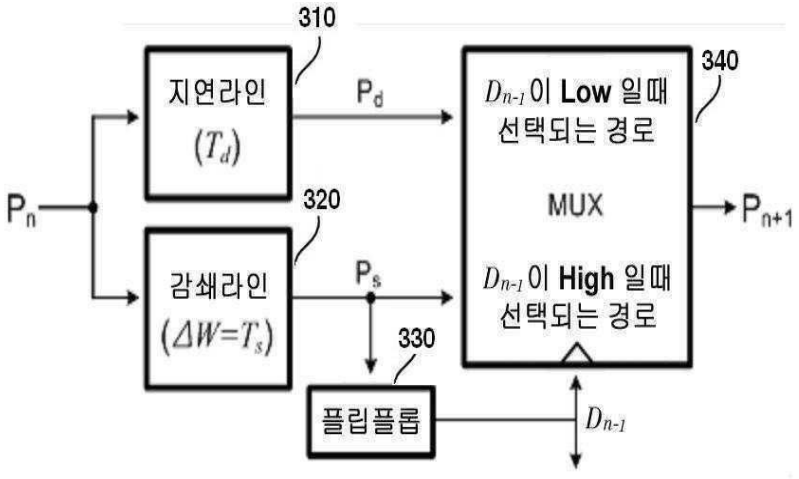
도면1c


Pin
리셋
지연라인
Pout
카운터
D0
D1
D2
D3

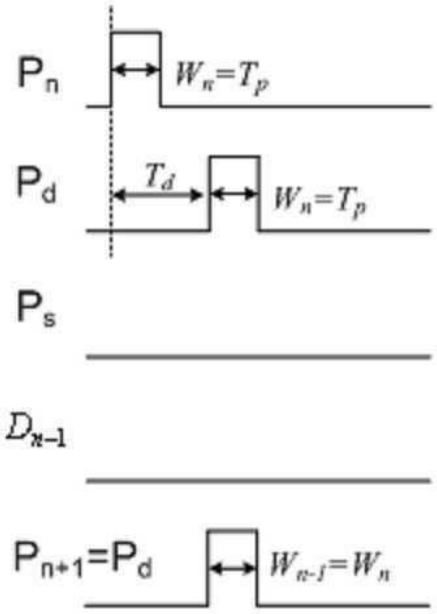
도면2


200
210
220
280
290
Pin
스테이지 1
P1
스테이지 2
P2
스테이지 n-1
Pn-1
스테이지 n
Dn-1
Dn-2
D1
D0

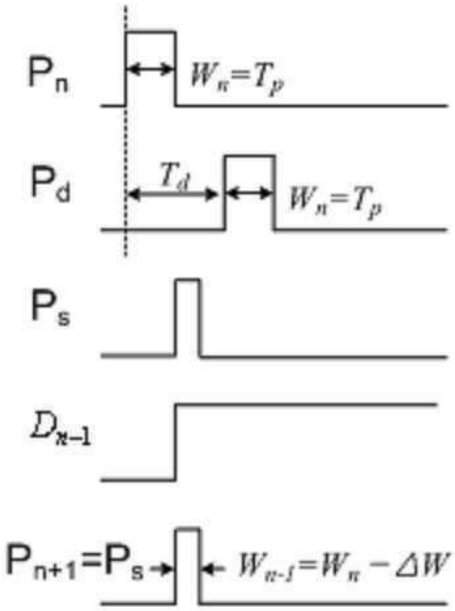
도면3


310
지연라인
(Td)
Pd
340
Dn-1이 Low 일때
선택되는 경로
MUX
Dn-1이 High 일때
선택되는 경로
Pn+1
Pn
320
감쇄라인
(ΔW=Ts)
Ps
330
플립플롭
Dn-1

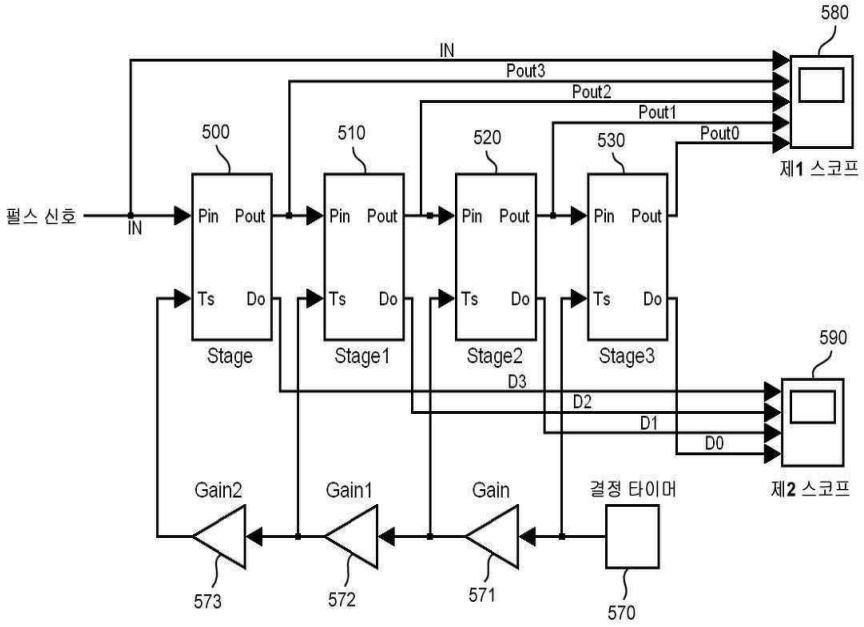
도면4a


Pn
$W_n=T_p$
Pd
T_d
$W_n=T_p$
Ps
D_{n-1}
Pn+1=Pd
$W_{n-1}=W_n$

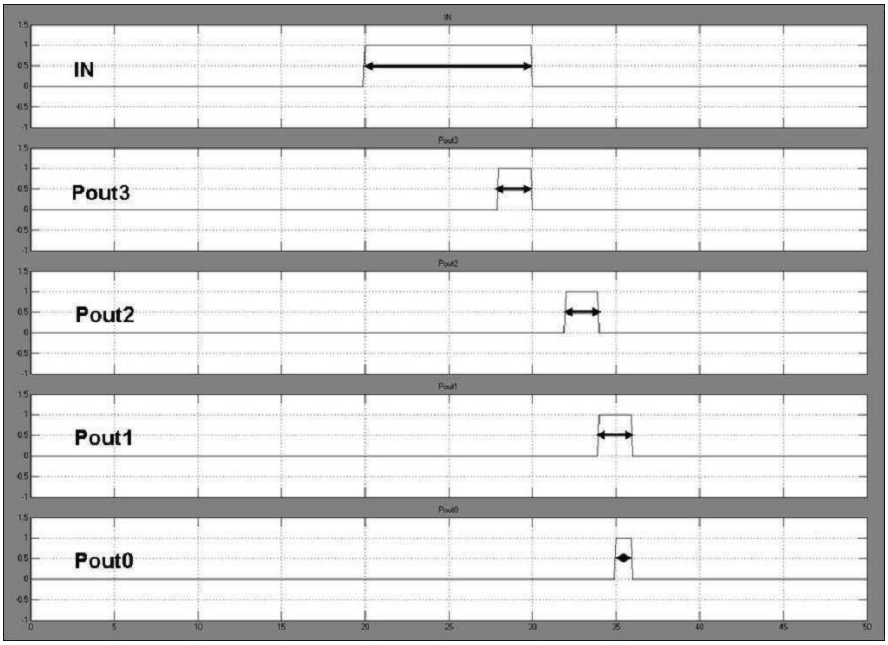
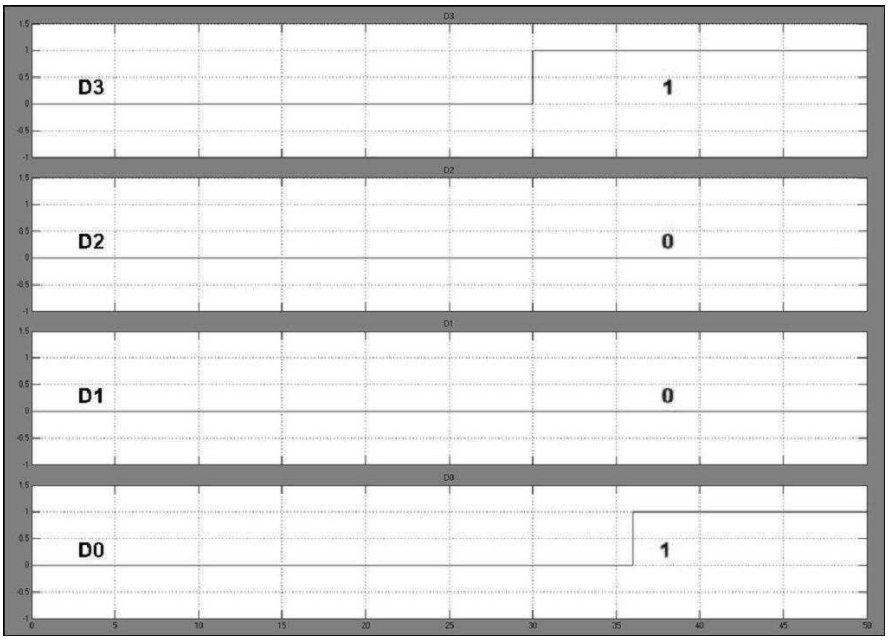
도면4b


Pn
$W_n=T_p$
Pd
T_d
$W_n=T_p$
Ps
D_{n-1}
Pn+1=Ps
$W_{n-1}=W_n-\Delta W$

도면5


580
IN
Pout3
Pout2
Pout1
Pout0
제1 스코프
500
510
520
530
펄스 신호
IN
Pin
Pout
Ts
Do
Stage
Stage1
Stage2
Stage3
590
D3
D2
D1
D0
제2 스코프
Gain2
Gain1
Gain
결정 타이머
573
572
571
570

도면6


IN
Pout3
Pout2
Pout1
Pout0

도면7