



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I559448 B

(45) 公告日：中華民國 105 (2016) 年 11 月 21 日

(21) 申請案號：104132154 (22) 申請日：中華民國 97 (2008) 年 03 月 26 日
 (51) Int. Cl. : *H01L21/768 (2006.01)* *H01L21/786 (2006.01)*
 (30) 優先權：2007/03/26 日本 2007-078067
 (71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
 LABORATORY CO., LTD. (JP)
 日本
 (72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；須澤英臣 SUZAWA, HIDEOMI (JP)；笹
 川慎也 SASAGAWA, SHINYA (JP)；倉田求 KURATA, MOTOMU (JP)
 (74) 代理人：林志剛
 (56) 參考文獻：
 TW 200628941
 審查人員：李秋峰
 申請專利範圍項數：9 項 圖式數：21 共 76 頁

(54) 名稱

半導體裝置及其製法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

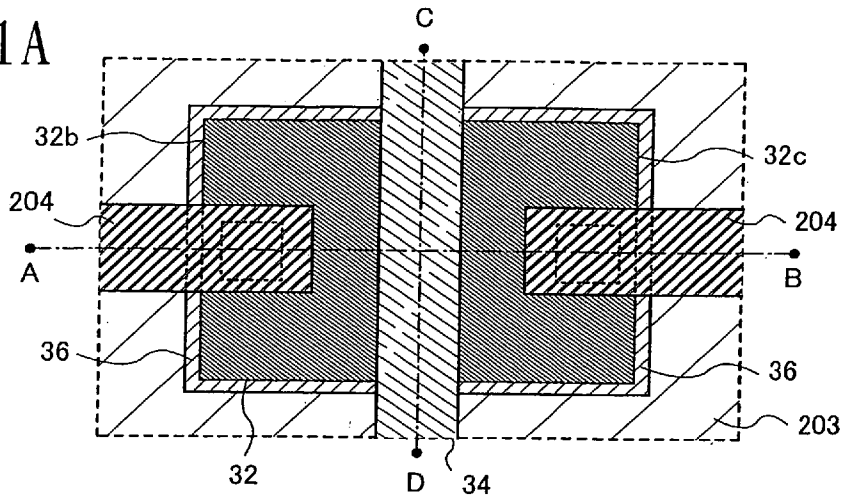
(57) 摘要

本發明提供當形成接觸孔時容易進行蝕刻控制的半導體裝置的製造技術。本發明的半導體裝置至少包括：形成在絕緣表面上的半導體層；形成在半導體層上的第一絕緣層；形成在第一絕緣層上的閘極電極；形成在閘極電極上的第二絕緣層；以及形成在第二絕緣層上的導電層，其中，該第二絕緣層經由一開口部連接至該半導體層，該開口部至少在半導體層及第二絕緣層中形成且露出絕緣表面的一部分。這裏的導電層在形成於半導體層中的開口的側面處與半導體層電連接。

A technique of manufacturing a semiconductor device in which etching in formation of a contact hole can be easily controlled is proposed. A semiconductor device includes at least a semiconductor layer formed over an insulating surface; a first insulating layer formed over the semiconductor layer; a gate electrode formed over the first insulating layer; a second insulating layer formed over the gate electrode; and a conductive layer formed over the second insulating layer connected to the semiconductor layer via an opening which is formed at least in the semiconductor layer and the second insulating layer and partially exposes the insulating surface. The conductive layer is electrically connected to the semiconductor layer at the side surface of the opening which is formed in the semiconductor layer.

指定代表圖：

圖 1A



符號簡單說明：

- 30 . . . 基板
- 31a . . . 第一絕緣層
- 31b . . . 第二絕緣層
- 32 . . . 半導體層
- 32a . . . 通道形成區
- 32b、32c . . . 雜質區
- 33 . . . 絕緣層
- 34 . . . 導電層
- 203 . . . 絕緣層
- 204 . . . 導電層
- 205 . . . 薄膜電晶體
- 36 . . . 絕緣層
- A、B、C、D . . . 虛線

圖 1B

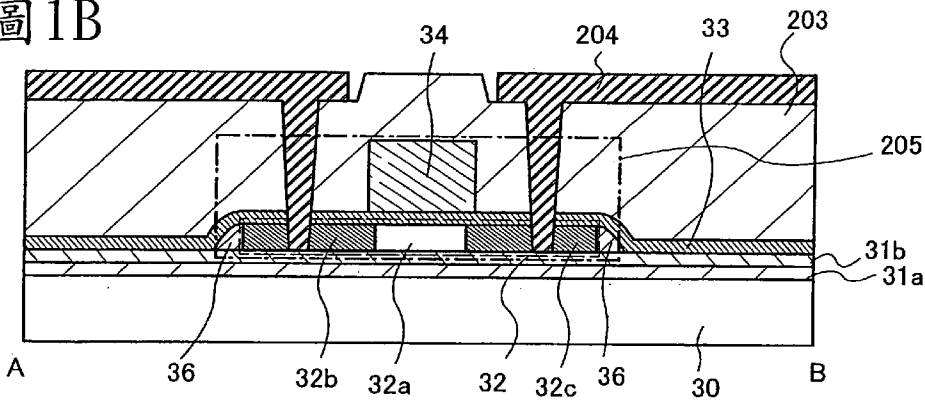
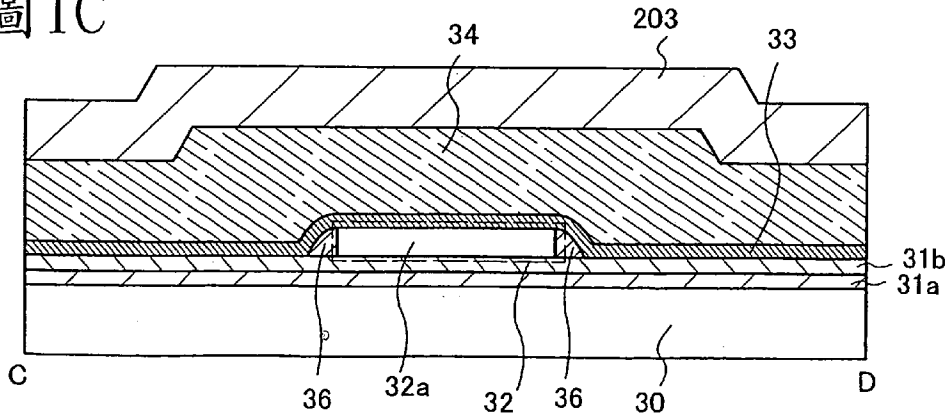


圖 1C



發明摘要

※申請案號：

104132154 (由 97110806 分割)

※申請日：97年3月26日

※IPC分類：H01L 21/268 (2006.01)

H01L 21/286 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製法

Semiconductor device and method for manufacturing the same

【中文】

本發明提供當形成接觸孔時容易進行蝕刻控制的半導體裝置的製造技術。本發明的半導體裝置至少包括：形成在絕緣表面上的半導體層；形成在半導體層上的第一絕緣層；形成在第一絕緣層上的閘極電極；形成在閘極電極上的第二絕緣層；以及形成在第二絕緣層上的導電層，其中，該第二絕緣層經由一開口部連接至該半導體層，該開口部至少在半導體層及第二絕緣層中形成且露出絕緣表面的一部分。這裏的導電層在形成於半導體層中的開口的側面處與半導體層電連接。

【 英文 】

A technique of manufacturing a semiconductor device in which etching in formation of a contact hole can be easily controlled is proposed. A semiconductor device includes at least a semiconductor layer formed over an insulating surface; a first insulating layer formed over the semiconductor layer; a gate electrode formed over the first insulating layer; a second insulating layer formed over the gate electrode; and a conductive layer formed over the second insulating layer connected to the semiconductor layer via an opening which is formed at least in the semiconductor layer and the second insulating layer and partially exposes the insulating surface. The conductive layer is electrically connected to the semiconductor layer at the side surface of the opening which is formed in the semiconductor layer.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

30：基板

31a：第一絕緣層

31b：第二絕緣層

32：半導體層

32a：通道形成區

32b、32c：雜質區

33：絕緣層

34：導電層

203：絕緣層

204：導電層

205：薄膜電晶體

36：絕緣層

A、B、C、D：虛線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製法

Semiconductor device and method for manufacturing the same

【技術領域】

本發明係關於一種半導體裝置及其製造方法。注意，在本說明書中，半導體裝置是指能夠藉由利用半導體特性來發揮功能的所有裝置。

【先前技術】

近年來，正在積極地製造將薄膜電晶體（TFT）形成於玻璃等具有絕緣表面的基板上，並且使用該薄膜電晶體作為開關元件等的半導體裝置。藉由使用 CVD 法、光微影處理等，將島狀半導體膜形成於具有絕緣表面的基板上，並且將該島狀半導體膜的一部分用作通道形成區而設置該薄膜電晶體。（例如，專利文獻 1）

[專利文獻 1]日本專利申請特開平第 08-018055 號公報

圖 21 表示薄膜電晶體的示意截面圖。如圖 21 所示，薄膜電晶體在基板 30 上形成有用作底膜的絕緣層 31，在絕緣層 31 上形成有具有通道形成區 32a、用作源區及汲區的雜質區 32b、32c 的半導體層 32，在半導體層 32 及

絕緣層 31 上形成有用作閘極絕緣層的絕緣層 33，在絕緣層 33 上形成有用作閘極電極的導電層 34，在導電層 34 上形成有絕緣層 203，在絕緣層 203 上形成有與雜質區 32b、32c 電連接的佈線 204。

普遍認為在圖 21 的結構中，為了將佈線與源區或汲區的表面電連接，需要在開口部的底部形成用作源區或汲區的半導體層。因此，當在絕緣層中形成開口部時蝕刻控制很不容易。這是在將半導體層形成為 50nm 以下的薄膜時特別明顯出現的問題。

【發明內容】

本發明是解決上述問題的技術，並且提供當形成接觸孔時容易進行蝕刻控制的半導體裝置的製造技術。

本發明的半導體裝置至少包括：形成在絕緣表面上的半導體層；形成在半導體層上的第一絕緣層；形成在第一絕緣層上的閘極電極；形成在閘極電極上的第二絕緣層；以及形成在第二絕緣層上以充填一開口部的一導電層，其中，該開口部至少在半導體層及第二絕緣層中形成且露出絕緣表面的一部分。注意，這裏的導電層在形成於半導體層中的接觸孔的側面處與半導體層電連接。此外，也可以形成接觸孔以暴露半導體層表面的一部分。也就是說，也可以採用如下結構：形成在半導體層中的開口被形成為具有比形成在第二絕緣層中的開口小的俯視面積，並且在形成於半導體層中的接觸孔的側面處以及半導體層的表面上

導電層與半導體層電連接。

本發明的半導體裝置可以藉由如下步驟製造：在絕緣表面上形成半導體層；在半導體層上形成第一絕緣層；在第一絕緣層上形成閘極電極；在閘極電極上形成第二絕緣層；至少在所述半導體層及所述第二絕緣層中形成露出所述絕緣表面的一部分的開口部；以及在絕緣表面及所述第二絕緣層上以填充該開口部而形成一導電層。

另外，本發明的半導體裝置可以藉由如下步驟製造：在基板上形成第一絕緣層；在第一絕緣層上形成第二絕緣層；在第二絕緣層上形成半導體層；在半導體層上形成第三絕緣層；在第三絕緣層上形成閘極電極；在閘極電極上形成第四絕緣層；至少在第二絕緣層、半導體層及第四絕緣層中形成露出第一絕緣層表面的一部分的開口部；以及在所述第一絕緣層的表面及第四絕緣層上以填充該開口部而形成導電層。

另外，本發明的半導體裝置可以藉由如下步驟製造：在基板上形成第一絕緣層；在第一絕緣層上形成第二絕緣層；在第二絕緣層上形成半導體層；在半導體層上形成第三絕緣層；在第三絕緣層上形成閘極電極；在閘極電極上形成第四絕緣層；在第四絕緣層上形成抗蝕劑，以抗蝕劑作為掩模至少在第四絕緣層中形成露出半導體層表面的一部分的第一開口部；以抗蝕劑作為掩模至少蝕刻第二絕緣層、半導體層及第四絕緣層以形成露出第一絕緣層表面及半導體層表面的一部分的第二開口部；以及在第一絕緣層

的表面、半導體層的表面及第四絕緣層上以填充該第二開口部而形成導電層。此外，第一開口部可以藉由濕蝕刻形成，第二開口部可以藉由乾蝕刻形成。

另外，本發明的半導體裝置可以藉由如下步驟製造：在基板上形成第一絕緣層；在第一絕緣層上形成第二絕緣層；在第二絕緣層上形成半導體層；在半導體層上形成第三絕緣層；在第三絕緣層上形成閘極電極；在閘極電極上形成第四絕緣層；在第四絕緣層上形成抗蝕劑，並且以抗蝕劑作為掩模至少在第四絕緣層中形成露出半導體層表面的一部分的第一開口部；蝕刻抗蝕劑以縮減該抗蝕劑，並且以抗蝕劑作為掩模至少對第二絕緣層、半導體層及第四絕緣層進行蝕刻，來形成露出第一絕緣層表面及半導體層表面的一部分的第二開口部；以及在第一絕緣層的表面、半導體層的表面及第四絕緣層上以填該第二開口部而形成導電層。此外，第一開口部及第二開口部可以藉由乾蝕刻形成。

在本發明中，不必在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。

【圖式簡單說明】

圖 1A 至 1C 是說明本發明的半導體裝置的結構的俯

視圖以及截面圖；

圖 2A 至 2H 是說明本發明的半導體裝置的製造方法的截面圖；

圖 3A 至 3F 是說明本發明的半導體裝置的製造方法的截面圖；

圖 4A 至 4D 是說明本發明的半導體裝置的製造方法的截面圖；

圖 5A 至 5C 是說明本發明的半導體裝置的結構的俯視圖以及截面圖；

圖 6A 至 6D 是說明本發明的半導體裝置的製造方法的截面圖；

圖 7A 至 7C 是說明本發明的半導體裝置的結構的俯視圖以及截面圖；

圖 8A 至 8F 是說明本發明的半導體裝置的製造方法的截面圖；

圖 9A 至 9D 是說明本發明的半導體裝置的製造方法的截面圖；

圖 10A 至 10F 是說明本發明的半導體裝置的製造方法的截面圖；

圖 11A 至 11C 是說明本發明的半導體裝置的結構的俯視圖以及截面圖；

圖 12A 至 12D 是說明本發明的半導體裝置的製造方法的截面圖；

圖 13A 和 13B 是說明本發明的半導體裝置的結構的

截面圖；

圖 14A 和 14B 是說明本發明的半導體裝置的結構的
截面圖；

圖 15A 和 15B 是說明本發明的半導體裝置的結構的
截面圖；

圖 16A 至 16D 是說明本發明的半導體裝置的製造方
法的截面圖；

圖 17A 至 17F 是說明本發明的半導體裝置的製造方
法的截面圖；

圖 18 是說明本發明的半導體裝置的結構的截面圖；

圖 19 是說明本發明的半導體裝置的結構的截面圖；

圖 20A 和 20B 是說明本發明的半導體裝置的結構的
俯視圖以及截面圖；和

圖 21 是說明現有的半導體裝置的結構的截面圖。

【實施方式】

下面，參考附圖對本發明的實施例模式進行說明。但是，本發明不局限於以下說明，所屬技術領域的普通技術人員可以很容易地理解的一個事實就是，其方式和詳細內容可以被變換為各種各樣的形式，而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在以下所示的實施例模式所記載的內容中。此外，在以下說明的本發明的結構中，有時在不同附圖之間共同使用表示相同部分的符號。

實施例模式 1

在本實施例模式中，說明容易進行當形成接觸孔時的蝕刻控制的半導體裝置的結構及製造方法。

圖 1 是爲了說明根據本發明的半導體裝置的主要結構的俯視圖以及截面圖。圖 1A 特別表示薄膜電晶體的俯視圖，圖 1B 表示圖 1A 中的虛線 A-B 之間的截面圖，圖 1C 表示圖 1A 中的虛線 C-D 之間的截面圖。

本實施例模式所示的半導體裝置包括：薄膜電晶體 205，其具有中間夾著絕緣層 31 在基板 30 上設置爲島狀的半導體層 32、形成在半導體層 32 上的閘極絕緣層 33、中間夾著閘極絕緣層 33 在半導體層 32 的上方設置的用作閘極電極的導電層 34；覆蓋閘極絕緣層 33 及導電層 34 而設置的絕緣層 203；設置在絕緣層 203 上的用作源極電極或汲極電極的導電層 204（圖 1A 至 1C）。另外，半導體層 32 除了通道形成區 32a 和用作源區或汲區的雜質區 32b、32c 以外，還包括絕緣層 36。該絕緣層 36 形成在半導體層 32 的端部，即這裏的與導電層 34 的下方的通道形成區 32a 相接的部分。

在本實施例模式所示的半導體裝置中，藉由蝕刻絕緣層 203 及半導體層 32 的雜質區 32b、32c 來形成到達第二絕緣層 31b 的接觸孔（也稱爲開口部），然後，以填充該接觸孔的方式形成導電層 204。也就是說，在本實施例模式中，導電層 204 和雜質區 32b、32c 在形成於雜質區

105年4月18日修正
劃線頁(本)

32b、32c 中的接觸孔的側面處電連接。

在本實施例模式中，不必在半導體層的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。

在此，不需要形成設置在半導體層的端部的絕緣層 36，但是為了防止半導體層 32 的端部和用作閘極電極的導電層 34 短路而發生漏電流，較佳的設置該絕緣膜 36。由此，在設置絕緣層 36 的情況下，至少在半導體層 32 的通道形成區 32a 的側面（露出部分）形成絕緣層 36 即可。然而，當然還可以形成於其他的部分。注意，在本實施例模式中，在閘極絕緣層 33 的下方（基板側）的區域中與閘極絕緣層 33 相接形成絕緣層 36。

接下來，參照附圖對圖 1 所示的半導體裝置的製造方法的一個例子進行說明。注意，使用圖 2A 至 2D、圖 3A 至 3C、圖 4A 和 4B 來說明圖 1A 的虛線 A-B 之間的截面中的製造方法，而且使用圖 2E 至 2H、圖 3D 至 3F、圖 4C 和 4D 來說明圖 1A 的虛線 C-D 之間的截面中的製造方法。

首先，在基板 30 上形成絕緣層 31（圖 2A 和 2E）。在本實施例模式中，絕緣層 31 具有雙層結構，其包括形成在基板 30 上的第一絕緣層 31a 以及形成在第一絕緣層 31a 上的第二絕緣層 31b。

基板 30 可以使用玻璃基板、石英基板、金屬基板（例如，陶瓷基板、不銹鋼基板等）、以及 Si 基板等半導體基板等。另外，作為塑膠基板，還可以選擇聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚砜（PES）、或丙烯等的基板。

絕緣層 31 例如藉由使用 CVD 法或濺射法等並且使用氧化矽、氮化矽、氧氮化矽（ SiO_xN_y ）（ $x>y>0$ ）、氮氧化矽（ SiN_xO_y ）（ $x>y>0$ ）等絕緣材料形成。例如，較佳的，形成氮氧化矽膜作為第一絕緣層 31a，並且形成氧氮化矽膜作為第二絕緣層 31b。另外，也可以形成氮化矽膜作為第一絕緣層 31a，並且形成氧化矽膜作為第二絕緣層 31b。藉由形成絕緣層 31，可以防止鹼金屬等雜質從基板 30 擴散而污染形成在該絕緣層 31 上的元件。

接著，在絕緣層 31 上形成半導體膜 201。半導體膜 201 可以由非晶半導體膜或晶體半導體膜形成。作為晶體半導體膜，可以使用藉由熱處理或雷射照射使在絕緣層 31 上形成的非晶半導體膜晶化而成的半導體膜等。作為半導體材料，較佳的使用矽，另外還可以使用矽鍺半導體等。

以 10nm 至 200nm，較佳的為 10nm 至 50nm 左右，更佳的為 10nm 至 30nm 左右的膜厚度形成半導體膜 201。此外，當形成 50nm 以下的半導體膜時，可以在以 50nm 以上的膜厚度形成半導體膜之後，對半導體膜的表面進行乾蝕刻處理來形成具有 10nm 至 50nm 左右的膜厚度的半導

體膜。作為當進行上述蝕刻時的蝕刻氣體，可以使用氯基氣體如 Cl_2 、 BCl_3 或 SiCl_4 等；氟基氣體如 CF_4 、 NF_3 、 SF_6 或 CHF_3 等；或者將 O_2 氣體、 H_2 氣體、惰性氣體如 He、Ar 等適當地添加於氟基氣體中的混合氣體等。此外，也可以在進行乾蝕刻之前，對半導體膜的表面進行稀氫氟酸處理來去除形成在半導體表面的自然氧化膜，然後，對半導體膜的表面進行臭氧水處理，來在半導體膜的表面形成氧化膜。

藉由以 50nm 以下左右的膜厚度形成半導體膜 201，可以減少形成在半導體膜表面的閘極絕緣層的覆蓋缺陷。此外，藉由以薄膜形狀形成半導體膜，可以進一步使 TFT 小型化。此外，即使在增加對通道形成區摻雜的雜質元素的量以便控制 TFT 的臨界值電壓時，也藉由以薄膜形狀形成半導體膜，容易製造完全耗盡型 TFT，因此可以製造在優良的 S 值的狀態下其臨界值電壓被控制的 TFT。

當使用藉由照射雷射光束進行非晶半導體膜的晶化或再晶化而成的膜作為半導體膜 201 時，作為雷射光束的光源可以使用 LD 激發的連續振蕩 (CW) 雷射 (YVO_4 ，二次諧波 (波長為 532nm))。並不需要特別局限於二次諧波，但是二次諧波的能量效率比更高次的高次諧波優越。因為當將 CW 雷射照射到半導體膜時，可以對半導體膜連續供給能量，所以一旦使半導體膜成為熔化狀態，可以使該熔化狀態繼續下去。再者，可以藉由掃描 CW 雷射使半導體膜的固液介面移動，形成沿著該移動方向的朝向一個

方向的長的晶粒。此外，使用固體雷射是因為與氣體雷射等相比，其輸出的穩定性高，而可以期待穩定的處理的緣故。注意，不局限於 CW 雷射，也可以使用重復頻率為 10MHz 以上的脈衝雷射。當使用重復頻率高的脈衝雷射時，如果雷射的脈衝間隔比半導體膜從熔化到固化的時間短，則可以將半導體膜一直保留為熔化狀態，並且可以藉由固液介面的移動形成由朝向一個方向的長的晶粒構成的半導體膜。也可以使用其他 CW 雷射以及重復頻率為 10MHz 以上的脈衝雷射。例如，作為氣體雷射，有 Ar 雷射、Kr 雷射、CO₂ 雷射等。作為固體雷射，有 YAG 雷射、YLF 雷射、YAlO₃ 雷射、GdVO₄ 雷射、KGW 雷射、KYW 雷射、變石雷射、Ti:藍寶石雷射、Y₂O₃ 雷射、YVO₄ 雷射等。此外，也有陶瓷雷射如 YAG 雷射、Y₂O₃ 雷射、GdVO₄ 雷射、YVO₄ 雷射等。作為金屬蒸氣雷射可以舉出氬鎘雷射等。此外，當從雷射振盪器將雷射光束以 TEM₀₀（單橫模）振盪來發射時，可以提高在被照射面上獲得的線狀射束點的能量均勻性，所以是較佳的。另外，也可以使用脈衝振盪的受激準分子雷射。

然後，在半導體膜 201 上選擇性地形成抗蝕劑 202（圖 2A、2E）。然後，以抗蝕劑 202 作為掩模對半導體膜進行乾蝕刻，來形成島狀半導體層 32（圖 2B、2F）。注意，抗蝕劑 202 用作進行蝕刻時的掩模，可以適當地選擇使用正型光致抗蝕劑或負型光致抗蝕劑等。

作為當進行乾蝕刻時的蝕刻氣體，可以使用氟基氣體

如 CF_4 、 NF_3 、 SF_6 或 CHF_3 等；或者將 O_2 氣、 H_2 氣、惰性氣體如 He 、 Ar 等適當地添加於氟基氣體中的混合氣體等。較佳的使用 CF_4 和 O_2 的混合氣體、 SF_6 和 O_2 的混合氣體、 CHF_3 和 He 的混合氣體、 CF_4 和 H_2 的混合氣體。此外，作為蝕刻，不局限於乾蝕刻，也可以進行濕蝕刻。在此情況下，可以藉由對半導體膜 201 進行使用以 TMAH（四甲基氫氧化銨）為代表的有機鹼性水溶液的濕蝕刻，來形成島狀半導體層 32。另外，當作為蝕刻液使用 TMAH 等時，因為只有半導體膜 201 被選擇性地蝕刻，所以可以不損傷底絕緣層 31 地進行蝕刻。如此，藉由將形成在絕緣表面上的半導體層分開地形成為島狀，可以在相同的基板上形成多個薄膜電晶體和週邊電路的情況下，使各個元件分離。

此外，既可以將半導體層 32 形成為其端部成為垂直形狀，又可以將半導體層 32 形成為其端部成為錐形形狀。藉由改變蝕刻條件等，可以適當地選擇半導體層 32 的端部的形狀。較佳的將半導體層 32 的端部形成為其錐形角成為 45 度以上且低於 95 度、更佳的為 60 度以上且低於 95 度，即可。藉由將半導體層 32 的端部形成得近於垂直形狀，可以減少寄生通道。

接著，去除形成在半導體層 32 上的抗蝕劑 202。

接著，覆蓋半導體層 32 地形成絕緣層 107（以下，也稱為第三絕緣層 107）（圖 2C、2G）。藉由利用 CVD 法或濺射法且使用氧化矽、氮化矽、氧氮化矽、氮氧化

矽、SiOF、SiOC、DLC、多孔二氧化矽等材料，來形成第三絕緣層 107。

以能夠充分地覆蓋半導體層 32 的端部的膜厚度形成第三絕緣層 107。較佳的在其膜厚度為形成在下層的半導體層 32 的膜厚度的 1.5 倍至 3 倍的範圍內形成第三絕緣層 107。

接著，藉由對第三絕緣層 107 進行以垂直方向為主體的各向異性蝕刻而選擇性地蝕刻，來形成與半導體層 32 的側面相接的絕緣層 36（以下，也稱為第四絕緣層 36）（圖 2D、2H）。

當對第三絕緣層 107 進行以垂直方向為主體的各向異性刻蝕時，從形成在半導體層 32 的一個表面上以及第二絕緣層 31b 上的第三絕緣層 107 逐漸被蝕刻。注意，在半導體層 32 的一個表面上以及第二絕緣層 31b 上形成具有大致相同的膜厚度的第三絕緣層 107。因此，藉由當半導體層 32 的一個表面露出時停止蝕刻，可以只在與半導體層 32 的側面相接的區域以及其附近留下第三絕緣層 107。留下的第三絕緣層 107 相當於第四絕緣層 36。注意，藉由將半導體層 32 的端部形成得近於垂直形狀，可以容易只在與半導體層 32 的側面相接的區域以及其附近留下第三絕緣層 107。就是說，可以容易形成第四絕緣層 36。

對於第三絕緣層 107 的蝕刻方法沒有特別限制，只要是進行以垂直方向為主體的各向異性刻蝕即可。例如，可以利用反應離子蝕刻（RIE）。此外，根據電漿的

發生方法，反應離子蝕刻被分類為平行平板方式、磁控方式、雙頻方式、ECR 方式、黑裏康 (helicon) 方式、ICP 方式等。作為此時使用的蝕刻氣體，選擇在第三絕緣層 107 和此外的層 (半導體層 32) 之間可以取得蝕刻選擇比，即可。當選擇性地蝕刻絕緣膜時，例如可以使用 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 等氟基氣體。此外，也可以適當地添加氦 (He)、氬 (Ar)、氙 (Xe) 等惰性氣體、或者 O_2 氣、 H_2 氣。

藉由適當地選擇用來形成薄膜的材料、蝕刻條件等，可以改變第四絕緣層 36 的形狀。在本實施例模式中，將第四絕緣層 36 形成為其距底面 (與第二絕緣層 31b 相接的面) 的垂直方向的高度與半導體層 32 大體上一致。此外，將第四絕緣層 36 的不與半導體層的側面相接的面形成為彎曲狀。具體地說，將它形成為具有任意曲率且對於相接的半導體層 32 的側面彎曲為凸形狀。當然，本發明沒有特別限制，也可以將第四絕緣層 36 形成為具有角的形狀，而不是彎曲狀。較佳的是，當將第四絕緣層 36 的角落部分形成為慢坡的形狀時，可以使層疊在上層的層 (在此，絕緣層 33) 的覆蓋性良好。注意，蝕刻條件除了是指蝕刻氣體的種類、各種氣體的流量比率之外，還是指施加到裝有基板的電極的電力量、裝有基板的電極的電極溫度、反應室內的壓力等。

接著，在半導體層 32 以及第四絕緣層 36 上形成絕緣層 33 (以下，也稱為第五絕緣層 33) (圖 3A、3D)。藉

由利用 CVD 法或濺射法且使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氮化鋁等材料，來形成第五絕緣層 33。此外，藉由使用這些材料中的一種或多種以單層結構或疊層結構來形成第五絕緣層 33。在其膜厚度為 1nm 至 50nm、較佳的為 1nm 至 20nm、更佳的為 1nm 至 10nm 的範圍內形成第五絕緣層 33。

注意，絕緣層 36 的形成方法不局限於本實施例模式所示的方法。也可以藉由對半導體層 32 的端部進行濕式氧化或者在含有氧的氣氛中進行電漿處理來形成絕緣層 36。在此情況下，較佳的，當在形成半導體層 32 上形成絕緣層 33 之後，去除覆蓋半導體層 32 的端部的絕緣層 33，然後，藉由對半導體層 32 的露出部分進行電漿處理或濕式氧化來形成絕緣層 36。

另外，當採用濕式氧化時，可以將藉由使用含有臭氧的水溶液、含有過氧化氫的水溶液、含有硫酸的水溶液、含有碘酸的水溶液、或含有硝酸的水溶液對半導體層 32 的表面進行處理而在半導體層 32 的露出部分形成的氧化膜用作絕緣層 36。含有臭氧的水溶液、含有過氧化氫的水溶液、含有硫酸的水溶液、含有碘酸的水溶液、或含有硝酸的水溶液還可以含有醋酸或草酸。

另外，作為含有氧的氣氛可以舉出：氧（ O_2 ）和稀有氣體（含有 He、Ne、Ar、Kr、Xe 中的至少一種）的混合氣體氣氛；氧、氫（ H_2 ）和稀有氣體的混合氣體氣氛；一氧化二氮和稀有氣體的混合氣體氣氛；一氧化二氮、氫和

稀有氣體的混合氣體氣氛。例如，可以使用氧（ O_2 ）、氫（ H_2 ）和氬（ Ar ）的混合氣體。此時的氣體流量是：氧為 0.1 至 100sccm、氫為 0.1 至 100sccm、氬為 100 至 5000sccm，即可。此外，較佳的以氧:氫:氬=1:1:100 的比率引入混合氣體。例如，引入 5sccm 的氧、5sccm 的氫、500sccm 的氬，即可。

另外，作為含有氮的氣氛可以舉出：氮（ N_2 ）和稀有氣體（含有 He 、 Ne 、 Ar 、 Kr 、 Xe 中的至少一種）的混合氣體氣氛；氮、氫和稀有氣體的混合氣體氣氛；氨（ NH_3 ）和稀有氣體的混合氣體氣氛。

此外，在上述氣體氣氛中使用電子密度為 $1 \times 10^{11} \text{cm}^{-3}$ 以上且電子溫度為 1.5eV 以下的電漿來進行電漿處理。更詳細地，使用電子密度為 $1 \times 10^{11} \text{cm}^{-3}$ 以上 $1 \times 10^{13} \text{cm}^{-3}$ 以下且電子溫度為 0.5eV 以上 1.5eV 以下的電漿來進行該電漿處理。由於電漿的電子密度高且形成在基板 30 上的被處理物（這裏是半導體層 32）附近的電子溫度低，所以可以防止被處理物因電漿損傷。另外，由於電漿電子密度高，為 $1 \times 10^{11} \text{cm}^{-3}$ 以上，因此採用電漿處理使被照射物氧化或氮化來形成的氧化膜或氮化膜，與採用 CVD 法及濺射法等形成的膜相比，其膜厚度等具有優良的均勻性，並且可以形成緻密的膜。另外，由於電漿電子溫度低，為 1.5eV 以下，因此與現有的電漿處理或熱氧化法相比，可以在更低的溫度下進行氧化或氮化處理。例如，即使在比玻璃基板的應變點低 100°C 以上的溫度下進行電漿處理，

也可以充分地進行氧化處理。另外，作為用於形成電漿的頻率，可以使用如微波（2.45GHz）等的高頻。

然後，在閘極絕緣層 33 上形成用作閘極電極的導電層 34（圖 3B、3E）。在此示出了導電膜 34 被形成為單層結構的例子，但是，當然也可以將導電材料設為兩層或三層以上的疊層結構。注意，雖然在此未圖示，但是可以藉由對被形成為覆蓋閘極絕緣層 33 上的導電層選擇性地進行蝕刻，來形成導電層 34。

導電層 34 可以由選自鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb）等的元素、以這些元素為主要成分的合金材料或化合物材料形成。另外，還可以由以摻雜了磷等雜質元素的多晶矽為代表的半導體材料形成導電層 34。例如，當將導電層 34 形成為由第一導電膜和第二導電膜構成的疊層結構時，可以使用氮化鉭形成第一導電膜，並且使用鎢形成第二導電膜。注意，導電層 34 不局限於該組合，當以層疊的形式形成導電層 34 時，可以將上述材料自由組合來形成導電層 34。

接著，以導電層 34 作為掩模，對半導體層 32 導入雜質元素 121，來在半導體層 32 中形成雜質區 32b、32c 以及不導入雜質元素 121 的通道形成區 32a（圖 3B、3E）。注意，在此因為橫過島狀半導體層 32 地形成導電層 34 之後導入雜質元素，藉由將雜質導入於不被導電層 34 覆蓋的半導體層 32 的區域中，而形成雜質區 32b、32c，並且

在被導電層 34 覆蓋的半導體層 32 的區域中形成不導入雜質元素 121 的通道形成區 32a。

在此，作為雜質元素 121，可以使用賦予 n 型的雜質元素或賦予 p 型的雜質元素。作為顯示 n 型的雜質元素，可以使用磷 (P) 或砷 (As) 等。作為顯示 p 型的雜質元素，可以使用硼 (B)、鋁 (Al)、或鎵 (Ga) 等。例如，作為雜質元素 121，將磷 (P) 以 1×10^{18} 至 $1 \times 10^{21} / \text{cm}^3$ 的濃度導入於半導體層 32，而形成顯示 n 型的雜質區 32b、32c 即可。注意，在通道形成區 32a 與源區或汲區的雜質區 32b、32c 之間，也可以形成以比源區或汲區的雜質區 32b、32c 低濃度添加有雜質的低濃度雜質區 (LDD 區)。藉由設置低濃度雜質區，可以緩和汲極端部的電場，並且可以抑制因重復進行寫入及擦除而導致的劣化。

此外，也可以將具有與添加於雜質區 32b、32c 中的雜質相反的導電類型的雜質元素 (例如，對 n 型 TFT 使用硼) 添加於通道形成區 32a 中。藉由將相反導電類型的雜質添加於通道形成區 32a 中，可以控制 TFT 的臨界值電壓。注意，既可以藉由閘極電極進行摻雜來添加該雜質元素，又可以在形成閘極電極之前預先添加雜質元素。

隨後，以覆蓋導電層 34、閘極絕緣層 33 的方式形成絕緣層 203 (圖 3C、3F)。接著，在絕緣層 203 上選擇性地形成抗蝕劑 207。

然後，藉由乾蝕刻在絕緣層 203、閘極絕緣層 33 及

半導體層 32 中形成接觸孔（圖 4A、4C）。接著，在絕緣層 203 上選擇性地形成用作源極電極或汲極電極的導電層 204（圖 4B、4D）。這裏，以填充在絕緣層 203、閘極絕緣層 33 以及半導體層 32 中形成的接觸孔的方式形成導電層 204。從而，導電層 204 和用作源區或汲區的雜質區 32b、32c 被設置為在形成於雜質區域 32b、32c 中的接觸孔的側面處電連接。

在此，作為絕緣層 203，可以使用藉由 CVD 法或濺射法等形成的氧化矽、氧氮化矽（ SiO_xN_y ）（ $x>y>0$ ）、氮氧化矽（ SiN_xO_y ）（ $x>y>0$ ）等。此外，可以由如下材料構成的單層或疊層形成：有機材料如聚醯亞胺、聚醯胺、聚乙烯基苯酚、苯並環丁烯、丙烯、環氧等；矽氧烷樹脂等的矽氧烷材料；或惡唑樹脂等。矽氧烷材料相當於包含 Si-O-Si 鍵的材料。矽氧烷的骨架結構由矽（Si）和氧（O）鍵構成。作為取代基，使用至少包含氫的有機基團（例如烷基或芳香烴）。氟基團也可以用作取代基。惡唑樹脂例如是感光聚苯並惡唑等。感光聚苯並惡唑具有低的介電常數（在常溫 1 MHz 下介電常數為 2.9）、高的耐熱性（在 5°C/分鐘的升溫下，熱分解溫度為 550°C，這是藉由 TG-DTA：熱重量檢測-差熱分析儀測量（Thermo Gravimetry-Differential Thermal Analysis）測定的）以及低的吸濕率（常溫時 24 小時 0.3%）。與聚醯亞胺等的介電常數（約 3.2 至 3.4）相比，惡唑樹脂具有較低的介電常數（約 2.9），因此，可以抑制寄生電容的產生並可以

以高速工作。在此，由如下材料構成的單層或疊層形成絕緣膜 203：藉由 CVD 法形成的氧化矽、氧氮化矽 (SiO_xN_y) ($x>y>0$)、氮氧化矽 (SiN_xO_y) ($x>y>0$)。此外，也可以由如下材料層疊而形成絕緣膜 203：有機材料如聚醯亞胺、聚醯胺、聚乙炔基苯酚、苯並環丁烯、丙烯、環氧等；矽氧烷樹脂等的矽氧烷材料；或惡唑樹脂等。

導電層 204 可以使用由選自鋁、鎢、鈦、鉭、鉬、鎳、鈹中的一種元素或者包含多種該元素的合金構成的單層或疊層結構。例如，作為由包含多種上述元素的合金構成的導電膜，可以由含有鈦的鋁合金、含有鈹的鋁合金等來形成。此外，當由疊層結構形成導電層 204 時，例如，也可以是在鈦層之間夾有鋁層或上述鋁合金層的疊層結構。

藉由上述處理，可以製造包括薄膜電晶體 205 的半導體裝置。

在本實施例模式中，不必在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。

另外，可以在半導體層的通道形成區的端部選擇性地將絕緣層形成得厚。由此，可以緩和電場集中在半導體層的通道形成區的端部。從而，可以降低閘極的漏電錯誤，

105年4月18日修正
對線頁(本)

且提高閘極電極的耐壓性。

實施例模式 2

在本實施例模式中，說明與圖 1 不同的半導體裝置的結構及其製造方法。

圖 5 是爲了說明根據本實施例模式的半導體裝置的結構的俯視圖以及截面圖。圖 5A 表示薄膜電晶體的俯視圖，圖 5B 表示圖 5A 中的虛線 A-B 之間的截面圖，圖 5C 表示圖 5A 中的虛線 C-D 之間的截面圖。

本實施例模式所示的半導體裝置包括：薄膜電晶體 205，其具有中間夾著絕緣層 31 在基板 30 上設置爲島狀的半導體層 32、形成在半導體層 32 上的閘極絕緣層 33、中間夾著閘極絕緣層 33 在半導體層 32 的上方設置的用作閘極電極的導電層 34；覆蓋閘極絕緣層 33 及導電層 34 地設置的絕緣層 203；以及設置在絕緣層 203 上的用作源極電極或汲極電極的導電層 204（圖 5A 至 5C）。另外，半導體層 32 除了通道形成區 32a 和用作源區或汲區的雜質區 32b、32c 以外，還包括絕緣層 36。該絕緣層 36 形成在半導體層 32 的端部，即這裏的與導電層 34 的下方的通道形成區 32a 連接的部分。此外，也可以將具有與添加於雜質區 32b、32c 中的雜質相反的導電類型的雜質元素添加於通道形成區 32a 中。

在本實施例模式所示的半導體裝置中，藉由蝕刻絕緣層 203、半導體層 32 的雜質區 32b、32c、以及第二絕緣

層 31b 來形成到達第一絕緣層 31a 的接觸孔，然後，填充該接觸孔地形成導電層 204。也就是說，在本實施例模式中，導電層 204 和雜質區 32b、32c 在形成於雜質區 32b、32c 中的接觸孔的側面處電連接。

接下來，使用圖 6A 和 6B 來說明圖 5A 的虛線 A-B 之間的截面中的製造方法，而且使用圖 6C 和 6D 來說明圖 5A 的虛線 C-D 之間的截面中的製造方法。

首先，與實施例模式 1 相同，在基板 30 上形成絕緣層 31a、31b，在第二絕緣層 31b 上形成半導體層 32、絕緣層 36 以及閘極絕緣層 33，在閘極絕緣層 33 上形成用作閘極電極的導電層 34，並且在導電層 34 上形成絕緣層 203（圖 6A、6C）。在此，在絕緣層 203 上形成抗蝕劑 207。

接著，以抗蝕劑 207 作為掩模，蝕刻絕緣層 203、閘極絕緣層 33、半導體層 32 以及第二絕緣層 31b，來形成到達第一絕緣層 31a 的接觸孔（圖 6B、6D）。

接著，去除抗蝕劑 207。作為之後的處理，與實施例模式 1 相同，藉由填充接觸孔地形成導電層 204，可以製造圖 5 所示的半導體裝置。

在本實施例模式中，不必在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。

另外，可以在半導體層的通道形成區的端部選擇性地將絕緣層形成得厚。由此，可以緩和電場集中在半導體層的通道形成區的端部。從而，可以減少閘極的漏電錯誤，且提高閘極電極的耐壓性。

實施例模式 3

在本實施例模式中，說明與圖 1 或圖 5 不同的半導體裝置的結構及其製造方法。

圖 7 是爲了說明根據本實施例模式的半導體裝置的結構的俯視圖以及截面圖。圖 7A 表示薄膜電晶體的俯視圖，圖 7B 表示圖 7A 中的虛線 A-B 之間的截面圖，圖 7C 表示圖 7A 中的虛線 C-D 之間的截面圖。

如圖 7 所示，在被導電層 204 填充的接觸孔的形狀上，本實施例模式的半導體裝置與圖 5 所示的結構不同。也就是說，在本實施例模式所示的半導體裝置中，藉由蝕刻絕緣層 203、半導體層 32 的雜質區 32b、32c、第二絕緣層 31b 而形成的到達第一絕緣層 31a 的接觸孔被形成爲使半導體層 32 的表面的一部分（雜質區 32b、32c）露出。從而，在本實施例模式中，導電層 204 和雜質區 32b、32c 在形成於雜質區 32b、32c 中的接觸孔的側面處以及雜質區 32b、32c 的表面上電連接。注意，雖然在本實施例模式中，在第二絕緣層 31b 中也形成接觸孔，但是也可以在第二絕緣層 31b 中不形成接觸孔，而使第二絕緣層 31b 的表面露出地形成該接觸孔。

接下來，使用圖 8A 至 8C、圖 9A 和 9B 來說明圖 7A 的虛線 A-B 之間的截面中的製造方法，而且使用圖 8D 至 8F、圖 9C 和 9D 來說明圖 7A 的虛線 C-D 之間的截面中的製造方法。

首先，與實施例模式 1 相同，在基板 30 上形成絕緣層 31a、31b，在第二絕緣層 31b 上形成半導體層 32、絕緣層 36 以及閘極絕緣層 33，在閘極絕緣層 33 上形成用作閘極電極的導電層 34，並且在導電層 34 上形成絕緣層 203（圖 8A、8D）。在此，在絕緣層 203 上形成抗蝕劑 207。

接著，以抗蝕劑 207 作為掩模，對絕緣層 203、閘極絕緣層 33 進行乾蝕刻來形成到達半導體層 32 的接觸孔（圖 8B、8E）。

接著，以抗蝕劑 207 作為掩模，對絕緣層 203、閘極絕緣層 33 進行濕蝕刻來使絕緣層 203 及閘極絕緣層 33 向外縮小。

然後，以抗蝕劑 207 作為掩模，對半導體層 32 及第二絕緣層 31b 進行乾蝕刻，來形成到達第一絕緣層 31a 的接觸孔。由此，可以形成使雜質區 32b、32c 的側面以及雜質區 32b、32c 的表面的一部分露出的接觸孔。

作為之後的處理，與實施例模式 1 或實施例模式 2 相同，藉由填充接觸孔地形成導電層 204，可以製造圖 7 所示的半導體裝置。

接下來，參考圖 10 說明與圖 8 和圖 9 所示的方法不

同的製造方法。使用圖 10A 至 10C 來說明圖 7A 的虛線 A-B 之間的截面中的製造方法，而且使用圖 10D 至 10F 來說明圖 7A 的虛線 C-D 之間的截面中的製造方法。

首先，與圖 8B 和 8E 相同，在基板 30 上形成絕緣層 31a、31b，在第二絕緣層 31b 上形成半導體層 32、絕緣層 36 以及閘極絕緣層 33，在閘極絕緣層 33 上形成用作閘極電極的導電層 34，在導電層 34 上形成絕緣層 203，並且，以形成在絕緣層 203 上的抗蝕劑 207 作為掩模，對絕緣層 203 及閘極絕緣層 33 進行乾蝕刻來形成接觸孔（圖 10A、10D）。

接著，對抗蝕劑 207 進行乾蝕刻來使該抗蝕劑 207 向外縮小（圖 10B、10E）。然後，以抗蝕劑 207 作為掩模，對絕緣層 203、閘極絕緣層 33、半導體層 32、第二絕緣層 31b 進行乾蝕刻，來形成使第一絕緣層 31a 露出的接觸孔（圖 10C、10F）。由此，可以形成使雜質區 32b、32c 的側面以及雜質區 32b、32c 的表面的一部分露出的接觸孔。

作為之後的處理，與實施例模式 1 相同，藉由填充接觸孔地形成導電層 204，可以製造圖 7 所示的半導體裝置。

在本實施例模式中，不必在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於絕緣層 203 和半導體層 32 形成台階形狀，所以可以提高接觸孔的側面處的導電層 204 的覆蓋性，且防止

導電層 204 的膜厚度的不均勻以及導電層 204 的佈線斷裂，而且可以抑制接觸電阻的不均勻。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。

另外，可以在半導體層的通道形成區的端部選擇性地將絕緣層形成得厚。由此，可以緩和電場集中在半導體層的通道形成區的端部。從而，可以減少閘極的漏電錯誤，且提高閘極電極的耐壓性。

實施例模式 4

根據本發明的半導體裝置可以採用各種各樣的形狀，而不局限於實施例模式 1 至 3 所示的結構。在本實施例模式中，對部分地將半導體層變為矽化物的薄膜電晶體的結構以及其製造方法進行說明。圖 11 表示本實施例模式的半導體裝置的結構。圖 11A 表示俯視圖，圖 11B 表示圖 11A 中的虛線 A-B 之間的截面圖，圖 11C 表示圖 11A 中的虛線 C-D 之間的截面圖。

如圖 11 所示，本實施例模式的半導體裝置除了圖 1 所示的結構以外，在半導體層 32 的表面的一部分中還形成有矽化物區 1102。另外，用作閘極電極的導電層 34 由第一導電層 34a 和第二導電層 34b 的疊層結構形成，並且在導電層 34 的側壁上形成有絕緣層（也稱為側壁絕緣層）1101。而且，在用作源區或汲區的雜質區（也稱為高

濃度雜質區) 32b、32c 與通道形成區 32a 之間形成有以比雜質區 32b、32c 低濃度添加有雜質的區域(也稱為低濃度雜質區) 32d、32e。

接下來，對圖 11 所示的半導體裝置的製造方法進行說明。

首先，與實施例模式 1 相同，在基板 30 上形成絕緣層 31a、31b，在第二絕緣層 31b 上形成半導體層 32、絕緣層 36 以及閘極絕緣層 33，在閘極絕緣層 33 上形成用作閘極電極的第一導電層 34a、第二導電層 34b (圖 12A)。然後，在以第二導電層 34b 為掩模添加第一濃度的賦予一種導電類型的雜質元素之後，進行以第一導電層 34a 及第二導電層 34b 為掩模的第二濃度的雜質元素的添加，以自對準的方式形成一對高濃度雜質區 32b、32c、一對低濃度雜質區 32d、32e、以及通道形成區 32a。這裏，作為第一濃度的雜質元素及第二濃度的雜質元素，可以添加相同導電類型的雜質元素，例如作為賦予 p 型的雜質元素的硼 (B)、鋁 (Al)、鎵 (Ga)；作為賦予 n 型的雜質元素的磷 (P)、砷 (As) 等。

另外，還可以對通道形成區 32a 添加用於控制電晶體的臨界值電壓的賦予一種導電類型的雜質元素。可以在形成導電層 34 之前進行對於通道形成區 32a 的雜質元素的添加。另外，也可以在添加賦予一種導電類型的雜質元素之後進行熱處理來將添加了的雜質元素啟動。可以藉由雷射光束的照射、使用 RTA 或退火爐而進行熱處理，並且

在 400°C 至 700°C，較佳的在 500°C 至 650°C 的溫度範圍進行即可。另外，較佳的在氮氣氣氛中進行熱處理。

接著，形成與第一導電層 34a 及第二導電層 34b 的側面相接的側壁絕緣層 1101（參照圖 12B）。

藉由在第一導電層 34a 及第二導電層 34b 上形成絕緣層，並且藉由以垂直方向為主體的各向異性刻蝕選擇性地蝕刻該絕緣層，來可以形成側壁絕緣層 1101。例如，可以藉由 CVD 法或濺射法並使用氧化矽、氮化矽、氧氮化矽、氮氧化矽等的無機材料；或有機樹脂等的有機材料以單層結構或疊層結構形成絕緣層，並且選擇性地蝕刻該絕緣層來形成側壁絕緣層 1101。將側壁絕緣層 1101 用於在之後形成矽化物區時的矽化物用掩模。另外，這裏將側壁絕緣層 1101 的未與導電層 34a、34b 的側面接觸的表面形成為彎曲狀。另外，以完全覆蓋形成閘極電極的第一導電層 34a 及第二導電層 34b 的側面的方式形成側壁絕緣層 1101。

另外，藉由當形成側壁絕緣層 1101 時的蝕刻還蝕刻下層的絕緣層 33，而選擇性地露出半導體層 32 的一部分。具體而言，露出與側壁絕緣層 1101 未重疊的區域的高濃度雜質區 32b、32c。另外，取決於蝕刻條件，有時高濃度雜質區域 32b、32c 的上層也被蝕刻而減少厚度（被稱為膜厚度的減薄）。

接著，在露出了的半導體層 32 的表面上形成金屬層 1103（圖 12C）。

只要至少在露出了的半導體層 32 上形成金屬層 1103，即可。換句話說，將金屬層 1103 形成在與側壁絕緣層 1101 未重疊的區域的半導體層 32 上。在本實施例模式中，不僅覆蓋半導體層 32 的露出表面，而且覆蓋側壁絕緣層 1101 和導電層 34 地形成金屬層 1103。使用與半導體層反應而形成矽化物的材料來形成金屬層 1103。例如，可以使用鎳（Ni）、鈦（Ti）、鈷（Co）或鉑（Pt）等的金屬元素；或者包含該金屬元素的合金材料。使用這些材料藉由濺射法、蒸鍍法、鍍敷法等形成金屬層 1103。必須根據要形成的矽化物區的厚度而適當地選擇金屬層 1103 的厚度。在本實施例模式中，作為金屬層 1103 形成 10nm 厚的鎳層。另外，在當形成金屬層 1103 時，在露出了的半導體層 32 上形成有自然氧化膜的情況下，先去除自然氧化膜然後形成金屬層 1103。

接著，在半導體層 32 的一部分形成矽化物區 1102（圖 12D）。

矽化物區 1102 是藉由進行熱處理，使半導體層 32 及金屬層 1103 相接觸的區域反應而形成的。另外，矽化物區 1102 是使與金屬層 1103 相接的區域的半導體層 32 的一部分變為矽化物而形成的。此時，形成在半導體層 32 中的高濃度雜質區 32b、32c 由於在其一部分變為矽化物，所以其區域減少。另外，也可以說，在高濃度雜質區的一部分中形成矽化物區。例如，在形成鎳層作為金屬層 1103 的情況下，作為矽化物區 1102 形成鎳矽化物。同樣

地，在形成鈦層、鈷層或鉑層作為金屬層 1103 的情況下，作為矽化物區 1102 分別形成鈦矽化物、鈷矽化物、鉑矽化物。

可以藉由使用 RTA 或退火爐來進行熱處理。具體而言，熱處理在 300°C 至 700°C 的溫度下進行 10 秒至 1 小時，較佳的進行 20 秒至 30 分鐘。在本實施例模式中，藉由在 550°C 下進行 30 秒的熱處理來形成由鎳矽化物構成的矽化物區 1102。

在圖 12D 中，將矽化物區 1102 形成為其厚度小於半導體層 32 中的形成有通道形成區 32a 的區域的厚度。也就是說，在與側壁絕緣層 1101 未重疊的區域的半導體層 32 中，在該區域的半導體層 32 的與第二絕緣層 31b 相接的一側形成高濃度雜質區 32b、32c，並且與該高濃度雜質區 32b、32c 的上層相接而形成矽化物區 1102。

另外，可以藉由適當地控制所反應的金屬層 1103 的厚度、熱處理的溫度、熱處理的時間等來選擇矽化物區域 1102 的形狀和厚度等。例如，如圖 13B 所示，也可以在與側壁絕緣層 1101 未重疊的區域的半導體層 32 中，在該區域的半導體層 32 的一部分或整體形成從上面到下面的整體形成矽化物的矽化物區 1102。這裏，“上面”是指半導體層 32 中形成有用來形成矽化物的金屬層的表面一側，而“下面”是指與第二絕緣層 31b 相接的表面一側。另外，當將從上面到下面的整體半導體層變為矽化物時，在側壁絕緣層 1101 下形成高濃度雜質區。注意，本發明沒

有特別的限制，還可以在側壁絕緣層 1101 下的半導體層 32（但是，通道形成區 32a 除外）中也形成有矽化物區的一部分。

另外，當使半導體層 32 和金屬層 1103 反應之後未反應的金屬層留下時，去除該未反應的金屬層。這裏雖然未圖示，但是去除在絕緣層 36、側壁絕緣層 1101、第二導電層 34b 及第二絕緣層 31b 上形成的金屬層 1103。另外，當未反應的金屬層殘留在被形成的矽化物區 1102 上時，還去除該殘留的金屬層。可以藉由濕蝕刻或乾蝕刻來進行未反應的金屬層的去。此時，作為蝕刻氣體或蝕刻溶液，使用能夠充分地獲得未反應的金屬層和其他層（例如，絕緣層 36、側壁絕緣層 1101、第二導電層 34b、第二絕緣層 31b、以及矽化物區 1102）之間的蝕刻選擇比的氣體或溶液。換句話說，使用相對於金屬層的蝕刻速率高且相對於其他層的蝕刻速率低的蝕刻氣體或蝕刻溶液即可。例如，在使用鎳形成金屬層 1103 的情況下，可以藉由使用鹽酸（HCl）、硝酸（HNO₃）、以及純水（H₂O）的混合溶液的濕蝕刻來進行去除。例如，可以將溶液的混合比設定為 HCl:HNO₃: H₂O= 3:2:1。

另外，在實施例模式中，由於與半導體層 32 端部的側面相接地形成絕緣層 36，所以可以防止半導體層 32 的側面當蝕刻去除未反應的金屬層時被蝕刻。

另外，當形成矽化物區時，需要不使該矽化物區及形成閘極電極的導電層相接。這是因為如下緣故：若矽化物

區及閘極電極相接，則閘極電極與源區或汲區短路而不能實現開關特性（接通關斷比），因而作為半導體裝置不能工作。因此，在本實施例模式中，將形成閘極電極的導電層 34a、34b 的寬度設定為小於用作閘極絕緣層的絕緣層 33 的寬度，並且將側壁絕緣層 1101 的端部與絕緣層 33 的端部大致一致。

接著，以覆蓋設置在基板 30 上的絕緣層和導電層等的方式形成絕緣層 203（圖 13A）。

作為之後的處理，與實施例模式 1 相同，藉由在絕緣層 203 及半導體層 32 中形成到達第二絕緣層 31b 的接觸孔，並且填充該接觸孔地形成導電層 204，可以製造圖 11 或圖 13A 所示的半導體裝置。

本實施例模式的半導體裝置的形狀不局限於圖 11 至圖 13 所示的形狀，也可以採用圖 14 和圖 15 所示的形狀。

在被導電層 204 填充的接觸孔的形狀上，圖 14A 所示的半導體裝置與圖 13A 所示的結構不同。也就是說，在圖 14A 所示的半導體裝置中，以蝕刻絕緣層 203、半導體層 32 的雜質區 32b、32c 以及第二絕緣層 31b 而到達第一絕緣層 31a 的方式形成被導電層 204 填充的接觸孔。從而，在本實施例模式中，導電層 204 和雜質區 32b、32c 在形成於雜質區 32b、32c 中的接觸孔的側面處電連接。圖 14A 所示的接觸孔可以利用與實施例模式 3 相同的步驟而形成。另外，不局限於圖 14A 所示的結構，還可以如圖

14B 所示那樣，在半導體層 32 的一部分或整體中形成將從上面到下面整體變為矽化物的矽化物區 1102。

另外，在被導電層 204 填充的接觸孔的形狀上，圖 15A 所示的半導體裝置與圖 13A 所示的結構不同。也就是說，在本實施例模式所示的半導體裝置中，藉由蝕刻絕緣層 203、半導體層 32 的雜質區 32b、32c、第二絕緣層 31b 而形成的到達第一絕緣層 31a 的接觸孔被形成為使半導體層 32 的表面的一部分（雜質區 32b、32c）露出。從而，在本實施例模式中，導電層 204 和雜質區 32b、32c 在形成於雜質區 32b、32c 中的接觸孔的側面處以及雜質區 32b、32c 的表面上電連接。注意，雖然在本實施例模式中，在第二絕緣層 31b 中也形成接觸孔，但是也可以在第二絕緣層 31b 中不形成接觸孔，而使第二絕緣層 31b 的表面露出地形成該接觸孔。圖 15A 所示的接觸孔可以利用與實施例模式 3 相同的步驟而形成。另外，不局限於圖 15A 所示的結構，還可以如圖 15B 所示那樣，在半導體層 32 的一部分或整體中形成將從上面到下面整體變為矽化物的矽化物區 1102。

在本實施例模式中，不必在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。

實施例模式 5

實施例模式 1 至 4 所說明的半導體裝置可以在單晶矽

基板形成由氧化矽構成的氧化膜，並且使用形成在氧化膜上的單晶半導體膜作為啓動層。在本實施例模式中，對使用被稱為 SIMOX 的 SOI 技術的半導體裝置進行說明。

首先，準備用作單晶矽層的形成材料的單晶矽基板 601（圖 16A）。雖然這裏描述了使用 P 型單晶矽基板的情況，但是也可以使用 N 型單晶矽基板。當然，也可以使用單晶矽鍺基板。

接著，對單晶矽基板 601 添加氧離子來在預定深度處形成含氧的層 602（圖 16B）。例如，可以以大約 1×10^{18} 原子/cm² 的劑量添加氧離子。另外，含氧的層 602 的形成深度（單晶矽基板 601 的主表面和含氧的層 602 之間的距離）成為作為之後形成的 TFT 的啓動層發揮作用的單晶矽層的膜厚度。

接著，在 800°C 至 1200°C 的溫度下進行熱處理，將含氧的層 602 變化為埋入絕緣層 603。含氧的層 602 的深度方向的寬度取決於離子添加時的氧離子的分佈。由於氧離子的濃度從單晶矽基板 601 向含氧的層 602 的方向降低，所以單晶矽基板 601 和埋入絕緣層 603 之間的介面不明顯。然而，藉由上述熱處理，單晶矽基板 601 和埋入絕緣層 603 之間的介面變得非常明顯（圖 16B、16C）。

該埋入絕緣層 603 的膜厚度為 10nm 至 500nm（典型為 20nm 至 50nm）。在本實施例模式中，單晶矽基板 601 和埋入絕緣層 603 的介面穩定地結合，因此，可以形成 20nm 至 50nm 的薄的埋入絕緣層。

如此，藉由形成埋入絕緣層 603，單晶矽基板的一部分殘留在埋入絕緣層 603 上，從而形成單晶矽層 604。另外，控制含氧的層 602 的形成深度，以便使單晶矽層 604 的厚度為 10nm 至 200nm（較佳的為 10nm 至 50nm，更佳的為 10nm 至 30nm），即可。

然後，藉由在單晶矽層 604 上選擇性地形成抗蝕劑，且選擇性地蝕刻單晶矽層 604，來形成用作之後形成的 TFT 中的啓動層的島狀單晶矽層 605。注意，雖然在本實施例模式中，只示出一個島狀單晶矽層，但是也可以在相同的基板上形成多個島狀單晶矽層（圖 16D）。

藉由與實施例模式 1 至實施例模式 4 同樣地進行之後的處理，可以製造根據本發明的半導體裝置。

根據本實施例模式的半導體裝置不必在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。此外，根據本實施例模式的半導體裝置使用單晶半導體層作為啓動層，因此可以進一步提高裝置的特性。

實施例模式 6

在本實施例模式中，對在單晶矽基板上形成由氧化矽構成的氧化膜，並且使用形成在氧化膜上的單晶半導體膜作為啓動層的二極管裝置進行說明。在本實施例模式中，

對使用藉由 Smart-Cut 法形成的 SOI 基板的半導體裝置進行說明。

首先，準備用作單晶矽層的形成材料的單晶矽基板 801。雖然這裏描述了使用 P 型單晶矽基板的情況，但是也可以使用 N 型單晶矽基板。當然，也可以使用單晶矽鍍基板。

接著，進行熱氧化處理來在其主表面（相當於元件形成表面）形成氧化矽膜 802。實施者可以適當地決定氧化矽膜 802 的膜厚度，例如設定為 10nm 至 500nm（典型為 20nm 至 50nm），即可。該氧化矽膜 802 後面被用作 SOI 基板的埋入絕緣層的一部分（圖 17A）。

然後，從單晶矽基板 801 的主表面一側經過氧化矽膜 802 添加氫離子來形成含氫的層 803（圖 17B）。另外，含氫的層 803 的形成深度（單晶矽基板 801 的主表面和含氫的層 803 之間的距離）成爲之後作爲 TFT 的啓動層發揮作用的單晶矽層的膜厚度。例如，可以藉由使用離子注入法以 1×10^{16} 個原子/cm² 至 1×10^{17} 個原子/cm² 的劑量添加氫離子，以便使 50nm 厚的單晶矽層殘留在單晶矽基板 801 的主表面和含氫的層 803 之間。

然後，將單晶矽基板 801 和支撐基板貼在一起。在本實施例模式中，使用單晶矽基板 804 作爲支撐基板，並在其表面上設置貼合用氧化矽膜 805（圖 17C）。另外，可以使用藉由 FZ 法形成的矽基板、多晶矽基板等而代替單晶矽基板 804。另外，也可以使用高耐熱性基板如石英基

板、陶瓷基板、晶體玻璃基板等。

在此，因為貼合介面由親水性高的氧化矽膜構成，所以由於雙方的膜的表面所包含的水分的反應而貼在一起。

接著，進行 400°C 至 600°C（例如 500°C）的熱處理（第一熱處理）。藉由該熱處理，在含氫的層 803 中產生微小空孔的體積變化，沿含氫的層 803 發生破斷面。由此，單晶矽基板 801 被切割，且在支撐基板上留下氧化矽膜 802 及單晶矽層 806（圖 17D）。

接著，作為第二熱處理處理，在 1050°C 至 1150°C（例如 1100°C）的溫度範圍內進行爐內退火處理。在該處理中，在貼合介面上發生 Si-O-Si 鍵的應力緩和，從而實現貼合介面的穩定化。也就是說，該處理是爲了使單晶矽層 806 完全貼付在支撐基板上而進行的。如此，藉由使貼合介面穩定化來形成埋入絕緣層 807（圖 17E）。注意，在本實施例模式中，形成含氫的層 803 且沿該含氫的層 803 造成破斷面來形成薄膜單晶矽層 806，但是不局限於此，也可以藉由研磨單晶矽基板 801 而不形成含氫的層 803，來形成薄膜單晶矽層 806。

然後，也可以進行使單晶矽層 806 的表面平整化的處理。作為平整化處理，進行被稱爲 CMP（化學機械研磨）的研磨處理或在還原氣氛中進行高溫（大約 900°C 至 1200°C）的爐內退火處理，即可。

最後的單晶矽層 806 的厚度爲 10nm 至 200nm（較佳的爲 10nm 至 50nm，更佳的爲 10nm 至 30nm），即可。

接著，在單晶矽層 806 上選擇性地形成抗蝕劑，選擇性地蝕刻單晶矽層 806，來形成用作之後形成的 TFT 的啓動層的島狀單晶矽層 808。注意，雖然在本實施例模式中，只示出一個島狀單晶矽層，但是也可以在相同的基板上形成多個島狀單晶矽層（圖 17F）。

藉由與實施例模式 1 至實施例模式 4 同樣地進行之後的處理，可以製造根據本發明的半導體裝置。

根據本實施例模式的半導體裝置不必在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。此外，根據本實施例模式的半導體裝置使用單晶半導體層作為啓動層，因此可以進一步提高裝置的特性。

實施例模式 7

在本實施例模式中，對於具有實施例模式 1 所示的半導體裝置以及場致發光元件（以下也稱為“EL 元件”）的顯示裝置（EL 顯示裝置）的製造方法進行說明。注意，可使用於本實施例模式的半導體裝置不局限於實施例模式 1 所示的，也可以使用實施例模式 2 至 6 所示的半導體裝置。

在本實施例模式中，藉由使用具有透光性的膜形成第一電極 110，以使其具有從第一電極 110 一側獲取來自場

致發光元件的光的結構。在本實施例模式中，含有氧化矽的氧化銦錫（ITSO）被用作第一電極 110。

首先，如圖 18 所示，與實施例模式 1 同樣地形成 TFT1701 至 1703、覆蓋 TFT1701 至 1703 的絕緣層 1710、與 TFT1701 至 1703 的源區或汲區電連接的佈線 1704 至 1709。然後，覆蓋佈線 1704 至 1709 地形成絕緣層 109，在絕緣層 109 上形成與佈線 1709 電連接的第一電極 110。然後，覆蓋第一電極 110 的端部及絕緣層 109 地形成絕緣膜 111（也被稱為堤岸、隔壁、阻擋層、堤壩等）。

作為絕緣膜 111，可以使用氧化矽、氮化矽、氧氮化矽、氧化鋁、氮化鋁、氧氮化鋁或其他無機絕緣材料；丙烯、甲基丙烯酸或其衍生物；諸如聚醯亞胺、芳香族聚醯胺或聚苯並咪唑（polybenzimidazole）等耐熱性高分子材料；在由矽、氧、氫組成的化合物中含有 Si-O-Si 鍵的無機矽氧烷；或其中結合於矽的氫被諸如甲基或苯基等有機基團代替的有機矽氧烷系的絕緣材料。也可以使用丙烯或聚醯亞胺等光敏或非光敏材料。在本實施例模式中，藉由使用光敏聚醯亞胺形成絕緣膜 111，以在平坦區內具有 1.5 μm 的厚度。

另外，絕緣膜 111 較佳的具有曲率半徑連續改變的形狀，以提高絕緣膜 111 上形成的場致發光層 112（包含有機化合物的層）以及第二電極 113 的覆蓋率。

另外，為了進一步提高可靠性，較佳的在形成場致發

光層 112 之前，藉由使用高密度電漿設備對第一電極 110 和絕緣膜 111 進行氮化處理或氧化處理。藉由使用高密度電漿設備而使第一電極 110 氮化或氧化，可以減少對電極進行表面改性時造成的電漿損傷，並且可以獲得缺陷較少的表面。因此，本實施例模式中的發光元件可以提供清晰度高和不平整性少的顯示。此外，使絕緣膜 111 氮化時，絕緣膜 111 的表面被改性，並能夠防止水分被吸入絕緣膜中。此外，使絕緣膜 111 氧化時，膜變得更堅固，而有機氣體的釋放得以抑制。在本實施例模式中，可以藉由使用高密度電漿設備進行電漿損傷小的處理。在此，藉由考慮絕緣膜的材料以及效果，適當地選擇對絕緣膜 111 表面進行氧化處理還是氮化處理，即可。

然後，在第一電極 110 上形成場致發光層 112。儘管圖 18 僅示出一個像素，但在本實施例模式中，單獨地形成與紅（R）、綠（G）、藍（B）的每個顏色對應的場致發光層。在本實施例模式中，可以藉由使用蒸鍍掩模的蒸鍍法選擇性地形成呈現出紅（R）、綠（G）、藍（B）發光的材料中的每一種，作為場致發光層 112。可以藉由使用蒸鍍掩模的蒸鍍法選擇性地形成的方法或液滴噴射法來形成這些呈現紅（R）、綠（G）和藍（B）發光的材料。在採用液滴噴射法的情況下，存在不使用掩模而單獨塗敷 R、G、B 材料的優點。在本實施例模式中，呈現出紅（R）、綠（G）、藍（B）發光的材料各自藉由蒸鍍法形成。

另外，在蒸鍍 EL 之前，較佳的藉由在主要成分為惰性氣體、氧濃度為 5%以下、水濃度為 1%以下的氣氛中的熱處理而去除水氣等。在本實施例模式中，在 300°C 進行 1 小時的熱處理。

接著，在場致發光層 112 上形成由導電膜構成的第二電極 113。作為第二電極 113，可以使用功函數小的材料（Al、Ag、Li、Ca 或它們的合金如 MgAg、MgIn、AlLi、CaF₂ 或 CaN）。如此，形成由第一電極 110、場致發光層 112 和第二電極 113 構成的發光元件。

在圖 18 所示的顯示裝置中，從發光元件發射的光透過在基板 101 和第一電極 110 之間形成的膜，並沿箭頭指示的方向從第一電極 110 一側射出。

另外，覆蓋第二電極 113 地形成鈍化膜是有效的。作為鈍化膜，可以使用包含氮化矽、氧化矽、氧氮化矽（SiON）、氮氧化矽（SiNO）、氮化鋁（AlN）、氧氮化鋁（AlON）、氮含量高於氧含量的氮氧化鋁（AlNO）、氧化鋁、金剛石類碳（DLC）或含氮碳膜（CN）的絕緣膜，並且可以具有該絕緣膜的單層結構或結合該絕緣層的疊層結構。此外，也可以使用其骨架結構由矽（S）和氧（O）的鍵構成的矽氧烷。在矽氧烷中，使用至少包含氫的有機基（例如，烷基、芳香烴）作為取代基。另外，作為取代基，也可以使用氟基、或者至少包含氫的有機基和氟基。

在這種情況下，較佳的將具有良好覆蓋率的膜用作鈍

化膜，使用碳膜，尤其是 DLC 膜是有效的。由於 DLC 膜可以從室溫到 100°C 以下的溫度範圍內形成，因此可以在具有低耐熱性的場致發光層 112 的上方也形成 DLC 膜。此外，DLC 膜對氧具有高阻擋性，因此可以抑制場致發光層 112 被氧化。因此，在後續的密封處理中，場致發光層 112 被氧化的問題得以防止。

接著，將形成有發光元件的基板 101 和密封基板藉由密封材料粘合，來密封發光元件。由於藉由密封材料防止水氣從截面方向進入，可以防止發光元件的劣化並提高顯示裝置的可靠性。此外，由密封材料包圍的區域可以由填料填充，並可以藉由在氮氣氣氛中密封而由氮氣等來填充。此外，可以將填料以液體狀態滴入並填充在顯示裝置中。由於本實施例模式採用底部發光型，不一定要使用具有透光性的填料。然而，在藉由填料獲取光的結構的情況下，需要藉由使用具有透光性的材料形成填料。作為填料的一個例子，可以舉出可見光固化、紫外線固化或熱固化環氧樹脂。藉由上述步驟，可以形成具有發光元件的顯示裝置。

較佳的是，在 EL 顯示面板中提供乾燥劑以防止由於水分造成的元件劣化。在本實施例模式中，在密封基板上形成以包圍圖元區的凹陷部分中提供乾燥劑，使其不會妨礙薄型化。此外，藉由也在與閘極佈線層對應的區域中提供乾燥劑，吸水區域可以更大，並提高吸水效果。此外，由於乾燥劑是在不直接發光的閘極佈線層上形成的，因此

不會降低光獲取效率。

另外，密封發光元件的處理是指保護發光元件免受潮的處理，並且可以使用藉由用覆蓋材料機械地密封發光元件的方法、用熱固化樹脂或紫外線固化樹脂密封發光元件的方法、以及藉由用具有高阻擋性的薄膜如金屬氧化物或金屬氮化物來密封發光元件的方法中的任一種。作為密封基板或覆蓋材料，可以使用玻璃、陶瓷、塑膠或金屬，然而，在光向覆蓋材料一側發射的情況下，需要使用具有透光性的材料。此外，覆蓋材料和形成有上述發光元件的基板使用諸如熱固化樹脂或紫外線固化樹脂等密封材料彼此粘合，並藉由使用熱處理或紫外線照射處理固化樹脂來形成密封空間。在該密封空間中提供吸濕材料（典型的是氧化鋇）也是有效的。該吸濕材料既可以接觸提供在密封材料上，又可以設置在隔離壁上或隔離壁的週邊以便不遮罩來自發光元件的光。此外，覆蓋材料和形成有發光元件的基板之間的空間可以用熱固化樹脂或紫外線固化樹脂來填充。在這種情況下，在熱固化樹脂或紫外線固化樹脂中添加典型地為氧化鋇的吸濕材料是有效的。

由於本實施例模式所示的 TFT1701 至 1703 藉由實施例模式 1 至 6 中的任何方法來製造，並不必在半導體膜的表面上停止蝕刻，因此可以容易進行形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。從而，可以容易製造特性

良好的 EL 顯示裝置。

實施例模式 8

在本實施例模式中，對藉由使用實施例模式 1 中製造的半導體裝置來製造透過型液晶顯示裝置的方法進行說明。顯然，也可使用實施例模式 2 至 6 中製造的半導體裝置。

首先，與實施例模式 1 同樣地形成 TFT1701 至 1703、覆蓋 TFT1701 至 1703 的絕緣層 1710、與 TFT1701 至 1703 的源區或汲區電連接的佈線 1704 至 1709（圖 19）。然後，覆蓋佈線 1704 至 1709 地形成絕緣層 109，在絕緣層 109 上形成與佈線 1709 電連接的第一電極 110。在本實施例模式中，使用含有氧化矽的氧化銦錫（ITSO）作為第一電極 110 的材料。然後，如圖 19 所示，在絕緣層 109 和第一電極 110 上形成對準膜 1801。在本實施例模式中，使用聚醯亞胺作為對準膜 1801。隨後，製備相對基板 1802。相對基板 1802 包括玻璃基板 1803、由透明導電膜形成的相對電極 1804 以及對準膜 1805。

然後，藉由上述處理獲得的 TFT 基板 1806 和相對基板 1802 藉由密封材料彼此粘合。這裏，可以在對準膜 1801 和對準膜 1805 之間提供隔離物以保持兩基板之間的固定空間。此後，將液晶 1807 注入兩個基板之間，且藉由用密封劑密封來完成如圖 19 所示的透過型液晶顯示裝

置。

儘管本實施例模式中描述的是透射型液晶顯示裝置，但本發明的液晶顯示裝置不局限於這種類型。藉由將具有反射性的電極用作第一電極 110，或藉由將反射膜設置在第一電極 110 的上表面或底表面，本發明還可以被應用於反射型液晶顯示裝置。另外，也可以將本發明應用於半透射型液晶顯示裝置。

由於本實施例模式所示的 TFT1701 至 1703 藉由實施例模式 1 至 6 中的任何方法來製造，並不必在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可以容易製造特性惡化少的半導體裝置。從而，可以容易製造特性良好的液晶顯示裝置。

實施例模式 9

在本實施例模式中，將參照附圖說明包括實施例模式 1 至 6 所說明的薄膜電晶體、記憶元件以及天線的本發明的半導體裝置的製造方法。

圖 20 表示本實施例模式所示的半導體裝置。注意，圖 20A 表示本實施例模式所示的半導體裝置的上表面結構的一個例子，圖 20B 表示圖 20A 的截面結構的一部分。

在本實施例模式中，半導體裝置 1200 包括積體電路部 1201、記憶體部 1202、天線 1203（圖 20A）。另外，

在圖 20B 中，區域 1204 對應於圖 20A 的積體電路部 1201 的截面結構的一部分，區域 1205 對應於圖 20A 的記憶體部 1202 的截面結構的一部分，並且，區域 1206 對應於圖 20A 的天線 1203 的截面結構的一部分。

如圖 20B 所示，本實施例模式的半導體裝置包括：中間夾著絕緣層 703 設置在第一基板 775 上的薄膜電晶體 (TFT) 744 至 748；設置在薄膜電晶體 744 至 748 上的絕緣膜 750；設置在該絕緣膜 750 上的用作源極電極或汲極電極的導電膜 752 至 761。此外，本實施例模式的半導體裝置還包括：設置在絕緣膜 750 及導電膜 752 至 761 上的絕緣膜 762；設置在絕緣膜 762 上的導電膜 763 至 765；覆蓋絕緣膜 762 及導電膜 763 和 764 的一部分地設置的絕緣膜 766；設置在絕緣膜 766 上的記憶體元件 789、790；設置在導電膜 765 上的用作天線的導電層 786；覆蓋絕緣膜 766、導電膜 771 及用作天線的導電層 786 地設置的絕緣膜 772；設置在絕緣膜 772 上的第二基板 776。另外，半導體裝置的積體電路部 1201、記憶體部 1202 和天線部 1203 被第一基板 775 和第二基板 776 密封。

由於本實施例模式所示的薄膜電晶體 744 至 748 藉由實施例模式 1 至 6 中的任何方法來製造，並不必要在半導體膜的表面上停止蝕刻，因此可以容易進行當形成接觸孔時的蝕刻控制。此外，由於能夠在形成於半導體層中的接觸孔的側面處獲得與源極電極或汲極電極的電連接，所以可

以容易製造特性惡化少的半導體裝置。從而，可以容易製造具有良好的特性且能夠進行無線通信的半導體裝置。

【符號說明】

30：基板

31：絕緣層

32：半導體層

32a、32d、32e：通道形成區

32b、32c：雜質區

33：絕緣層

34：導電層

203：絕緣層

204：導電層

205：薄膜電晶體

36：絕緣層

31a：第一絕緣層

31b：第二絕緣層

201：半導體膜

202：抗蝕劑

107：絕緣層

121：雜質元素

207：抗蝕劑

1102：矽化物區

1101：絕緣層

- 34a : 第一導電層
- 34b : 第二導電層
- 1103 : 金屬層
- 601 : 單晶矽基板
- 602 : 含氧的層
- 603 : 埋入絕緣層
- 604、605 : 單晶矽層
- 801 : 單晶矽基板
- 802 : 氧化矽膜
- 803 : 含氫的層
- 804 : 單晶矽基板
- 806 : 單晶矽層
- 807 : 埋入絕緣層
- 808 : 單晶矽層
- 110 : 第一電極
- 1701-1703 : TFT
- 1704-1709 : 佈線
- 109 : 絕緣層
- 111 : 絕緣膜
- 112 : 場致發光層
- 113 : 第二電極
- 1710 : 絕緣層
- 1801 : 對準膜
- 1802 : 相對基板

- 1803 : 玻璃基板
- 1804 : 相對電極
- 1805 : 對準膜
- 1806 : TFT 基板
- 1807 : 液晶
- 1200 : 半導體裝置
- 1201 : 積體電路部
- 1202 : 記憶體部
- 1203 : 天線
- 1204、1205 : 區域
- 744-748 : TFT
- 775 : 第一基板
- 703、750 : 絕緣層
- 752-761 : 導電層
- 762 : 絕緣層
- 763-765 : 導電層
- 766 : 絕緣層
- 789、790 : 記憶體元件
- 772 : 絕緣層
- 771 : 導電膜
- 786 : 導電層
- 776 : 第二電極

申請專利範圍

1. 一種半導體裝置，包含：

在基板上且包含矽和氧的第一絕緣層；

在該第一絕緣層上且包含矽的半導體層，該半導體層具有第一開口；

在該半導體層上的第二絕緣層，該第二絕緣層具有第二開口；

在該第二絕緣層上的閘極電極，該閘極電極與該半導體層重疊；

在該閘極電極上的第三絕緣層；以及

在該第三絕緣層上的導電層，該導電層具有與該第一開口和該第二開口重疊的區域，

其中該第一開口完全由該導電層所填充，

其中該導電層經由該第一開口和該第二開口連接至該半導體層的側面和該半導體層的頂面，且

其中該導電層與該第一絕緣層接觸。

2. 一種半導體裝置，包含：

在基板上且包含矽和氧的第一絕緣層，該第一絕緣層具有凹陷部分；

在該第一絕緣層上且包含矽的半導體層，該半導體層具有第一開口；

在該半導體層上的第二絕緣層，該第二絕緣層具有第二開口；

在該第二絕緣層上的閘極電極，該閘極電極與該半導

體層重疊；

在該閘極電極上的第三絕緣層；以及

在該第三絕緣層上的導電層，該導電層具有與該凹陷部分、該第一開口和該第二開口重疊的區域，

其中該第一開口完全由該導電層所填充，

其中該導電層經由該第一開口和該第二開口連接至該半導體層的側面和該半導體層的頂面，且

其中該導電層在該凹陷部分中與該第一絕緣層接觸。

3. 一種半導體裝置，包含：

在基板上且包含矽和氧的第一絕緣層，該第一絕緣層具有凹陷部分；

在該第一絕緣層上且包含矽的半導體層，該半導體層具有第一開口；

在該半導體層上的第二絕緣層，該第二絕緣層具有第二開口；

在該第二絕緣層上的閘極電極，該閘極電極與該半導體層重疊；

在該閘極電極上的第三絕緣層；

在該第三絕緣層上的第一導電層，該第一導電層具有與該凹陷部分、該第一開口和該第二開口重疊的區域，

在該第一導電層上的第四絕緣層；

在該第四絕緣層上的第二導電層，該第二導電層經由該第一導電層與該半導體層電連接；以及

在該第二導電層上的液晶層，

其中該第一開口完全由該第一導電層所填充，

其中該第一導電層經由該第一開口和該第二開口連接至該半導體層的側面和該半導體層的頂面，且

其中該第一導電層在該凹陷部分中與該第一絕緣層接觸。

4. 如申請專利範圍第 1 至 3 項中任一項的半導體裝置，其中該半導體層包含矽化物區。

5. 如申請專利範圍第 1 至 3 項中任一項的半導體裝置，其中該半導體層的厚度為 10nm 至 50nm。

6. 如申請專利範圍第 1 或 2 項的半導體裝置，其中該導電層為疊層結構。

7. 如申請專利範圍第 6 項的半導體裝置，其中該導電層包含鋁層。

8. 如申請專利範圍第 3 項的半導體裝置，其中該第一導電層為疊層結構。

9. 如申請專利範圍第 8 項的半導體裝置，其中該第一導電層包含鋁層。

圖式

圖1A

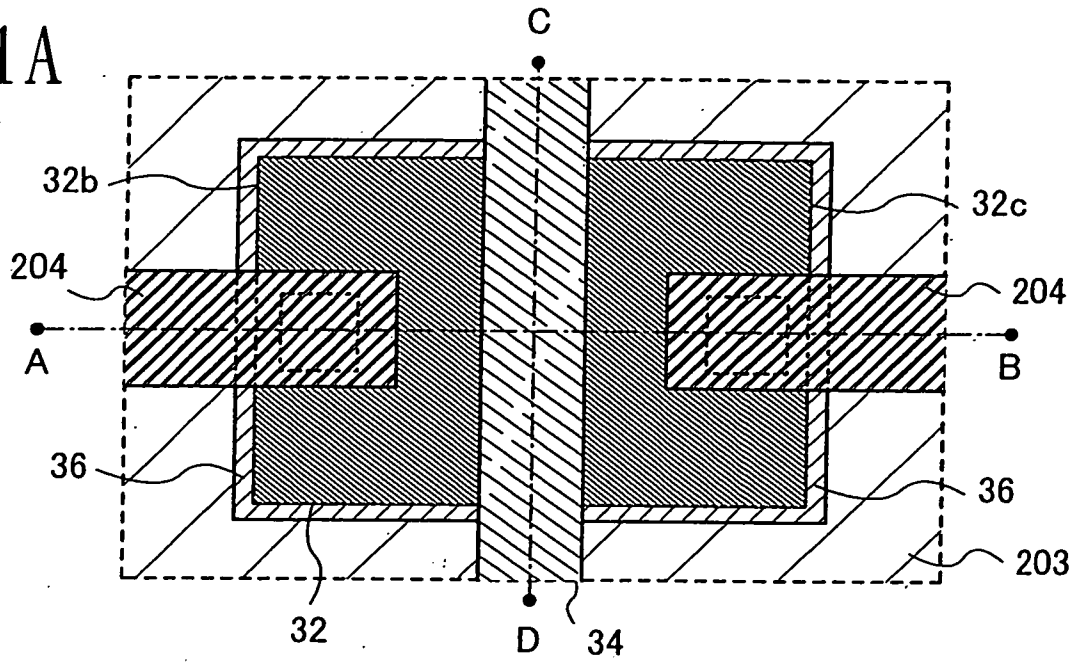


圖1B

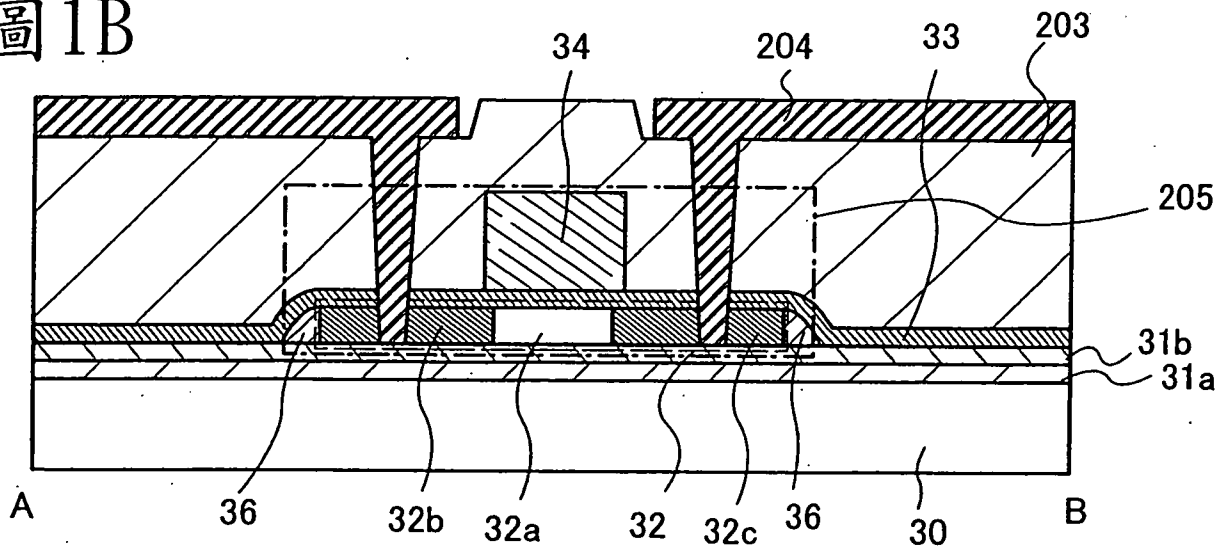


圖1C

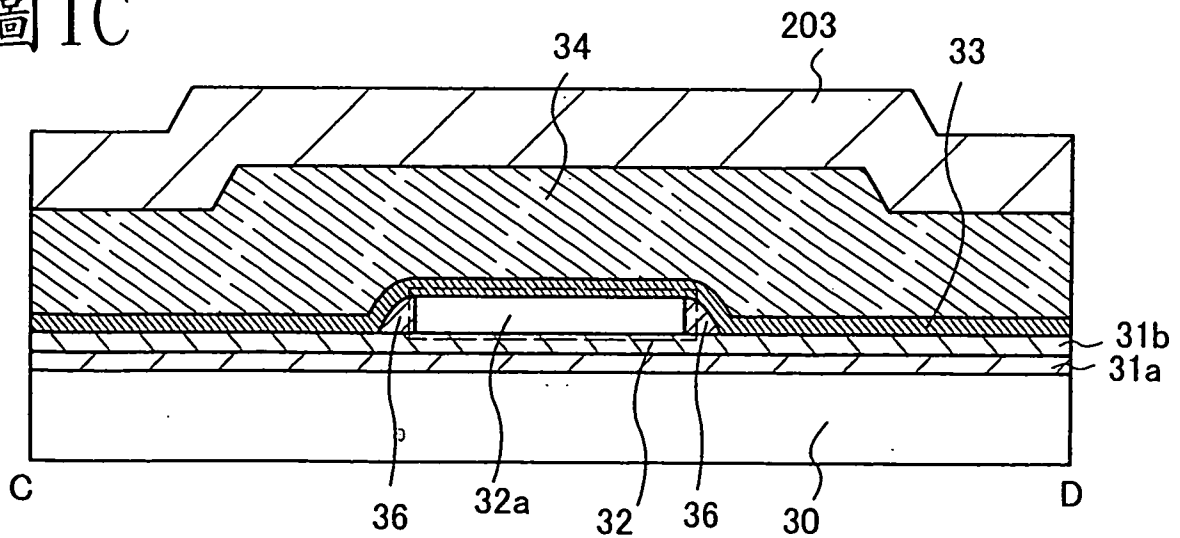


圖 2A

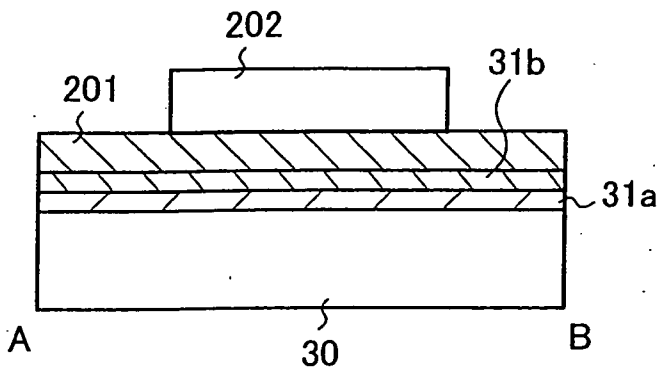


圖 2E

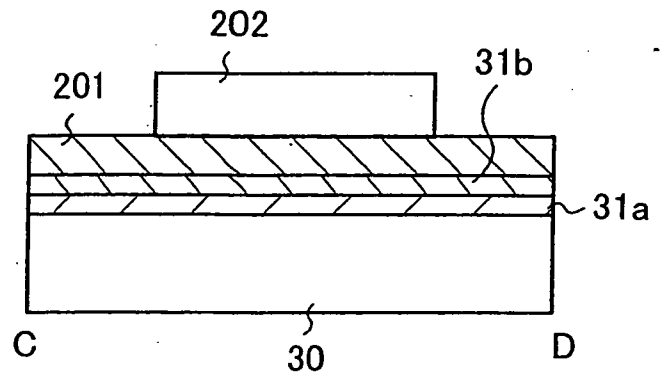


圖 2B

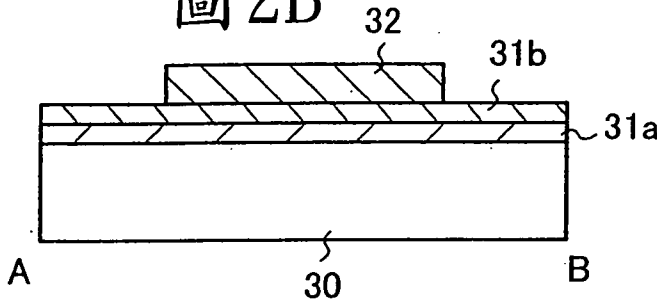


圖 2F

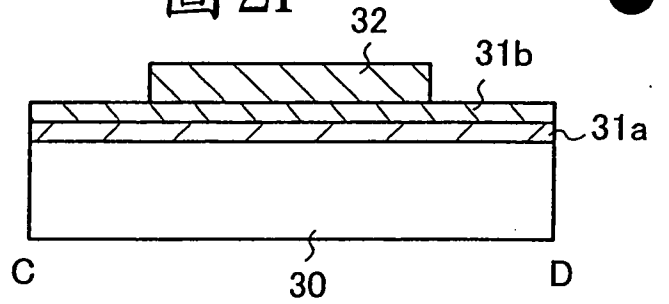


圖 2C

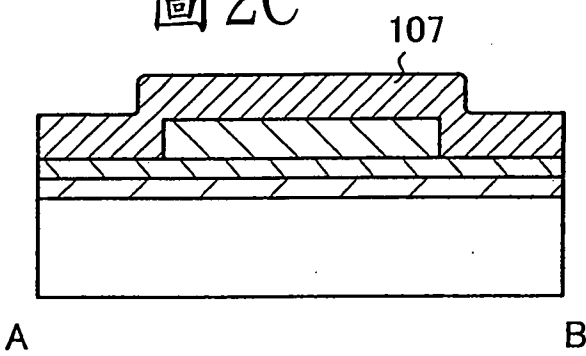


圖 2G

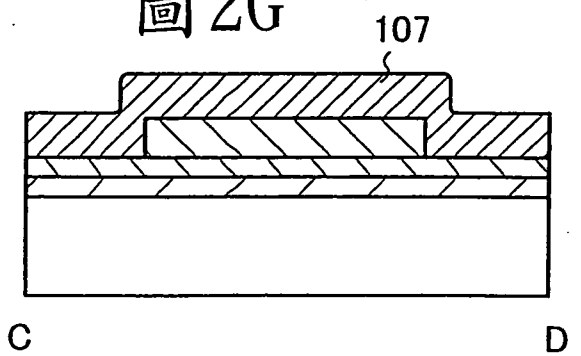


圖 2D

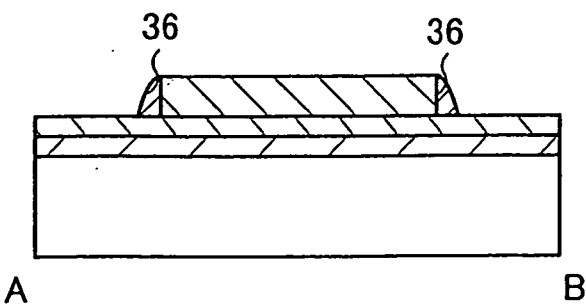


圖 2H

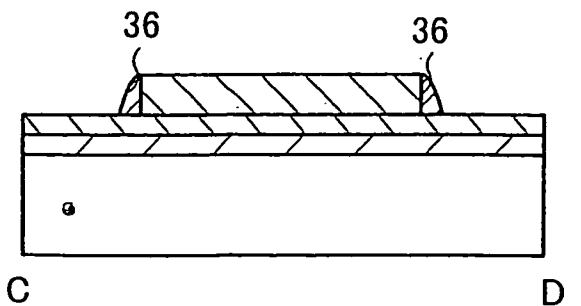


圖 3A

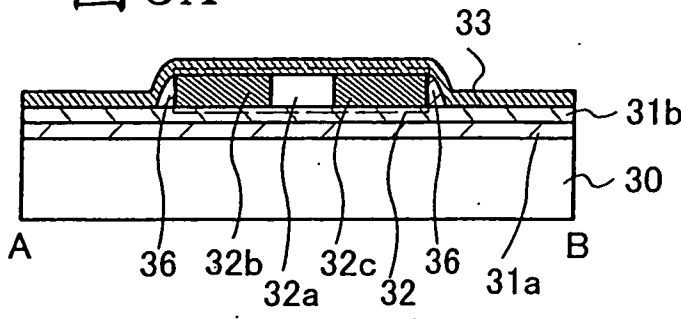


圖 3D

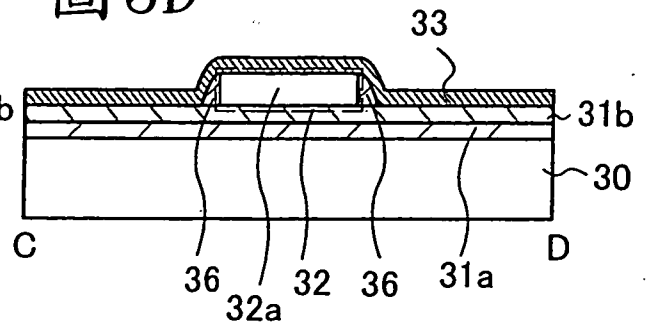


圖 3B

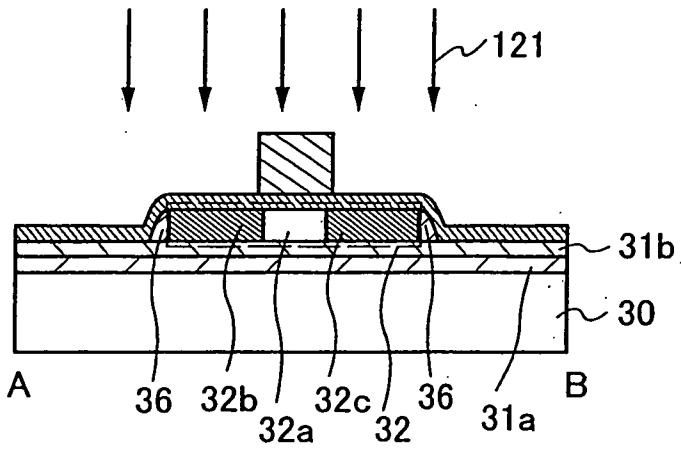


圖 3E

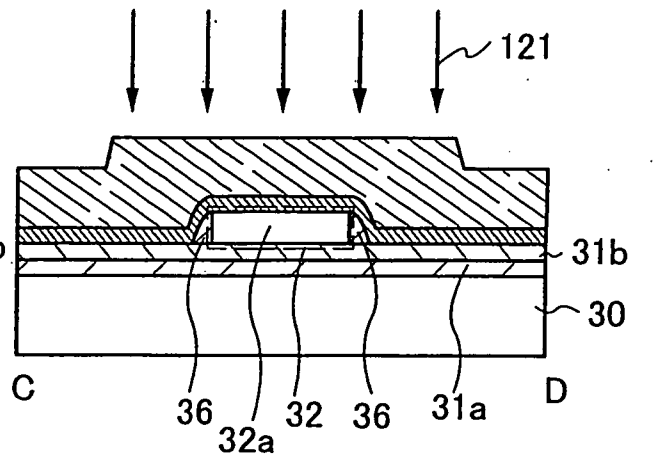


圖 3C

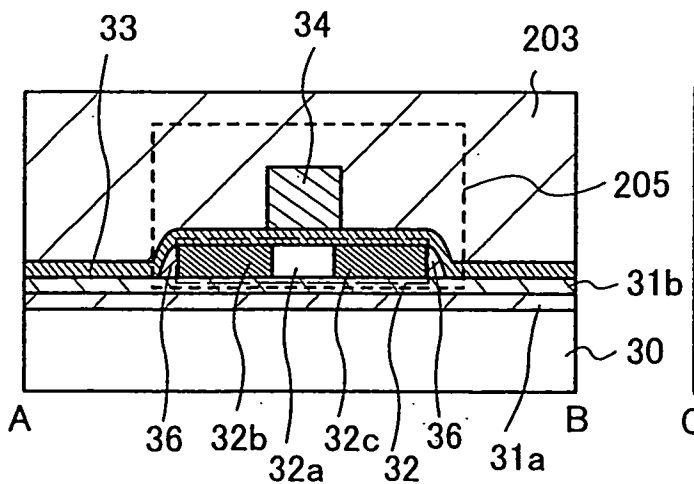


圖 3F

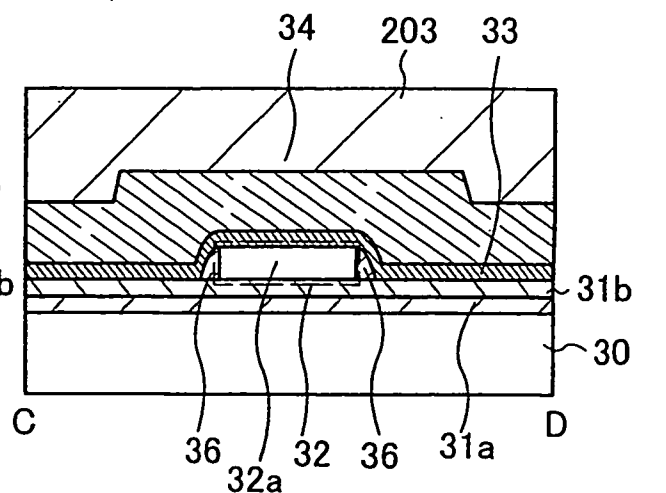


圖 4A

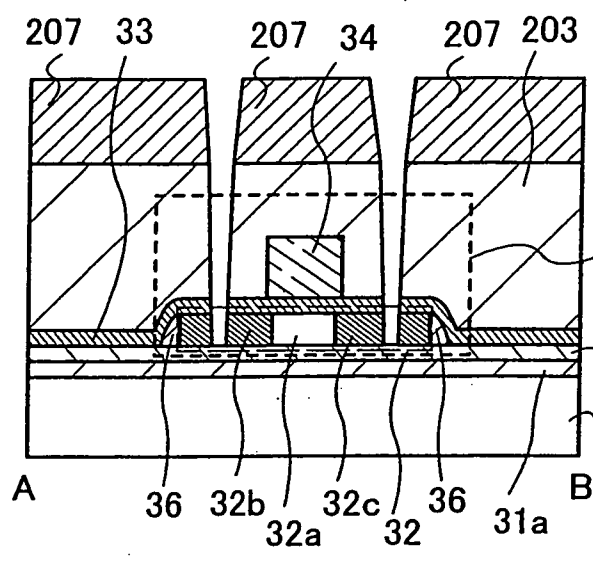


圖 4C

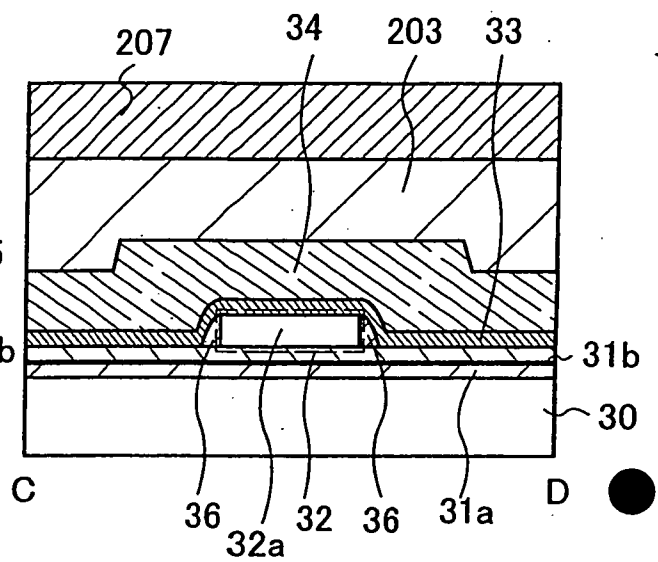


圖 4B

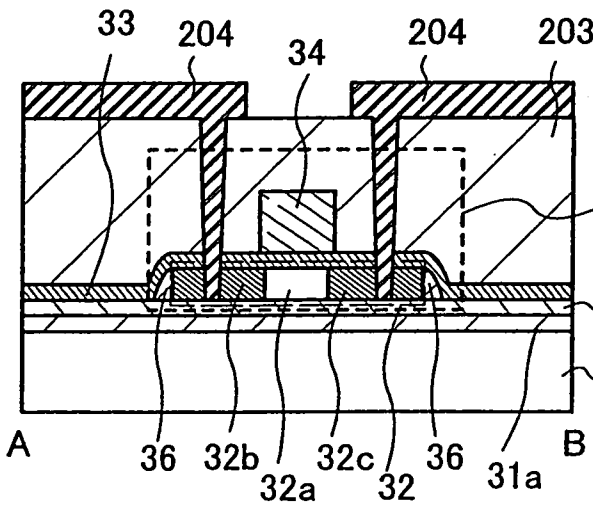


圖 4D

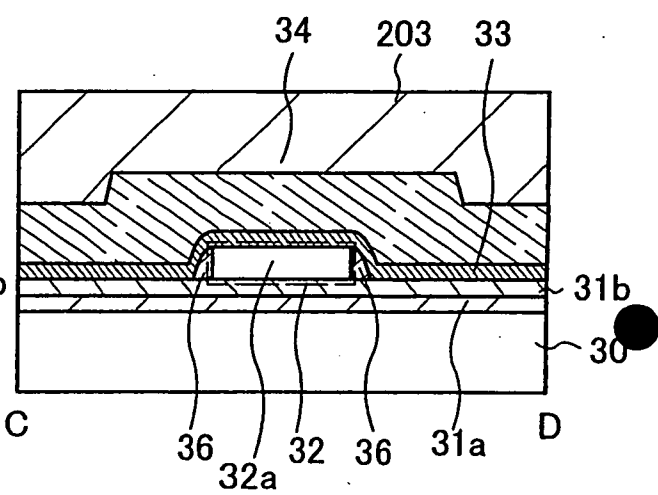


圖5A

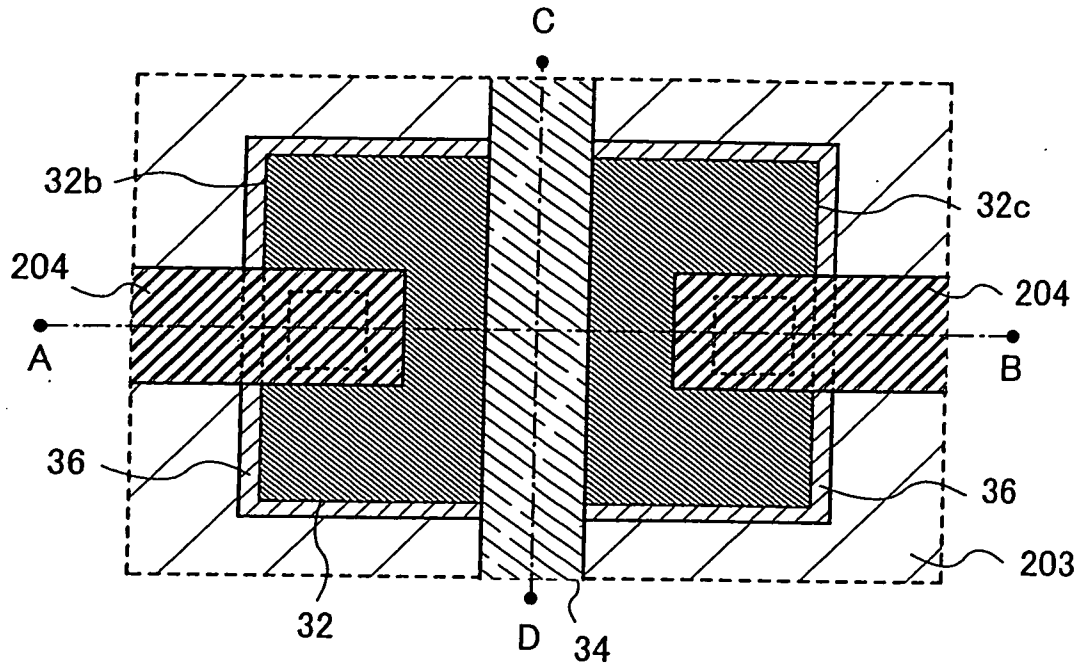


圖5B

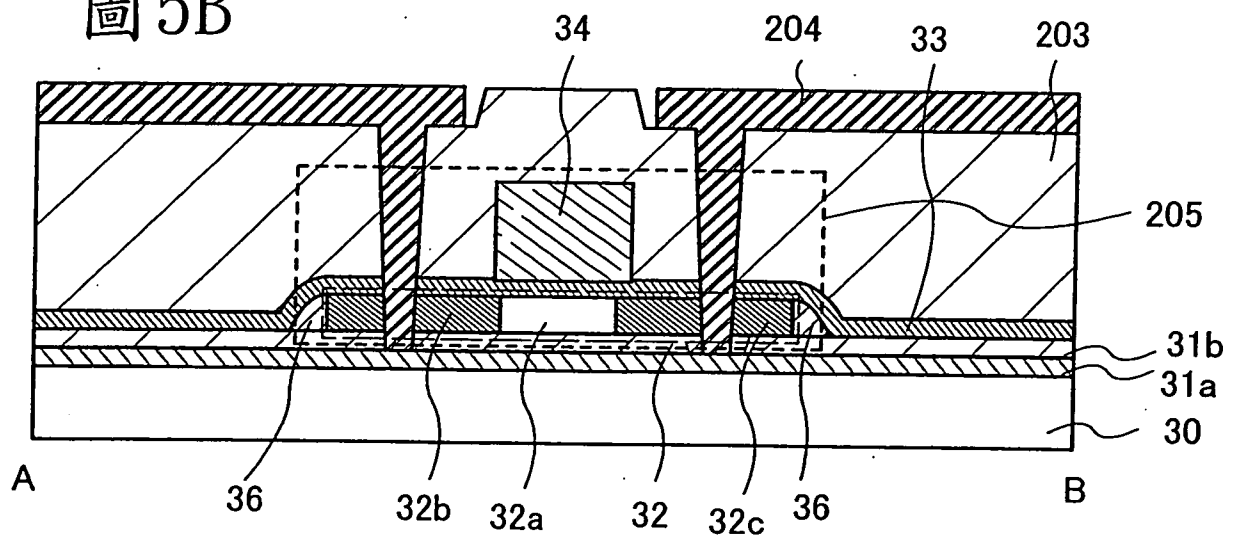


圖5C

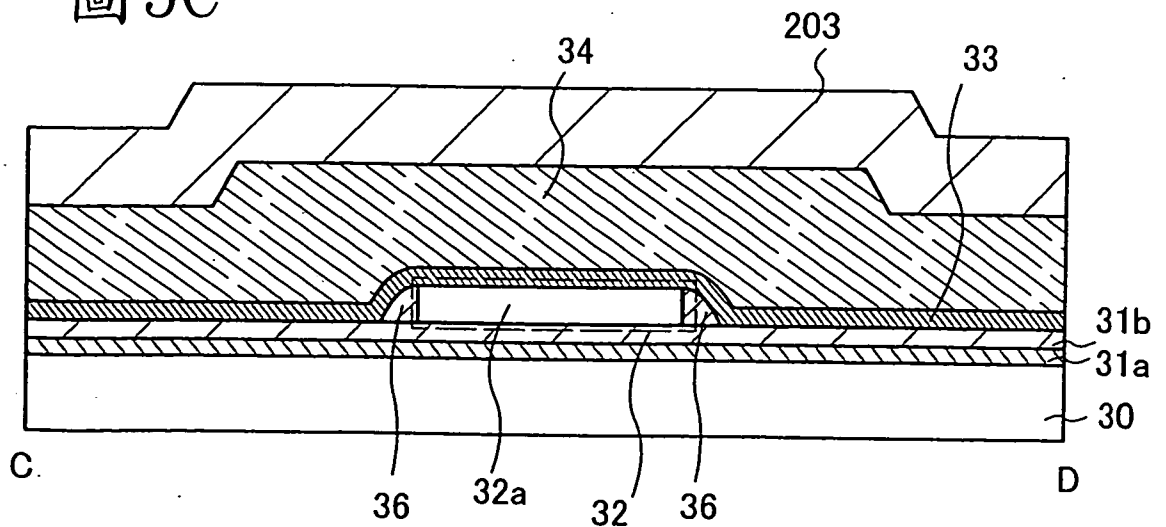


圖 6A

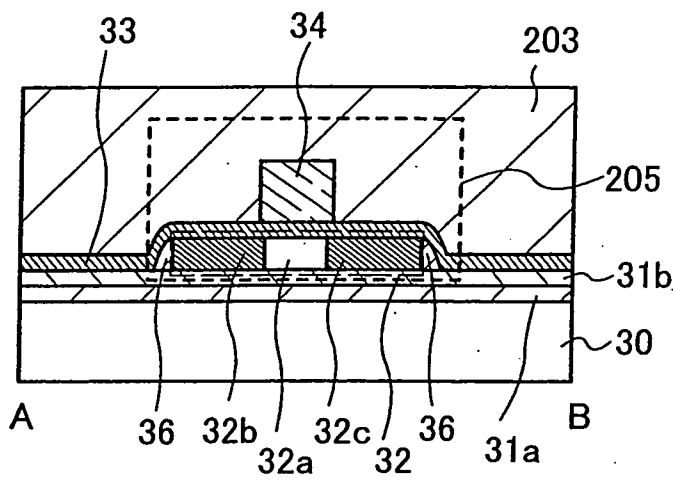


圖 6C

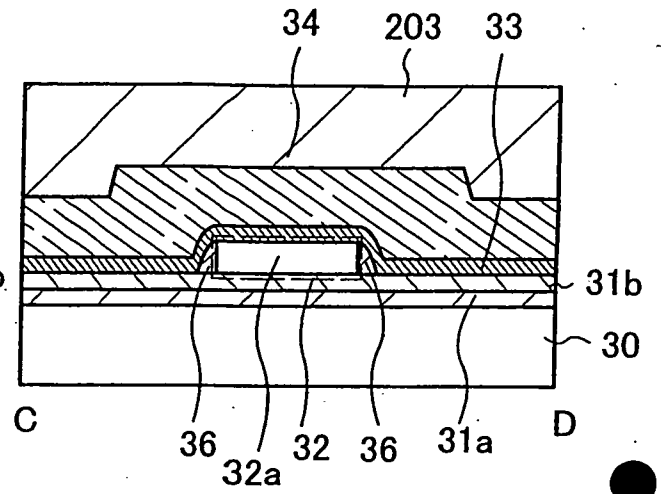


圖 6B

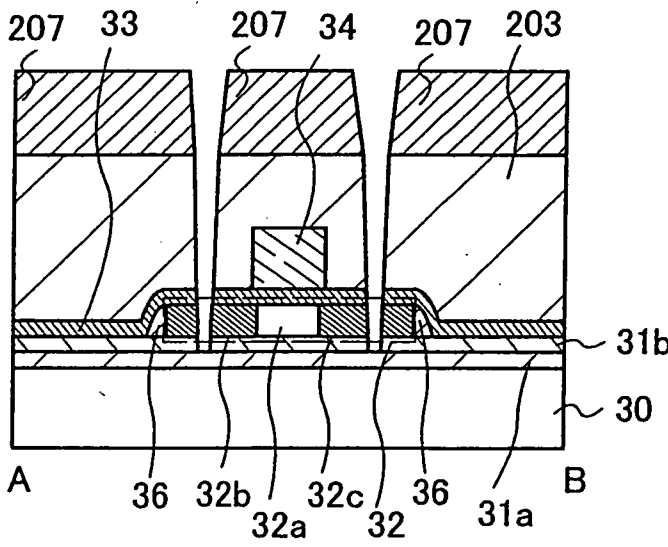


圖 6D

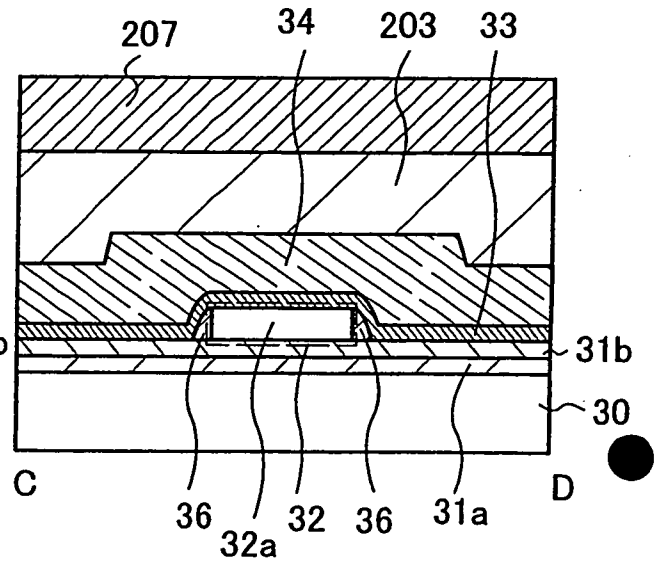


圖 7A

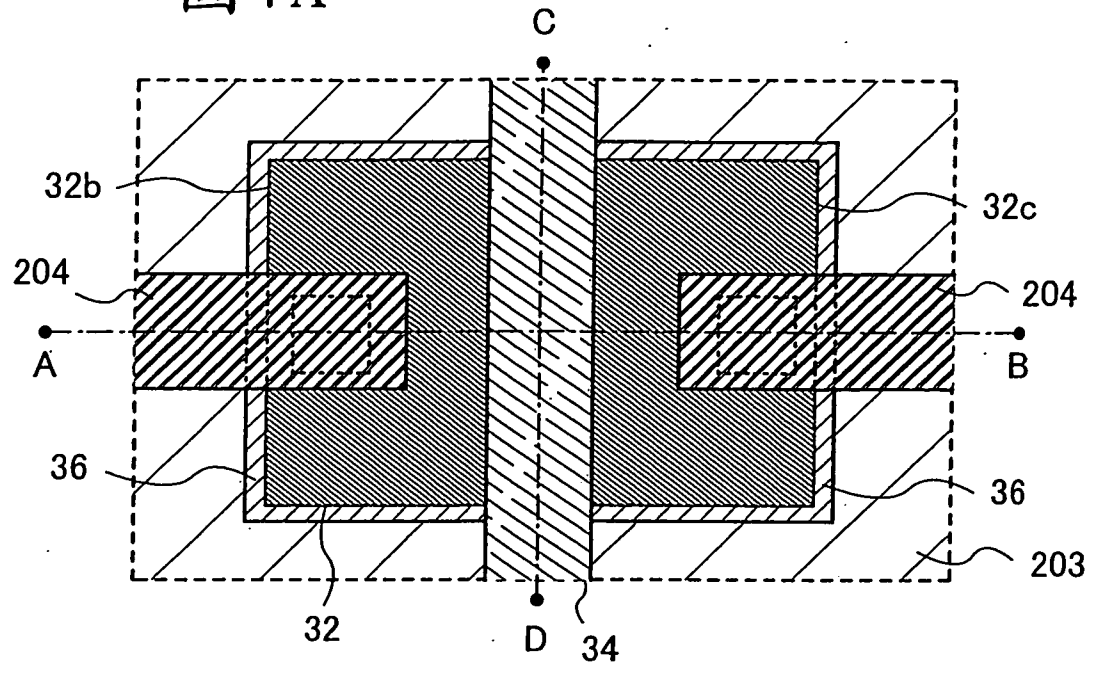


圖 7B

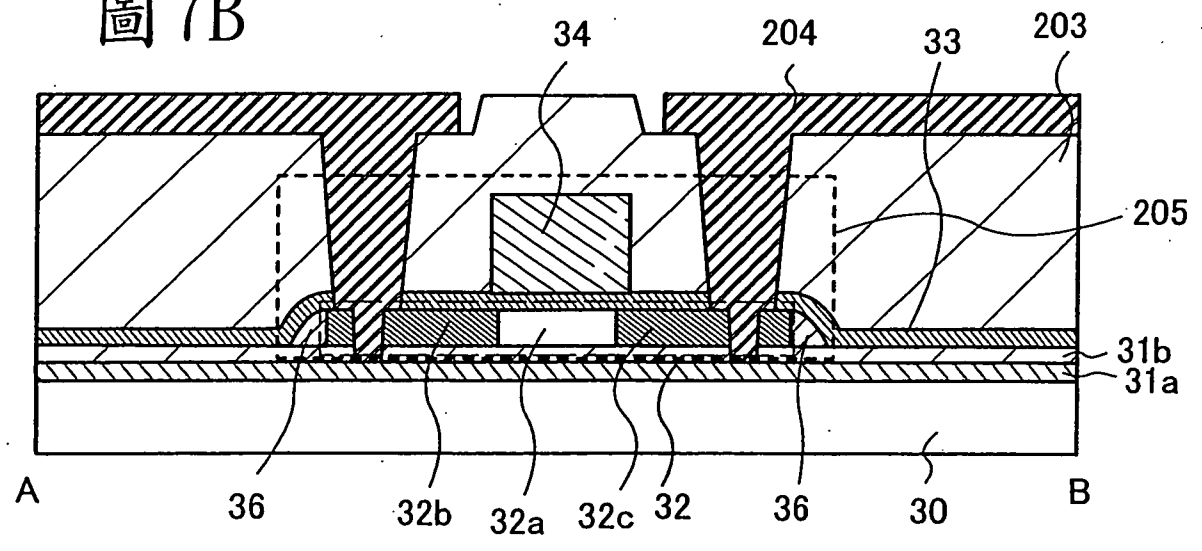


圖 7C

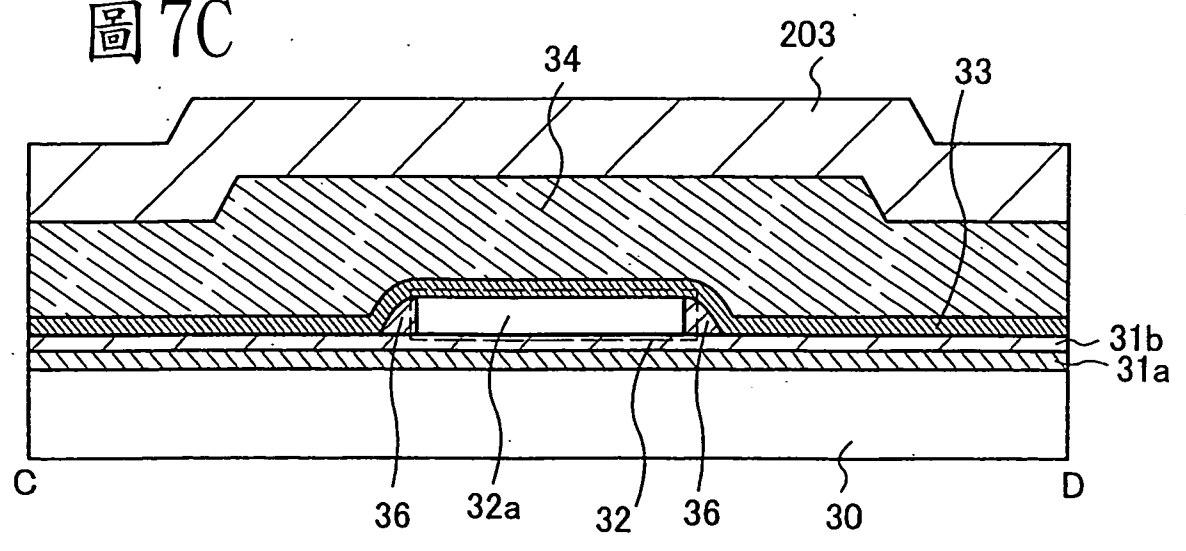


圖 8A

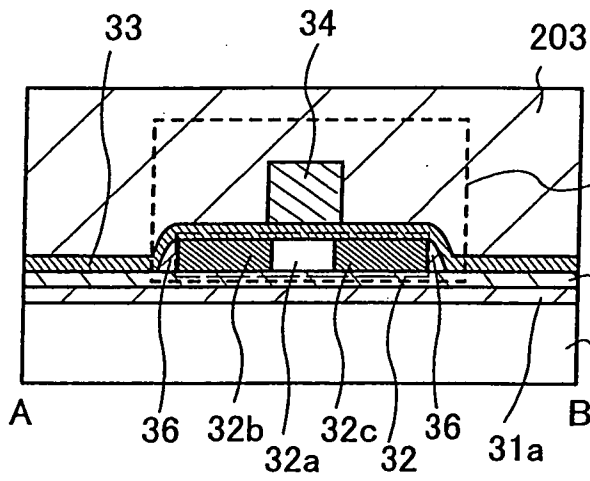


圖 8D

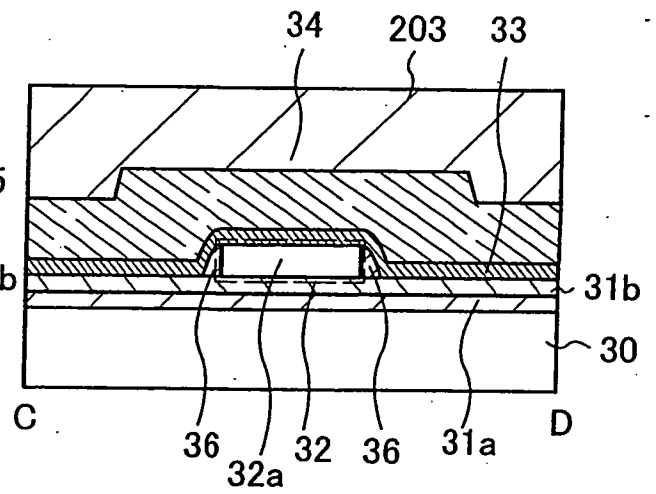


圖 8B

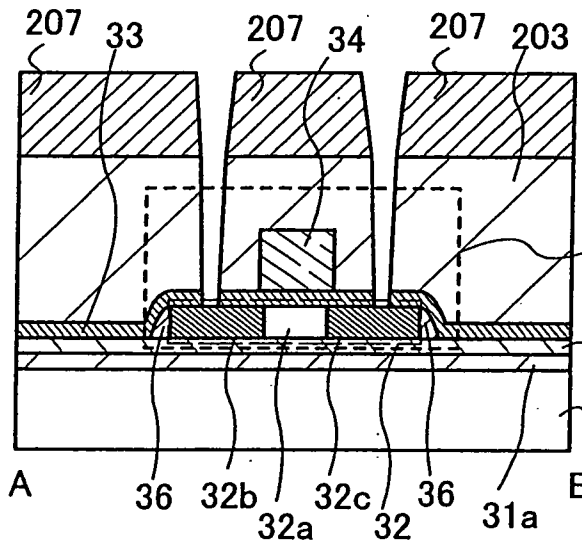


圖 8E

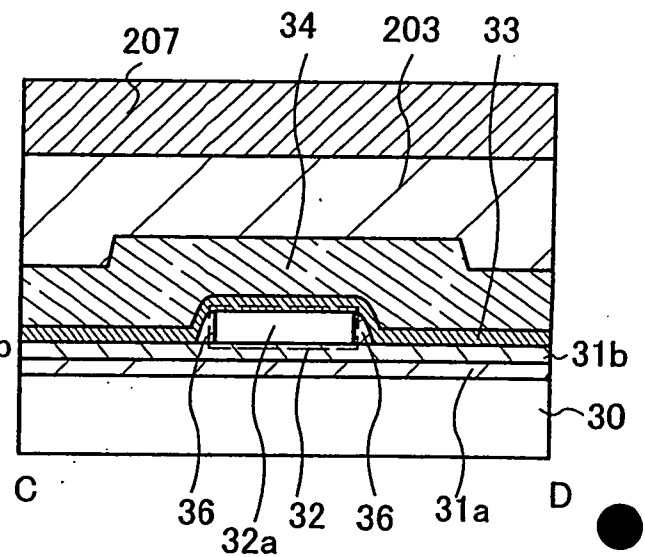


圖 8C

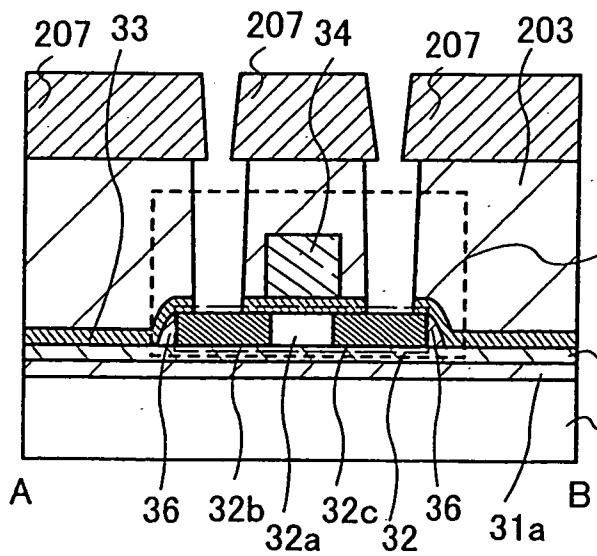


圖 8F

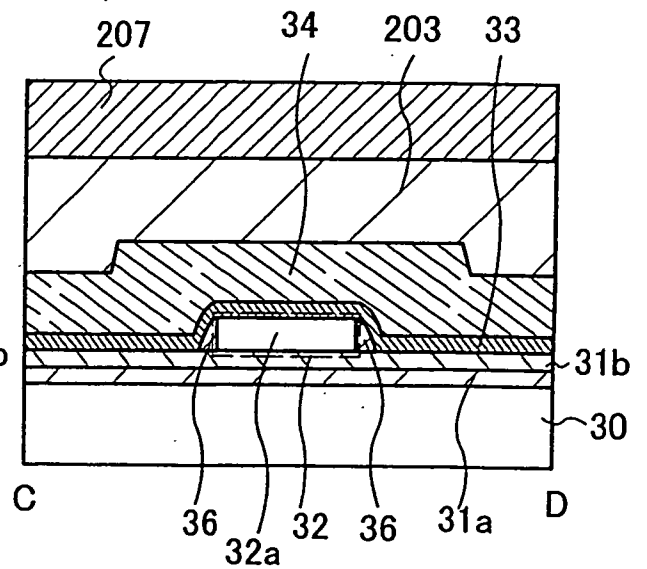


圖9A

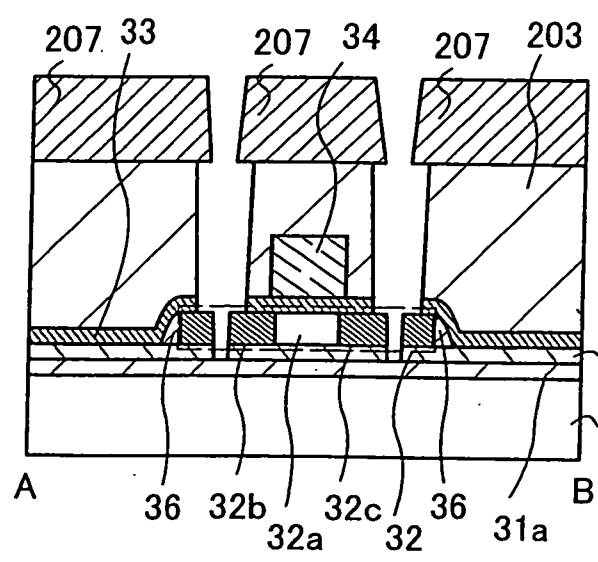


圖9C

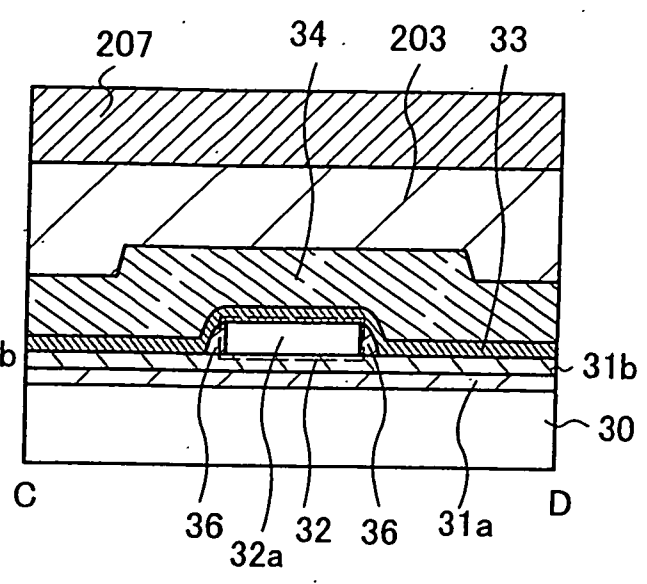


圖9B

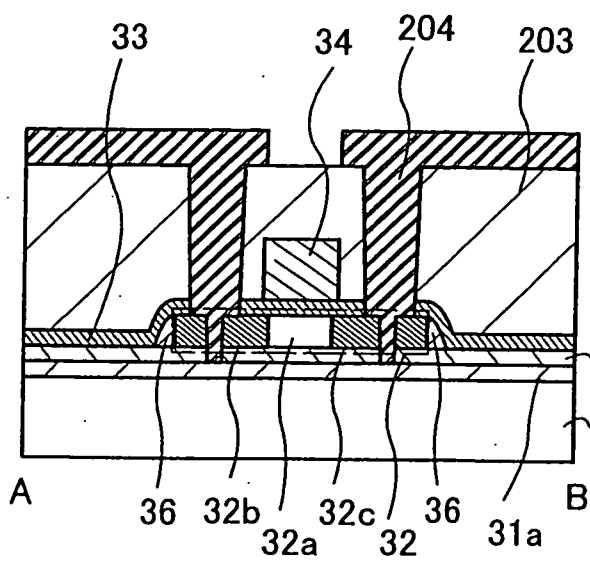


圖9D

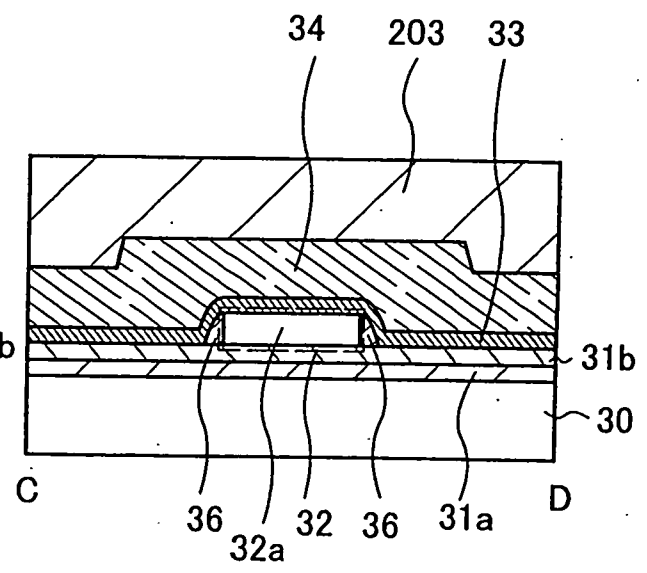


圖 10A

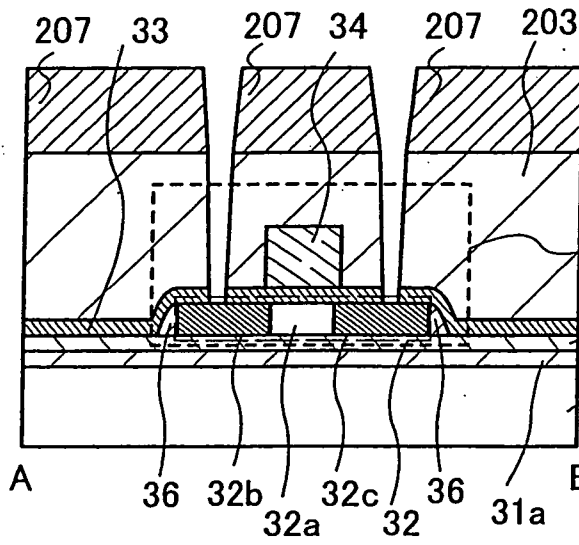


圖 10D

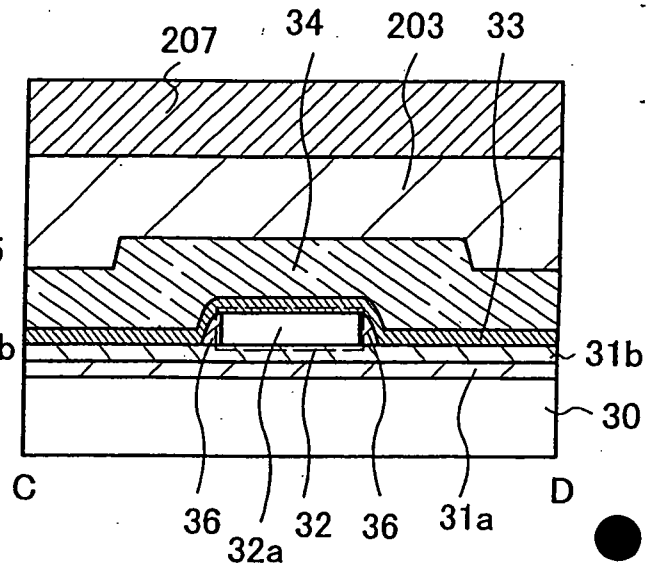


圖 10B

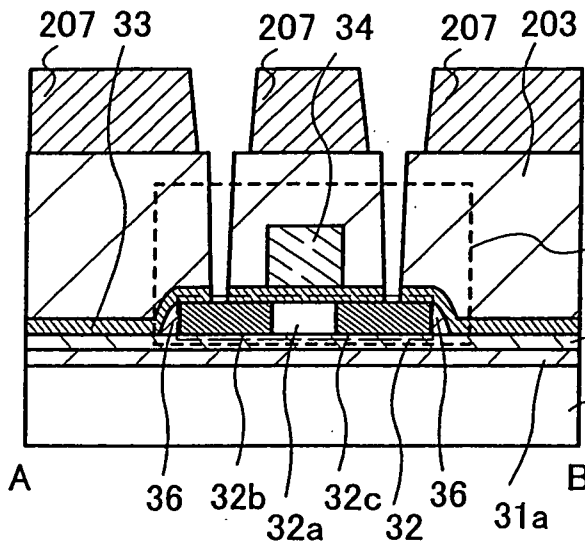


圖 10E

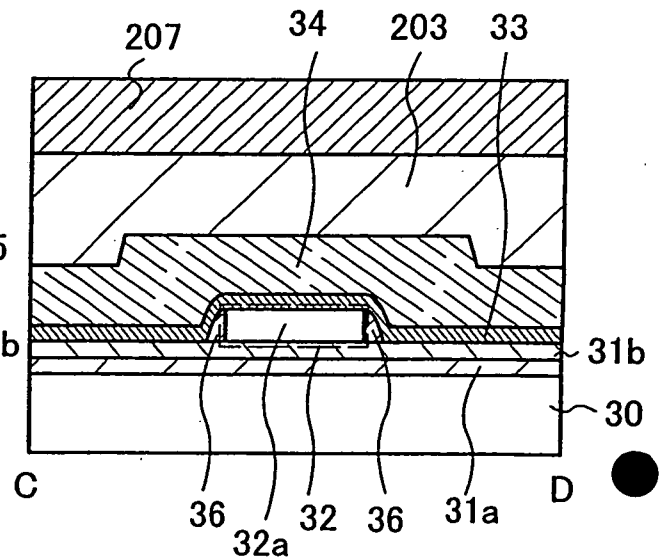


圖 10C

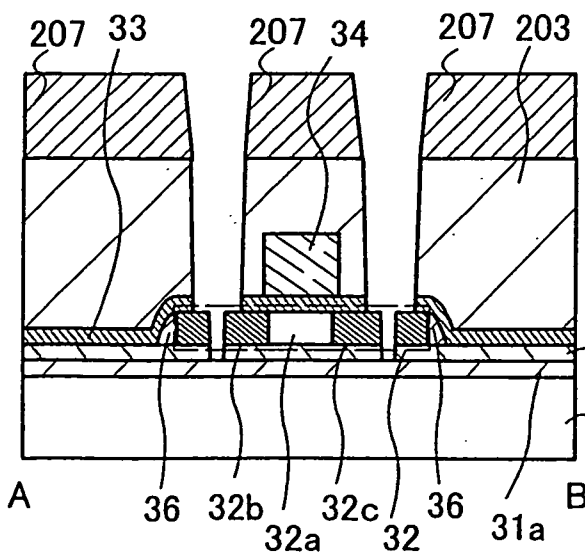


圖 10F

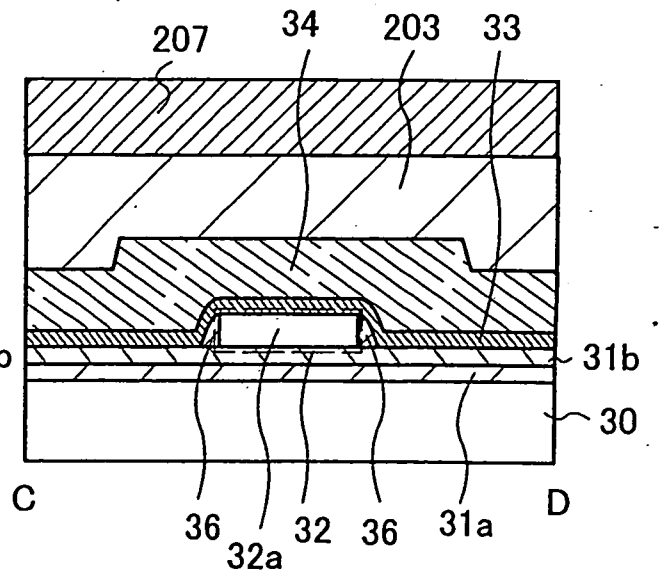


圖 11A

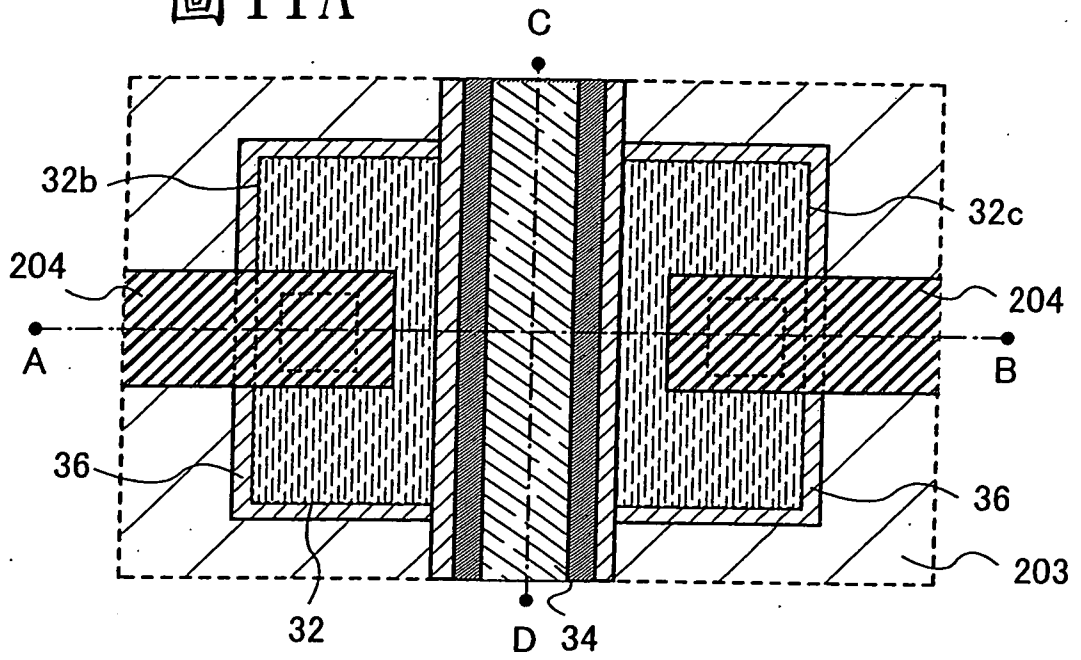


圖 11B

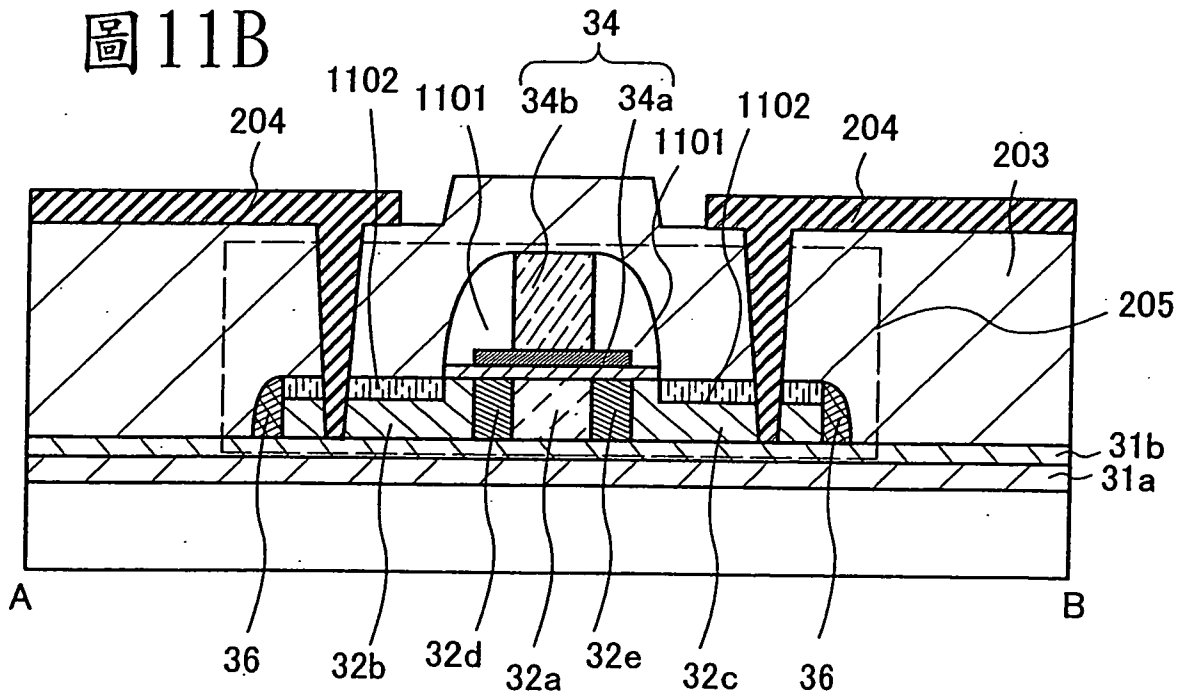


圖 11C

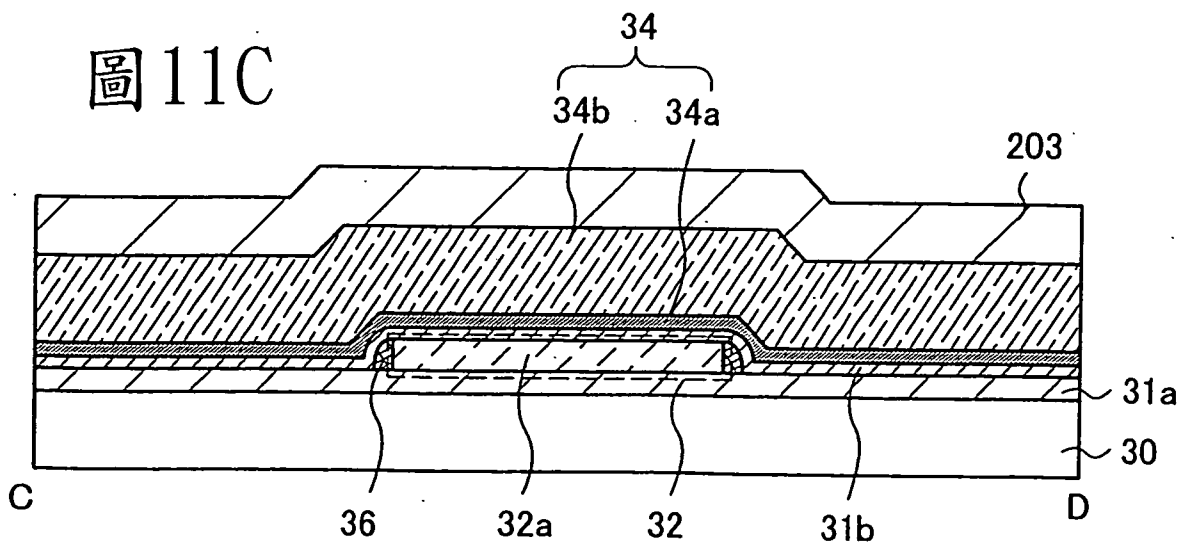


圖 12A

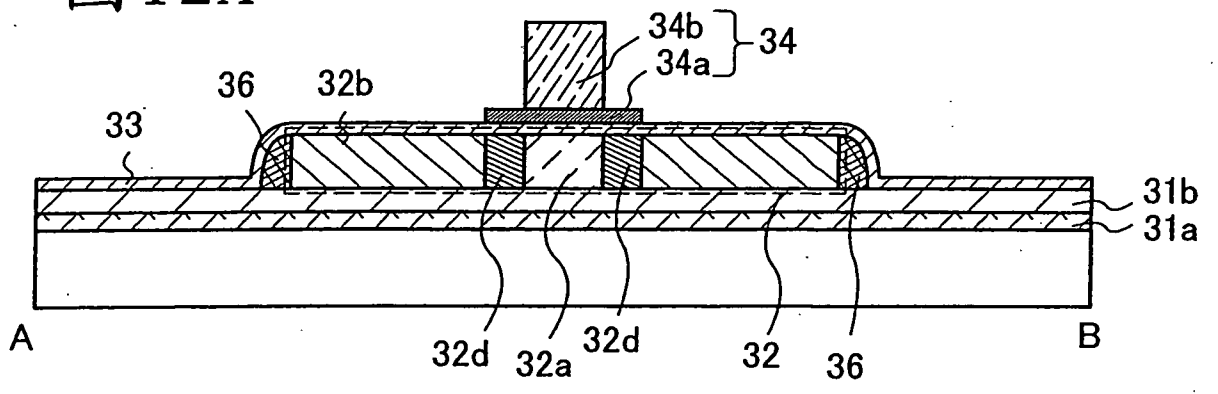


圖 12B

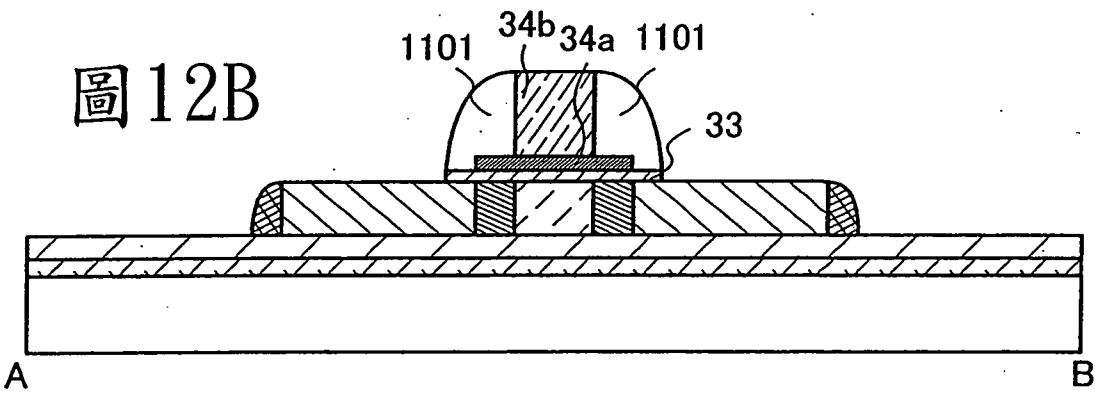


圖 12C

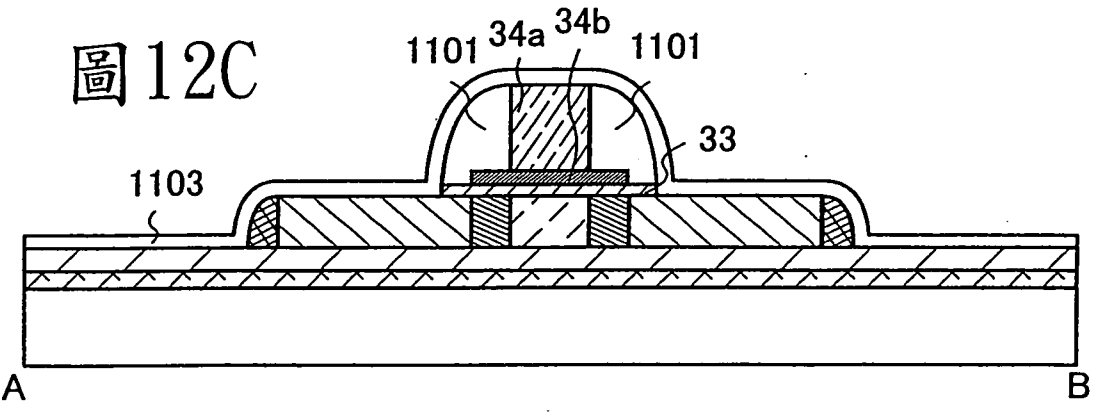


圖 12D

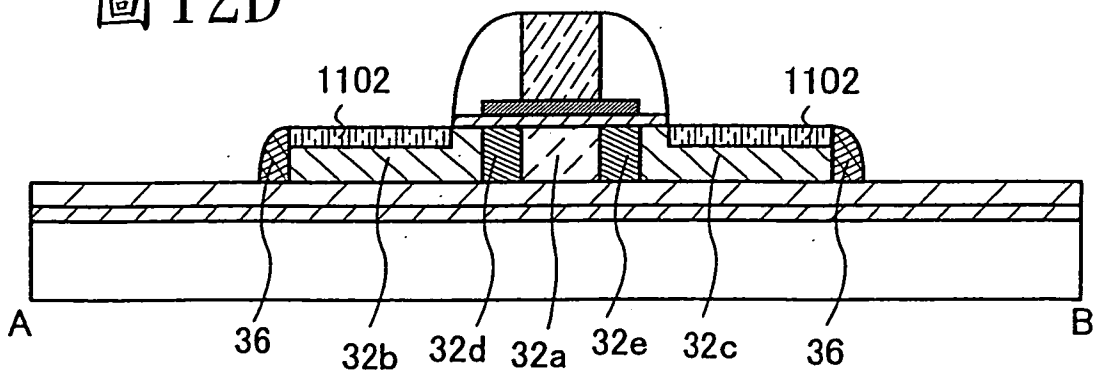


圖 13A

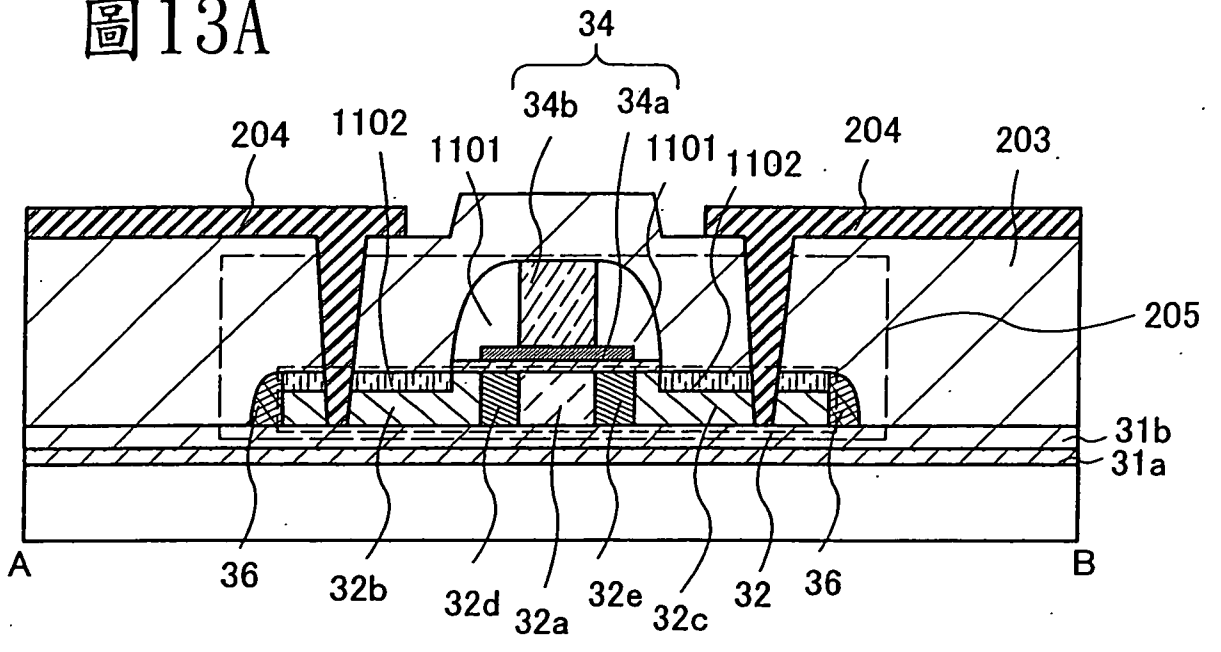


圖 13B

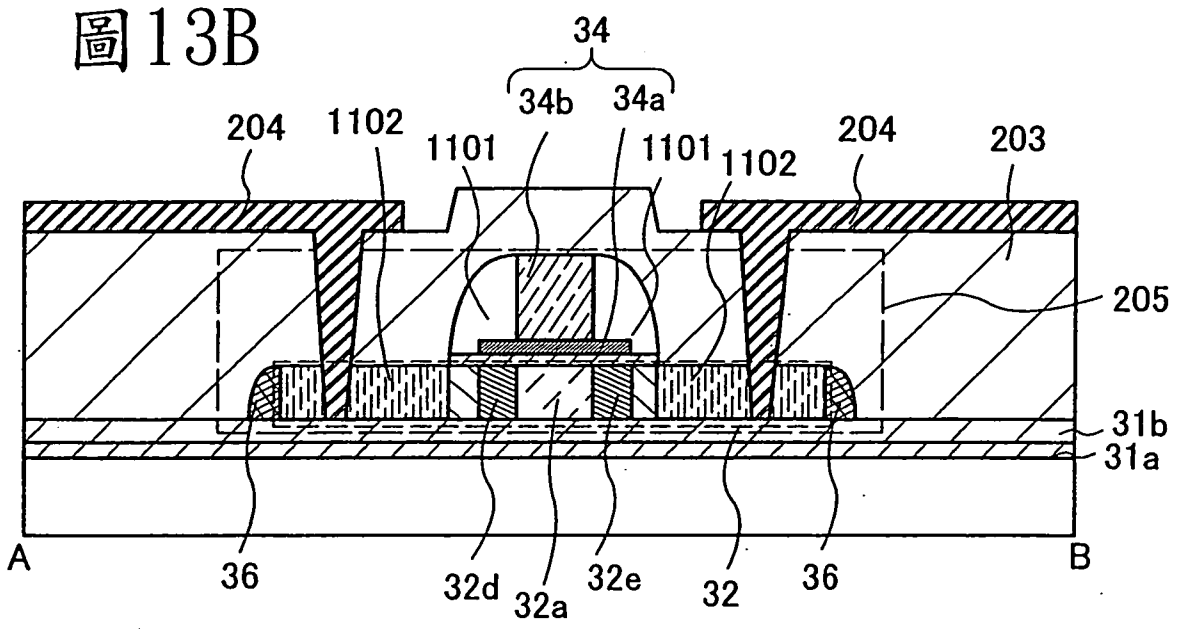


圖 14A

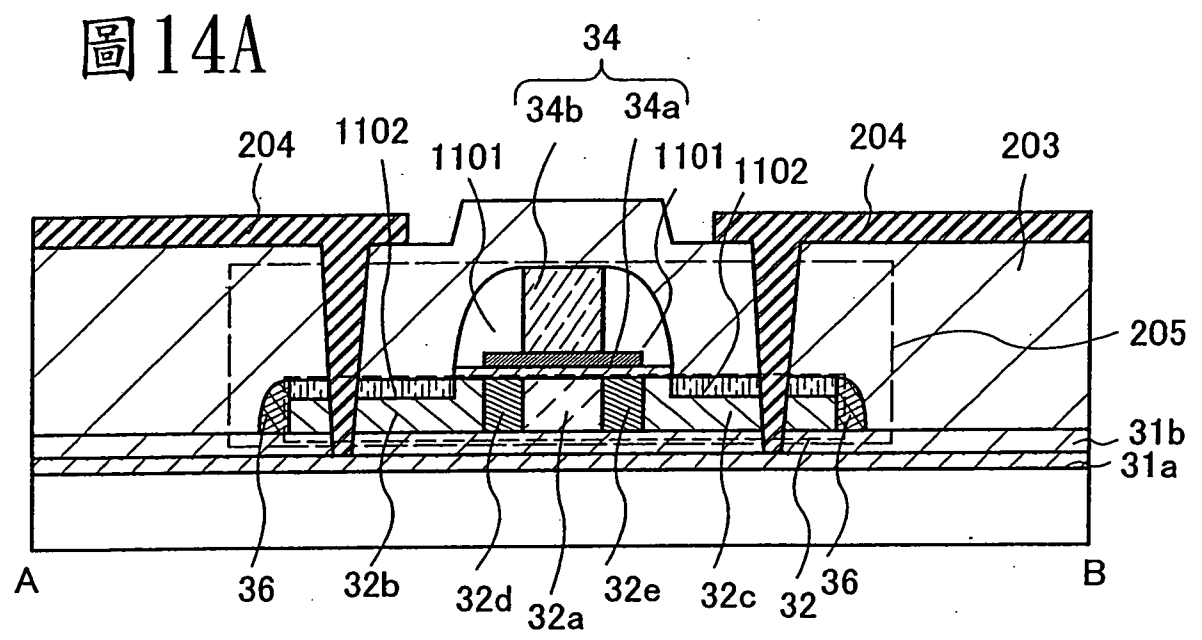


圖 14B

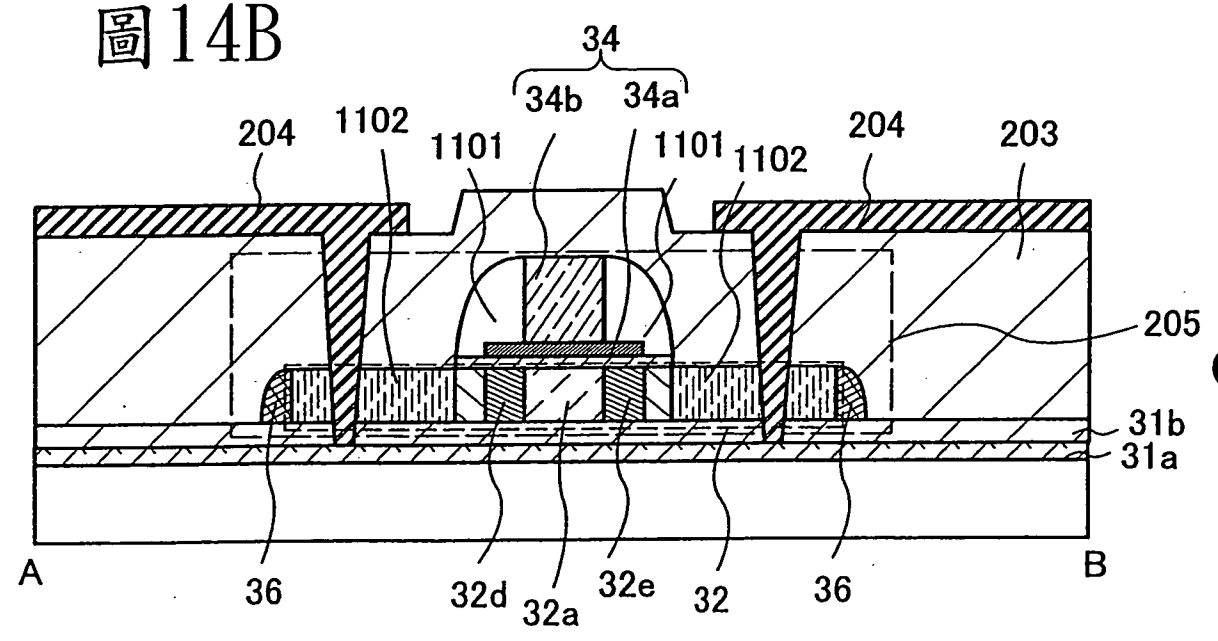


圖 15A

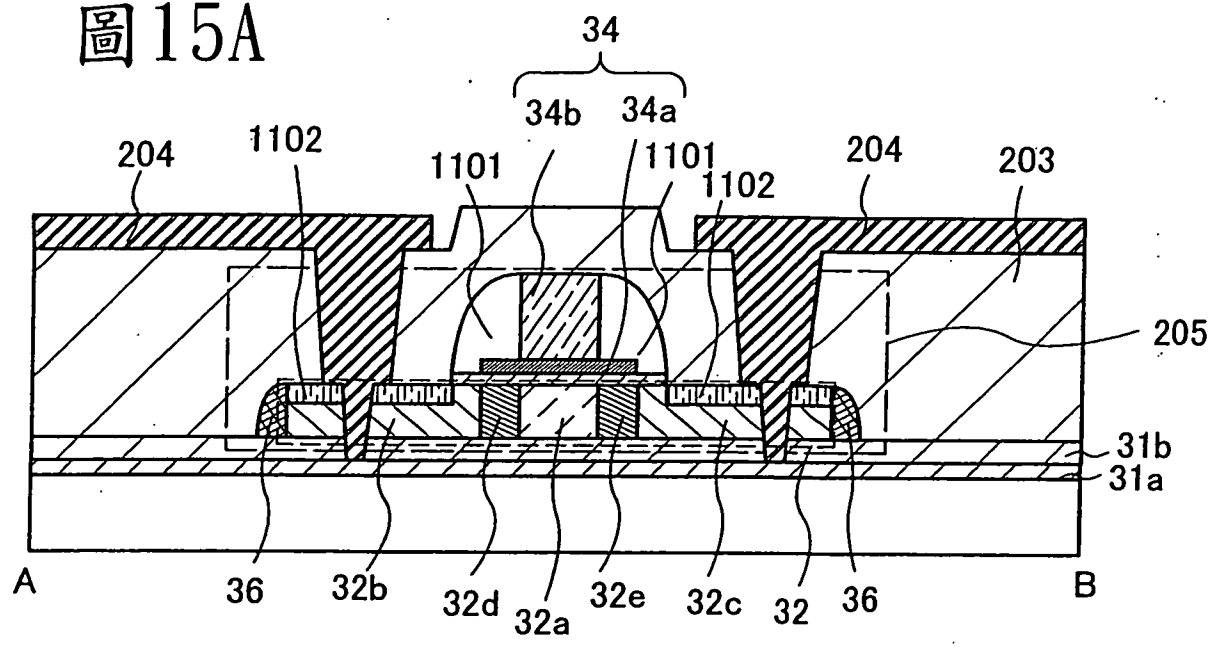


圖 15B

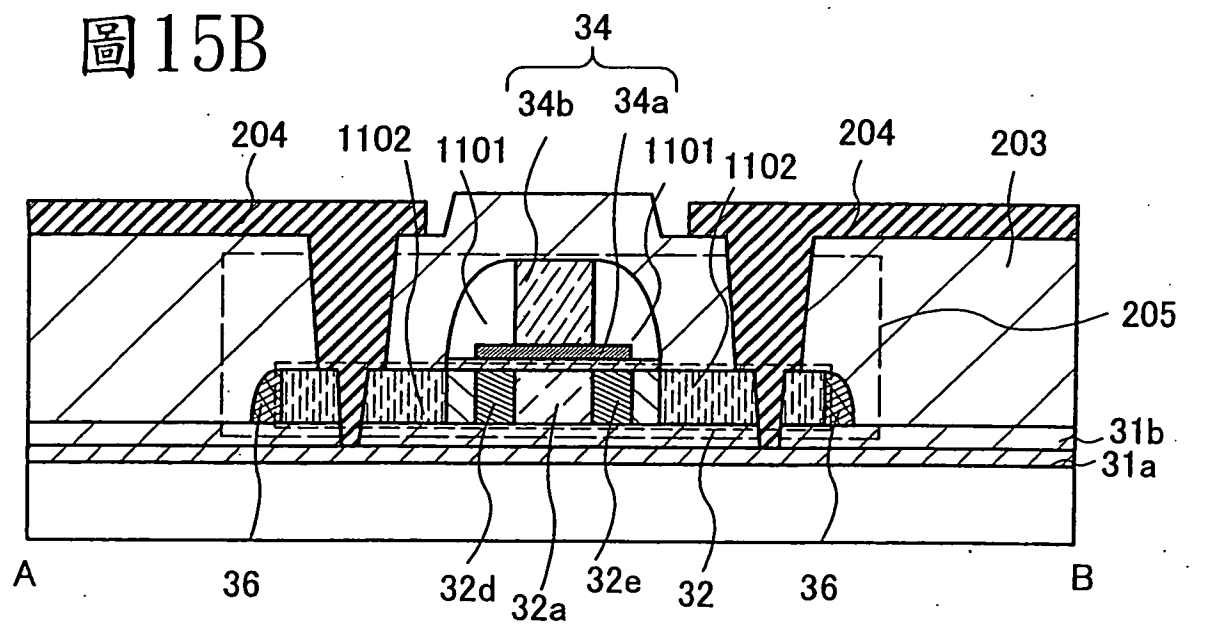


圖 16A

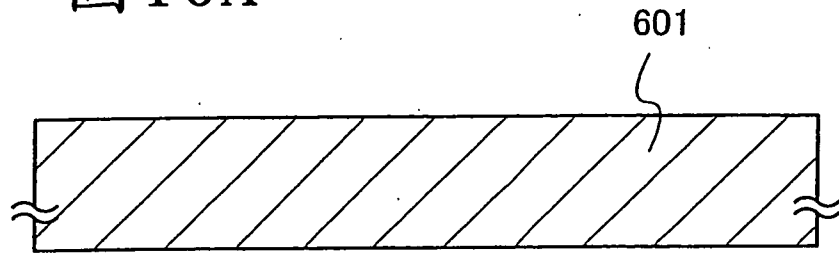


圖 16B

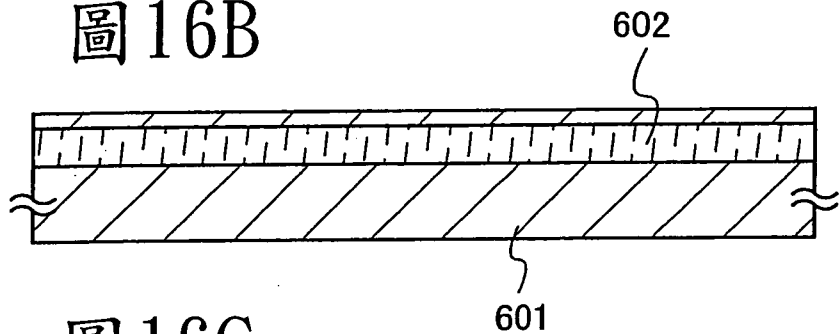


圖 16C

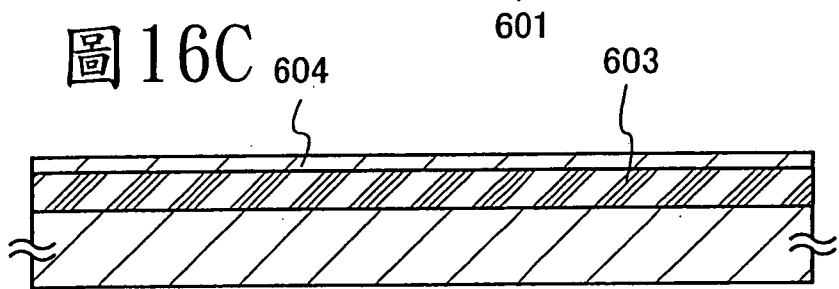
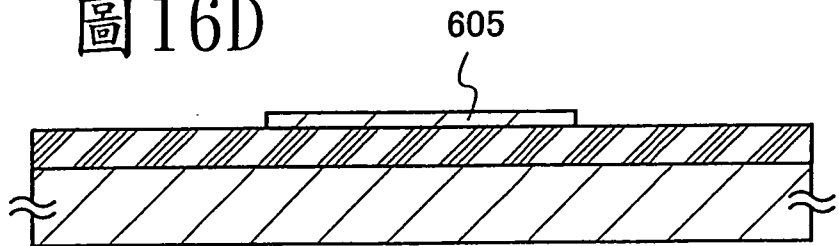


圖 16D



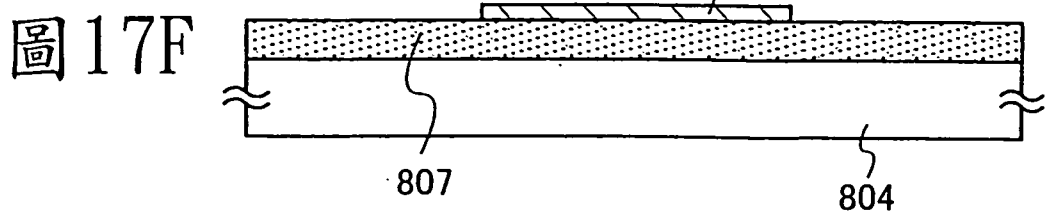
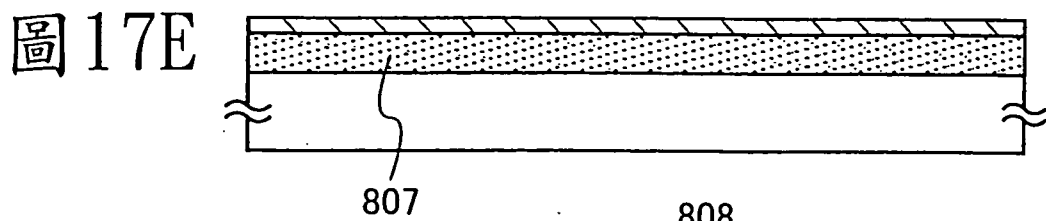
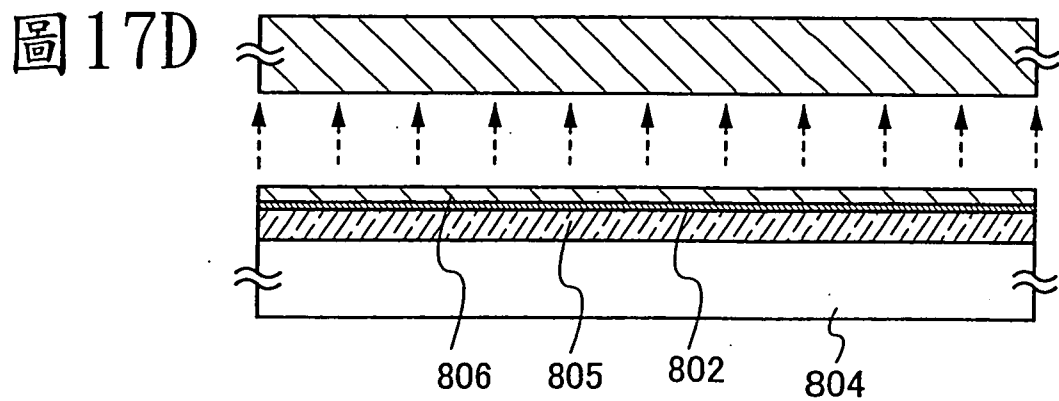
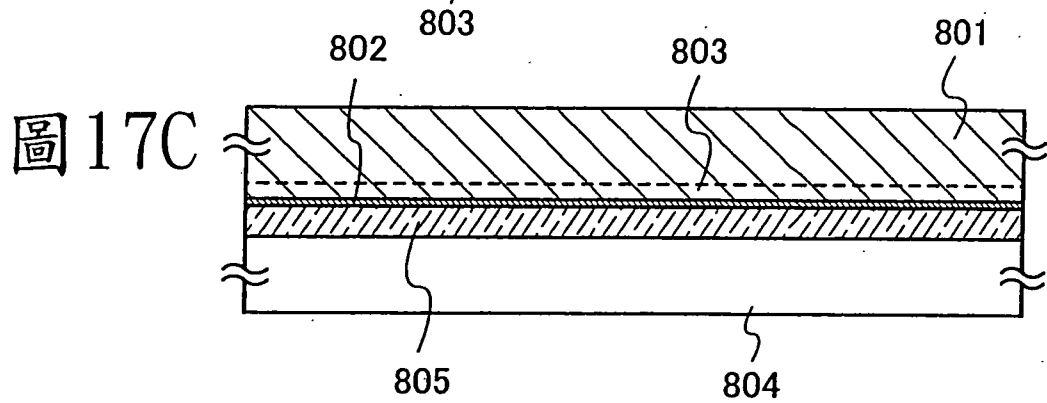
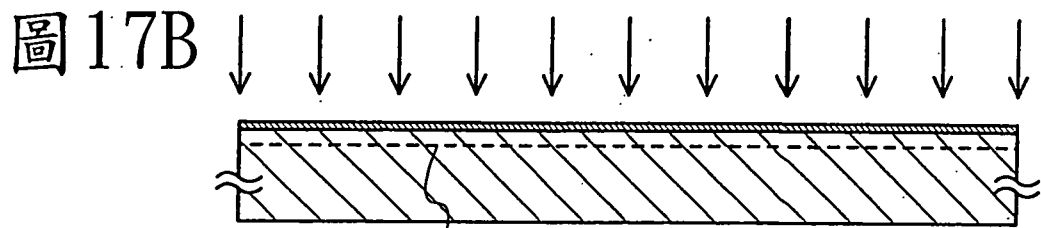
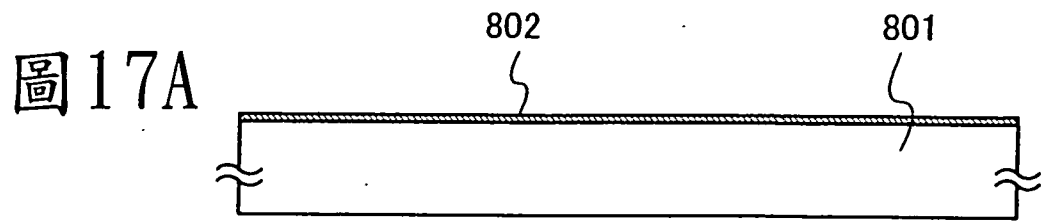


圖 18

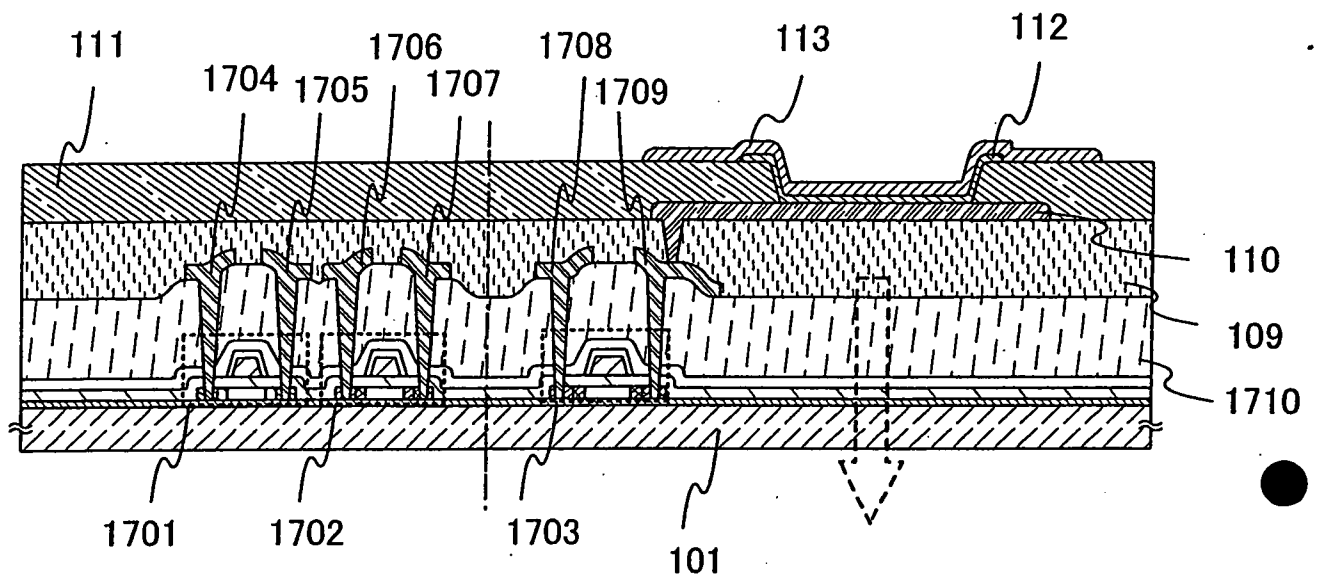


圖19

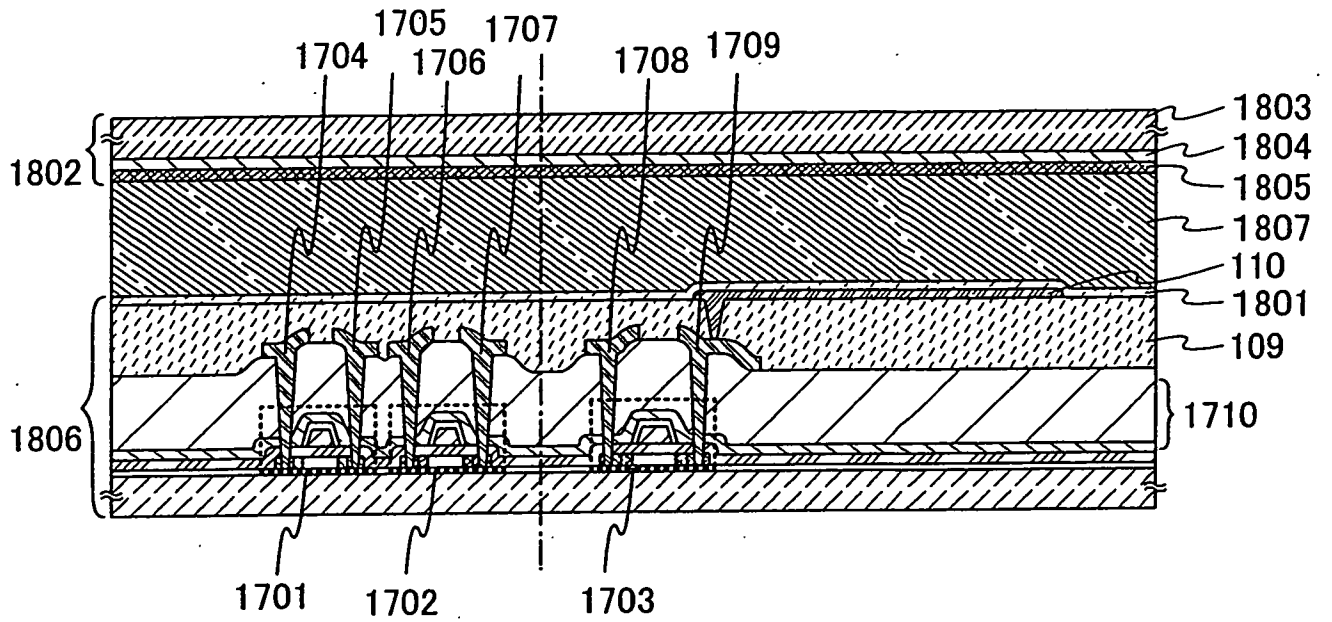


圖 20A

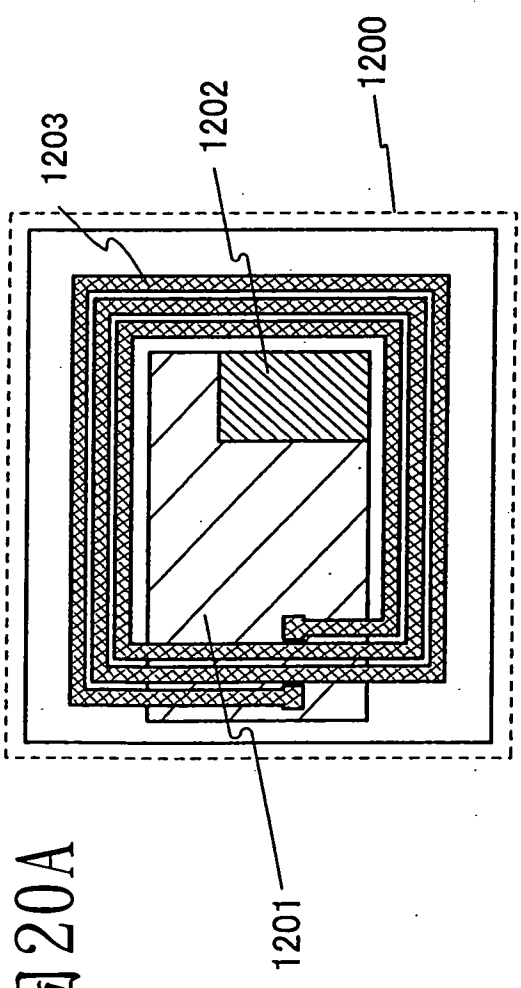


圖 20B

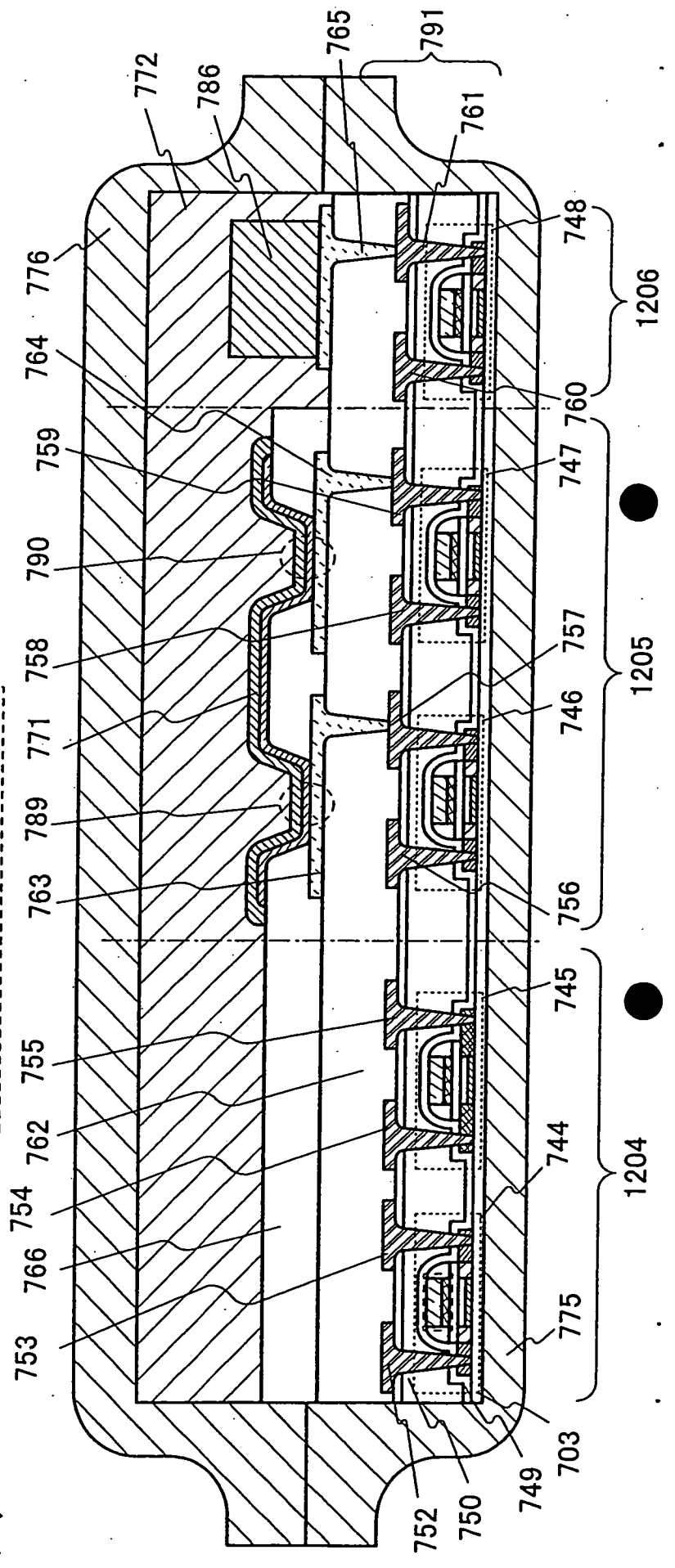


圖21

