



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I835552 B

(45) 公告日：中華民國 113 (2024) 年 03 月 11 日

(21) 申請案號：112104431

(22) 申請日：中華民國 112 (2023) 年 02 月 08 日

(51) Int. Cl. : H10B10/00 (2023.01)

H10B43/00 (2023.01)

(30) 優先權：2022/02/11 南韓

10-2022-0018287

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72) 發明人：徐藝正 SEO, YEJEONG (KR)；金燦 KIM, HYUK (KR)

(74) 代理人：林孟閱；盧佩君；陳怡如

(56) 參考文獻：

TW 2017/21868A

TW 2020/17184A

US 2021/0375764A1

審查人員：賴文能

申請專利範圍項數：20 項 圖式數：36 共 113 頁

(54) 名稱

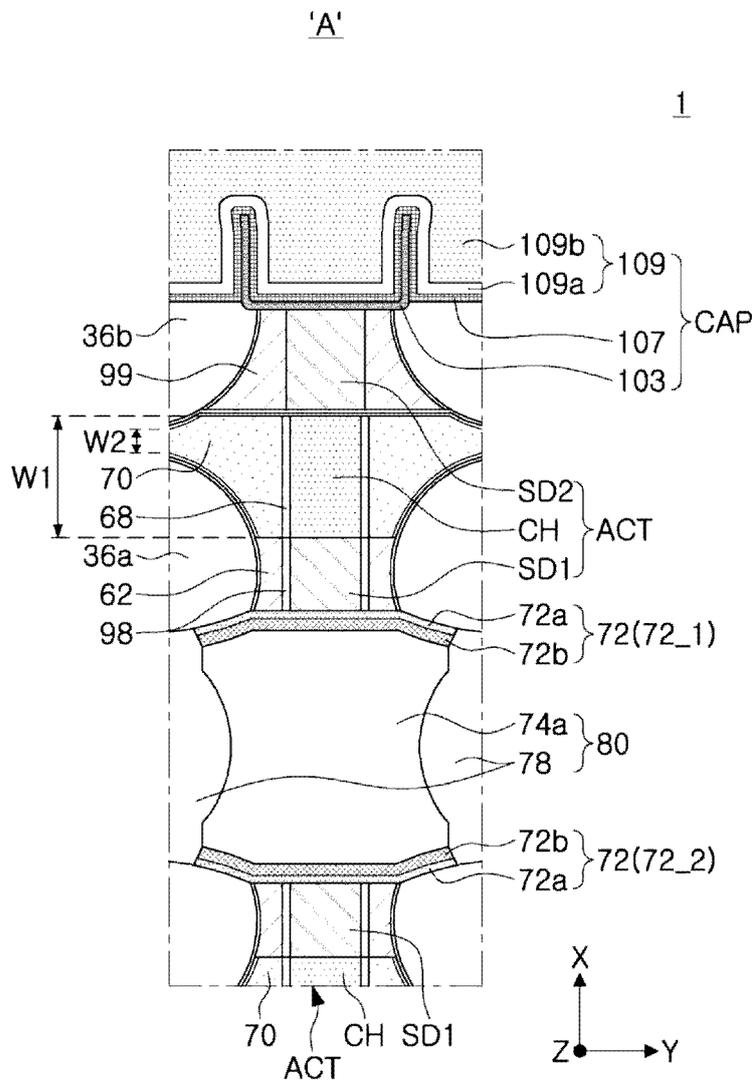
半導體裝置

(57) 摘要

一種半導體裝置包括：基板；資料儲存結構，位於基板上；絕緣結構，在基板上與資料儲存結構間隔開；導電線，在資料儲存結構與絕緣結構之間在垂直方向上堆疊並彼此間隔開；主動層，在資料儲存結構與絕緣結構之間在垂直方向上堆疊並彼此間隔開，並且與導電線相交；以及導電圖案，位於絕緣結構與主動層之間且電性連接至主動層。絕緣結構包括第一絕緣圖案及第二絕緣圖案，第一絕緣圖案在第一水平方向上彼此間隔開，第二絕緣圖案位於第一絕緣圖案之間。導電圖案位於第二絕緣圖案與主動層之間。第二絕緣圖案包含與第一絕緣圖案的材料不同的材料。

A semiconductor device includes a substrate, a data storage structure on the substrate, an insulating structure spaced apart from the data storage structure on the substrate, conductive lines spaced apart from each other and stacked in a vertical direction between the data storage structure and the insulating structure, active layers spaced apart from each other and stacked in the vertical direction between the data storage structure and the insulating structure, and intersecting the conductive lines, and a conductive pattern between the insulating structure and the active layers, and electrically connected to the active layers. The insulating structure includes first insulating patterns spaced apart from each other in a first horizontal direction, and a second insulating pattern between the first insulating patterns. The conductive pattern is between the second insulating pattern and the active layers. The second insulating pattern includes a material different from that of the first insulating patterns.

指定代表圖：



【圖1B】

符號簡單說明：

1:半導體裝置

36a、36b、98、99:絕緣層

62:開口/絕緣層

68:閘極介電層

70:第一導電線/第二導電線/導電線

72:導電圖案

72_1:第一導電圖案

72_2:第二導電圖案

72a:第一導電層

72b:第二導電層

74a:第二絕緣圖案/絕緣圖案

78:第一絕緣圖案/絕緣圖案

80:絕緣結構

103:第二電極/儲存節點電極

107:電容器介電層/介電層

109:第一電極/平板電極

109a:第一材料層

109b:第二材料層

A:部分

ACT:第一主動層/第二主動層/主動層

CAP:資料儲存結構/第一記憶體區塊/第二記憶體區塊

CH:通道區

SD1:第一源極/汲極區

SD2:第二源極/汲極區

W1:第一寬度

W2:第二寬度

X:第二水平方向

I835552

TW I835552 B

Y:第一水平方向

Z:垂直方向



I835552

【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】一種半導體裝置包括：基板；資料儲存結構，位於基板上；絕緣結構，在基板上與資料儲存結構間隔開；導電線，在資料儲存結構與絕緣結構之間在垂直方向上堆疊並彼此間隔開；主動層，在資料儲存結構與絕緣結構之間在垂直方向上堆疊並彼此間隔開，並且與導電線相交；以及導電圖案，位於絕緣結構與主動層之間且電性連接至主動層。絕緣結構包括第一絕緣圖案及第二絕緣圖案，第一絕緣圖案在第一水平方向上彼此間隔開，第二絕緣圖案位於第一絕緣圖案之間。導電圖案位於第二絕緣圖案與主動層之間。第二絕緣圖案包含與第一絕緣圖案的材料不同的材料。

【英文】A semiconductor device includes a substrate, a data storage structure on the substrate, an insulating structure spaced apart from the data storage structure on the substrate, conductive lines spaced apart from each other and stacked in a vertical direction between the data storage structure and the insulating structure, active layers spaced apart from each other and stacked in the vertical direction between the data storage structure and the insulating structure, and

intersecting the conductive lines, and a conductive pattern between the insulating structure and the active layers, and electrically connected to the active layers. The insulating structure includes first insulating patterns spaced apart from each other in a first horizontal direction, and a second insulating pattern between the first insulating patterns. The conductive pattern is between the second insulating pattern and the active layers. The second insulating pattern includes a material different from that of the first insulating patterns.

【指定代表圖】圖 1B。

【代表圖之符號簡單說明】

1:半導體裝置

36a、36b、98、99:絕緣層

62:開口/絕緣層

68:閘極介電層

70:第一導電線/第二導電線/導電線

72:導電圖案

72_1:第一導電圖案

72_2:第二導電圖案

72a:第一導電層

72b:第二導電層

74a:第二絕緣圖案/絕緣圖案

78:第一絕緣圖案/絕緣圖案

80:絕緣結構

103:第二電極/儲存節點電極

107:電容器介電層/介電層

109:第一電極/平板電極

109a:第一材料層

109b:第二材料層

A:部分

ACT:第一主動層/第二主動層/主動層

CAP:資料儲存結構/第一記憶體區塊/第二記憶體區塊

CH:通道區

SD1:第一源極/汲極區

SD2:第二源極/汲極區

W1:第一寬度

W2:第二寬度

X:第二水平方向

Y:第一水平方向

Z:垂直方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

[相關申請案的交叉參考]

【0001】 本申請案主張於 2022 年 2 月 11 日在韓國智慧財產局提出申請的韓國專利申請案第 10-2022-0018287 號的優先權權益，所述韓國專利申請案的揭露內容全文併入本案供參考。

【0002】 本發明概念實例性實施例是有關於一種半導體裝置及其製造方法。

【先前技術】

【0003】 已進行研究來減小半導體裝置中所包括的元件的大小並提高元件的效能。舉例而言，對於動態隨機存取記憶體（dynamic random access memory，DRAM）裝置而言，已進行研究以可靠地且穩定地形成大小減小的元件。然而，在三維（three-dimensional，3D）DRAM 裝置中，當具有高縱橫比（aspect ratio）的絕緣圖案相鄰於位元線形成時，用於容納絕緣圖案並對導電層進行蝕刻以形成位元線的開口由於開口的縱橫比高而可能具有彎曲形狀（bowing shape），進而導致位元線的上部部分與下部部分之間大小差異顯著並造成 3D DRAM 裝置的可靠性問題。因此，期望具有其中位元線可被形成為在位元線的上部部分與下部部分之上具

有更均勻的大小的製程。

【發明內容】

【0004】 本發明概念實例性實施例提供一種能夠提高電特性的半導體裝置。

【0005】 根據本發明概念實例性實施例，提供一種半導體裝置。所述半導體裝置包括：基板，包括第一區域及與第一區域相鄰的第二區域；第一導電線群組，設置於基板的第一區域上且包括第一導電線，所述第一導電線在與基板的上表面垂直的垂直方向上堆疊並彼此間隔開；第二導電線群組，設置於基板的第一區域上且包括第二導電線，所述第二導電線在垂直方向上堆疊並彼此間隔開；第一主動群組，設置於基板的第一區域上且在與基板的上表面平行的第一水平方向上排列並彼此間隔開；第二主動群組，設置於基板的第一區域上，在第一水平方向上排列並彼此間隔開，且在與第一水平方向垂直的第二水平方向上與第一主動群組間隔開；絕緣結構，設置於第一導電線群組與第二導電線群組之間；以及第一導電圖案，設置於絕緣結構與第一主動群組之間；以及第二導電圖案，設置於絕緣結構與第二主動群組之間。第一主動群組中的每一者可包括第一主動層，所述第一主動層在垂直方向上堆疊並彼此間隔開，並且與第一導電線中的每一者相交。第二主動群組中的每一者可包括第二主動層，所述第二主動層在垂直方向上堆疊並彼此間隔開，並且與第二導電線中的每一者相交。絕緣結構可包括第一絕緣圖案及第二絕緣圖案，第一絕緣圖案與

第二絕緣圖案在第一水平方向上交替地且重複地排列於基板的第一區域上。第一絕緣圖案的第一材料不同於第二絕緣圖案的第二材料。

【0006】 根據本發明概念實例性實施例，提供一種半導體裝置。所述半導體裝置包括：基板；資料儲存結構，設置於基板上；絕緣結構，設置於基板上且與資料儲存結構間隔開；導電線，設置於資料儲存結構與絕緣結構之間，並且在與基板的上表面垂直的垂直方向上堆疊並彼此間隔開；主動層，在資料儲存結構與絕緣結構之間在垂直方向上堆疊並彼此間隔開，並且與導電線相交；以及導電圖案，設置於絕緣結構與主動層之間且電性連接至主動層。絕緣結構可包括第一絕緣圖案及第二絕緣圖案，第一絕緣圖案在與基板的上表面平行的第一水平方向上彼此間隔開，第二絕緣圖案設置於第一絕緣圖案之間。導電圖案可設置於第二絕緣圖案與主動層之間。第二絕緣圖案的材料不同於第一絕緣圖案的材料。

【0007】 根據本發明概念實例性實施例，提供一種半導體裝置。所述半導體裝置包括：基板；第一絕緣圖案，設置於基板上且在與基板的上表面平行的第一水平方向上彼此間隔開；導電圖案，在基板上在與第一水平方向垂直的第二水平方向上彼此間隔開；以及第二絕緣圖案，在第一水平方向上設置於第一絕緣圖案之間且在第二水平方向上設置於導電圖案之間。第二絕緣圖案的材料不同於第一絕緣圖案的材料。

【0008】 根據本發明概念實例性實施例，提供一種半導體裝置。所述半導體裝置包括：基板；第一記憶體區塊，設置於基板上且包括第一資料儲存結構；第二記憶體區塊，設置於基板上且包括第二資料儲存結構；以及絕緣結構，設置於第一記憶體區塊與第二記憶體區塊之間。絕緣結構包括第一絕緣圖案及第二絕緣圖案，第一絕緣圖案在與基板的上表面平行的第一水平方向上彼此間隔開，第二絕緣圖案設置於第一絕緣圖案之間。第二絕緣圖案的材料不同於第一絕緣圖案的材料。

【圖式簡單說明】

【0009】 結合附圖閱讀以下詳細說明，將更清楚地理解本發明概念的以上及其他態樣及特徵，在附圖中：

圖 1A、圖 1B、圖 2A、圖 2B 及圖 3 至圖 5 是示意性地示出根據本發明概念實例性實施例的半導體裝置的實例的圖。

圖 6 是示意性地示出根據本發明概念實例性實施例的半導體裝置的修改形式的部分放大平面圖。

圖 7 是示意性地示出根據本發明概念實例性實施例的半導體裝置的修改形式的部分放大平面圖。

圖 8 是示意性地示出根據本發明概念實例性實施例的半導體裝置的修改形式的剖視圖。

圖 9 及圖 10 是示意性地示出根據本發明概念實例性實施例的半導體裝置的修改形式的圖。

圖 11、圖 12A 至圖 12D、圖 13、圖 14A 至圖 14D、圖 15、

圖 16A 至圖 16D、圖 17A 至圖 17D、圖 18、圖 19A 至圖 19D、圖 20、圖 21A 至圖 21D、圖 22、圖 23A 至圖 23D、圖 24、圖 25A 至圖 25D、圖 26 至圖 31、圖 32A、圖 32B、圖 33A、圖 33B、圖 34A、圖 34B 及圖 35 是示意性地示出形成根據本發明概念實例性實施例的半導體裝置的方法的實例的圖。

圖 36 是示出根據本發明概念實例性實施例的半導體裝置的彎曲特性的曲線圖。

由於圖 1 至圖 36 中的圖式旨在用於例示目的，因此圖式中的元件不必按比例繪製。舉例而言，為清晰起見，可對一些元件進行放大或誇大。

【實施方式】

【0010】 在下文中，將參照附圖對本發明概念實例性實施例進行闡述。

【0011】 在下文中，使用例如「第一 (first)」、「第二 (second)」及「第三 (third)」等其他用語來替代例如「上部 (upper)」、「中間 (intermediate)」及「下部 (lower)」等用語以對本說明書的元件進行闡述。可使用例如「第一」、「第二」及「第三」等用語來闡述各種元件，然而所述元件並不受所述用語的限制，且「第一元件」亦可被稱為「第二元件」。

【0012】 在詳細說明中，可藉由參考編號而非例如「第一」及「第二」等用語將使用相同用語的不同「元件」中的至少一些元件彼此區分開。與申請專利範圍中所闡述的第一元件、第二元件及類

似元件一樣，可使用例如「第一」、「第二」及類似用語等用語將一個元件與另一元件區分開。舉例而言，在詳細說明中，「絕緣層 00」可指由參考編號 00 表示的絕緣層，而「絕緣層 01」可指由參考編號 01 表示的絕緣層。另外，如詳細說明中所述，「絕緣層 00 及絕緣層 01」在申請專利範圍中可被稱為「第一絕緣層及第二絕緣層」。

【0013】 首先，參照圖 1A 至圖 5 對根據本發明概念實例性實施例的半導體裝置的實例進行闡述。圖 1A 是示意性地示出根據本發明概念實例性實施例的半導體裝置的實例的俯視圖，圖 1B 是由圖 1A 所示'A'指示的區域的部分放大俯視圖，圖 2A 是示意性地示出沿圖 1A 所示線 I-I'及線 II-II'截取的區域的剖視圖，圖 2B 是示出由圖 2A 所示'B'指示的區域的部分放大剖視圖，圖 3 是示意性地示出沿圖 1A 所示線 III-III'及線 IV-IV'截取的區域的剖視圖，且圖 4 是示意性地示出沿圖 1A 所示線 V-V'及線 VI-VI'截取的區域的剖視圖，且圖 5 是示意性地示出沿圖 1A 所示線 VII-VII'及線 VIII-VIII'截取的區域的剖視圖。

【0014】 參照圖 1A 至圖 5，根據本發明概念實例性實施例的半導體裝置 1 可包括：基板 3；第一絕緣圖案 78，設置於基板 3 上，且在與基板 3 的上表面平行的第一水平方向 Y 上彼此間隔開；導電圖案 72，在與第一水平方向 Y 垂直的第二水平方向 X 上在基板 3 上彼此間隔開；以及第二絕緣圖案 74a，在第一水平方向 Y 上設置於第一絕緣圖案 78 之間，且在第二水平方向 X 上設置於導電圖

案 72 之間。

【0015】 半導體裝置 1 可更包括虛設導電圖案 72d'，虛設導電圖案 72d'在較導電圖案 72 的水準低的水準處覆蓋第二絕緣圖案 74a 的側表面。導電圖案 72 可沿與第一水平方向 Y 及第二水平方向 X 垂直的垂直方向 Z 覆蓋第二絕緣圖案 74a 的側表面。導電圖案 72 與虛設導電圖案 72d'可彼此間隔開。

【0016】 第二絕緣圖案 74a 可包含與第一絕緣圖案 78 的材料不同的材料。舉例而言，第一絕緣圖案 78 的第一材料是未摻雜「元素 A」的材料，而第二絕緣圖案 74a 的第二材料是摻雜有「元素 A」的材料。舉例而言，第一絕緣圖案 78 可包含氧化矽 (SiO_2)，而第二絕緣圖案 74a 可包含含有摻雜有「元素 A」的氧化矽 (SiO_2) 的材料。

【0017】 在實例中，第一絕緣圖案 78 可不包含「元素 A」。在另一實例中，第一絕緣圖案 78 可包含以較第二絕緣圖案 74a 中的「元素 A」的摻雜濃度低的濃度摻雜的「元素 A」。

【0018】 「元素 A」可包括元素週期表的 13 族元素或 15 族元素中的至少一者。舉例而言，「元素 A」可包括氮 (N)、磷 (P) 及硼 (B) 中的至少一者。舉例而言，第二絕緣圖案 74a 可為摻雜有 N 的氧化矽 (SiO_2)、摻雜有 P 的氧化矽 (SiO_2) 或摻雜有 B 的氧化矽 (SiO_2)。

【0019】 在本發明概念實例性實施例中，在第二絕緣圖案 74a 中，「元素 A」的含量可為約 30 原子% (at%) 或小於 30 原子%。如

此項技術中具有通常知識者所確定，慮及相關的量測及與特定數量的量測相關聯的誤差（即，量測系統的限制），本文中所使用的用語「約（about）」包括所陳述的值且意指處於特定值的可接受的偏差範圍內。舉例而言，「約」可意指在一或多個標準偏差內，或在所陳述值的 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 內。

【0020】 在實例中，第一絕緣圖案 78 可為不包括「元素 A」的氧化矽（ SiO_2 ）。在另一實例中，第一絕緣圖案 78 可為「元素 A」的含量較第二絕緣圖案 74a 的「元素 A」的含量小的氧化矽（ SiO_2 ）。

【0021】 第二絕緣圖案 74a 在第一水平方向 Y 上的寬度可小於第二電極 103 中的每一者在第一水平方向 Y 上的寬度。然而，本發明概念不限於此。

【0022】 在本發明概念實例性實施例中，可設置有多個第二絕緣圖案 74a，且所述多個第二絕緣圖案 74a 可在第一水平方向 Y 上與第一絕緣圖案 78 交替地且重複地進行排列。

【0023】 第二絕緣圖案 74a 及第一絕緣圖案 78 可包括於絕緣結構 80 中。

【0024】 當在俯視圖中觀察時，絕緣結構 80 可具有在第一水平方向 Y 上延伸的線形狀。

【0025】 第二絕緣圖案 74a 中的每一者可具有較最大寬度大的高度。

【0026】 在本發明概念實例性實施例中，元件的高度可被定義為

元件的下表面與上表面之間的距離。

【0027】 在一個實例中，第二絕緣圖案 74a 中的每一者的高度可為第二絕緣圖案 74a 中的每一者的寬度的近似 10 倍或大於 10 倍。在另一實例中，第二絕緣圖案 74a 中的每一者的高度可為第二絕緣圖案 74a 中的每一者的寬度的近似 50 倍或大於 50 倍。在另一實例中，第二絕緣圖案 74a 中的每一者的高度可為第二絕緣圖案 74a 中的每一者的寬度的近似 100 倍或大於 100 倍。換言之，第二絕緣圖案 74a 中的每一者皆可具有高縱橫比。

【0028】 在第一水平方向 Y 上，第一絕緣圖案 78 中的每一者可具有彼此面對的凹的側表面，而第二絕緣圖案 74a 中的每一者可具有與第一絕緣圖案 78 的凹的側表面接觸的凸的側表面。相似於第二絕緣圖案 74a，第一絕緣圖案 78 中的每一者亦可具有高縱橫比。舉例而言，第一絕緣圖案 78 中的每一者的縱橫比可為 10:1 或高於 10:1。舉例而言，第一絕緣圖案 78 中的每一者的縱橫比可為 50:1 或高於 50:1。舉例而言，第一絕緣圖案 78 中的每一者的縱橫比可為 100:1 或高於 100:1。

【0029】 導電圖案 72 可與第一絕緣圖案 78 的位於第二水平方向 X 上的側表面接觸。

【0030】 導電圖案 72 中的每一者可包括至少兩個不同的導電層，例如第一導電層 72a 與第二導電層 72b。

【0031】 基板 3 可為半導體基板。舉例而言，基板 3 可包含半導體材料，例如 IV 族半導體、III-V 族化合物半導體、或 II-VI 族化

合物半導體。舉例而言，IV 族半導體可包括矽 (Si)、鍺 (Ge) 或矽-鍺 (SiGe)。III-V 族化合物半導體可包括例如磷化鎵 (GaP)、砷化鎵 (GaAs)、砷化銦 (InAs)、磷化銦 (InP)、銻化鎵 (GaSb)、銻化銦 (InSb) 或砷化銦鎵 (InGaAs)。II-VI 族化合物半導體可包括例如硒化鎘 (CdSe)、硫化鎘 (CdS)、碲化鎘 (CdTe)、氧化鋅 (ZnO)、硒化鋅 (ZnSe)、硫化鋅 (ZnS) 或碲化鋅 (ZnTe)。基板 3 可被提供為體半導體 (bulk semiconductor) 晶圓、包括磊晶層的半導體基板、絕緣體上矽 (silicon on insulator, SOI) 基板、絕緣體上半導體 (semiconductor on insulator, SeOI) 基板或類似基板。

【0032】 基板 3 可包括第一區域 MCA 及與第一區域 MCA 相鄰的第二區域 GIA。

【0033】 第一區域 MCA 可被稱為記憶體胞元陣列區域，而第二區域 GIA 可被稱為閘極連接區域或階梯區域。

【0034】 半導體裝置 1 可更包括第一導電線群組 70_1 及第二導電線群組 70_2，第一導電線群組 70_1 包括在與基板 3 的上表面垂直的垂直方向 Z 上在基板 3 的第一區域 MCA 上堆疊並彼此間隔開的第一導電線 70，第二導電線群組 70_2 包括在垂直方向 Z 上在基板 3 的第一區域 MCA 上堆疊並彼此間隔開的第二導電線 70。第一導電線群組 70_1 與第二導電線群組 70_2 可在第二水平方向 X 上彼此間隔開。

【0035】 半導體裝置 1 可更包括第一主動群組 ACT_1 及第二主

動群組 ACT_2。

【0036】 第一主動群組 ACT_1 可設置於基板 3 的第一區域 MCA 上且可在第一水平方向 Y 上排列並彼此間隔開。

【0037】 第二主動群組 ACT_2 可設置於基板 3 的第一區域 MCA 上，可在第一水平方向 Y 上排列並彼此間隔開，且可在與第一水平方向 Y 垂直的第二水平方向 X 上與第一主動群組 ACT_1 間隔開。

【0038】 絕緣結構 80 可在第二水平方向 X 上設置於第一導電線群組 70_1 與第二導電線群組 70_2 之間、以及第一主動群組 ACT_1 與第二主動群組 ACT_2 之間。

【0039】 半導體裝置 1 可更包括導電圖案 72。導電圖案 72 可包括第一導電圖案 72_1 及第二導電圖案 72_2，第一導電圖案 72_1 設置於絕緣結構 80 與第一主動群組 ACT_1 之間，第二導電圖案 72_2 設置於絕緣結構 80 與第二主動群組 ACT_2 之間。

【0040】 第一主動群組 ACT_1 中的每一者可包括第一主動層 ACT，第一主動層 ACT 在垂直方向 Z 上堆疊並彼此間隔開，具有在第二水平方向 X 上延伸的線形狀或條形狀，且與第一導電線群組 70_1 的第一導電線 70 相交。

【0041】 第二主動群組 ACT_2 中的每一者可包括第二主動層 ACT，第二主動層 ACT 在垂直方向 Z 上堆疊並彼此間隔開，具有在第二水平方向 X 上延伸的線形狀或條形狀，且與第二導電線群組 70_2 的第二導電線 70 相交。

【0042】 第一主動群組 ACT₁ 的主動層 ACT 及第二主動群組 ACT₂ 的主動層 ACT 中的每一者可包括彼此間隔開的第一源極/汲極區 SD1 與第二源極/汲極區 SD2、以及夾置於第一源極/汲極區 SD1 與第二源極/汲極區 SD2 之間的通道區 CH。

【0043】 第一主動群組 ACT₁ 的主動層 ACT 的第一源極/汲極區 SD1 可電性連接至第一導電圖案 72₁，而第二主動群組 ACT₂ 的主動層 ACT 的第一源極/汲極區 SD1 可電性連接至第二導電圖案 72₂。

【0044】 第一導電線群組 70₁ 的導電線 70 及第二導電線群組 70₂ 的導電線 70 可與主動層 ACT 的通道區 CH 垂直交疊且在第一水平方向 Y 上延伸。導電線 70 可覆蓋主動層 ACT 的通道區 CH 的上表面及下表面。舉例而言，主動層 ACT 的通道區 CH 可位於導電線 70 與主動層 ACT 的交點處。

【0045】 導電線 70 可包括覆蓋主動層 ACT 中的一者的上表面及下表面的一對導電線 70a。舉例而言，所述一對導電線 70a 可覆蓋主動層 ACT 中的所述一者的通道區 CH 的上表面及下表面。

【0046】 半導體裝置 1 可更包括夾置於至少主動層 ACT 與導電線 70 之間的閘極介電層 68。

【0047】 導電線 70 可為閘極電極。包括第一源極/汲極區 SD1 及第二源極/汲極區 SD2 以及通道區 CH 的主動層 ACT、作為閘極電極的導電線 70、以及閘極介電層 68 可包括於電晶體 TR 中。因此，電晶體 TR 可三維地排列於基板 3 的第一區域 MCA 上。

【0048】 導電線 70 中的至少一些導電線 70 可為字元線，而導電圖案 72 中的至少一些導電圖案 72 可為位元線。舉例而言，導電線 70 的最上部導電線與最下部導電線可為虛設導電線，而導電線 70 的中間導電線可為字元線。字元線可為電晶體 TR 的閘極電極。

【0049】 半導體裝置 1 可更包括設置於基板 3 上的資料儲存結構 CAP。絕緣結構 80 可與資料儲存結構 CAP 間隔開。

【0050】 絕緣結構 80、第一主動群組 ACT_1 及第二主動群組 ACT_2、以及第一導電線群組 70_1 及第二導電線群組 70_2 可設置於彼此相鄰同時在第二水平方向 X 上彼此間隔開的一對資料儲存結構 CAP 之間。

【0051】 第一主動群組 ACT_1 及第一導電線群組 70_1 可設置於絕緣結構 80 與所述一對資料儲存結構 CAP 中的一個資料儲存結構 CAP 之間。第二主動群組 ACT_2 及第二導電線群組 70_2 可設置於另一資料儲存結構 CAP 與絕緣結構 80 之間。舉例而言，絕緣結構 80 可夾置於第一導電線群組 70_1 與第二導電線群組 70_2 之間以及第一主動群組 ACT_1 與第二主動群組 ACT_2 之間。

【0052】 資料儲存結構 CAP 中的每一者可包括第一電極 109、設置於第一電極 109 與主動層 ACT 之間的第二電極 103、以及設置於至少第二電極 103 與第一電極 109 之間的介電層 107。

【0053】 第一電極 109 可包括與介電層 107 接觸的第一材料層 109a、以及位於第一材料層 109a 上的第二材料層 109b。第二電極 103 中的每一者在俯視圖中可具有「U」形狀（參照圖 1B），且在

剖視圖中可具有側向的「U」形狀（參照圖 2B）。第一材料層 109a 與第二材料層 109b 可為不同的導電材料。介電層 107 可共形地覆蓋第一材料層 109a 的側表面。

【0054】 資料儲存結構 CAP 可為能夠在動態隨機存取記憶體（DRAM）裝置中儲存資訊的電容器。舉例而言，第一電極 109 可為平板電極，第二電極 103 可為儲存節點電極，而介電層 107 可為電容器介電層。

【0055】 第一主動群組 ACT_1 的主動層 ACT 的第二源極/汲極區 SD2 及第二主動群組 ACT_2 的主動層 ACT 的第二源極/汲極區 SD2 可電性連接至資料儲存結構 CAP 的第二電極 103。

【0056】 導電圖案 72 在第一水平方向 Y 上可具有較第二電極 103 的寬度大的寬度。之後將闡述，當具有高縱橫比且被形成為容納第一絕緣圖案 78 且用於對導電層進行蝕刻以形成導電圖案 72 的開口由於開口的縱橫比高而可能具有彎曲形狀時，會造成導電圖案 72 的上部部分與下部部分之間的大小差異顯著且造成所製造的 3D DRAM 裝置的可靠性問題。然而，當第二絕緣圖案 74a（其是在形成上述開口時被蝕刻的絕緣層的剩餘部分）由包括摻雜有根據本發明概念實例性實施例的「元素 A」的氧化矽（ SiO_2 ）的材料形成時，彎曲現象（bowing phenomenon）可被最小化，且因此導電圖案 72 可在第一水平方向 Y 上在導電圖案 72 的上部部分與下部部分之上具有更均勻的寬度。

【0057】 在第二水平方向 X 上，導電線 70 中的至少一者可包括

與主動層 ACT 垂直交疊且具有第一寬度 W1 的第一部分、以及位於資料儲存結構 CAP 的第一電極 109 與第一絕緣圖案 78 之間且具有較第一寬度 W1 小的第二寬度 W2 的第二部分。舉例而言，主動層 ACT 的通道區 CH 中的每一者在第二水平方向 X 上可具有第一寬度 W1。

【0058】 半導體裝置 1 可更包括閘極接觸線 88 及閘極接觸插塞 92。閘極接觸線 88 可包括第一閘極接觸線 88a 及第二閘極接觸線 88b，第一閘極接觸線 88a 設置於基板 3 的第二區域 GIA 上且電性連接至第一導電線群組 70_1，第二閘極接觸線 88b 設置於基板 3 的第二區域 GIA 上且電性連接至第二導電線群組 70_2。

【0059】 導電線 70 可包括覆蓋主動層 ACT 中的一者的上表面及下表面的一對導電線 70a，且設置於基板 3 的第二區域 GIA 上的閘極接觸線 88 中的一者可與自基板 3 的第一區域 MCA 延伸的所述一對導電線 70a 接觸且可電性連接至所述一對導電線 70a。

【0060】 電晶體 TR 中的一個電晶體 TR 可包括含有第一源極/汲極區 SD1 及第二源極/汲極區 SD2 以及通道區 CH 的一個主動層 ACT、覆蓋所述一個主動層 ACT 的上表面及下表面的一對導電線 70a、以及位於所述一對導電線 70a 與主動層 ACT 之間的閘極介電層 68。在電晶體 TR 中，所述一對導電線 70a 可為一個閘極電極。因此，電晶體 TR 可三維地排列於基板 3 的第一區域 MCA 上。

【0061】 閘極接觸線 88 中的每一者可在第一水平方向 Y 上延伸。

【0062】 閘極接觸線 88 的端部部分可以階梯形狀排列。舉例而言，閘極接觸線 88 可以階梯形狀堆疊，在所述階梯形狀中，在第一水平方向 Y 上的延伸長度可以階梯式方式自最下部水準朝向最上部水準逐漸減小。

【0063】 在第二水平方向 X 上，閘極接觸線 88 中的每一者的寬度可大於導電線 70 中的每一者的寬度。

【0064】 閘極接觸插塞 92 可在閘極接觸線 88 上電性連接至閘極接觸線 88。

【0065】 閘極接觸插塞 92 中的每一者可包括插塞圖案 92b 及環繞插塞圖案 92b 的側表面及下表面的障壁層 92a。在本發明概念實例性實施例中，插塞圖案 92b 可包含低電阻金屬，例如鎢 (W)、鈦 (Ti)、鉭 (Ta) 等，而障壁層 92a 可包含金屬氮化物，例如氮化鈦 (TiN)、氮化鉭 (TaN) 等。

【0066】 半導體裝置 1 可更包括絕緣層 50a，絕緣層 50a 在基板 3 的第二區域 GIA 上設置於第一閘極接觸線 88a 與第二閘極接觸線 88b 之間。絕緣層 50a 可包含與第二絕緣圖案 74a 的材料相同的材料。舉例而言，絕緣層 50a 可為摻雜有 N 的氧化矽 (SiO_2)、摻雜有 P 的氧化矽 (SiO_2)、或摻雜有 B 的氧化矽 (SiO_2)。

【0067】 半導體裝置 1 可更包括絕緣層 90，絕緣層 90 在第一水平方向 Y 上相鄰於資料儲存結構 CAP。閘極接觸線 88 及絕緣層 50a 可設置於絕緣層 90 之間。

【0068】 絕緣層 90 的材料可與第一絕緣圖案 78 的材料實質上相

同。舉例而言，絕緣層 90 可包含未摻雜「元素 A」或摻雜有少量「元素 A」的氧化矽 (SiO_2)。

【0069】 半導體裝置 1 可更包括設置於基板 3 上的第一半導體層 8 及第二半導體層 10。

【0070】 第一半導體層 8 可包括與基板 3 接觸的第一下部半導體層 8L1、以及位於第一下部半導體層 8L1 上的第一下部半導體層 8L2。

【0071】 第二半導體層 10 可包括位於第一下部半導體層 8L1 上的第二半導體層 10L1、以及位於第一下部半導體層 8L2 上的第二下部半導體層 10L2。第二下部半導體層 10L1 可夾置於第一下部半導體層 8L1 與第一下部半導體層 8L2 之間，而第一下部半導體層 8L2 可夾置於第二下部半導體層 10L1 與第二下部半導體層 10L2 之間。

【0072】 第一半導體層 8 的半導體材料可不同於第二半導體層 10 的半導體材料。舉例而言，第一半導體層 8 可由矽鍺 (SiGe) 形成，而第二半導體層 10 可由矽 (Si) 形成。基板 3 可由矽 (Si) 形成。

【0073】 基板 3 以及第一半導體層 8 及第二半導體層 10 可具有單晶結構。

【0074】 絕緣結構 80 可穿過至少第一下部半導體層 8L2 以及第二下部半導體層 10L2 及第二下部半導體層 10L1。舉例而言，絕緣結構 80 可穿過第一下部半導體層 8L2 以及第二下部半導體層

10L2 及第二下部半導體層 10L1 且可不穿過第一下部半導體層 8L1。

【0075】 資料儲存結構 CAP 可穿過至少第一下部半導體層 8L2 以及第二下部半導體層 10L2 及第二下部半導體層 10L1。資料儲存結構 CAP 可穿過第一下部半導體層 8L1、第一下部半導體層 8L2 以及第二下部半導體層 10L2 及第二下部半導體層 10L1 且可與基板 3 接觸。舉例而言，在資料儲存結構 CAP 中，第一電極 109 可與基板 3 間隔開，而介電層 107 可包括在第一電極 109 與基板 3 之間延伸成夾置於第一電極 109 與基板 3 之間的部分。舉例而言，第一電極 109 可藉由介電層 107 而與基板 3 電性絕緣。

【0076】 半導體裝置 1 可更包括絕緣層 62 及絕緣層 99，絕緣層 62 位於導電線 70 與導電圖案 72 之間，絕緣層 99 位於導電線 70 與資料儲存結構 CAP 之間。絕緣層 62 與絕緣層 99 可由實質上相同的材料形成。絕緣層 62 及絕緣層 99 可包含例如氮化矽(Si_3N_4)。絕緣層 62 及絕緣層 99 可包括覆蓋主動層 ACT 中的每一者的第一源極/汲極區 SD1 的上表面及下表面的絕緣層 62、以及覆蓋主動層 ACT 中的每一者的第二源極/汲極區 SD2 的上表面及下表面的絕緣層 99。閘極介電層 68 可包括環繞包括導電線 70 與絕緣層 62 的結構且在導電線 70 與絕緣層 99 之間延伸的部分。舉例而言，閘極介電層 68 中的每一者可包括夾置於導電線 70 中的可充當閘極電極的一者與主動層 ACT 中的一者的通道區 CH 之間的部分。半導體裝置 1 可更包括絕緣層 98，絕緣層 98 覆蓋絕緣層 99 中的

每一者的下表面及上表面且在第一水平方向 Y 上延伸至絕緣層 99 中的每一者的側表面。

【0077】 半導體裝置 1 可更包括絕緣層 34。在垂直方向 Z 上彼此相鄰的一對絕緣層 34 之間可設置有一個主動層 ACT、覆蓋所述一個主動層 ACT 的下表面及上表面的導電線 70、位於導電線 70 與主動層 ACT 之間的閘極介電層 68、以及覆蓋所述一個主動層 ACT 的一部分的下表面及上表面的絕緣層 62 及絕緣層 99。舉例而言，在垂直方向 Z 上排列的兩個相鄰的電晶體 TR 可藉由絕緣層 34 中的一者而彼此間隔開。

【0078】 絕緣層 34 中的每一者可更包括延伸至資料儲存結構 CAP 中的延伸部 34'。一個延伸部 34'可設置於在垂直方向 Z 上排列的一對第二電極 103 之間。延伸部 34'的垂直厚度可小於絕緣層 34 中的每一者的垂直厚度。

【0079】 半導體裝置 1 可更包括絕緣層 50c 及絕緣層 50b，絕緣層 50c 在基板 3 的第二區域 GIA 上填充於在垂直方向 Z 上排列的閘極接觸線 88 之間，絕緣層 50b 設置於位於絕緣層 50c 下方的所述兩個第二半導體層 10L1 與 10L2 之間。絕緣層 50a、絕緣層 50b 及絕緣層 50c 可包括於一體形成的絕緣層 50 中。

【0080】 半導體裝置 1 可更包括絕緣層 42a'及絕緣層 40，絕緣層 42a'設置於絕緣層 90 與基板 3 之間，絕緣層 40 覆蓋絕緣層 42a'的側表面及底表面。絕緣層 42a'的頂表面可高於第二下部半導體層 10L2 的頂表面。舉例而言，絕緣層 90 可形成於較第二下部半

導體層 10L2 的水準高的水準處。

【0081】 半導體裝置 1 可更包括設置於資料儲存結構 CAP 與絕緣結構 80 之間的絕緣結構 36。

【0082】 絕緣結構 36 可包括絕緣層 36a、絕緣層 36b、絕緣層 36c' 及絕緣層 36d，絕緣層 36a 相鄰於第一絕緣圖案 78，絕緣層 36b 相鄰於資料儲存結構 CAP，絕緣層 36c' 在垂直方向 Z 上設置於導電線 70 之間且在第二水平方向 X 上設置於絕緣層 36a 與絕緣層 36b 之間，絕緣層 36d 設置於導電線 70 上。第二絕緣圖案 74a 可更包括延伸至絕緣層 36d 上的延伸部 74'。

【0083】 當在剖視圖中觀察時，絕緣層 36c' 可設置於導電線 70 的在第一主動群組 ACT_1 之間設置的部分之間，且可設置於導電線 70 的第二主動群組 ACT_2 之間設置的部分之間。

【0084】 半導體裝置 1 在導電線 70 及主動層 ACT 的下方可更包括絕緣層 34'' 及絕緣層 32'，絕緣層 34'' 設置於第二半導體層 10L1 的位於與絕緣結構 80 間隔開且與第二源極/汲極區 SD2 的至少一部分交疊的位置處的部分上，絕緣層 32' 覆蓋絕緣層 34'' 的上表面及下表面且覆蓋絕緣層 34'' 的位於與絕緣結構 80 相對的一側。參照圖 2A，在剖視圖中，絕緣層 32' 可具有側向的「V」形狀，例如「<」形狀或「>」形狀。

【0085】 半導體裝置 1 在第二絕緣圖案 74a 與第一電極 109 之間可更包括雜質區域 10i，雜質區域 10i 設置於與第一電極 109 相鄰的第二半導體層 10L1 中及第二半導體層 10L2 中。雜質區域 10i

可具有與第一源極/汲極區 SD1 及第二源極/汲極區 SD2 的導電性類型相同的導電性類型，例如 N 型導電性。

【0086】 半導體裝置 1 可更包括依序堆疊於絕緣結構 36、導電圖案 72、絕緣結構 80 以及絕緣層 90 及絕緣層 50 上的絕緣層 82 與絕緣層 94。絕緣層 94 可覆蓋閘極接觸插塞 92 的上表面。

【0087】 半導體裝置 1 在第二區域 GIA 上可更包括覆蓋絕緣層 50 的絕緣層 52 及位於絕緣層 52 上的絕緣層 54。絕緣層 52 可為襯墊。絕緣層 52 與絕緣層 54 可由不同的絕緣材料形成。舉例而言，絕緣層 52 可由氮化矽 (Si_3N_4) 或高介電常數介電材料 (例如 (舉例而言)，氧化鋁 (Al_2O_3) 或氧化鈦 (HfO_2)) 形成，而絕緣層 54 可由氧化矽 (SiO_2) 形成。

【0088】 閘極接觸插塞 92 可穿過絕緣層 54、絕緣層 52 及絕緣層 50 以電性連接至閘極接觸線 88。閘極接觸插塞 92 中的每一者可包括插塞圖案 92b 及環繞插塞圖案 92b 的側表面及下表面的障壁層 92a。障壁層 92a 可與閘極接觸線 88 直接接觸。

【0089】 在本發明概念實例性實施例中，設置於絕緣結構 80 的一側上的電晶體 TR 及資料儲存結構 CAP 可包括於第一記憶體區塊中，而設置於絕緣結構 80 的另一側上的電晶體 TR 及資料儲存結構 CAP 可包括於第二記憶體區塊中。因此，第一記憶體區塊 TR 與 CAP 及第二記憶體區塊 TR 與 CAP 中的每一者皆可包括三維排列的電晶體 TR 及電性連接至電晶體 TR 的資料儲存結構 CAP，且絕緣結構 80 可設置於第一記憶體區塊 TR 與 CAP 和第二記憶體區

塊 TR 與 CAP 之間。絕緣結構 80 可包括第一絕緣圖案 78 及第二絕緣圖案 74a，其中第二絕緣圖案 74a 可由例如摻雜有 N 的氧化矽(SiO_2)、摻雜有 P 的氧化矽(SiO_2)或摻雜有 B 的氧化矽(SiO_2)形成。

【0090】 在下文中，分別參照圖 6 至圖 10 對上述半導體裝置 1 的元件的各種修改形式進行闡述。上述半導體裝置 1 的元件的以下將闡述的各種修改形式主要參照發生變形的元件或被替換的元件進行闡述。另外，儘管參照相應的圖式對以下將闡述的可變形元件或可替換元件進行闡述，然而可變形元件可彼此組合以包括於根據本發明概念實例性實施例的半導體裝置 1 中。圖 6 至圖 10 是示出上述半導體裝置 1 的元件的各種修改形式的示意圖。在圖 6 至圖 10 中，圖 6 可示出當在圖 1B 所示部分放大俯視圖中觀察時根據本發明概念實例性實施例的半導體裝置的修改形式，圖 7 可示出當在圖 1B 所示部分放大俯視圖中觀察時根據本發明概念實例性實施例的半導體裝置的修改形式，圖 8 可示出在圖 2A 所示 II-II'橫截面結構中的導電圖案 72 的修改形式，圖 9 可示出根據本發明概念實例性實施例的半導體裝置在圖 1A 中的修改形式，而圖 10 可示出沿圖 9 所示線 IIa-IIa'截取的區域的橫截面結構。

【0091】 在修改形式中，參照圖 6，圖 1B 中的導電圖案 72 可被變形成導電圖案 72'。導電圖案 72'的側表面可在絕緣圖案 74a 與絕緣層 36a 之間發生凹陷。因此，絕緣圖案 78 可在絕緣圖案 74a 與絕緣層 36a 之間延伸。由於第二絕緣圖案 74a 可由包括摻雜有

根據本發明概念實例性實施例的「元素 A」的氧化矽 (SiO_2) 的材料形成，因此開口中的彎曲現象可被最小化，且因此導電圖案 72' 可在第一水平方向 Y 上在導電圖案 72' 的上部部分與下部部分之上具有更均勻的寬度。

【0092】 在修改形式中，參照圖 7，圖 1B 中的導電圖案 72 可被變形成導電圖案 72''，導電圖案 72'' 各自具有較第二電極 103 的寬度窄的寬度。舉例而言，導電圖案 72'' 在第一水平方向 Y 上的寬度可小於第二電極 103 在第一水平方向 Y 上的寬度。圖 1B 中的第二絕緣圖案 74a 可被變形成最小寬度較第二電極 103 中的每一者在第一水平方向 Y 上的寬度窄的第二絕緣圖案 74a'。由於第二絕緣圖案 74a' 可由包括摻雜有根據本發明概念實例性實施例的「元素 A」的氧化矽 (SiO_2) 的材料形成，因此開口中的彎曲現象可被最小化，且因此導電圖案 72'' 可在第一水平方向 Y 上在導電圖案 72'' 的上部部分與下部部分之上具有更均勻的寬度。

【0093】 在修改形式中，參照圖 8，圖 2A 中的導電圖案 72 與虛設導電圖案 72d' 可被變形成彼此連接的導電圖案 272。由於第二絕緣圖案 74a 可由包括摻雜有根據本發明概念實例性實施例的「元素 A」的氧化矽 (SiO_2) 的材料形成，因此開口中的彎曲現象可被最小化，且因此導電圖案 272 可在第一水平方向 Y 上在導電圖案 272 的上部部分與下部部分之上具有更均勻的寬度。

【0094】 在修改形式中，參照圖 9 及圖 10，半導體裝置 1 可更包括接墊圖案 310，接墊圖案 310 分別穿過絕緣層 82 及絕緣層 94

且與導電圖案 72 的上部區域接觸。接墊圖案 310 可與第二絕緣圖案 74a 及絕緣層 36d 接觸。

【0095】 參照圖 11 至圖 35 對形成根據本發明概念實例性實施例的半導體裝置的方法的實例進行闡述。圖 11 至圖 35 是示意性地示出形成根據本發明概念實例性實施例的半導體裝置的方法的實例的圖。圖 11、圖 13、圖 15、圖 18、圖 20、圖 22、圖 24、圖 26、圖 28 及圖 30 是由圖 1A 所示'C'指示的區域的部分放大俯視圖。圖 12A、圖 14A、圖 16A、圖 17A、圖 19A、圖 21A、圖 23A、圖 25A、圖 27、圖 29、圖 34A 及圖 35 是示意性地示出沿圖 1A 所示線 I-I'及線 II-II'截取的區域的剖視圖。圖 12B、圖 14B、圖 16B、圖 17B、圖 19B、圖 21B、圖 23B、圖 25B、圖 31、圖 32A 及圖 33A 是示意性地示出沿圖 1A 所示線 III-III'及線 IV-IV'截取的區域的剖視圖。圖 12C、圖 14C、圖 16C、圖 17C、圖 19C、圖 21C、圖 23C、圖 25C、圖 32B 及圖 33B 是示意性地示出沿圖 1A 所示線 V-V'及線 VI-VI'截取的區域的剖視圖。圖 12D、圖 14D、圖 16D、圖 17D、圖 19D、圖 21D、圖 23D、圖 25D 及圖 34B 是示意性地示出沿圖 1A 所示線 VII-VII'及線 VIII-VIII'截取的區域的剖視圖。

【0096】 參照圖 11 及圖 12A 至圖 12D，可製備包括第一區域 MCA 及與第一區域 MCA 相鄰的第二區域 GIA 的基板 3。基板 3 可為半導體基板。

【0097】 可在基板 3 上形成模具結構 6。模具結構 6 可包括交替地且重複地堆疊的第一半導體層 8 與第二半導體層 10。第一半導

體層 8 的半導體材料可不同於第二半導體層 10 的半導體材料。舉例而言，第一半導體層 8 的半導體材料可為矽鍺 (SiGe)，而第二半導體層 10 的半導體材料可為矽 (Si)。基板 3 可由 Si 形成。舉例而言，基板 3 可由單晶矽 (single-crystal silicon, sc-Si) 形成。

【0098】 第一半導體層 8 可包括第一下部半導體層 8L1、第一下部半導體層 8L2 及第一下部半導體層 8L3，而第二半導體層 10 可包括第二下部半導體層 10L1 及第二下部半導體層 10L2 以及第二上部半導體層 10U。在第一半導體層 8 及第二半導體層 10 之中，最上部層可為第二上部半導體層 10U，而最下部層可為第一下部半導體層 8L1。

【0099】 可在模具結構 6 上形成絕緣層 12。絕緣層 12 可為罩幕層。在本發明概念實例性實施例中，絕緣層 12 可由例如光阻圖案或旋塗硬罩幕 (spin-on-hardmask, SOH) 層形成，然而本發明概念不限於此。絕緣層 12 可包括藉由微影製程形成的罩幕圖案。

【0100】 可藉由使用絕緣層 12 作為蝕刻罩幕的蝕刻製程對模具結構 6 進行蝕刻以形成開口，且可在開口中形成絕緣層 14 及絕緣層 16。蝕刻製程可為各向異性蝕刻製程。舉例而言，蝕刻製程可為垂直乾式蝕刻製程，例如(舉例而言)反應離子蝕刻(reactive ion etching, RIE)製程。然而，本發明概念不限於此。絕緣層 14 與絕緣層 16 可被形成為具有不同的深度。舉例而言，絕緣層 14 的下表面可形成於較絕緣層 16 的下表面的水準高的水準處。

【0101】 絕緣層 16 的下表面可高於第二下部半導體層 10L1，而

絕緣層 14 的下表面可高於第二下部半導體層 10L2。

【0102】 絕緣層 14 及絕緣層 16 可設置於第一區域 MCA 上。

【0103】 當在俯視圖中觀察時，絕緣層 14、絕緣層 16 可具有圓形形狀或橢圓形形狀。然而，本發明概念不限於此。舉例而言，絕緣層 14、絕緣層 16 可具有多邊形形狀。

【0104】 當在俯視圖中觀察時，絕緣層 16 可大於絕緣層 14。

【0105】 絕緣層 14 與絕緣層 16 可包含相同的材料，例如氧化矽 (SiO_2)。

【0106】 參照圖 13 及圖 14A 至圖 14D，可在包括絕緣層 14 及絕緣層 16 的基板 3 上形成絕緣層 18。絕緣層 18 可為罩幕層。

【0107】 在使用絕緣層 18 作為蝕刻罩幕的蝕刻製程中，可對模具結構 6 進行蝕刻以形成線形開口，且可在模具結構 6 的由開口暴露出的內壁上形成半導體層 21，可形成共形絕緣層 22，且可填充對開口進行填充的絕緣層 24。絕緣層 22 可為覆蓋絕緣層 24 中的每一者的側表面及底表面的絕緣襯墊。為形成絕緣層 22 及/或絕緣層 24，可使用例如（舉例而言）原子層沈積（atomic layer deposition, ALD）製程、化學氣相沈積（chemical vapor deposition, CVD）製程或其組合等製程。然而，本發明概念不限於此。

【0108】 絕緣層 24 可具有在第一水平方向 Y 上延伸的線形狀。

【0109】 絕緣層 14 及絕緣層 16 可設置於具有線形狀的絕緣層 24 之間。

【0110】 絕緣層 24 的下表面可位於較絕緣層 14 的下表面及絕緣

層 16 的下表面的水準低的水準處。舉例而言，絕緣層 24 可一直穿透至模具結構 6 的第二下部半導體層 10L1。絕緣層 24 可由氧化矽 (SiO_2) 形成。

【0111】 參照圖 15 及圖 16A 至圖 16D，可在上面已一直形成至絕緣層 24 的基板 3 上形成絕緣層 26。絕緣層 26 可為暴露出至少絕緣層 14 及絕緣層 16 並覆蓋絕緣層 24 的罩幕層。

【0112】 可藉由移除絕緣層 14 及絕緣層 16 來形成開口 14_o 及開口 16_o。

【0113】 可對由開口 14_o 及開口 16_o 暴露出的第一半導體層 8 部分地進行蝕刻以在第二半導體層 10 之間形成開口 28，且可對暴露出開口 14_o、開口 16_o 及開口 28 的第二半導體層 10 部分地進行蝕刻以形成由於部分蝕刻而大小減小的第二半導體層 10a。在本發明概念實例性實施例中，可藉由濕式蝕刻製程來部分地移除第一半導體層 8 及第二半導體層 10。然而，本發明概念不限於此。

【0114】 第一半導體層 8 可由保留於第二區域 GIA 上的第一半導體層 8a 形成。第二半導體層 10a 可保留於第二區域 GIA 上而厚度不減小。

【0115】 參照圖 17A 至圖 17D，可形成絕緣層 32 及絕緣層 34 以對開口（圖 16A 至圖 16D 中的 28）進行填充。形成絕緣層 32 及絕緣層 34 可包括：形成共形地覆蓋開口（圖 16A 至圖 16D 中的 28）的內壁的絕緣層 32，形成對開口（圖 16A 至圖 16D 中的 28）的其餘部分進行填充的絕緣層 34，以及對絕緣層 32 及絕緣層 34

進行蝕刻以保留於開口（圖 16A 至圖 16D 中的 28）中。

【0116】絕緣層 32 可由氮化矽（ Si_3N_4 ）形成，而絕緣層 34 可由氧化矽（ SiO_2 ）形成。

【0117】參照圖 18 及圖 19A 至圖 19D，可在上面已一直形成至絕緣層 32 及絕緣層 34 的基板 3 上形成絕緣層 38。絕緣層 38 可為具有開口的罩幕層。絕緣層 38 的開口可形成於第二區域 GIA 上。

【0118】在第二區域 GIA 上，可藉由使用絕緣層 38 作為蝕刻罩幕的蝕刻製程對模具結構 6 進行蝕刻以形成開口，可形成共形絕緣層 40，且可形成對開口進行填充的絕緣層 42。在第二區域 GIA 上，絕緣層 42 可具有在第一水平方向 Y 上延伸的線形狀。絕緣層 42 可由氧化矽（ SiO_2 ）形成。絕緣層 40 可為覆蓋絕緣層 42 的下表面及側表面且覆蓋絕緣層 38 的上部部分的絕緣襯墊。絕緣層 42 的下表面可高於第一下部半導體層 8L2。舉例而言，絕緣層 40 可夾置於絕緣層 42 與第一下部半導體層 8L2 之間。

【0119】絕緣層 42 可包括在第二水平方向 X 上交替地且重複地排列的絕緣層 42a 與絕緣層 42b。

【0120】參照圖 20 及圖 21A 至圖 21D，可在上面已一直形成至絕緣層 42 的基板 3 上移除絕緣層 42b 以形成開口，且可移除由開口暴露出的第一半導體層 8 以形成開口並暴露出第二半導體層 10，且可對第二半導體層 10 部分地進行蝕刻以減小第二半導體層 10 的厚度。隨後，可形成對開口進行填充的絕緣層 50。絕緣層 50 可包括絕緣層 50a、絕緣層 50c 及絕緣層 50b，絕緣層 50a 對其中

絕緣層 42b 被移除的空間進行填充，絕緣層 50c 在第二半導體層 10 之間進行填充，絕緣層 50b 在絕緣層 50c 的下方設置於第二下部半導體層 10L1 與第二下部半導體層 10L2 之間。絕緣層 50 可由氧化矽 (SiO_2) 形成。

【0121】 可藉由對保留於第二區域 GIA 上的第一半導體層 8 及第二半導體層 10 進行圖案化來形成階梯形狀。可重複地實行修整製程及各向異性蝕刻製程，使得保留於第二區域 GIA 上的第一半導體層 8 及第二半導體層 10 可被形成為具有階梯形狀。舉例而言，在修整製程及各向異性蝕刻製程期間，可重複地實行對第一半導體層 8 及第二半導體層 10 進行蝕刻以及減小用作蝕刻罩幕的罩幕圖案的寬度。

【0122】 隨後，可形成共形絕緣層 52，且可在第二區域 GIA 上形成對階梯形結構上的絕緣層 52 進行覆蓋的絕緣層 54。絕緣層 52 可由氮化矽 (Si_3N_4) 或高介電常數介電材料 (例如 (舉例而言)，氧化鋁 (Al_2O_3) 或氧化鈦 (HfO_2)) 形成，而絕緣層 54 可由氧化矽 (SiO_2) 形成。

【0123】 絕緣層 24 可包括在第二水平方向 X 上交替地且重複地排列的絕緣層 24a 與絕緣層 24b。

【0124】 可在絕緣層 52 及絕緣層 54 上形成絕緣層 56。絕緣層 56 可具有暴露出第一區域 MCA 上的絕緣層 24b 的開口。

【0125】 可藉由選擇性地移除由絕緣層 56 暴露出的絕緣層 24b 來形成開口 58。開口 58 可具有在第一水平方向 Y 上延伸的線形

狀。

【0126】 可在第一半導體層 8 及第二半導體層 10 的由開口 58 暴露出的表面上形成絕緣層 60。絕緣層 60 可由氧化矽(SiO_2)形成。

【0127】 參照圖 22 及圖 23A 至圖 23D，可對由開口 58 暴露出的絕緣層 32 部分地進行蝕刻以形成開口 62，可形成共形地覆蓋開口 62 的內壁的絕緣層 64 及對開口 62 進行填充的絕緣層 66，且可對絕緣層 64 及絕緣層 66 部分地進行蝕刻。

【0128】 當絕緣層 32 被部分蝕刻時，可對絕緣層 56 進行蝕刻及移除，且可保留絕緣層 52 的一部分。

【0129】 隨後，可形成覆蓋開口 62 中的每一者的其餘空間的內壁的閘極介電層 68，可在閘極介電層 68 上形成對開口 62 的其餘空間進行填充的導電線 70，且可對導電線 70 部分地進行蝕刻。

【0130】 參照圖 24 及圖 25A 至圖 25D，可形成對其中填充有導電線 70 的開口的其餘空間進行填充的絕緣層 62。

【0131】 可實行雜質植入製程以形成第一源極/汲極區 SD1。第一源極/汲極區 SD1 可在第一區域 MCA 上形成於第二半導體層 10a 中。可藉由離子植入製程將雜質植入至第二半導體層 10a 中以形成第一源極/汲極區 SD1。雜質可包括 n 型雜質，例如磷 (P)、砷 (As) 等。作為另外一種選擇，雜質可包括 p 型雜質，例如硼 (B)、鋁 (Al)、鎵 (Ga) 等。

【0132】 可在開口 58 的側壁上形成間隔件形的導電層 71。形成導電層 71 可包括：以依序的方式共形地形成第一導電層 72a 與第

二導電層 72b，以及對第一導電層 72a 及第二導電層 72b 進行各向異性蝕刻。

【0133】 當形成導電層 71 時，可在絕緣層 52 的側表面上形成虛設導電層 72d。

【0134】 可在上面已一直形成至導電層 71 的基板 3 上形成絕緣層 74 及絕緣層 74'。絕緣層 74 及絕緣層 74'可包括覆蓋導電層 71 並對開口 58 進行填充的絕緣層 74、以及覆蓋絕緣結構 36 的絕緣層 74'。

【0135】 絕緣層 74'的上表面可與絕緣層 52 的上表面共面。

【0136】 絕緣層 74 可由包括「元素 A」的材料形成。絕緣層 74 可由包括摻雜有「元素 A」的氧化矽 (SiO_2) 的材料形成。「元素 A」可包括元素週期表的 13 族元素或 15 族元素中的至少一者。舉例而言，「元素 A」可包括氮 (N)、磷 (P) 及硼 (B) 中的至少一者。舉例而言，絕緣層 74 可由摻雜有 N 的氧化矽 (SiO_2)、摻雜有 P 的氧化矽 (SiO_2)、或摻雜有 B 的氧化矽 (SiO_2) 形成。

【0137】 在絕緣層 74 中，「元素 A」的含量可為約 30 原子%或小於 30 原子%。

【0138】 參照圖 26 及圖 27，可對絕緣層 74 進行圖案化以形成暴露出導電層 71 的開口 76。其餘的絕緣層 74 可被定義為絕緣圖案 74a。絕緣層 74 可由包括「元素 A」的材料形成，藉此使開口 76 中的彎曲現象最小化。

【0139】 參照圖 28 及圖 29，可對由能夠使彎曲現象最小化的開

□ 76 暴露出的導電層 71 進行選擇性的蝕刻及移除。因此，可保留與絕緣圖案 74a 的側表面接觸的導電層 71。剩餘的導電層 71 可被稱為導電圖案 72。可形成能夠使導電圖案 72 的上部寬度與導電圖案 72 的下部寬度之間的差異最小化的導電圖案 72。舉例而言，導電圖案 72 可在第一水平方向 Y 上在導電圖案 72 的上部部分與下部部分之上具有更均勻的寬度。

【0140】 可形成對開口 76 進行填充的絕緣圖案 78。絕緣圖案 78 可由氧化矽 (SiO_2) 形成。

【0141】 參照圖 30 及圖 31，可對絕緣層 42a 部分地進行蝕刻以形成開口 84。開口 84 可形成於較第二下部半導體層 10L2 的水準高的水準處。開口 84 的下方可保留有絕緣層 42a'。

【0142】 參照圖 32A 及圖 32B，可藉由對由開口 84 暴露出的第二半導體層 10c 進行蝕刻而在第二區域 GIA 中形成開口 86。此處，可保留第一區域 MCA 上的第二半導體層 10a。

【0143】 參照圖 33A 及圖 33B，可在第二區域 GIA 上形成對開口 86 進行填充的閘極接觸線 88。閘極接觸線 88 可電性連接至導電線 70。可在第二區域 GIA 上形成穿過絕緣層 52 及絕緣層 54 且與閘極接觸線 88 接觸的閘極接觸插塞 92。閘極接觸插塞 92 中的每一者可包括插塞圖案 92b 及環繞插塞圖案 92b 的側表面及下表面的障壁層 92a。

【0144】 參照圖 34A 及圖 34B，可對絕緣層 24a 進行蝕刻以形成開口 96，且可對由開口 96 暴露出的絕緣層 32 及絕緣層 34 部分地

進行蝕刻以形成暴露出導電線 70 及第二半導體層 10 的開口 97。

【0145】 可實行源極/汲極製程以在第二半導體層 10 中形成第二源極/汲極區 SD2。舉例而言，可藉由離子植入製程將雜質植入至第二半導體層 10 中以形成第二源極/汲極區 SD2。雜質可包括 n 型雜質，例如磷 (P)、砷 (As) 等。作為另外一種選擇，雜質可包括 p 型雜質，例如硼 (B)、鋁 (Al)、鎵 (Ga) 等。保留於第一源極/汲極區 SD1 與第二源極/汲極區 SD2 之間的第二半導體層 10 可被定義為通道區 CH。

【0146】 第一源極/汲極區 SD1 及第二源極/汲極區 SD2 與通道區 CH 可被稱為主動層 ACT。因此，主動層 ACT 可在垂直方向 Z 上堆疊並彼此間隔開。

【0147】 當形成第二源極/汲極區 SD2 時，可在第二半導體層 10L1 的被暴露區域及第二半導體層 10L2 的被暴露區域中形成雜質區域 10i。舉例而言，在形成第二源極/汲極區 SD2 的製程期間，可將雜質植入至第二半導體層 10L1 的被暴露區域及第二半導體層 10L2 的被暴露區域中，以形成雜質區域 10i。

【0148】 在本發明概念實例性實施例中，第一源極/汲極區 SD1 及第二源極/汲極區 SD2 以及雜質區域 10i 可具有 N 型導電性。

【0149】 參照圖 35，可在開口 97 中形成覆蓋第二源極/汲極區 SD2 的上表面及下表面的絕緣層 99。

【0150】 返回參照圖 1 至圖 5，可在開口 97 中形成與第二源極/汲極區 SD2 接觸的儲存節點電極 103。可在上面形成有儲存節點

電極 103 的基板上共形地形成電容器介電層 107，且可形成覆蓋電容器介電層 107 的平板電極 109。當在俯視圖中觀察時，儲存節點電極 103 中的每一者可具有「U」形狀。第一電極 109 可包括與電容器介電層 107 接觸的第一材料層 109a 以及形成於第一材料層 109a 上的第二材料層 109b。

【0151】 參照圖 36 對根據本發明概念實例性實施例的半導體裝置的彎曲特性進行闡述。圖 36 是示出藉由參照圖 26 及圖 27 闡述的對絕緣層 74 進行圖案化而暴露出導電層 71 的開口 76 中的彎曲現象的曲線圖。

【0152】 參照圖 36，當使用四乙氧基矽烷(tetraethyl orthosilicate，TEOS) 氧化物 REF 及與參照圖 26 及圖 27 闡述的絕緣層 74 相同的絕緣層 SAMPLE 將開口形成為具有彼此相同的深度時，可能會發生彎曲現象。對 TEOS 氧化物 REF 及根據本發明概念實例性實施例的絕緣層 SAMPLE 中的每一者的彎曲度對深度(bow to depth) 值進行量測。在圖 36 所示曲線圖中，TEOS 氧化物 REF 可具有為約 5.1% 的值，而根據本發明概念實例性實施例的絕緣層 SAMPLE 可具有為約 2.4% 的值。該些值可指示在使用根據本發明概念實例性實施例的絕緣層 SAMPLE 形成的開口中發生的彎曲小於在使用 TEOS 氧化物 REF 形成的開口中發生的彎曲。因此，相較於使用 TEOS 氧化物 REF 形成的開口的寬度而言，使用根據本發明概念實例性實施例的絕緣層 SAMPLE 形成的開口可在開口的上部部分與下部部分之上具有更均勻的寬度。

【0153】 如上所述，藉由對由使用根據本發明概念實例性實施例的絕緣層 SAMPLE 形成的開口暴露出的導電層進行蝕刻而形成的導電圖案可更均勻地形成於開口的上部部分與下部部分之上。導電圖案可為圖 1A 至圖 5 中的導電圖案 72，且導電圖案 72 可用作 DRAM 裝置的位元線。因此，位元線可被形成為在位元線的上部部分與下部部分之上具有更均勻的大小，藉此進一步提高半導體裝置 1 的電特性及可靠性。

【0154】 根據本發明概念實例性實施例，可提供用於形成具有能夠使彎曲現象最小化的高縱橫比的開口的絕緣層。可提供包括使用絕緣層形成的絕緣圖案及導電圖案的半導體裝置。

【0155】 儘管以上已示出並闡述了實例性實施例，然而對於熟習此項技術者而言將顯而易見，在不背離本發明概念的由隨附申請專利範圍界定的精神及範圍的條件下，可對其作出潤飾及變化。

【符號說明】

【0156】

1:半導體裝置

3:基板

6:模具結構

8、8a:第一半導體層

8L1、8L2、8L3:第一下部半導體層

10、10a、10c:第二半導體層

10i:雜質區域

10L1、10L2:第二下部半導體層/第二半導體層

10U:第二上部半導體層

12、14、16、18、24、24a、24b、26、32、32'、34、34''、
36a、36b、36c'、36d、38、42、42a、42a'、42b、50、50a、50b、
50c、54、56、60、64、66、74、82、90、94、98、99、SAMPLE:

絕緣層

14_o、16_o、28、58、76、84、86、96、97:開口

21:半導體層

22、40、52:絕緣層/共形絕緣層

30:基板

34':延伸部

36、80:絕緣結構

62:開口/絕緣層

68:閘極介電層

70:第一導電線/第二導電線/導電線

70_1:第一導電線群組

70_2:第二導電線群組

70a:導電線

71:導電層

72、72'、72''、272:導電圖案

72_1:第一導電圖案

72_2:第二導電圖案

72a:第一導電層

72b:第二導電層

72d:虛設導電層

72d':虛設導電圖案

74':延伸部/絕緣層

74a:第二絕緣圖案/絕緣圖案

74a':第二絕緣圖案

78:第一絕緣圖案/絕緣圖案

88:閘極接觸線

88a:第一閘極接觸線

88b:第二閘極接觸線

92:閘極接觸插塞

92a:障壁層

92b:插塞圖案

103:第二電極/儲存節點電極

107:電容器介電層/介電層

109:第一電極/平板電極

109a:第一材料層

109b:第二材料層

310:接墊圖案

A、B、C:部分

ACT:第一主動層/第二主動層/主動層

ACT_1:第一主動群組

ACT_2:第二主動群組

CAP:資料儲存結構/第一記憶體區塊/第二記憶體區塊

CH:通道區

GIA:第二區域

I-I'、II-II'、IIa-IIa'、III-III'、IV-IV'、V-V'、VI-VI'、VII-VII'、
VIII-VIII':線

MCA:第一區域

REF:四乙氧基矽烷 (TEOS) 氧化物

SD1:第一源極/汲極區

SD2:第二源極/汲極區

TR:電晶體/第一記憶體區塊/第二記憶體區塊

W1:第一寬度

W2:第二寬度

X:第二水平方向

Y:第一水平方向

Z:垂直方向

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基板，包括第一區域及與所述第一區域相鄰的第二區域；

第一導電線群組，設置於所述基板的所述第一區域上，其中所述第一導電線群組包括第一導電線，所述第一導電線在與所述基板的上表面垂直的垂直方向上堆疊並彼此間隔開；

第二導電線群組，設置於所述基板的所述第一區域上，其中所述第二導電線群組包括第二導電線，所述第二導電線在所述垂直方向上堆疊並彼此間隔開；

第一主動群組，設置於所述基板的所述第一區域上且在與所述基板的所述上表面平行的第一水平方向上排列並彼此間隔開；

第二主動群組，設置於所述基板的所述第一區域上，在所述第一水平方向上排列並彼此間隔開，且在與所述第一水平方向垂直的第二水平方向上與所述第一主動群組間隔開；

絕緣結構，設置於所述第一導電線群組與所述第二導電線群組之間；

第一導電圖案，設置於所述絕緣結構與所述第一主動群組之間；以及

第二導電圖案，設置於所述絕緣結構與所述第二主動群組之間，

其中所述第一主動群組中的每一者包括第一主動層，所述第一主動層在所述垂直方向上堆疊並彼此間隔開，並且與所述第一

導電線中的每一者相交，

所述第二主動群組中的每一者包括第二主動層，所述第二主動層在所述垂直方向上堆疊並彼此間隔開，並且與所述第二導電線中的每一者相交，

所述絕緣結構包括第一絕緣圖案及第二絕緣圖案，所述第一絕緣圖案與所述第二絕緣圖案在所述第一水平方向上交替地且重複地排列於所述基板的所述第一區域上，且

所述第一絕緣圖案的第一材料不同於所述第二絕緣圖案的第二材料。

【請求項2】 如請求項 1 所述的半導體裝置，其中

所述第二絕緣圖案的所述第二材料是摻雜有「元素 A」的材料，且

所述第一絕緣圖案的所述第一材料是未摻雜所述「元素 A」的材料。

【請求項3】 如請求項 2 所述的半導體裝置，其中所述「元素 A」是氮（N）、磷（P）及硼（B）中的至少一者。

【請求項4】 如請求項 2 所述的半導體裝置，其中所述「元素 A」在所述第二絕緣圖案中的含量為 30 原子%或小於 30 原子%。

【請求項5】 如請求項 1 所述的半導體裝置，其中

所述第二絕緣圖案的所述第二材料是摻雜有「元素 A」的氧化矽，且

所述第一絕緣圖案的所述第一材料是未摻雜所述「元素 A」

的氧化矽。

【請求項6】 如請求項 1 所述的半導體裝置，其中所述第一主動層及所述第二主動層中的每一者包括：

第一源極/汲極區及第二源極/汲極區，所述第一源極/汲極區與所述第二源極/汲極區彼此間隔開；以及

通道區，夾置於所述第一源極/汲極區與所述第二源極/汲極區之間，

其中所述第一導電線與所述第一主動層的所述通道區垂直交疊且在所述第一水平方向上在所述基板的所述第一區域上延伸，

所述第二導電線與所述第二主動層的所述通道區垂直交疊且在所述第一水平方向上在所述基板的所述第一區域上延伸，

所述第一主動層的所述第一源極/汲極區電性連接至所述第一導電圖案，且

所述第二主動層的所述第一源極/汲極區電性連接至所述第二導電圖案。

【請求項7】 如請求項 6 所述的半導體裝置，更包括：

資料儲存結構，

其中所述資料儲存結構中的每一者包括平板電極、儲存節點電極及電容器介電層，所述電容器介電層設置於所述平板電極與所述儲存節點電極之間，且

所述儲存節點電極電性連接至所述第一主動層的所述第二源極/汲極區及所述第二主動層的所述第二源極/汲極區。

【請求項8】 如請求項 7 所述的半導體裝置，其中當在俯視圖中觀察時，所述儲存節點電極中的每一者具有「U」形狀。

【請求項9】 如請求項 1 所述的半導體裝置，更包括：

第一閘極接觸線，設置於所述基板的所述第二區域上且電性連接至所述第一導電線群組；

第二閘極接觸線，設置於所述基板的所述第二區域上且電性連接至所述第二導電線群組；

閘極接觸插塞，在所述第一閘極接觸線及所述第二閘極接觸線上電性連接至所述第一閘極接觸線及所述第二閘極接觸線；以及

絕緣層，在所述基板的所述第二區域上設置於所述第一閘極接觸線與所述第二閘極接觸線之間，

其中所述絕緣層包含與所述第二絕緣圖案的所述第二材料相同的材料。

【請求項10】 如請求項 9 所述的半導體裝置，更包括：

閘極介電層，夾置於至少所述第一主動層與所述第一導電線之間且夾置於至少所述第二主動層與所述第二導電線之間，

其中所述第一導電線包括一對第一導電線，所述一對第一導電線覆蓋所述第一主動層中的一者的上表面及下表面，且

所述第一閘極接觸線中的一者與所述一對第一導電線接觸且電性連接至所述一對第一導電線。

【請求項11】 一種半導體裝置，包括：

基板；

資料儲存結構，設置於所述基板上；

絕緣結構，設置於所述基板上且與所述資料儲存結構間隔開；

導電線，設置於所述資料儲存結構與所述絕緣結構之間，並且在與所述基板的上表面垂直的垂直方向上堆疊並彼此間隔開；

主動層，在所述資料儲存結構與所述絕緣結構之間在所述垂直方向上堆疊並彼此間隔開，並且與所述導電線相交；以及

導電圖案，設置於所述絕緣結構與所述主動層之間且電性連接至所述主動層，

其中所述絕緣結構包括第一絕緣圖案及第二絕緣圖案，所述第一絕緣圖案在與所述基板的所述上表面平行的第一水平方向上彼此間隔開，所述第二絕緣圖案設置於所述第一絕緣圖案之間，

所述導電圖案設置於所述第二絕緣圖案與所述主動層之間，且

所述第二絕緣圖案的材料不同於所述第一絕緣圖案的材料。

【請求項12】 如請求項 11 所述的半導體裝置，其中所述資料儲存結構包括：

平板電極；

儲存節點電極，設置於所述平板電極與所述主動層之間；以及

電容器介電層，設置於至少所述儲存節點電極與所述平板電

極之間。

【請求項13】 如請求項 11 所述的半導體裝置，其中

所述第二絕緣圖案的所述材料是摻雜有「元素 A」的材料，

且

所述「元素 A」是氮（N）、磷（P）及硼（B）中的至少一者。

【請求項14】 如請求項 13 所述的半導體裝置，其中所述「元素 A」

在所述第二絕緣圖案中的含量為 30 原子%或小於 30 原子%。

【請求項15】 如請求項 13 所述的半導體裝置，其中所述第一絕緣圖案的所述材料是未摻雜所述「元素 A」的材料。

【請求項16】 如請求項 11 所述的半導體裝置，其中所述導電線中的至少一者在與所述第一水平方向垂直的第二水平方向上包括與所述主動層垂直交疊且具有第一寬度的部分、以及位於所述資料儲存結構與所述第一絕緣圖案之間且具有較所述第一寬度小的第二寬度的部分。

【請求項17】 一種半導體裝置，包括：

基板；

第一絕緣圖案，設置於所述基板上且在與所述基板的上表面平行的第一水平方向上彼此間隔開；

導電圖案，在所述基板上在與所述第一水平方向垂直的第二水平方向上彼此間隔開；以及

第二絕緣圖案，在所述第一水平方向上設置於所述第一絕緣圖案之間且在所述第二水平方向上設置於所述導電圖案之間，

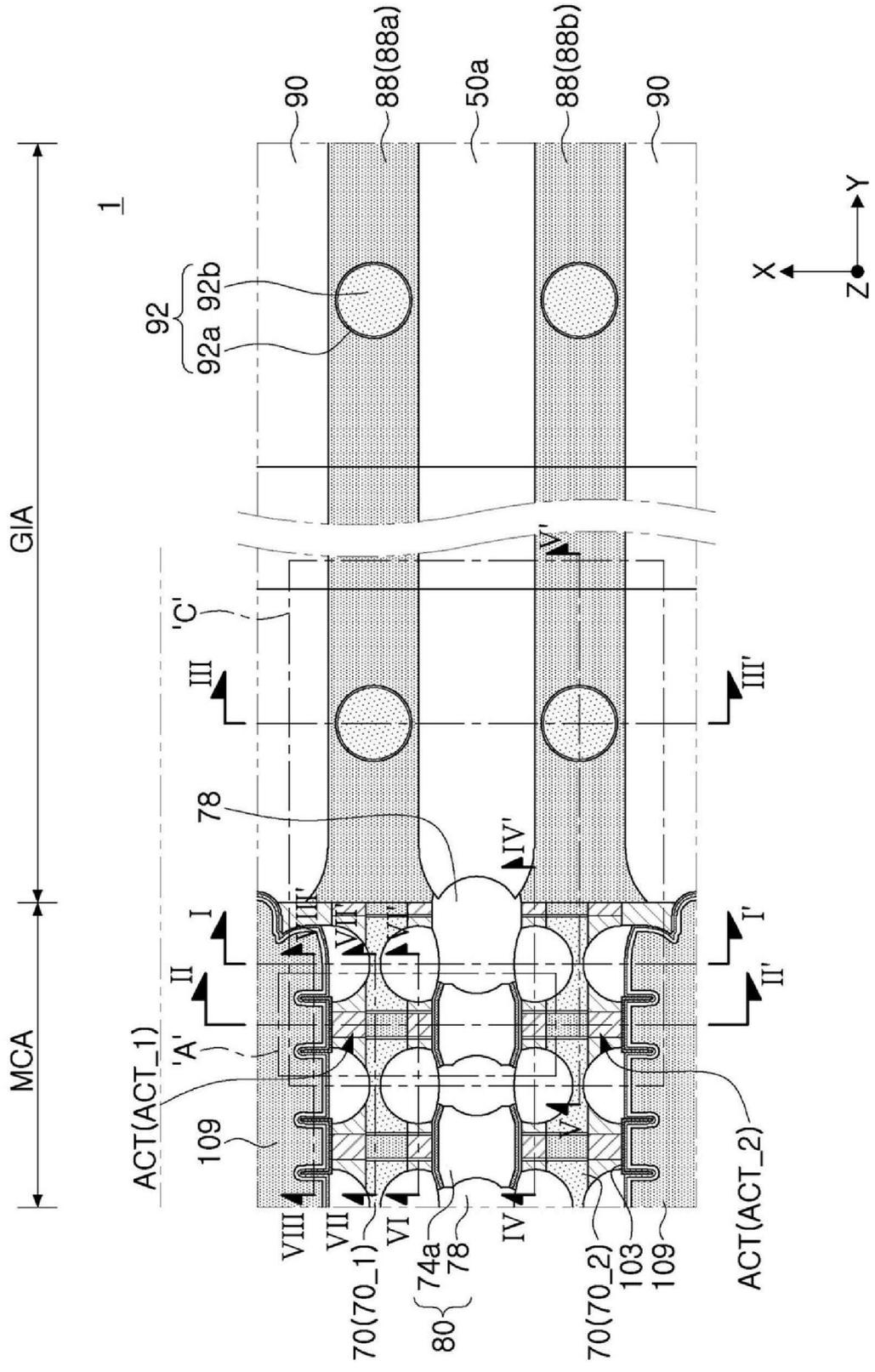
其中所述第二絕緣圖案的材料不同於所述第一絕緣圖案的材料。

【請求項18】 如請求項 17 所述的半導體裝置，其中
所述第一絕緣圖案包含氧化矽，且
所述第二絕緣圖案包含含有摻雜有「元素 A」的氧化矽的材料。

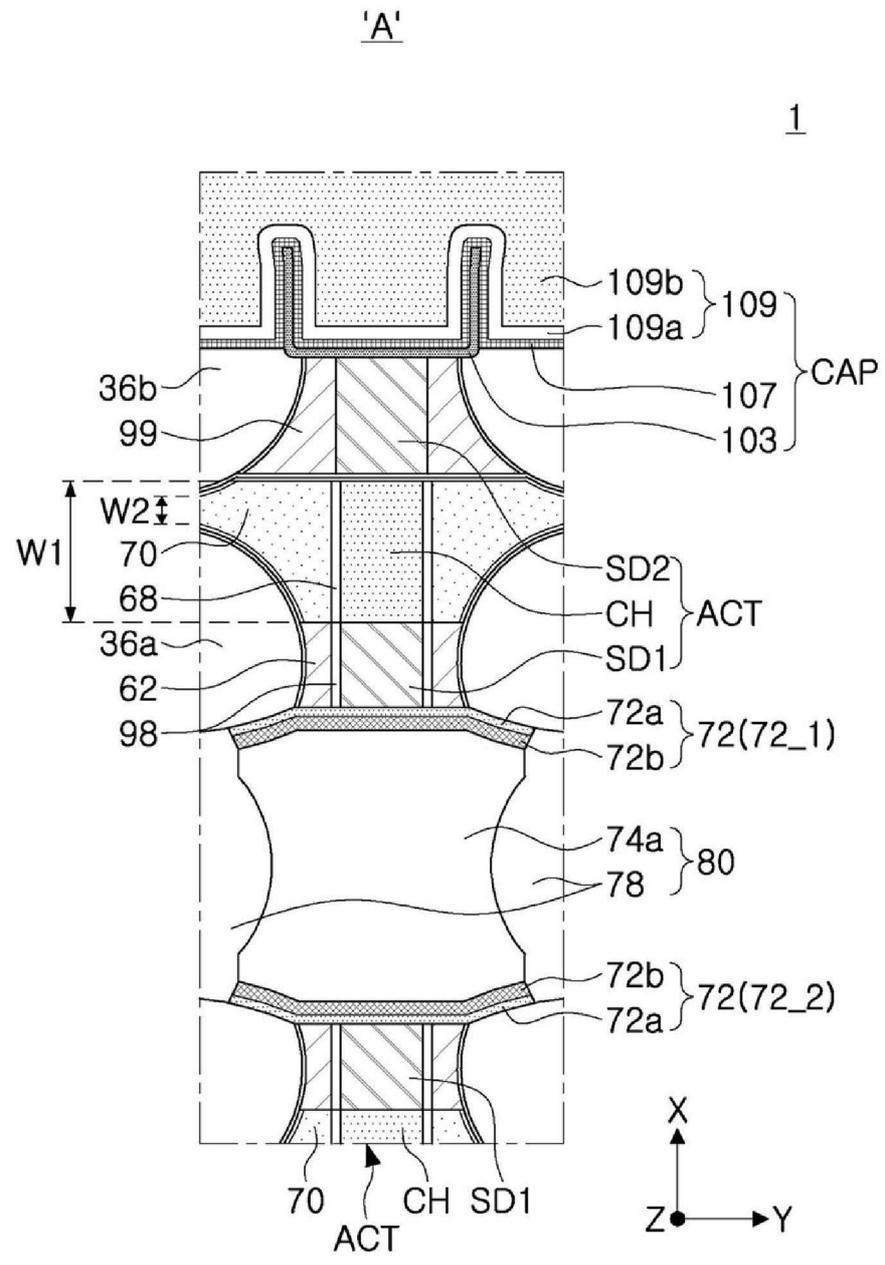
【請求項19】 如請求項 18 所述的半導體裝置，其中所述第一絕緣圖案不包含所述「元素 A」。

【請求項20】 如請求項 18 所述的半導體裝置，其中
所述「元素 A」是氮（N）、磷（P）及硼（B）中的至少一者，
且
所述「元素 A」在所述第二絕緣圖案中的含量為 30 原子%或
小於 30 原子%。

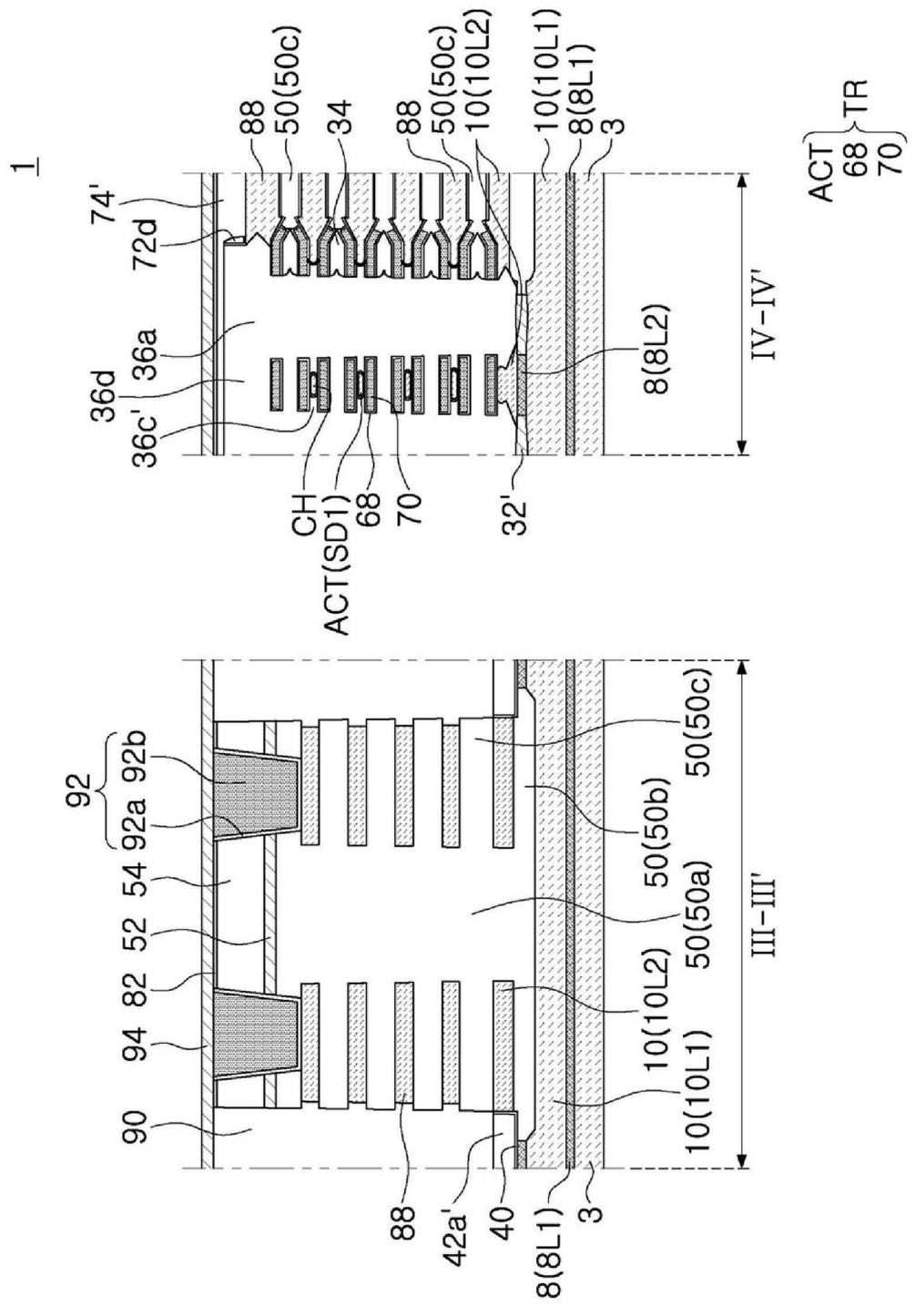
【發明圖式】



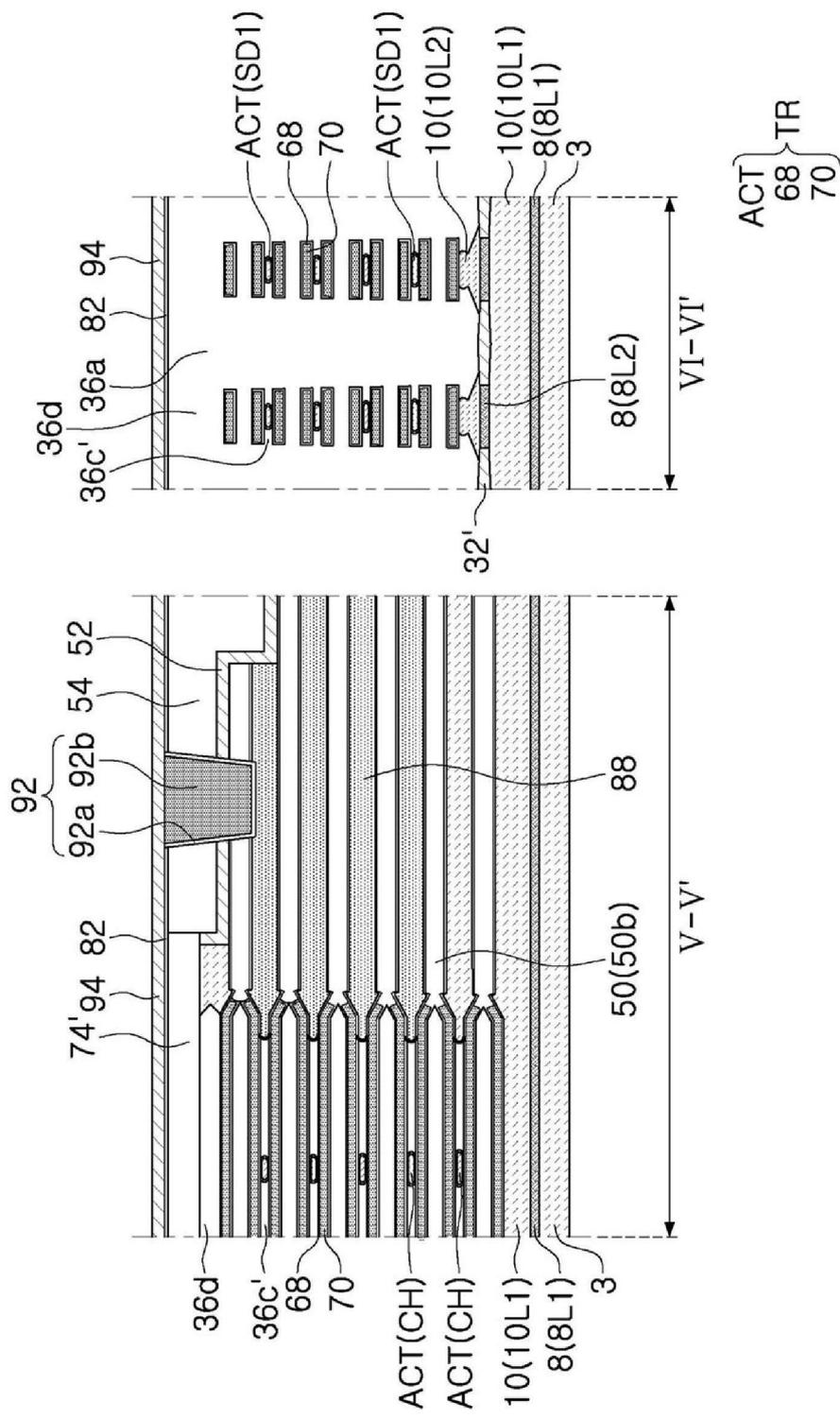
【圖1A】



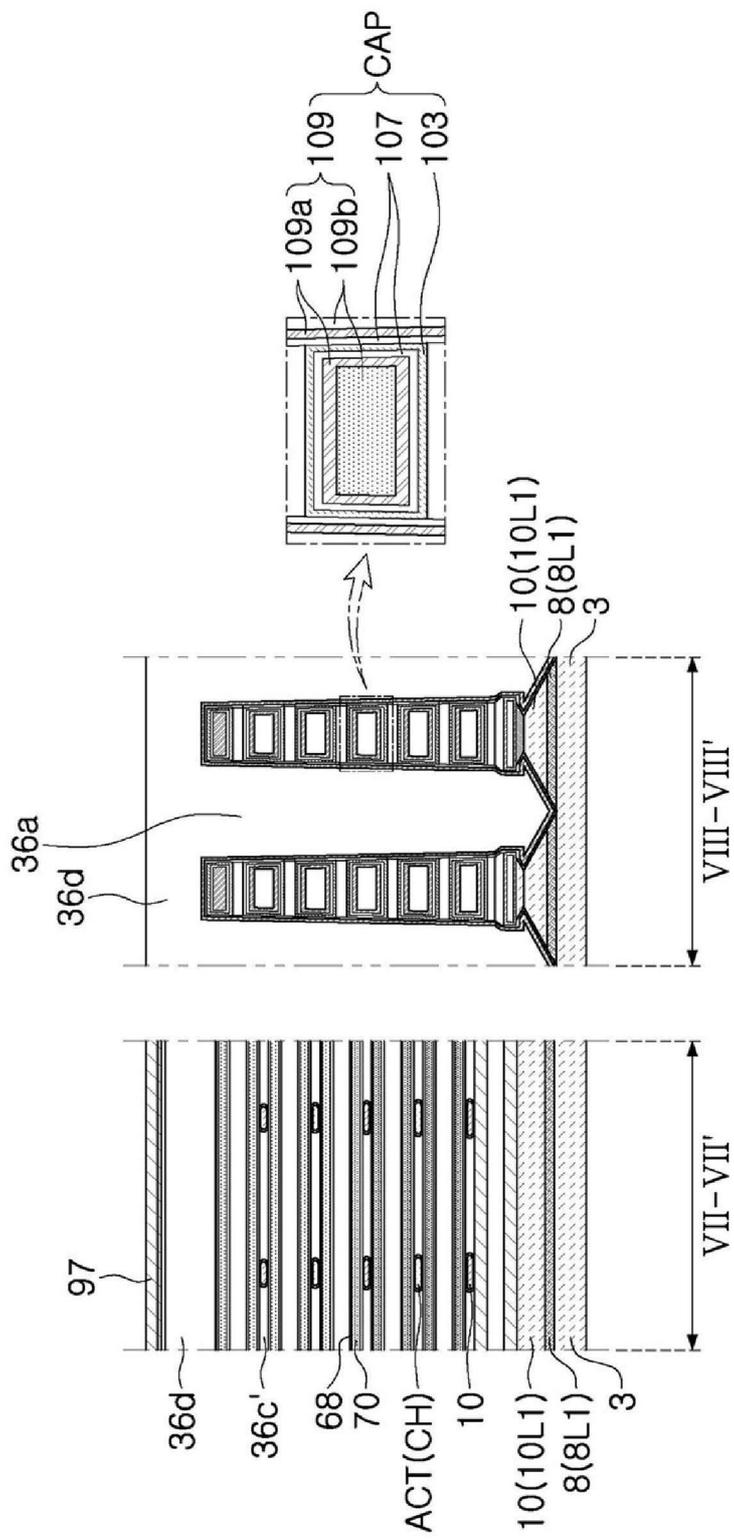
【圖1B】



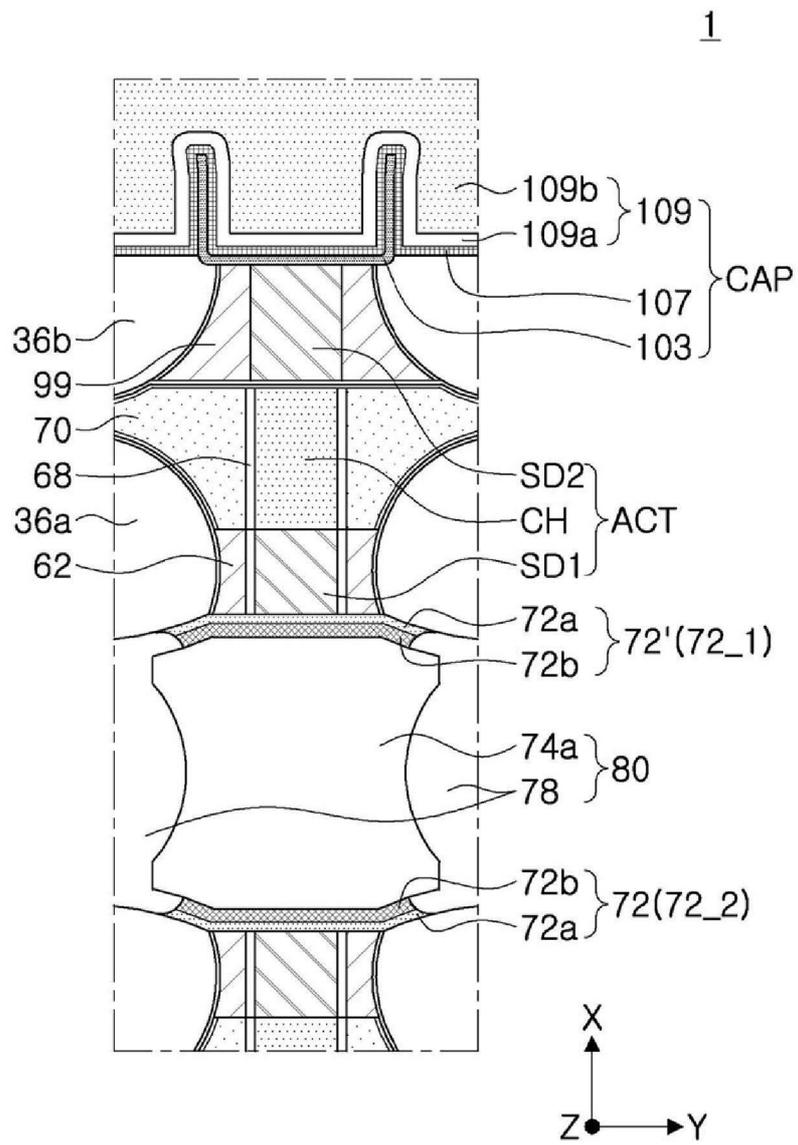
【圖3】



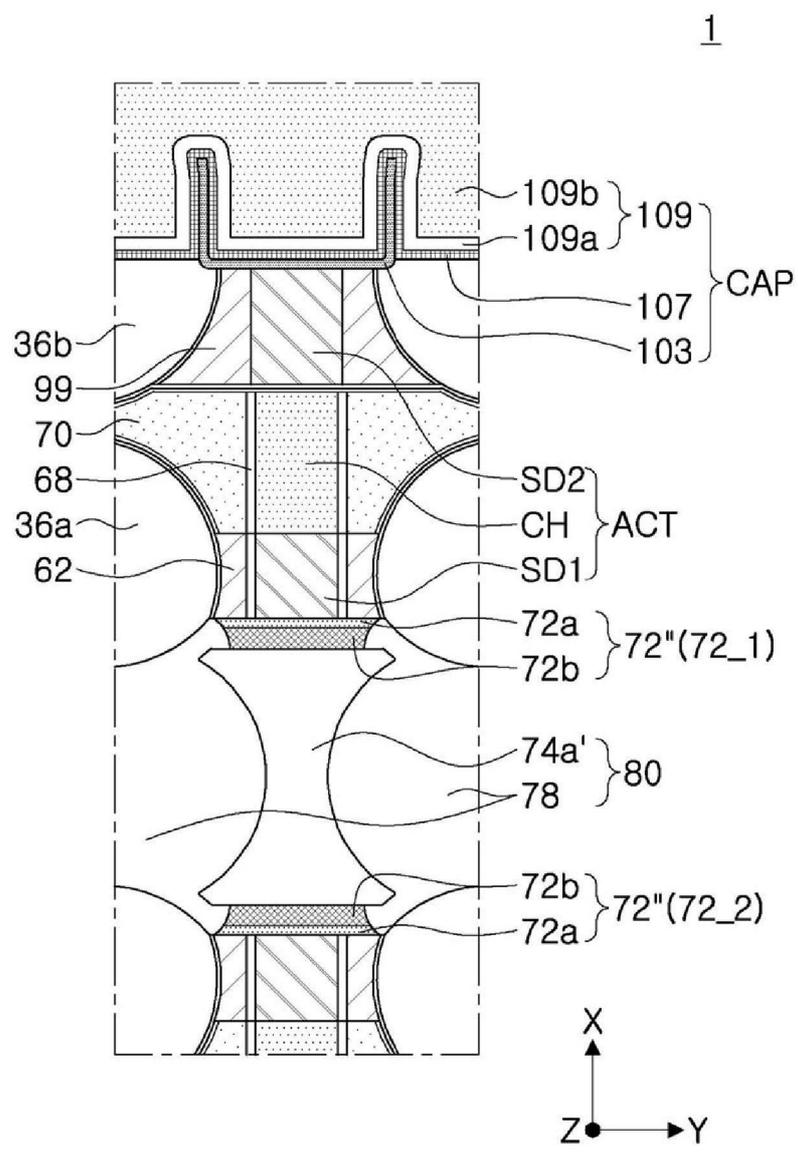
【圖4】



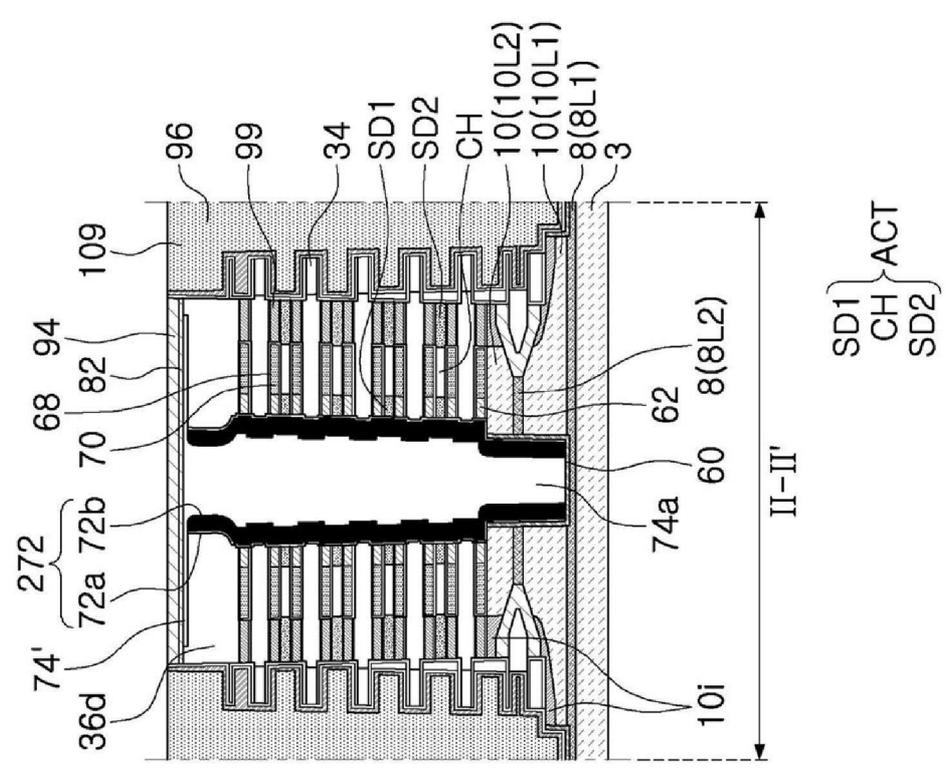
【圖5】



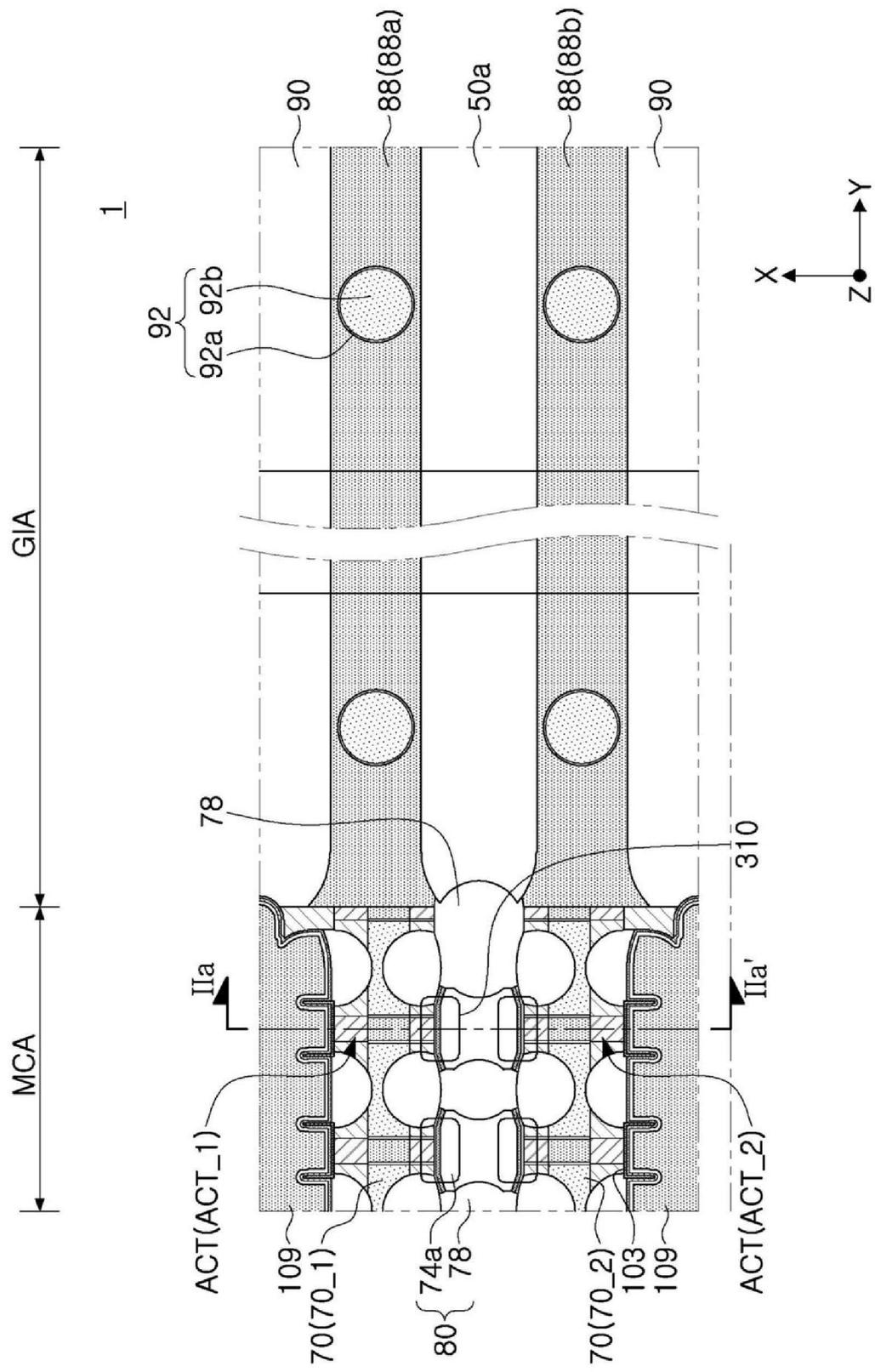
【圖6】



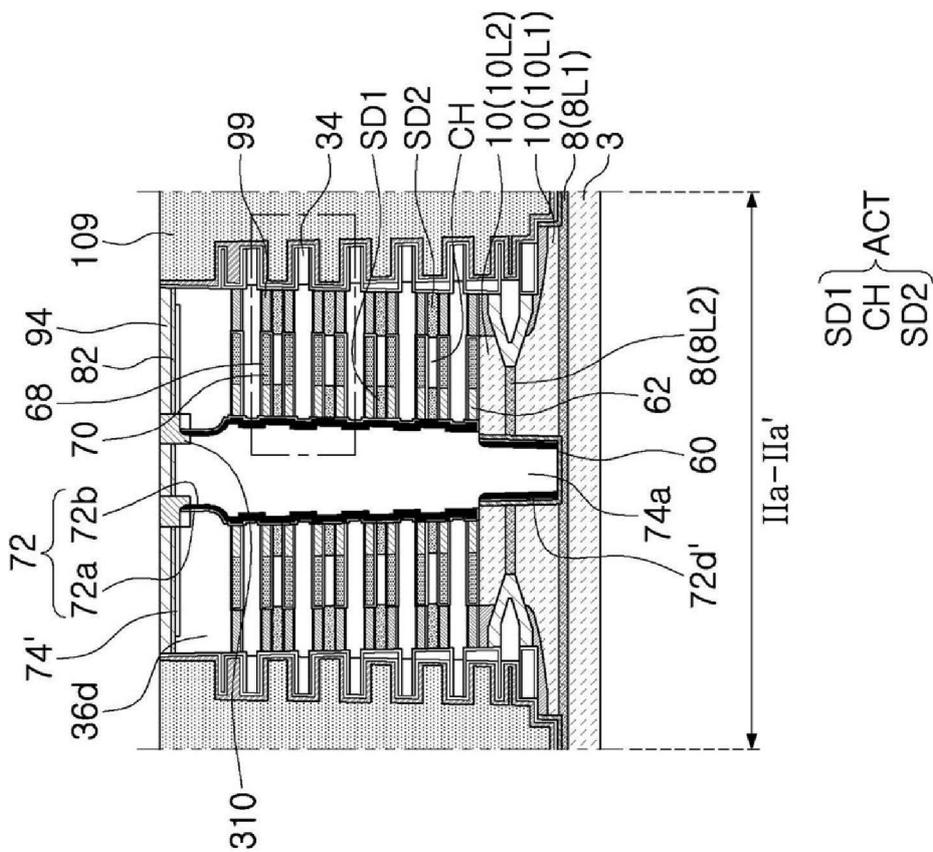
【圖7】



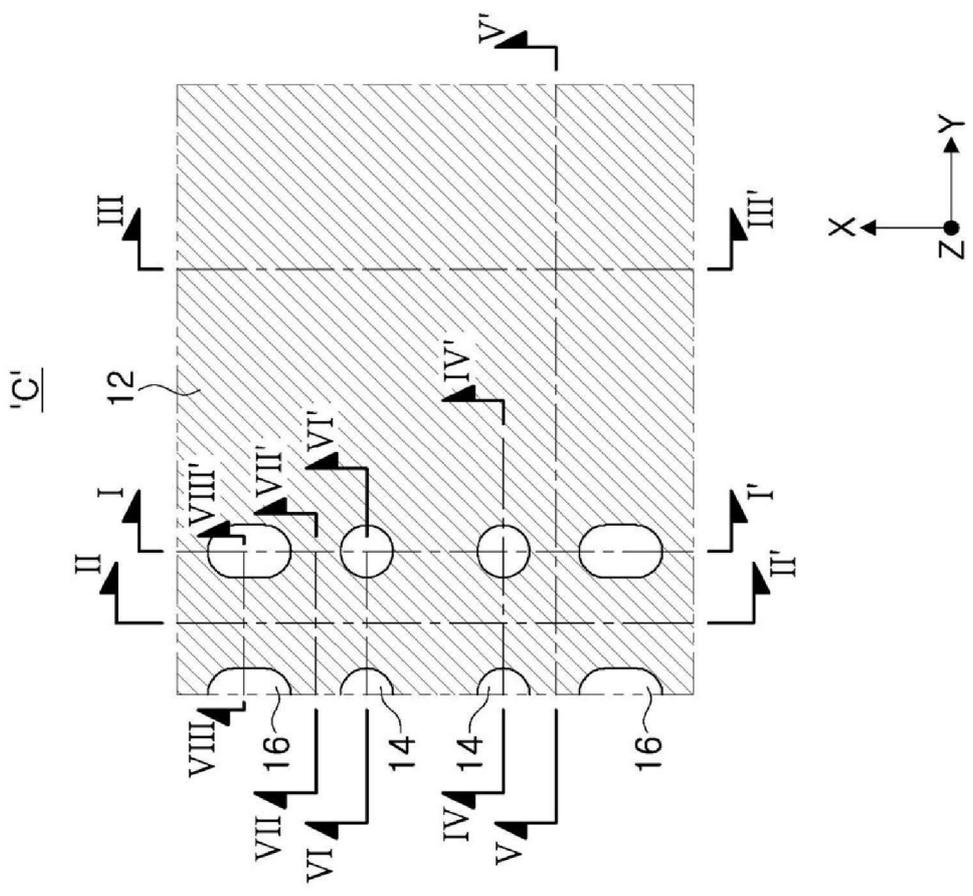
【圖8】



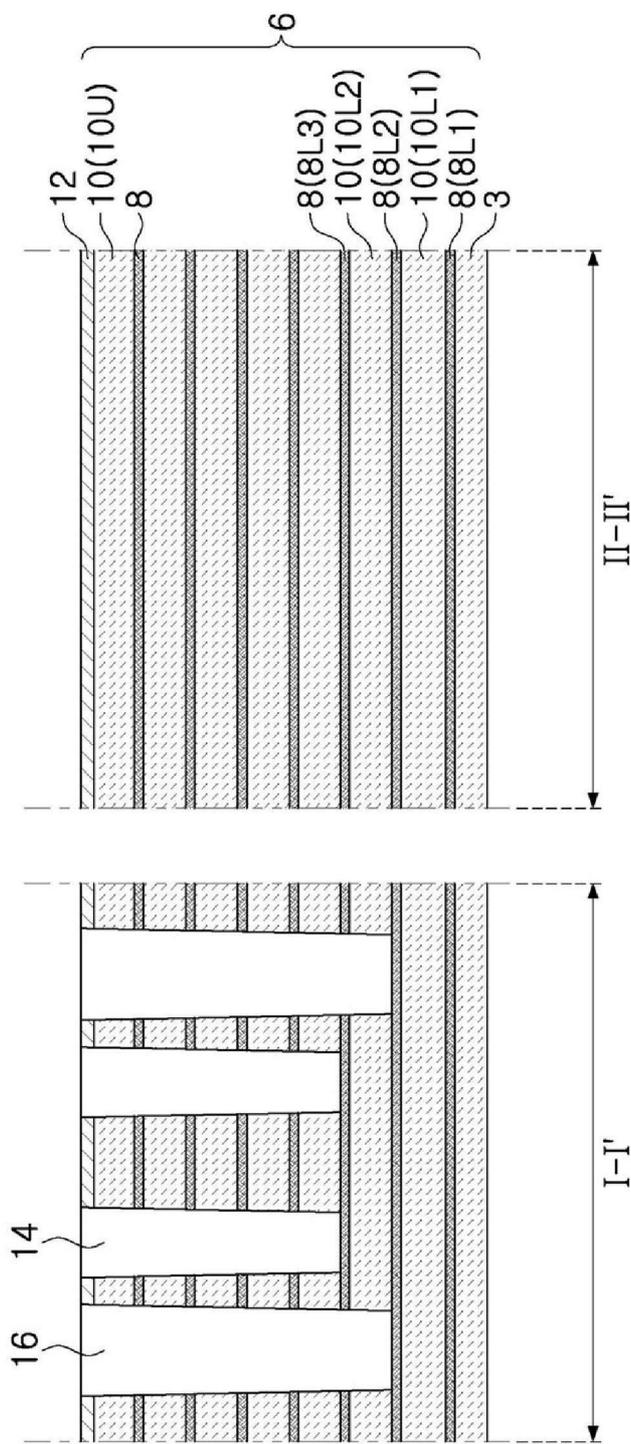
【圖9】



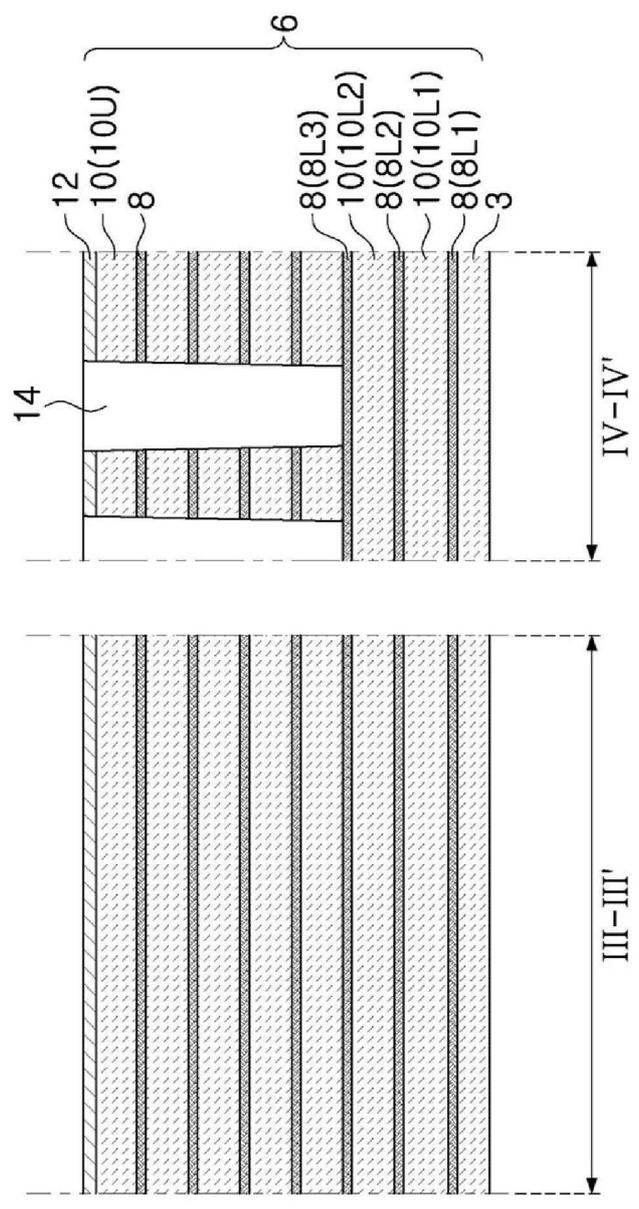
【圖10】



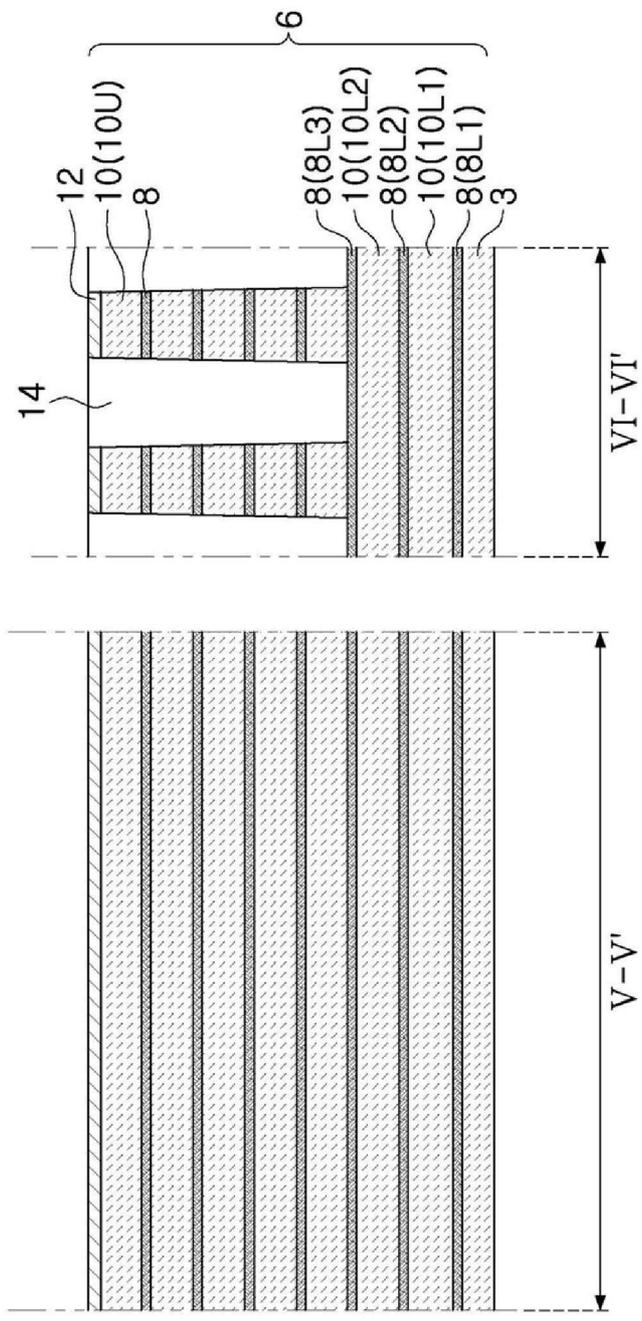
【圖11】



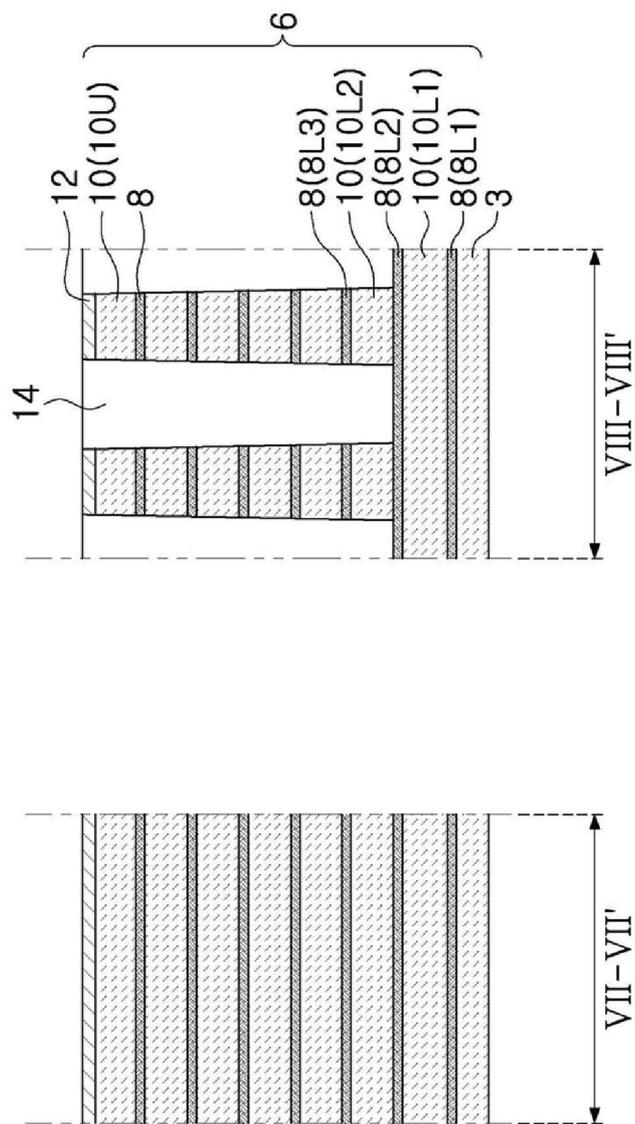
【圖12A】



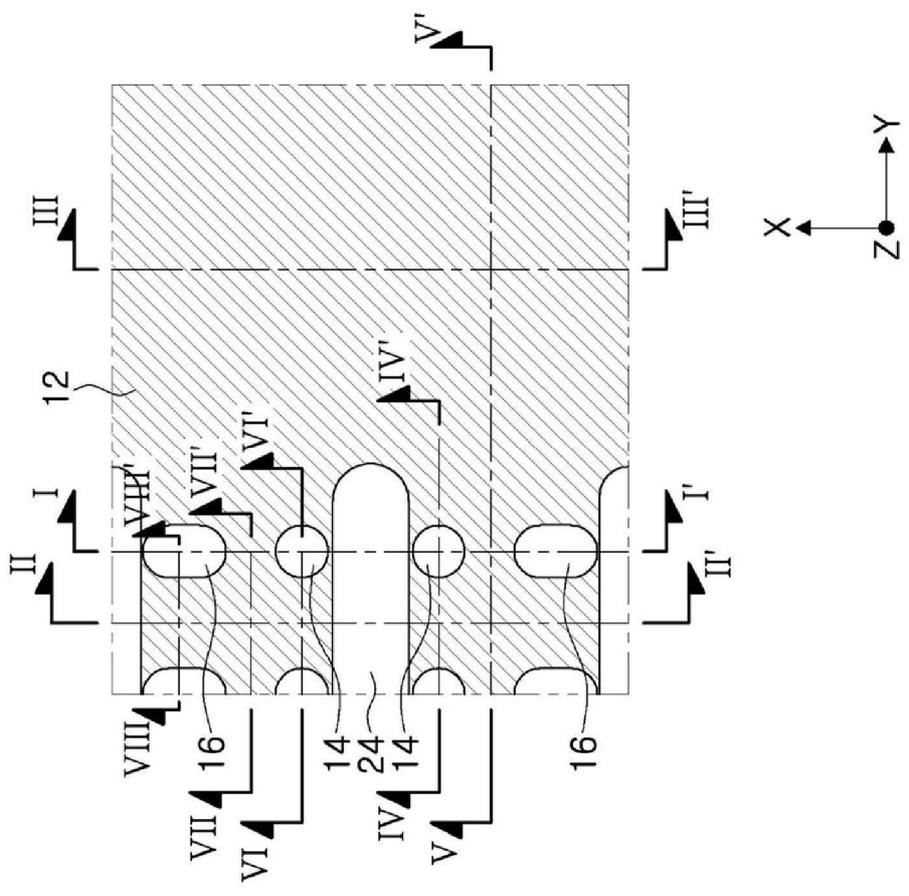
【圖12B】



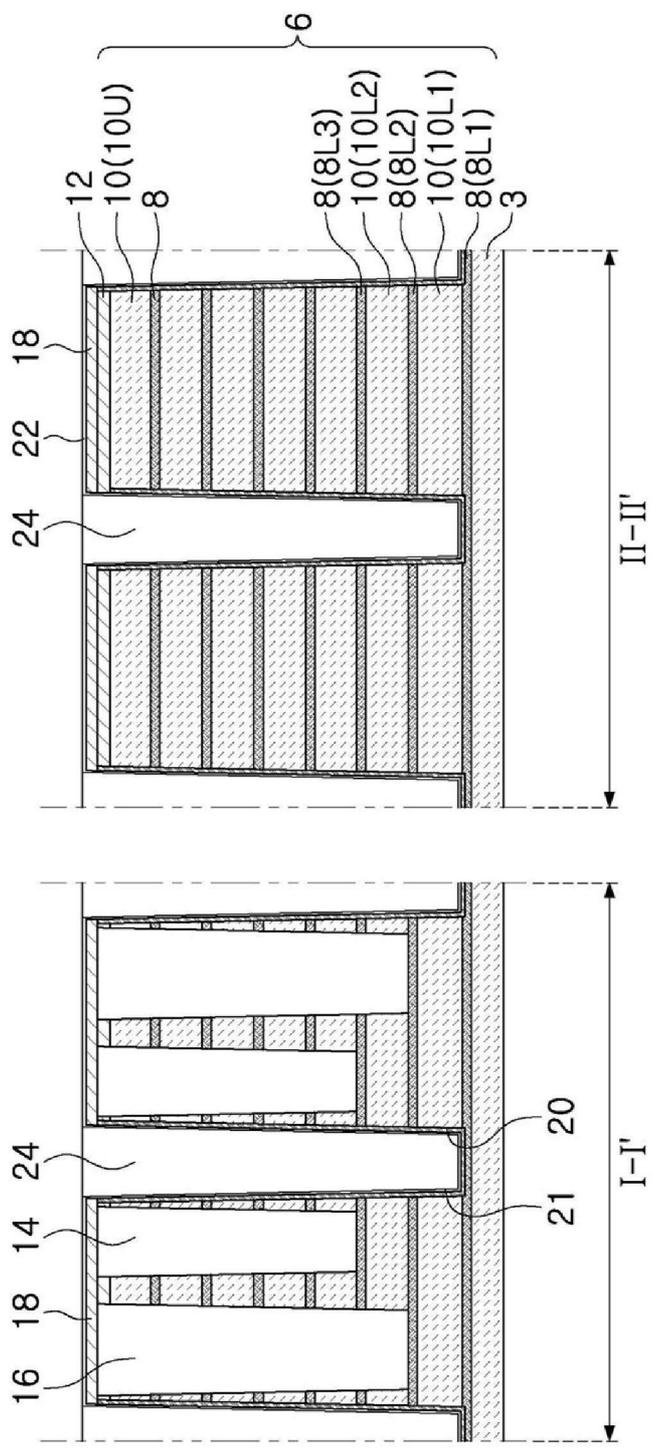
【圖12C】



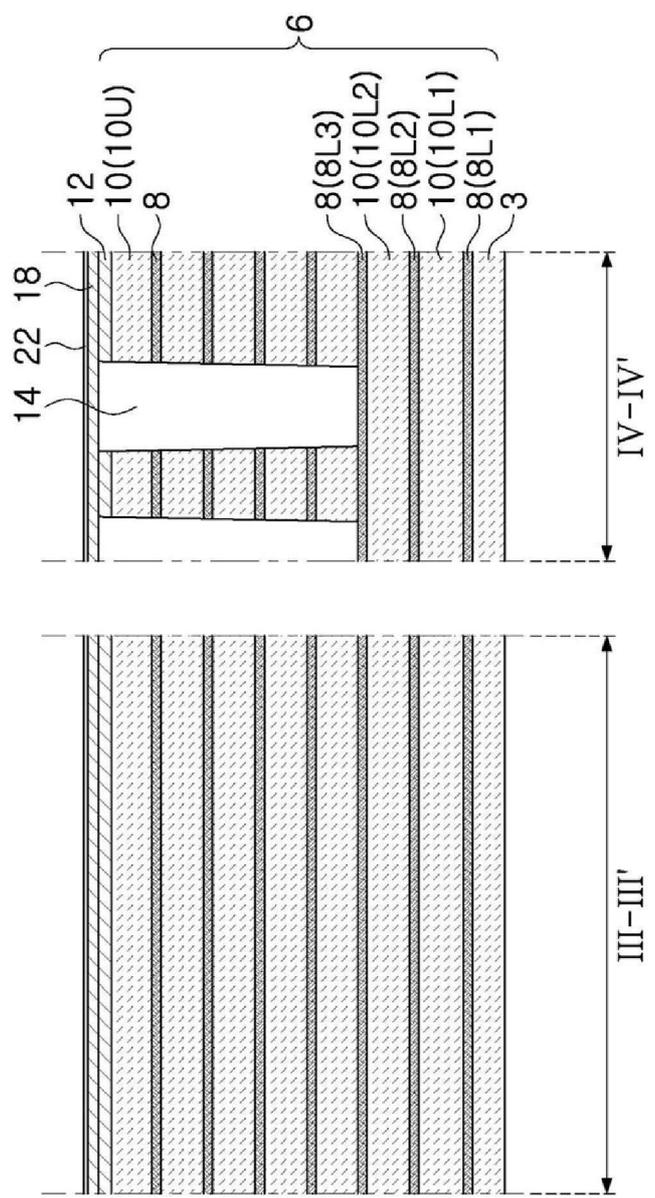
【圖12D】



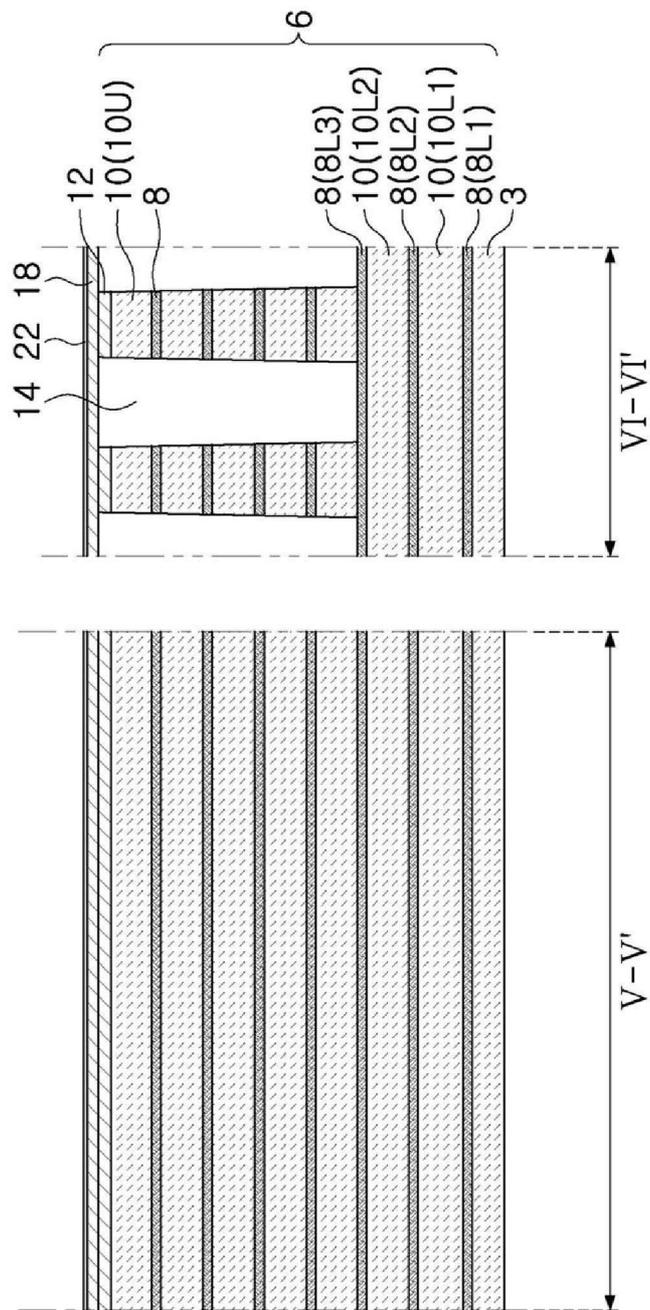
【圖13】



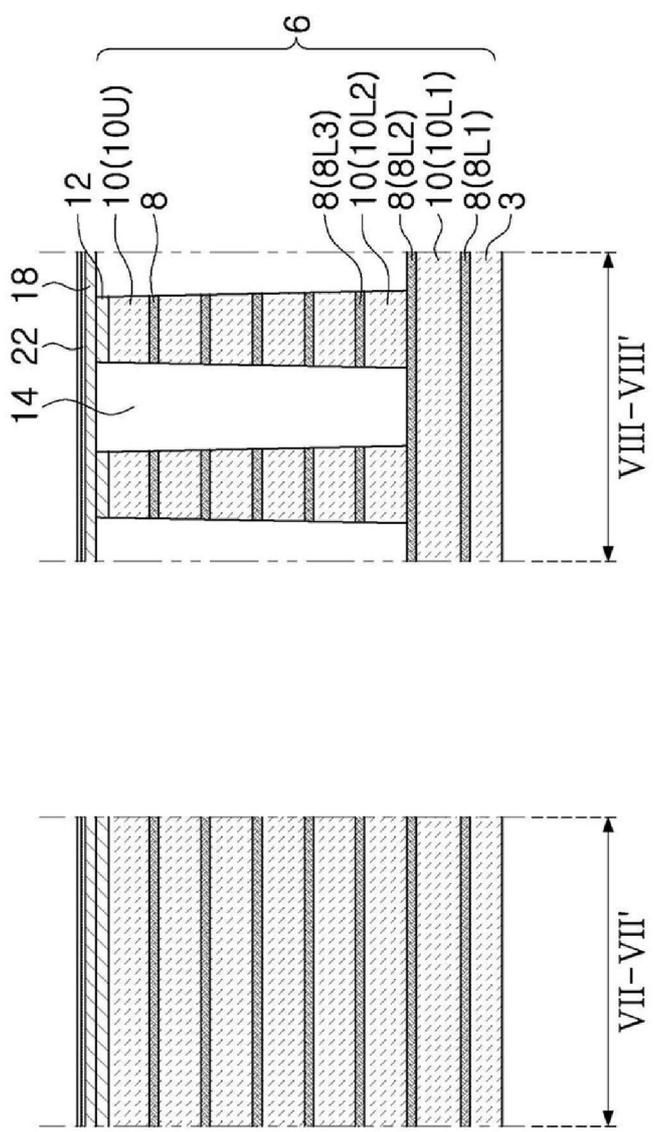
【圖14A】



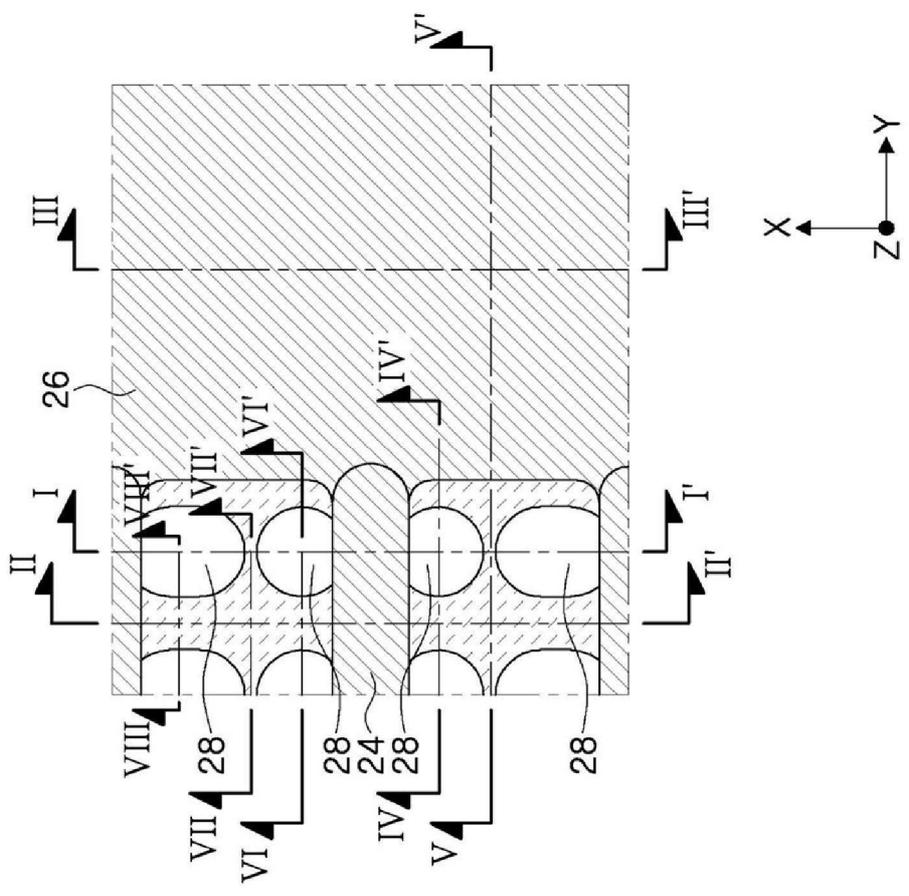
【圖14B】



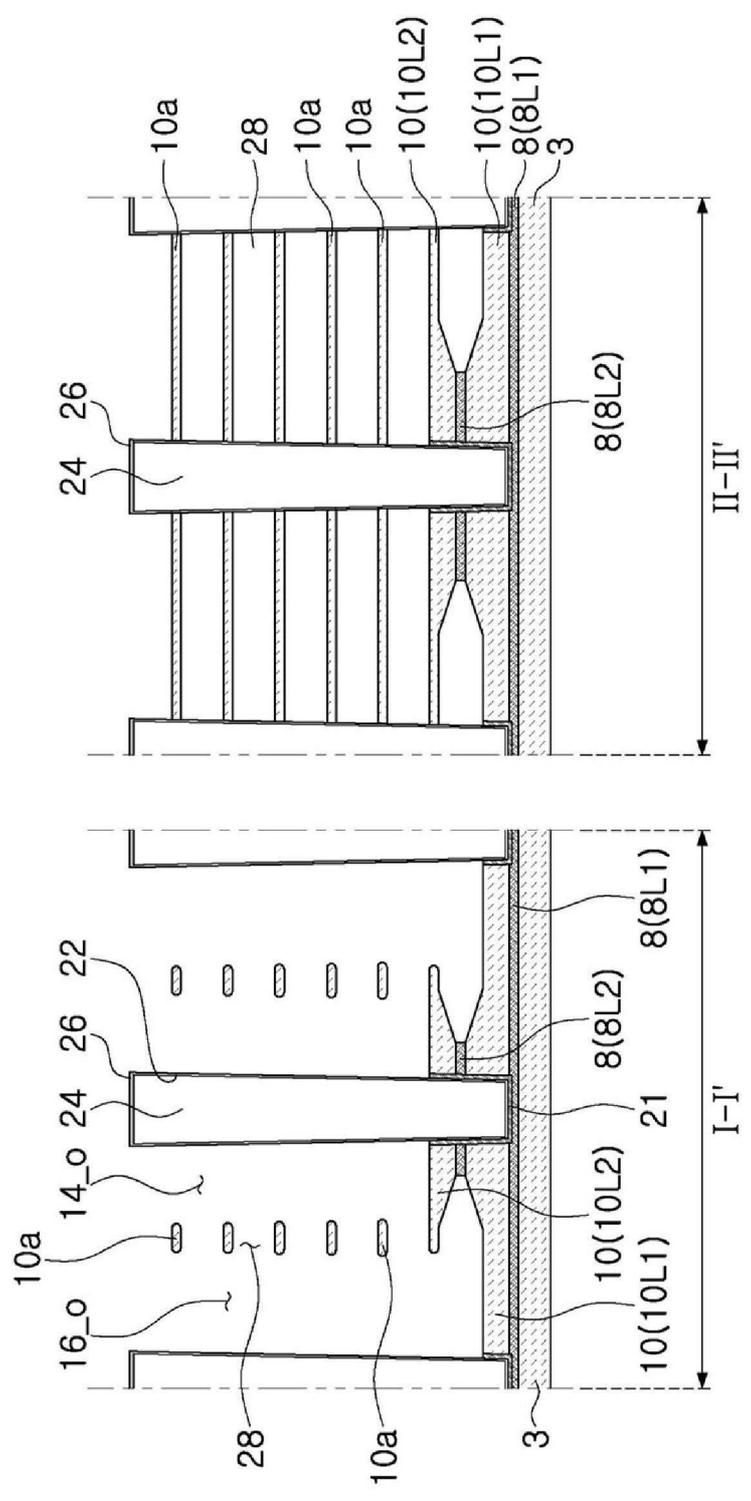
【圖14C】



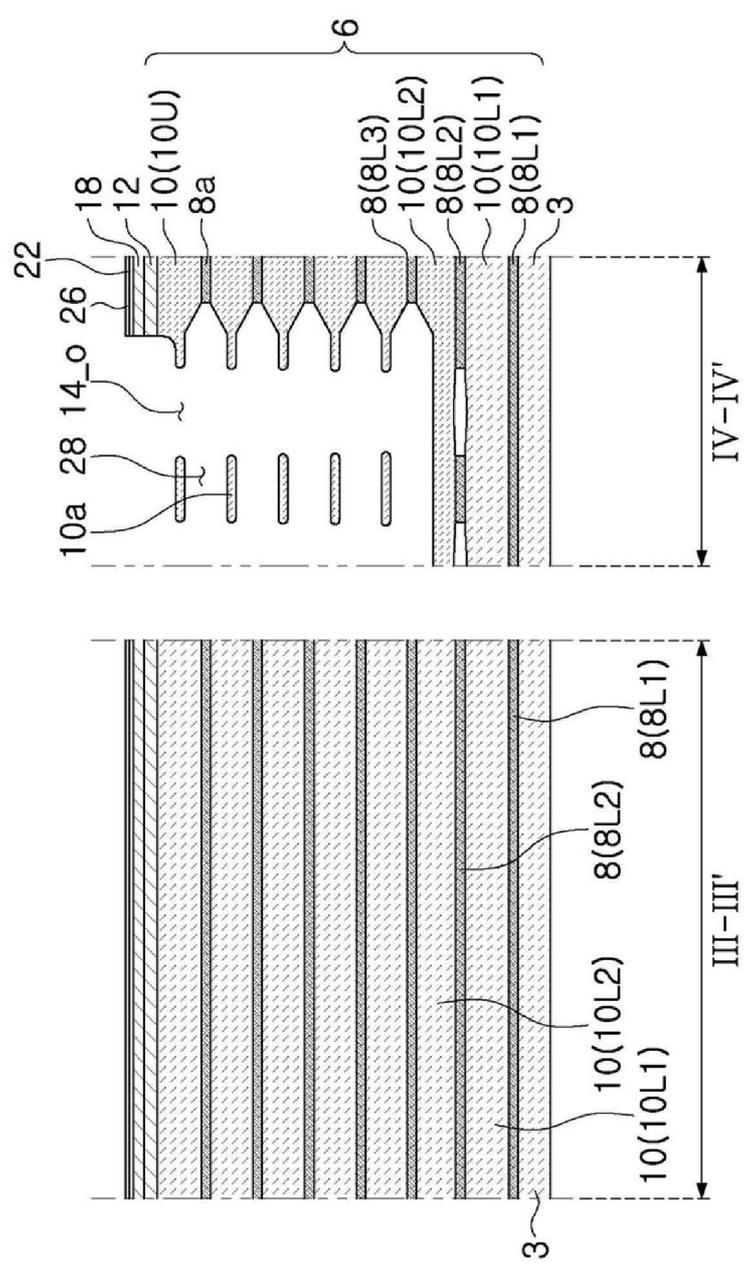
【圖14D】



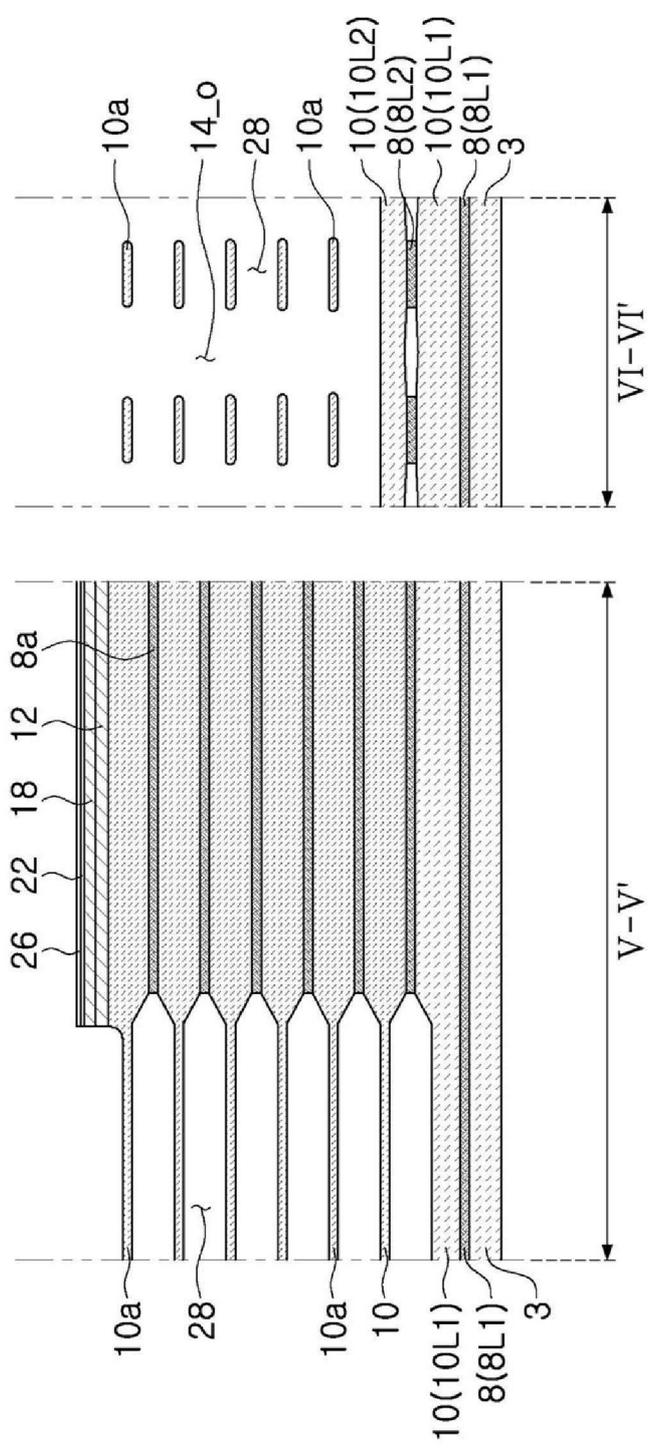
【圖15】



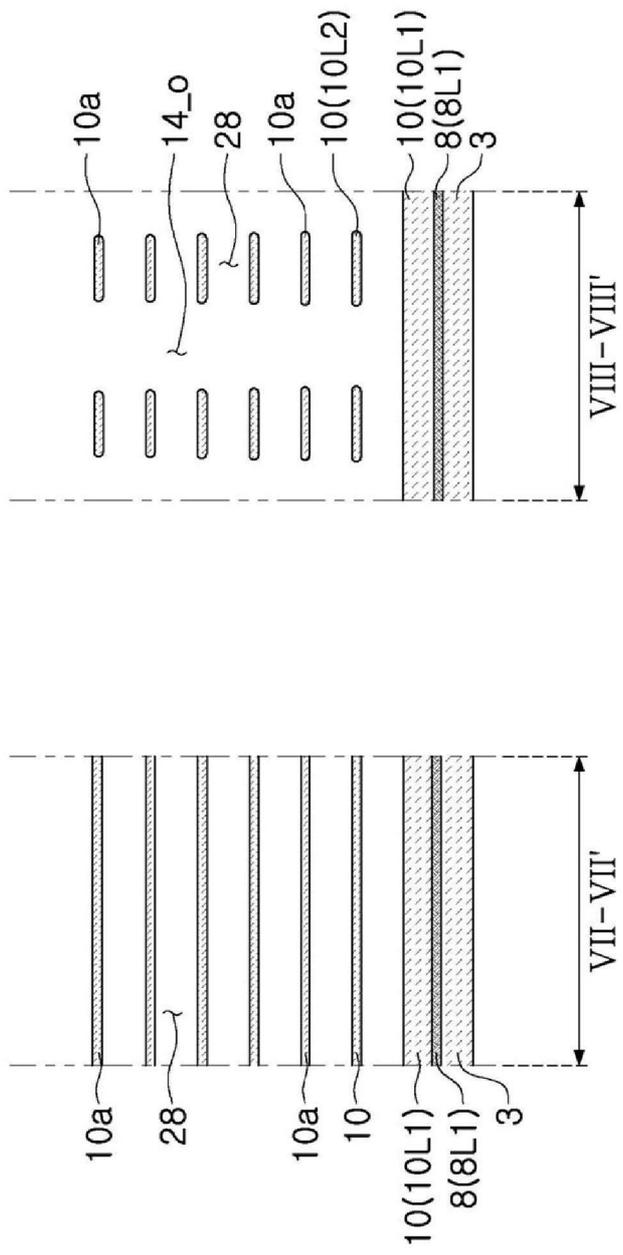
【圖16A】



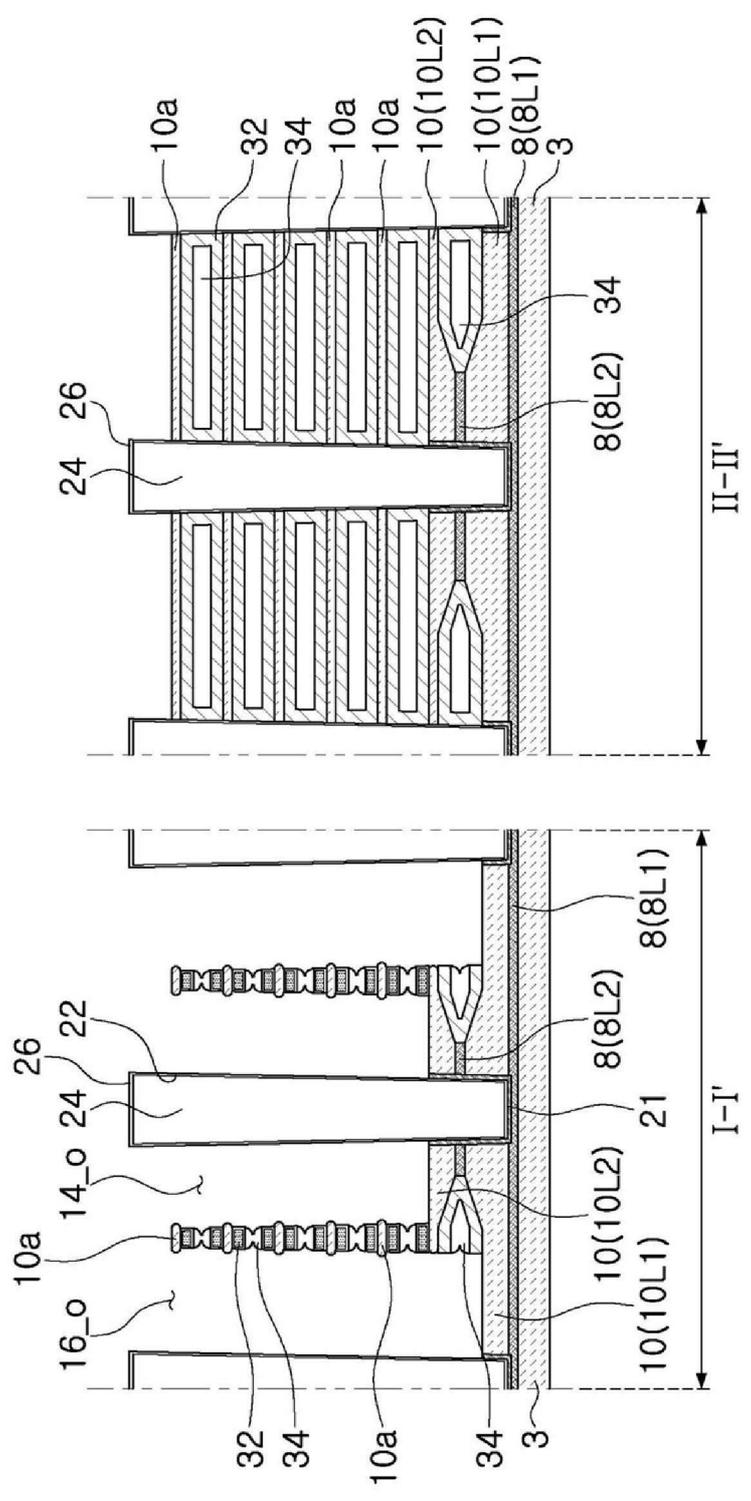
【圖16B】



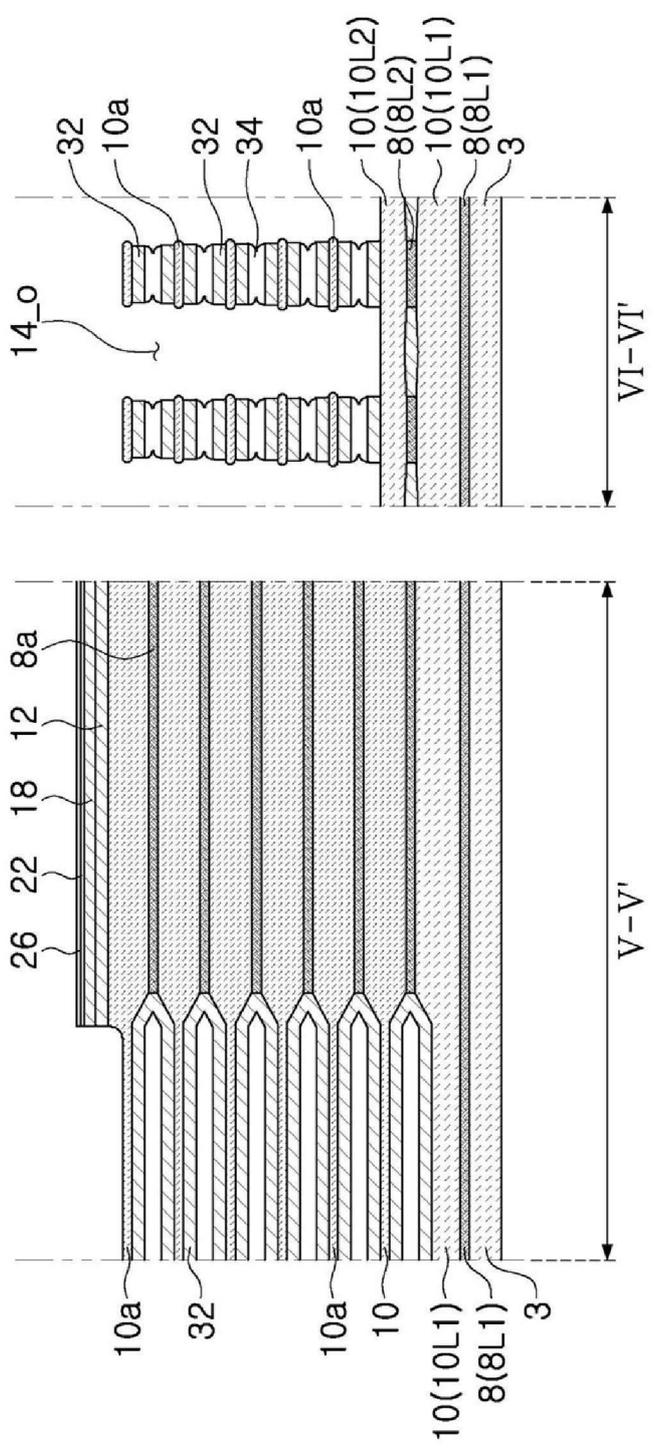
【圖16C】



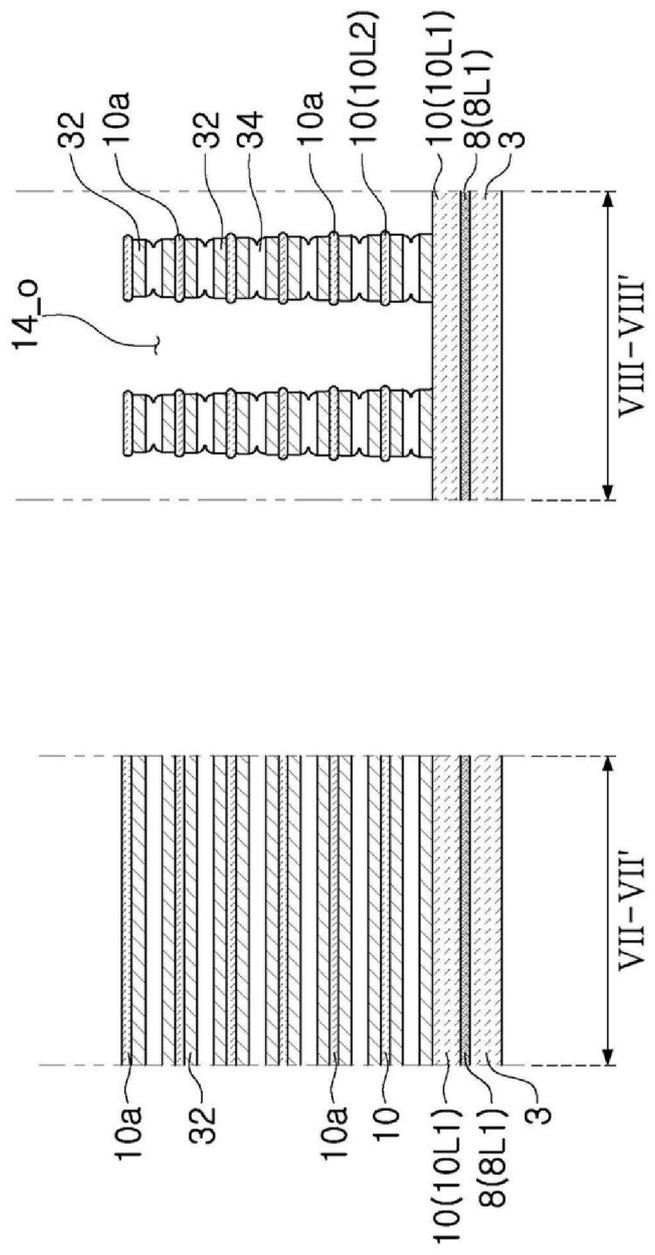
【圖16D】



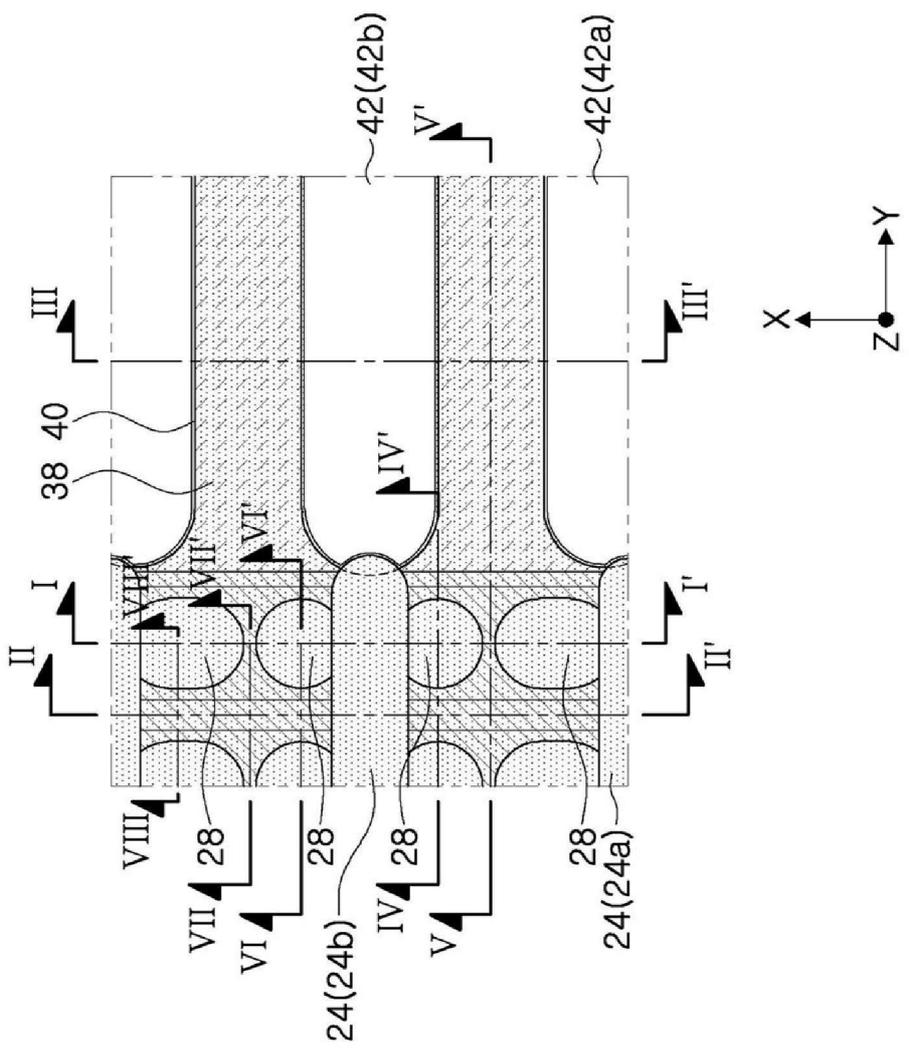
【圖17A】



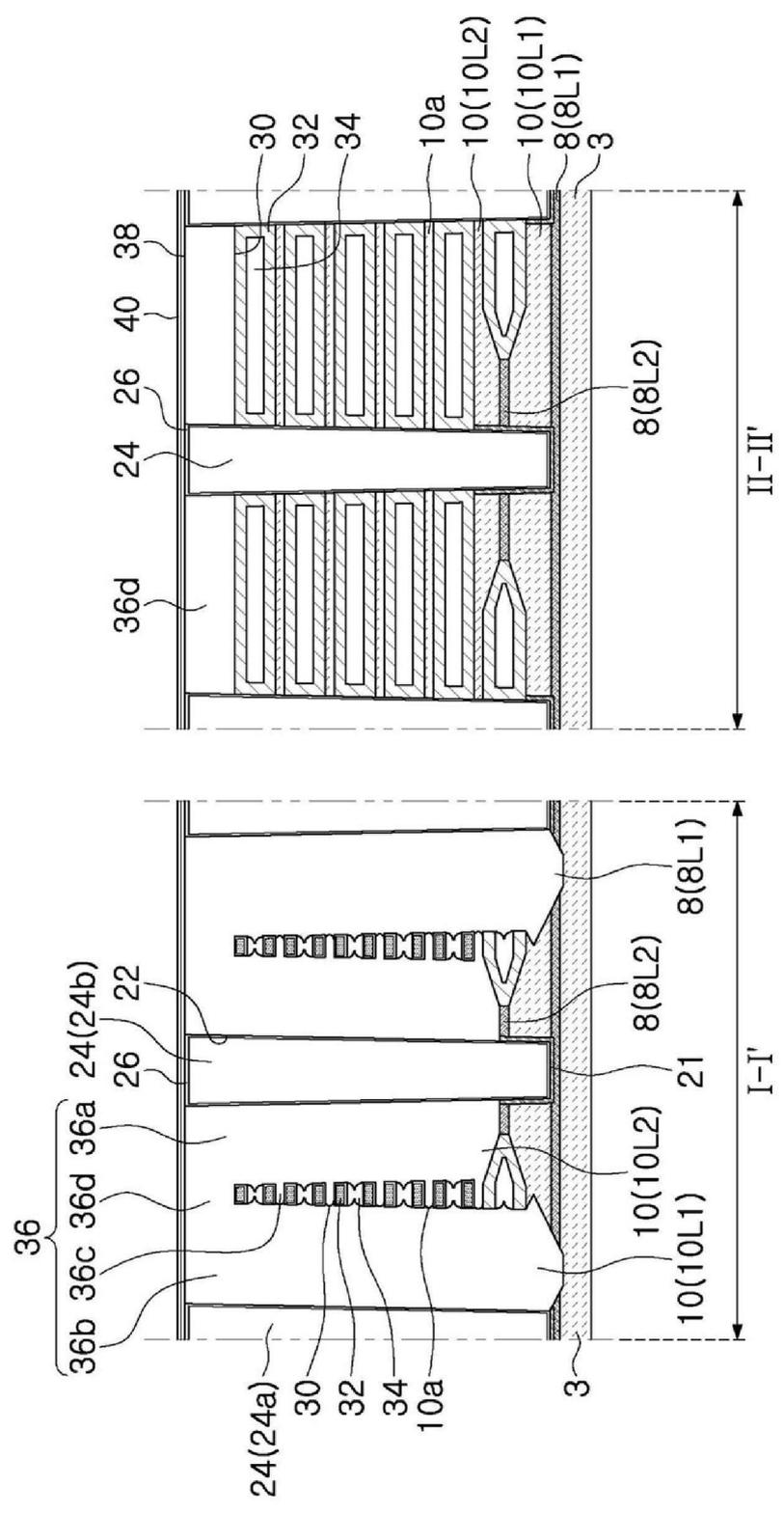
【圖17C】



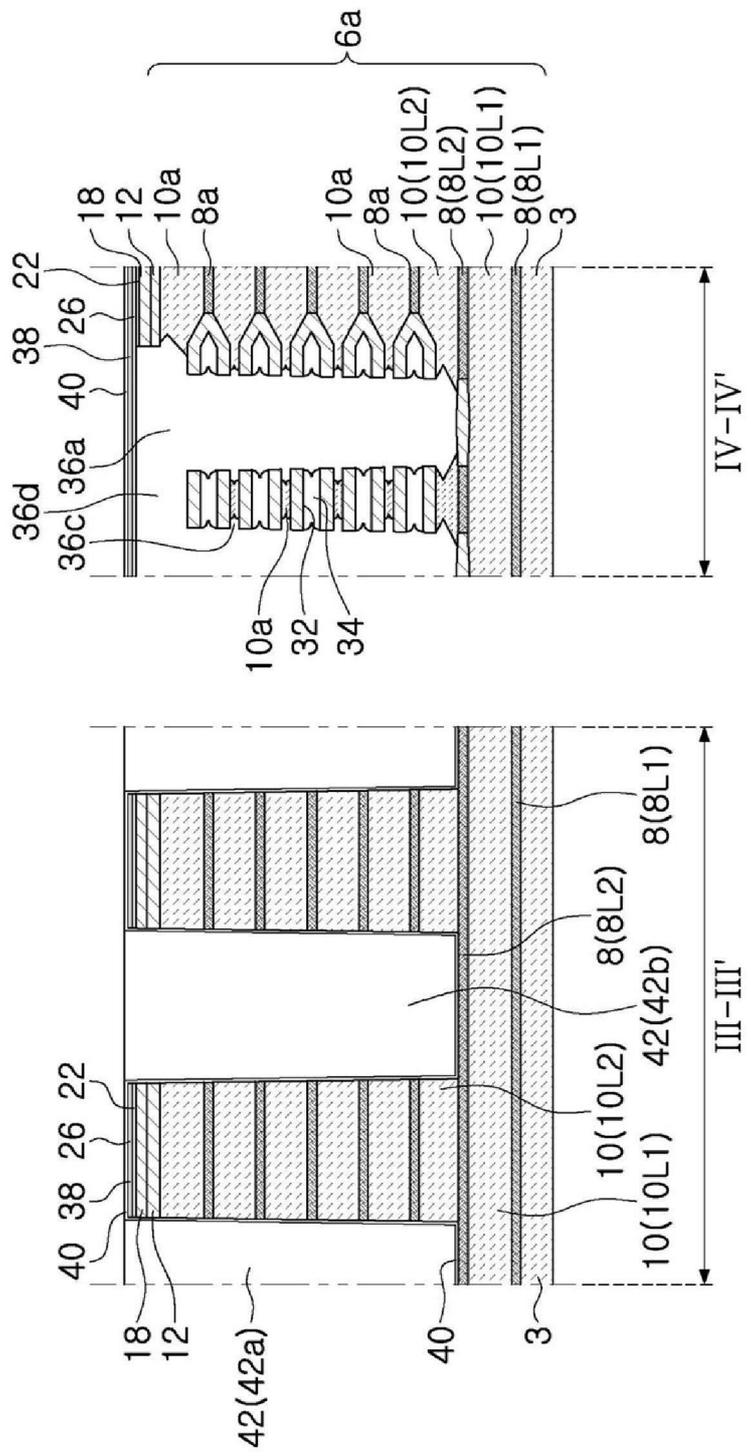
【圖17D】



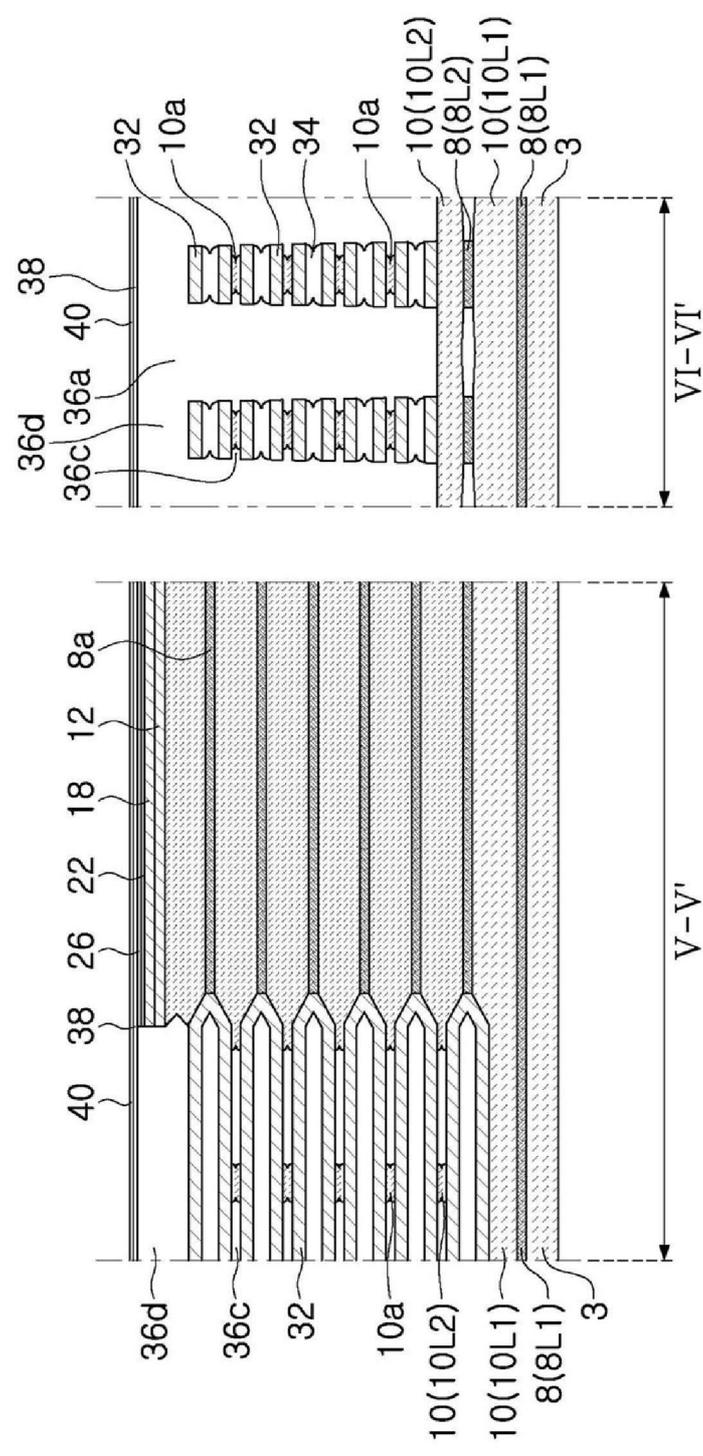
【圖18】



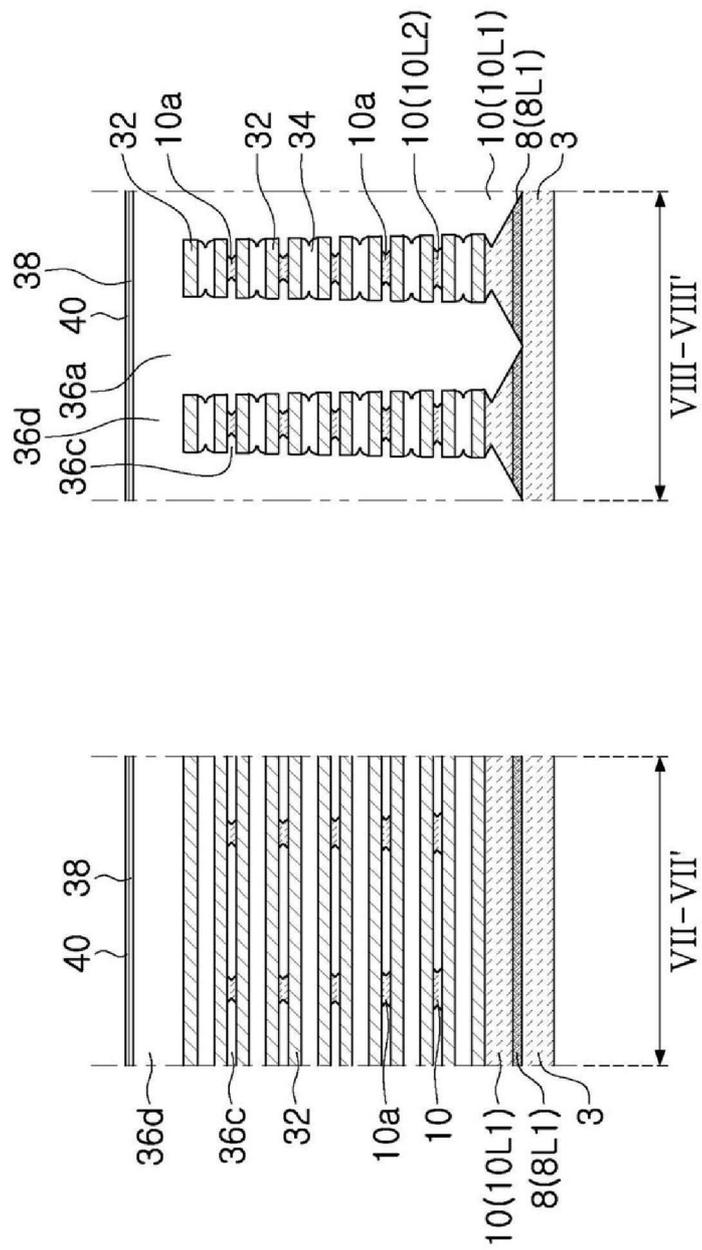
【圖19A】



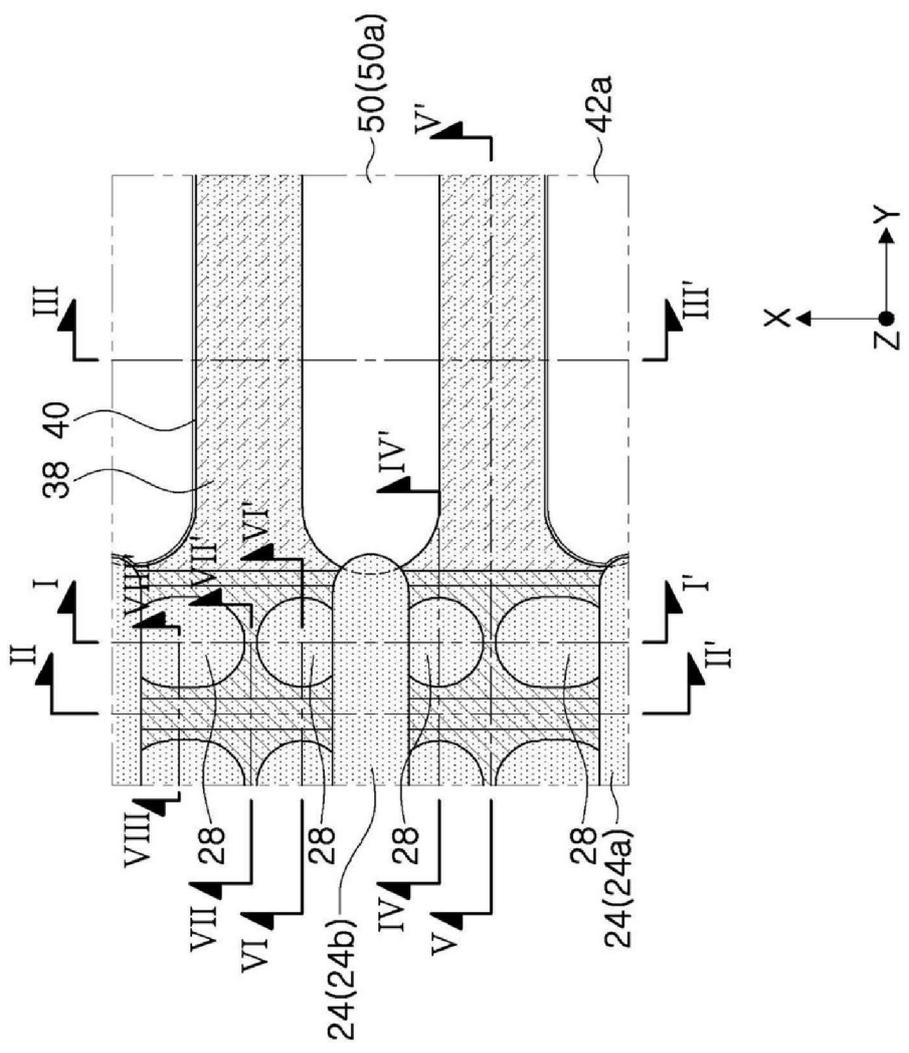
【圖19B】



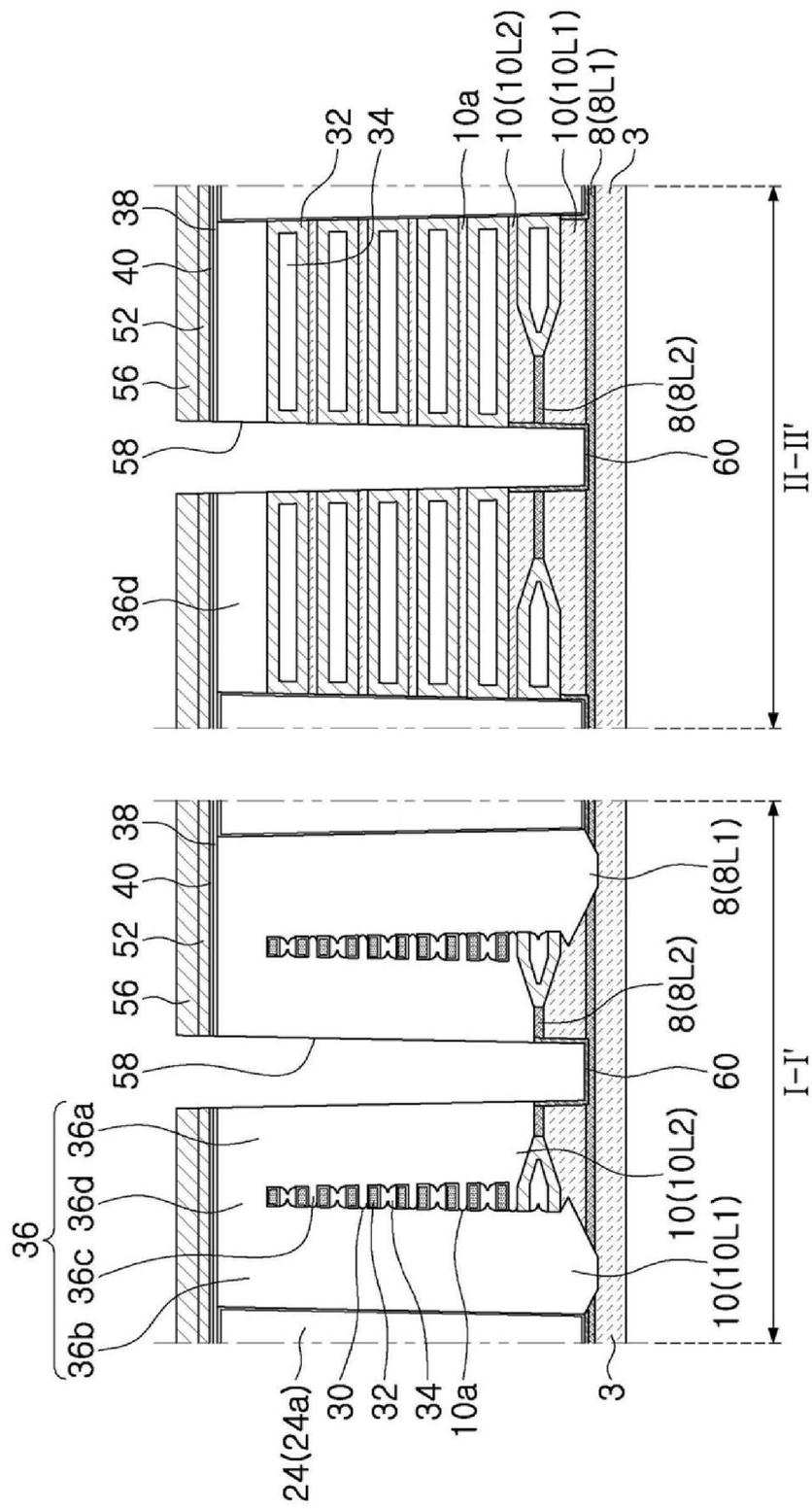
【圖19C】



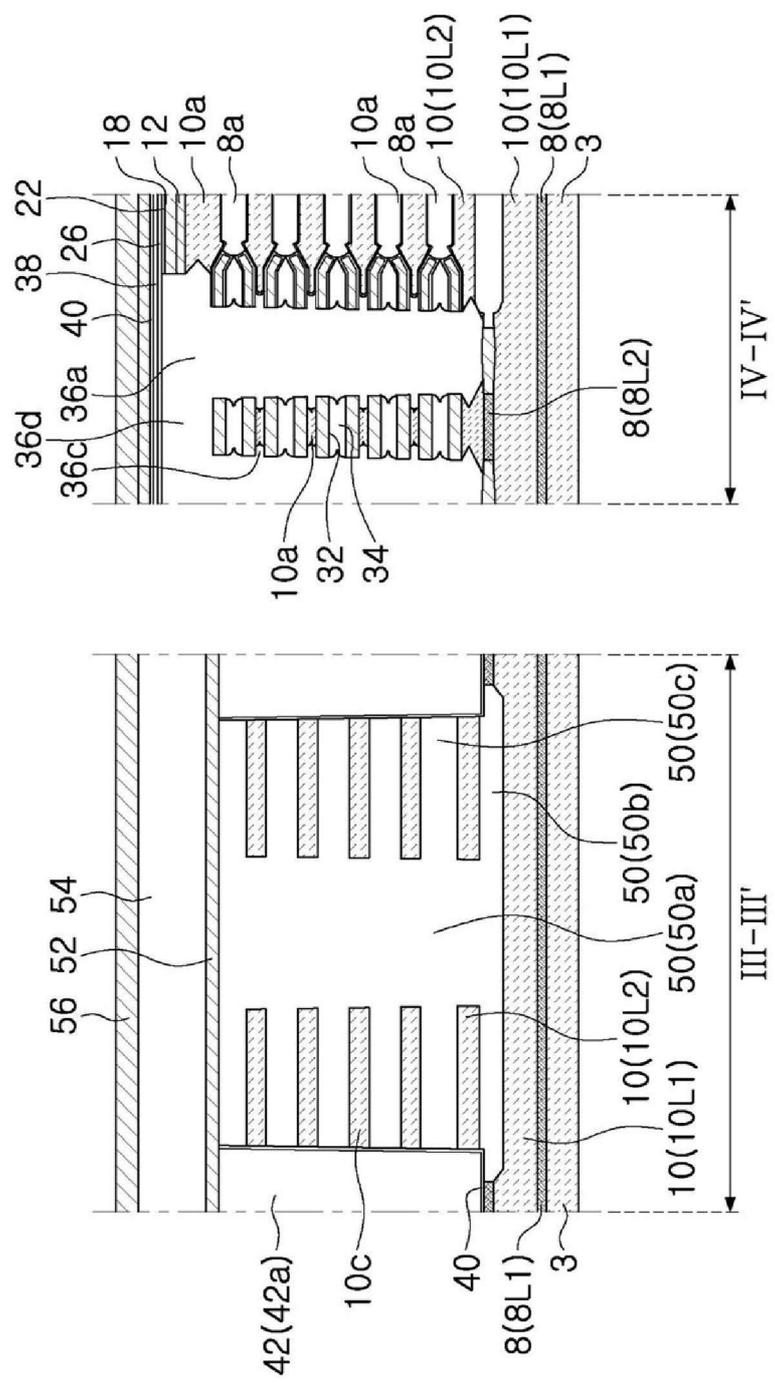
【圖19D】



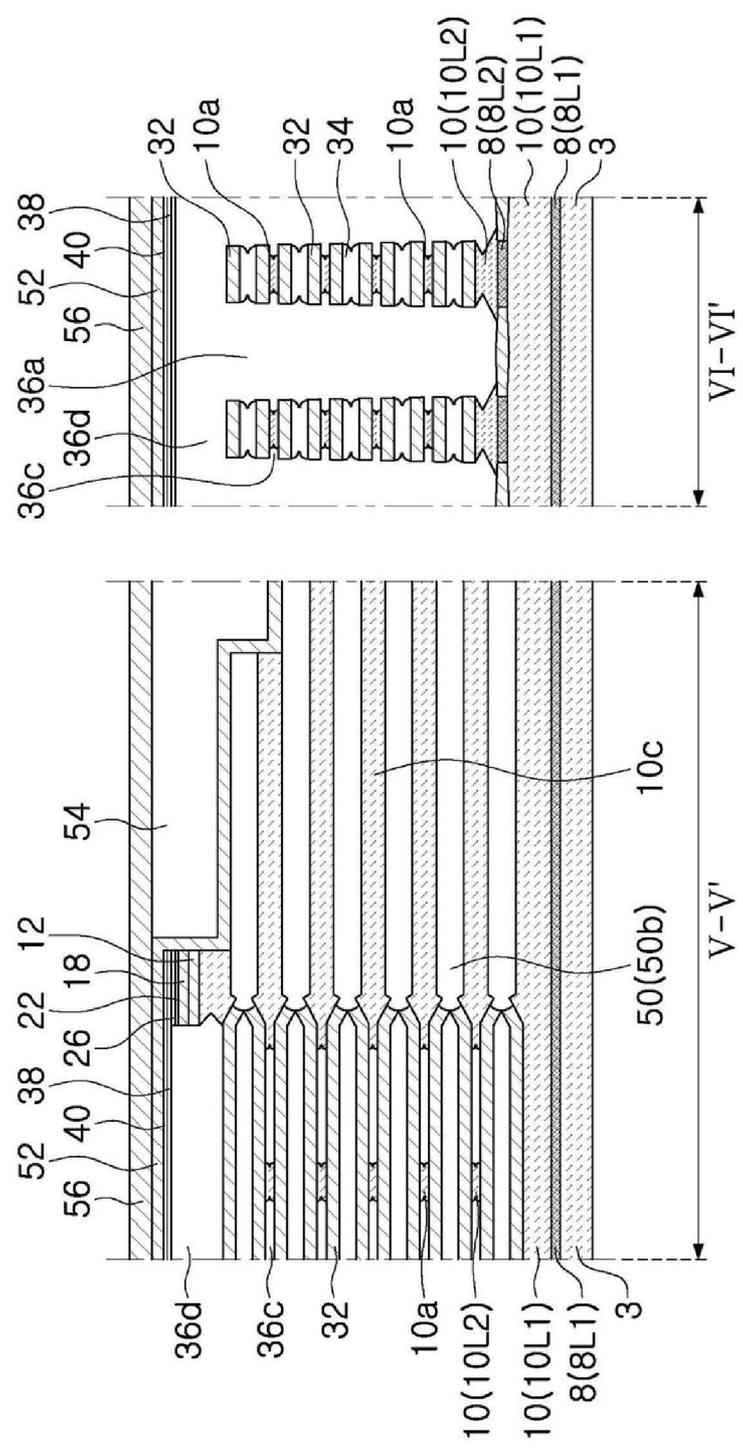
【圖20】



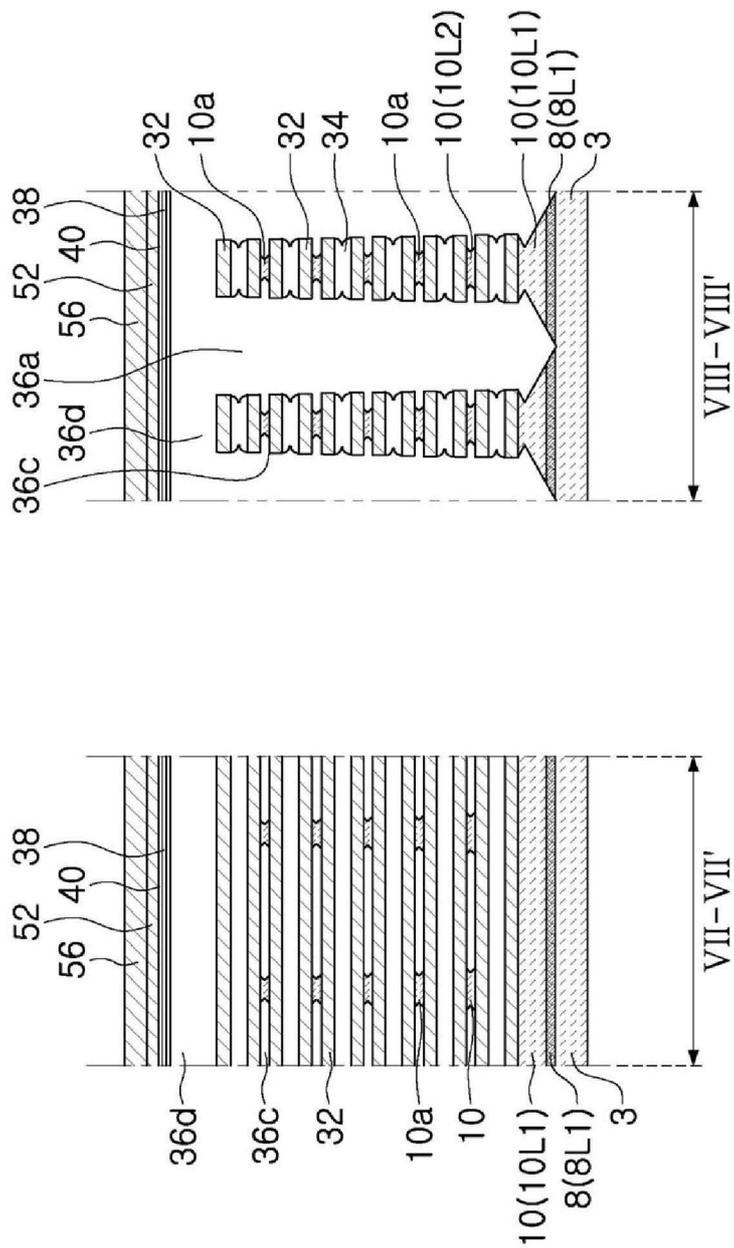
【圖21A】



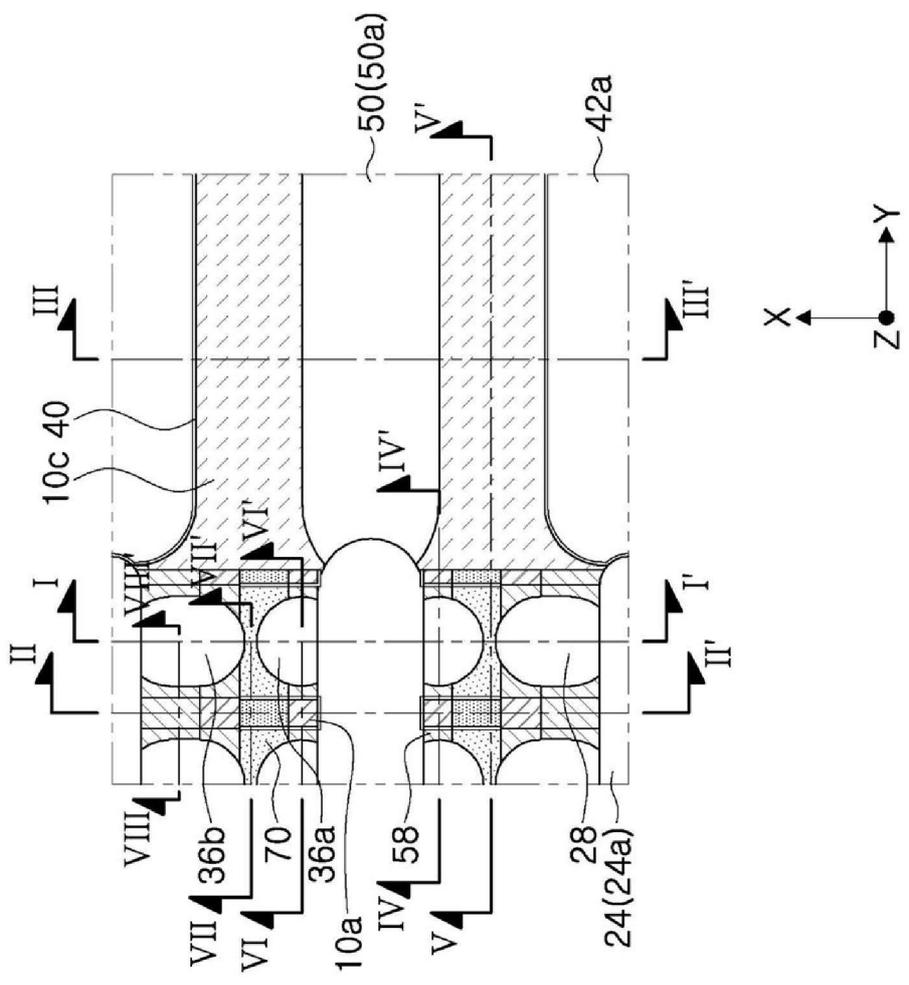
【圖21B】



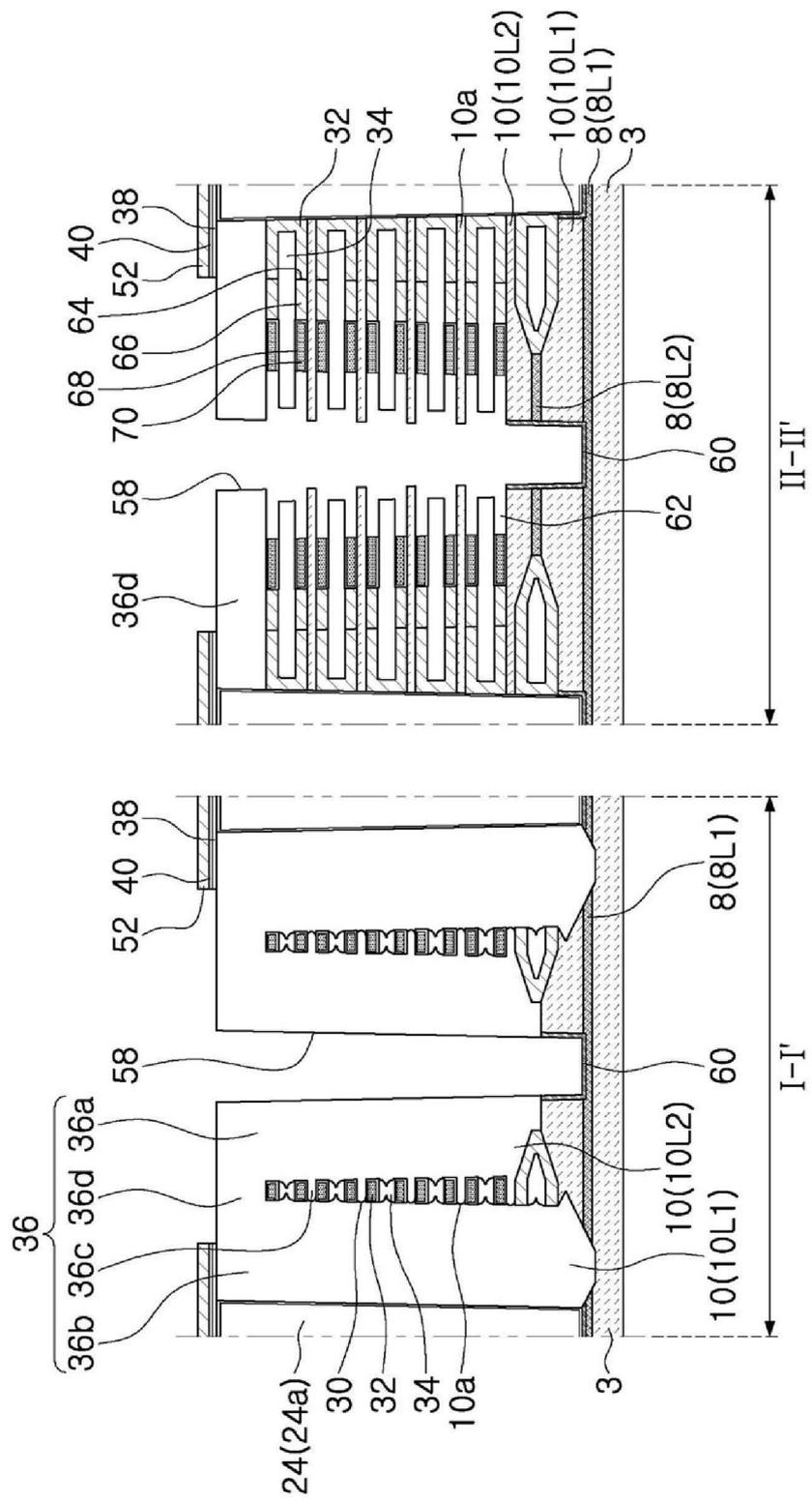
【圖21C】



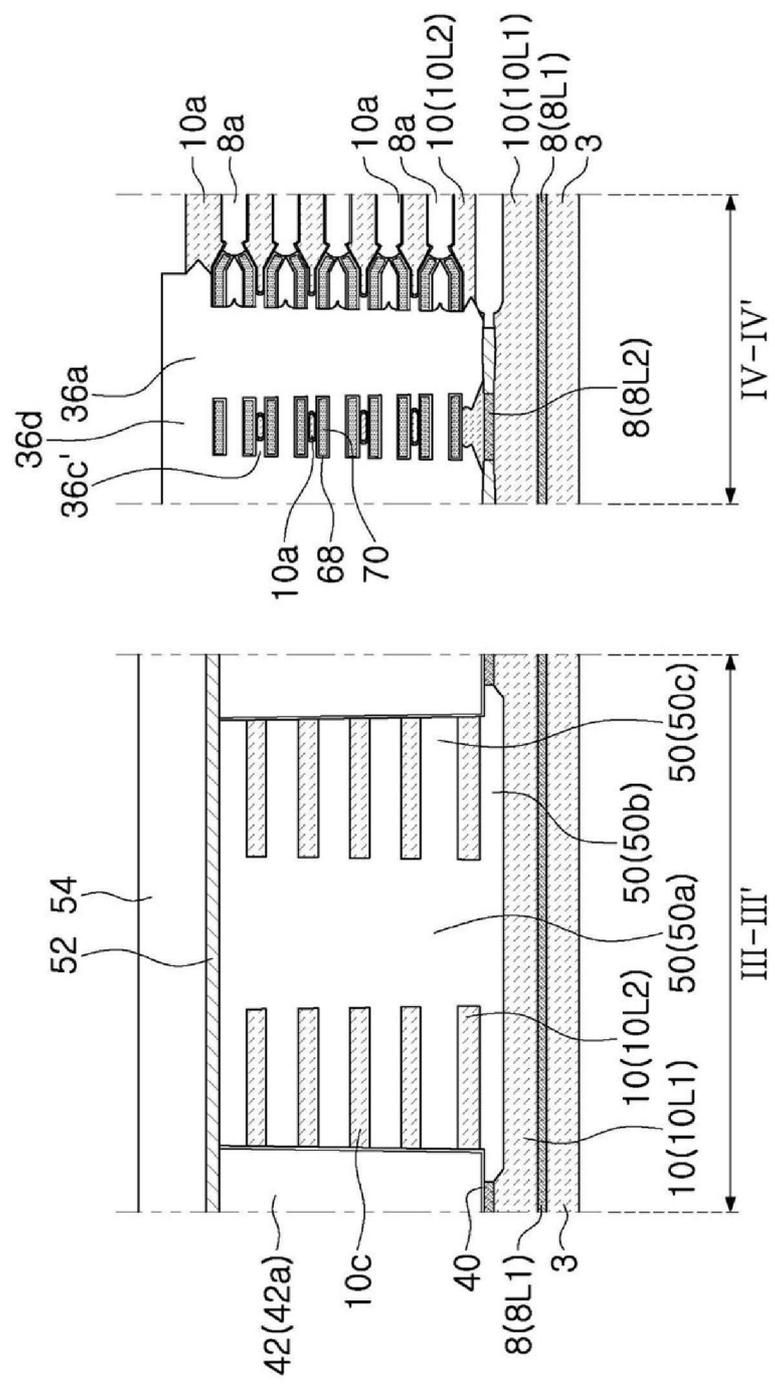
【圖21D】



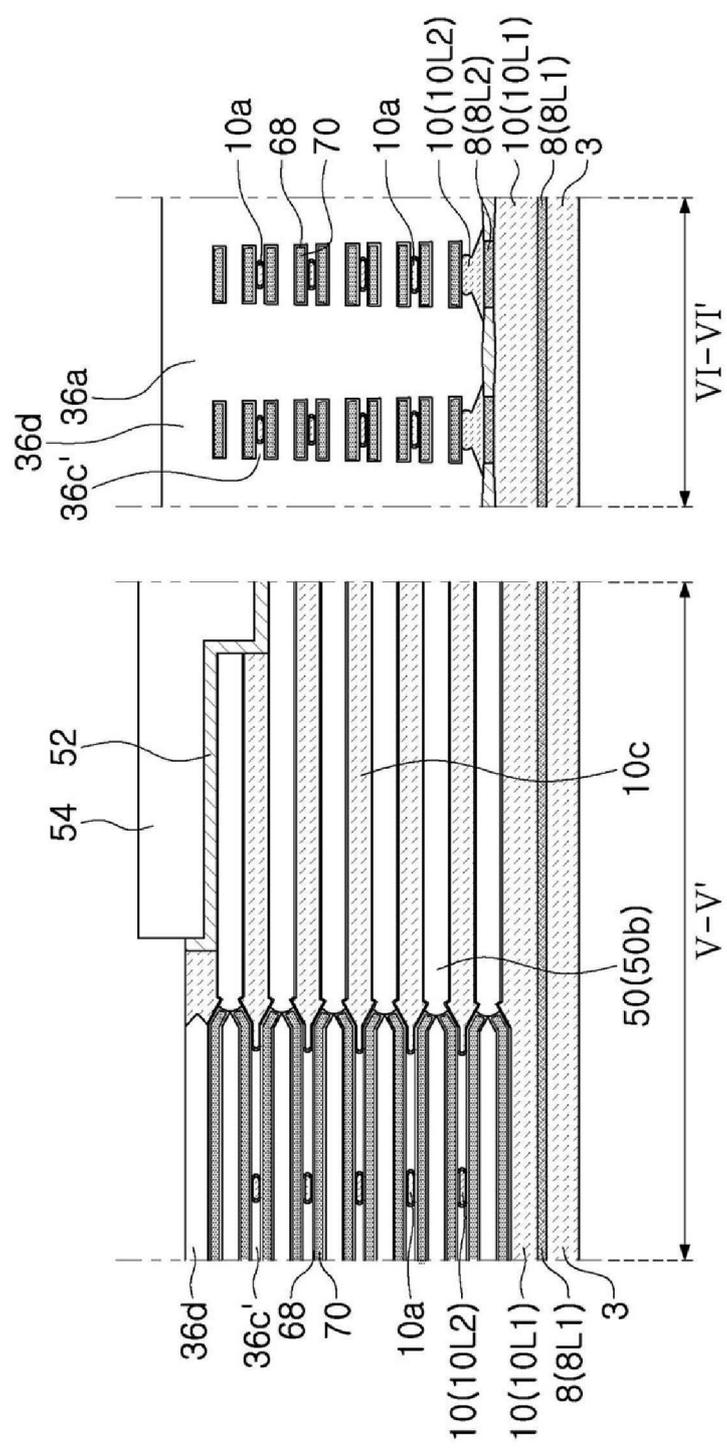
【圖22】



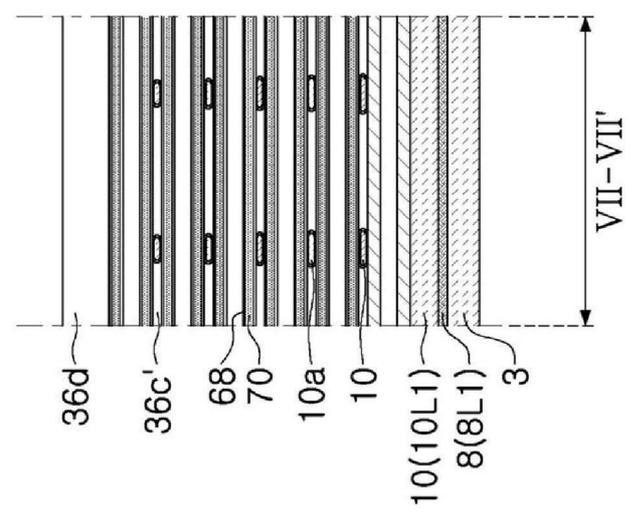
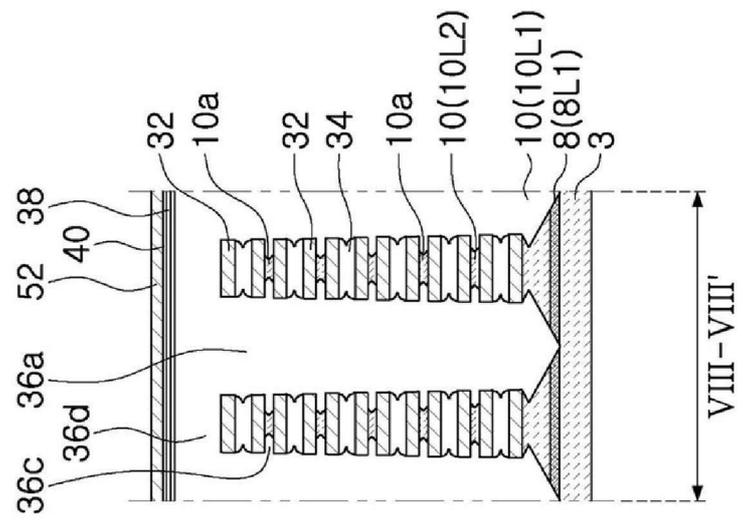
【圖23A】



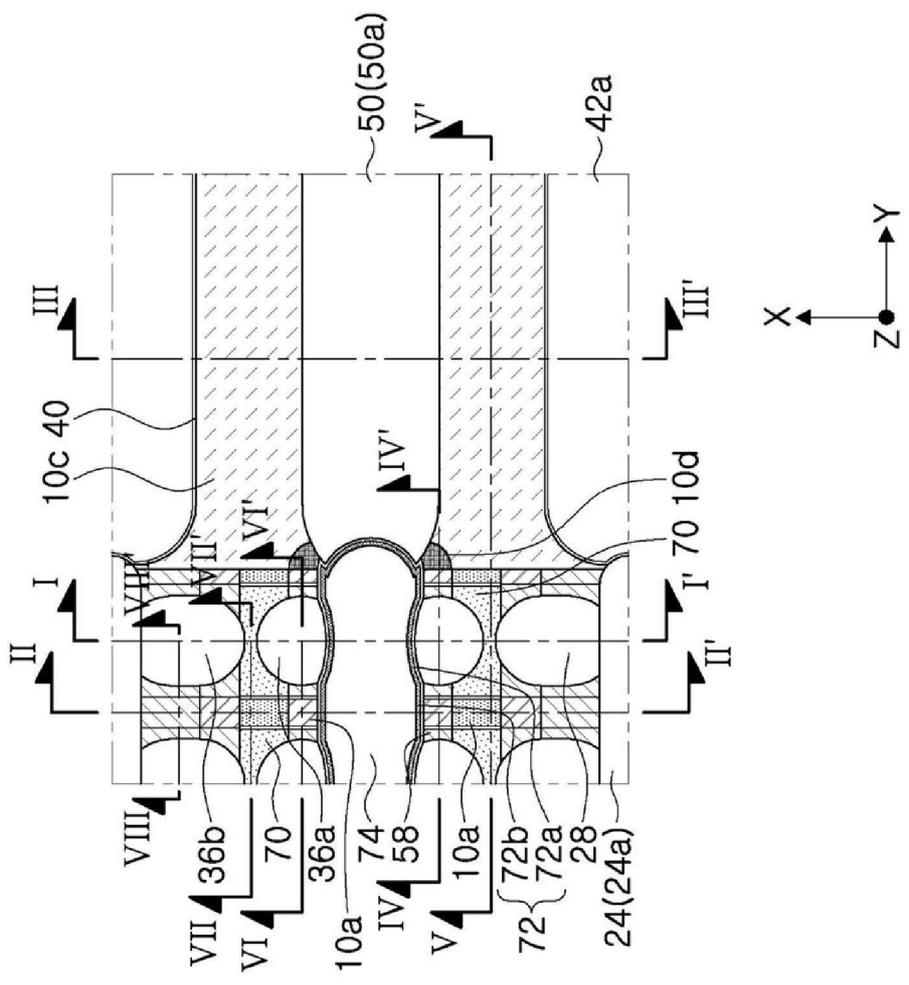
【圖23B】



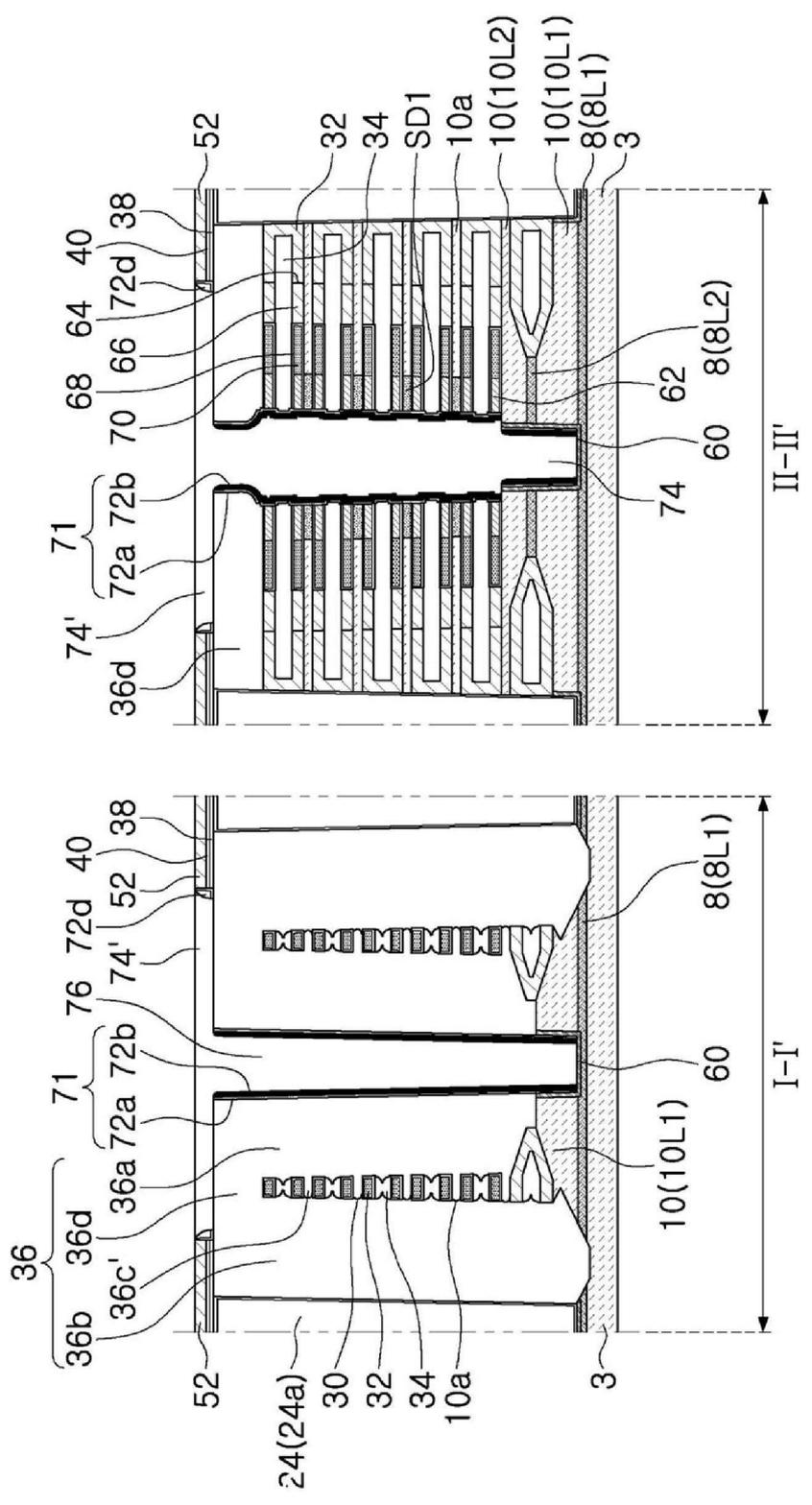
【圖23C】



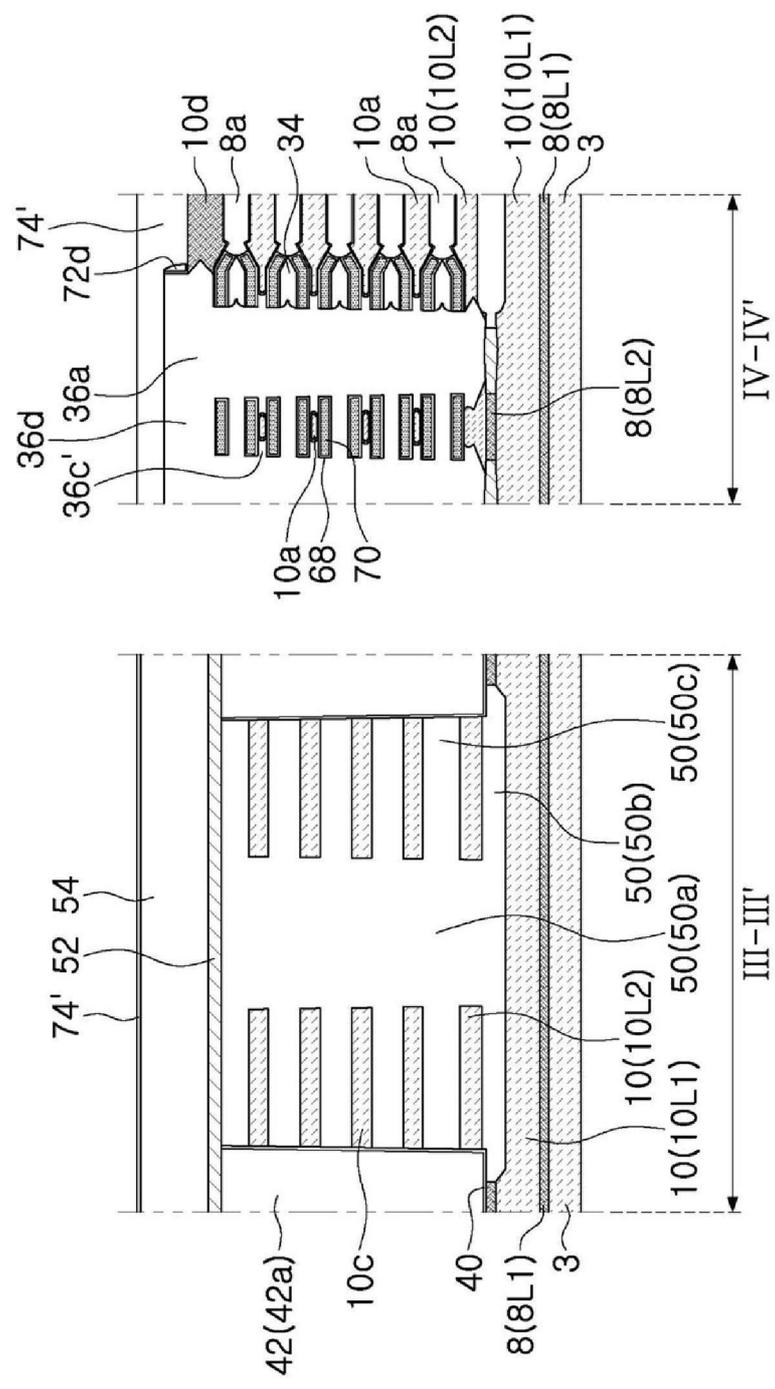
【圖23D】



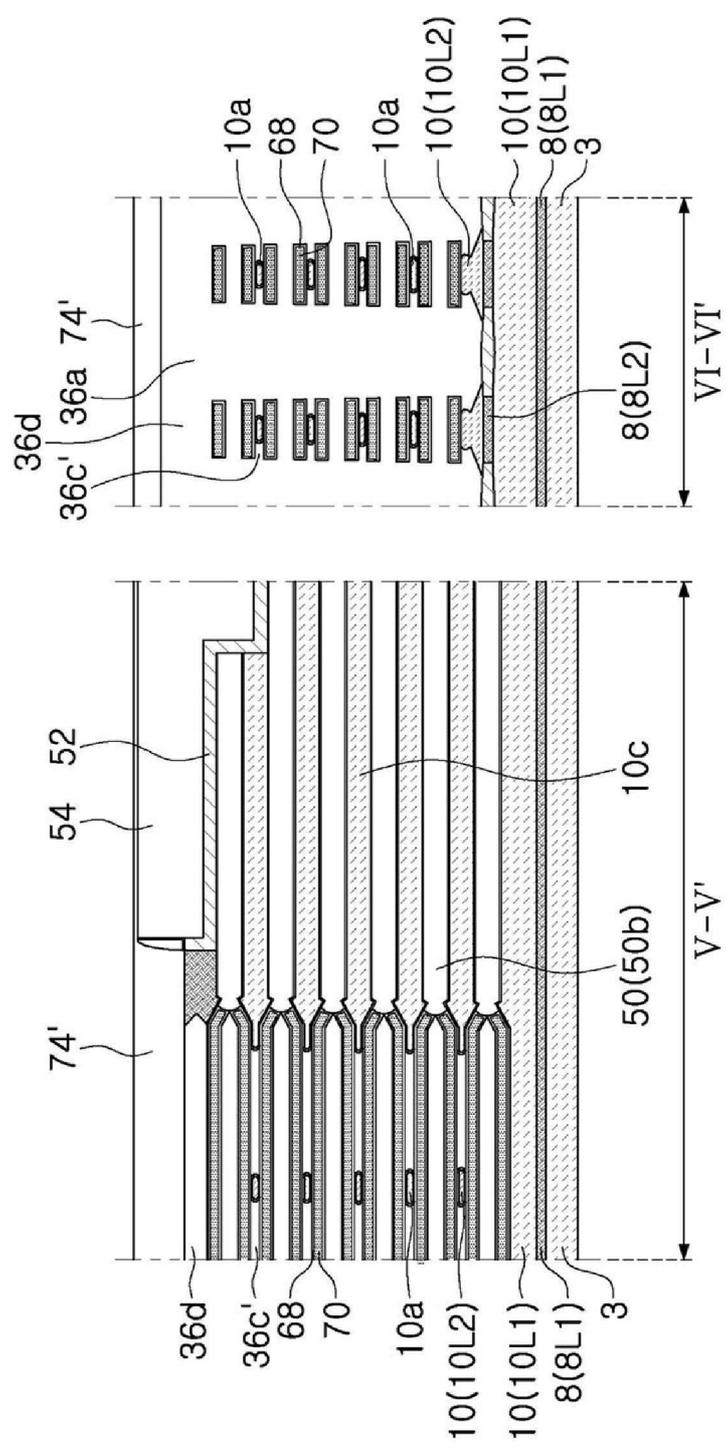
【圖24】



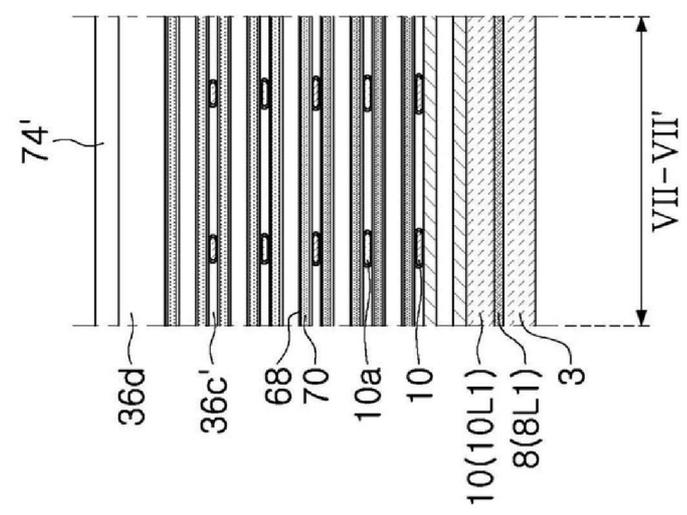
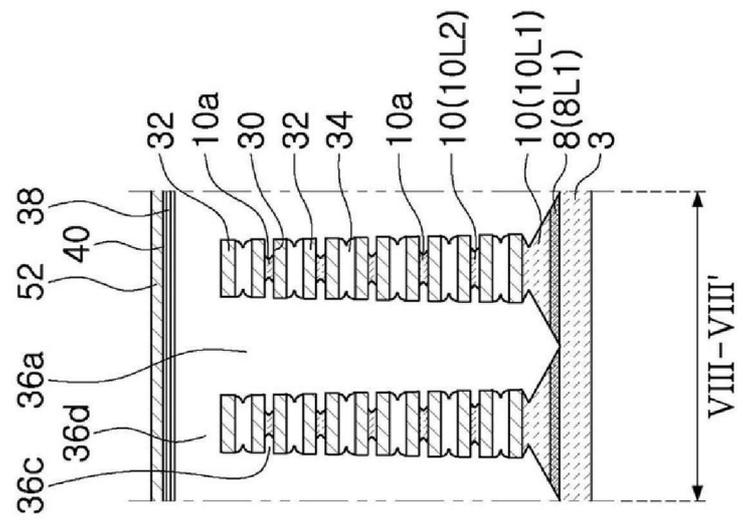
【圖25A】



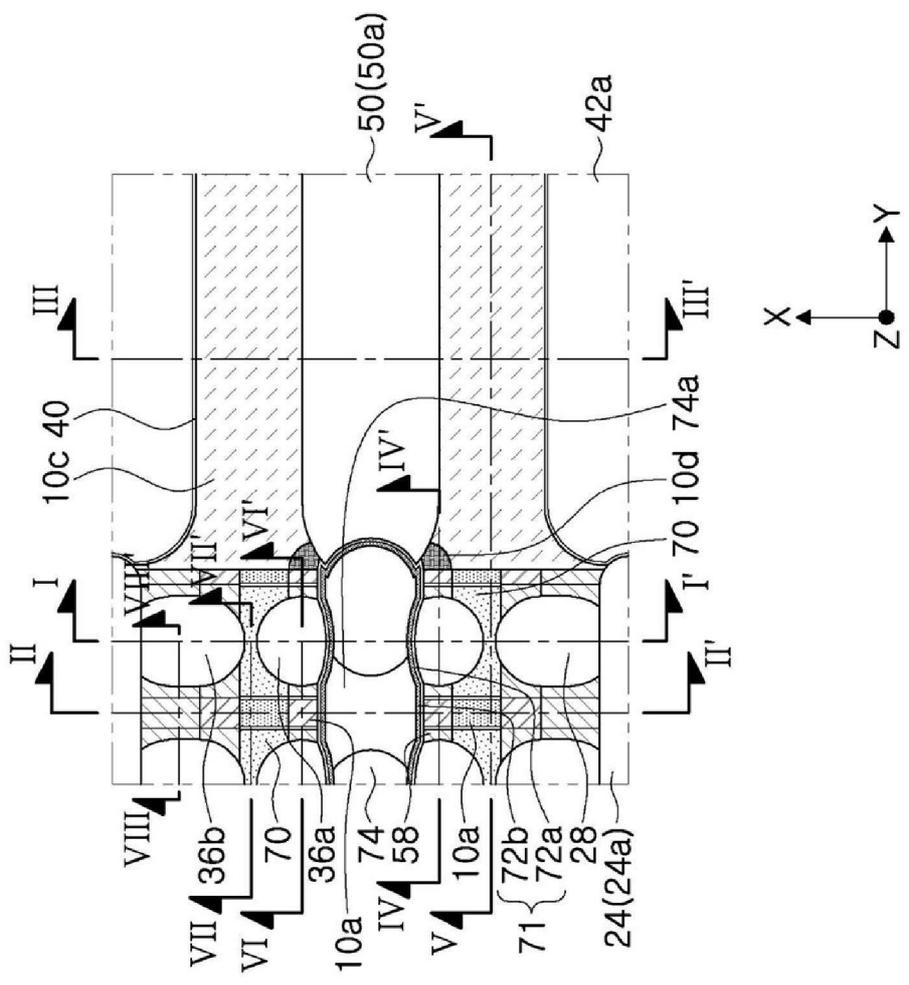
【圖25B】



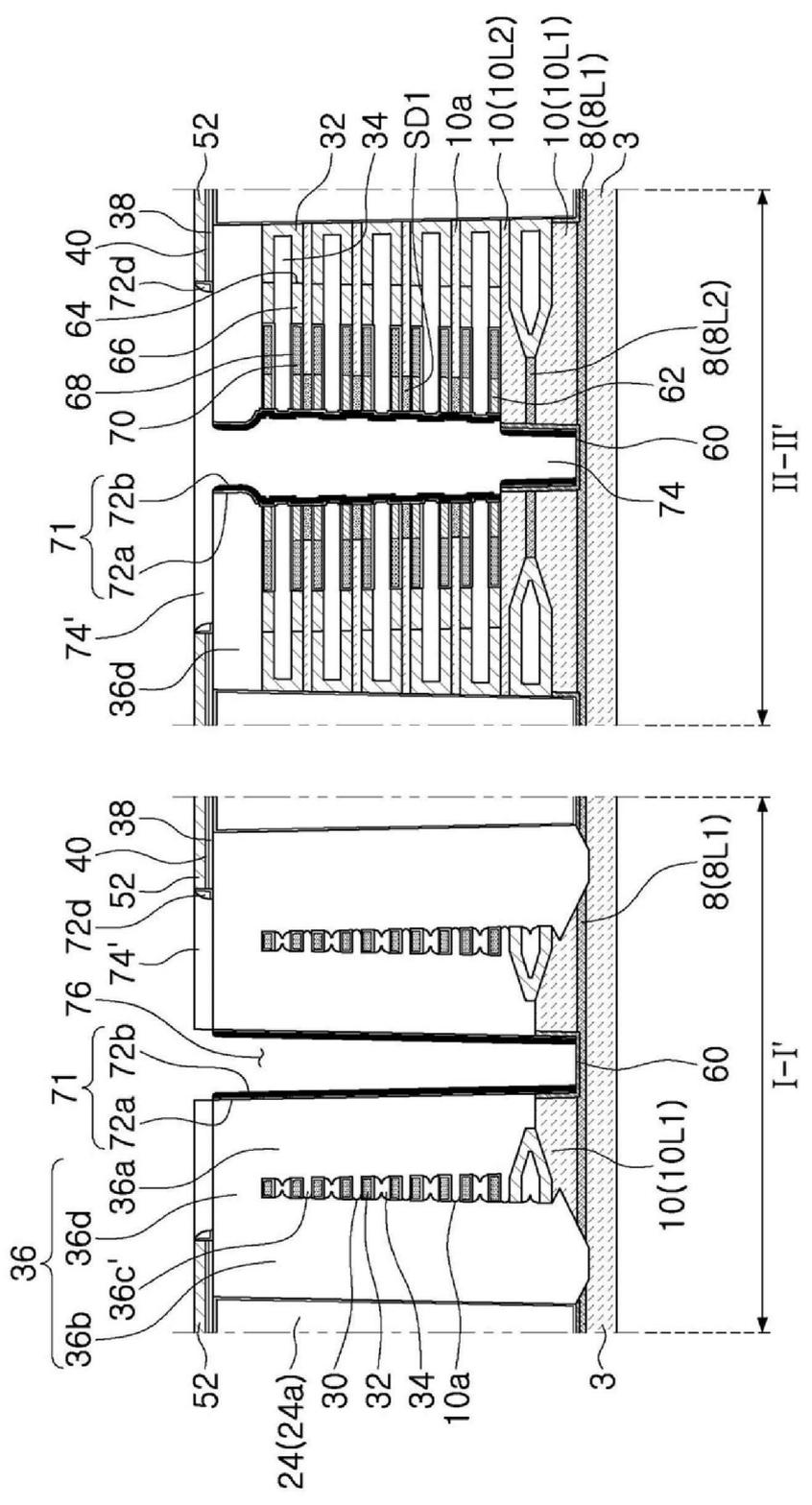
【圖25C】



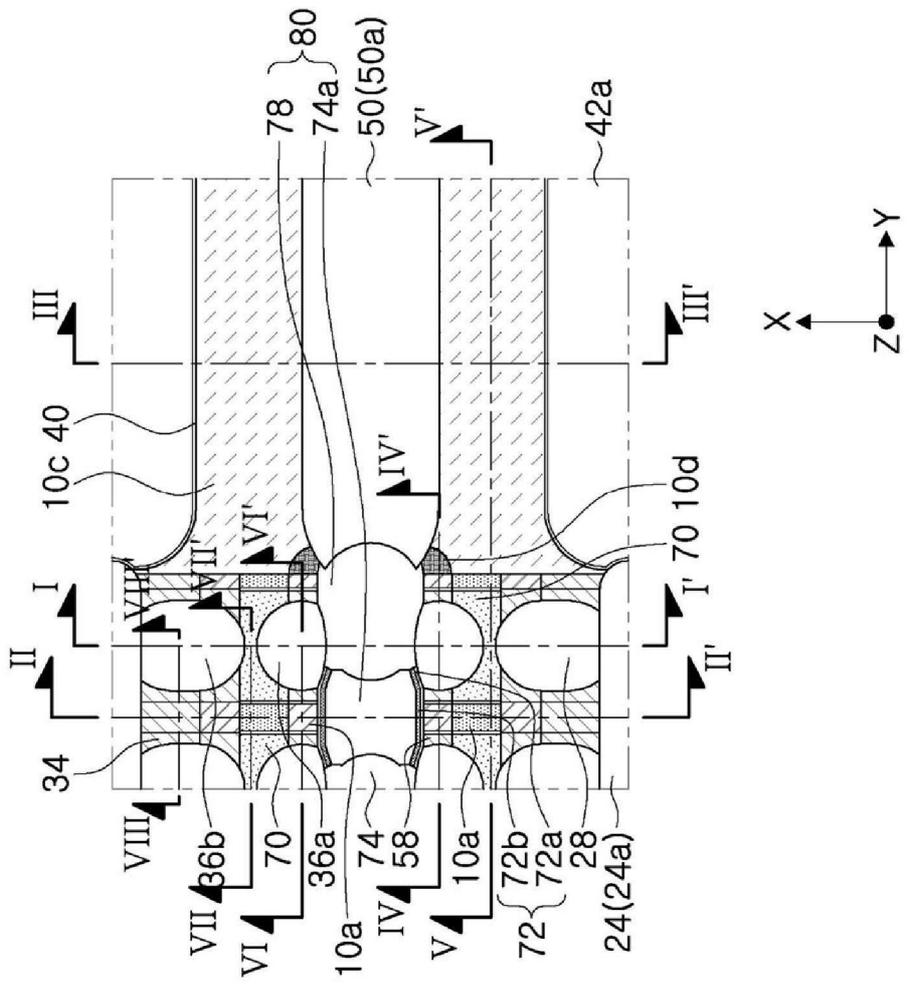
【圖25D】



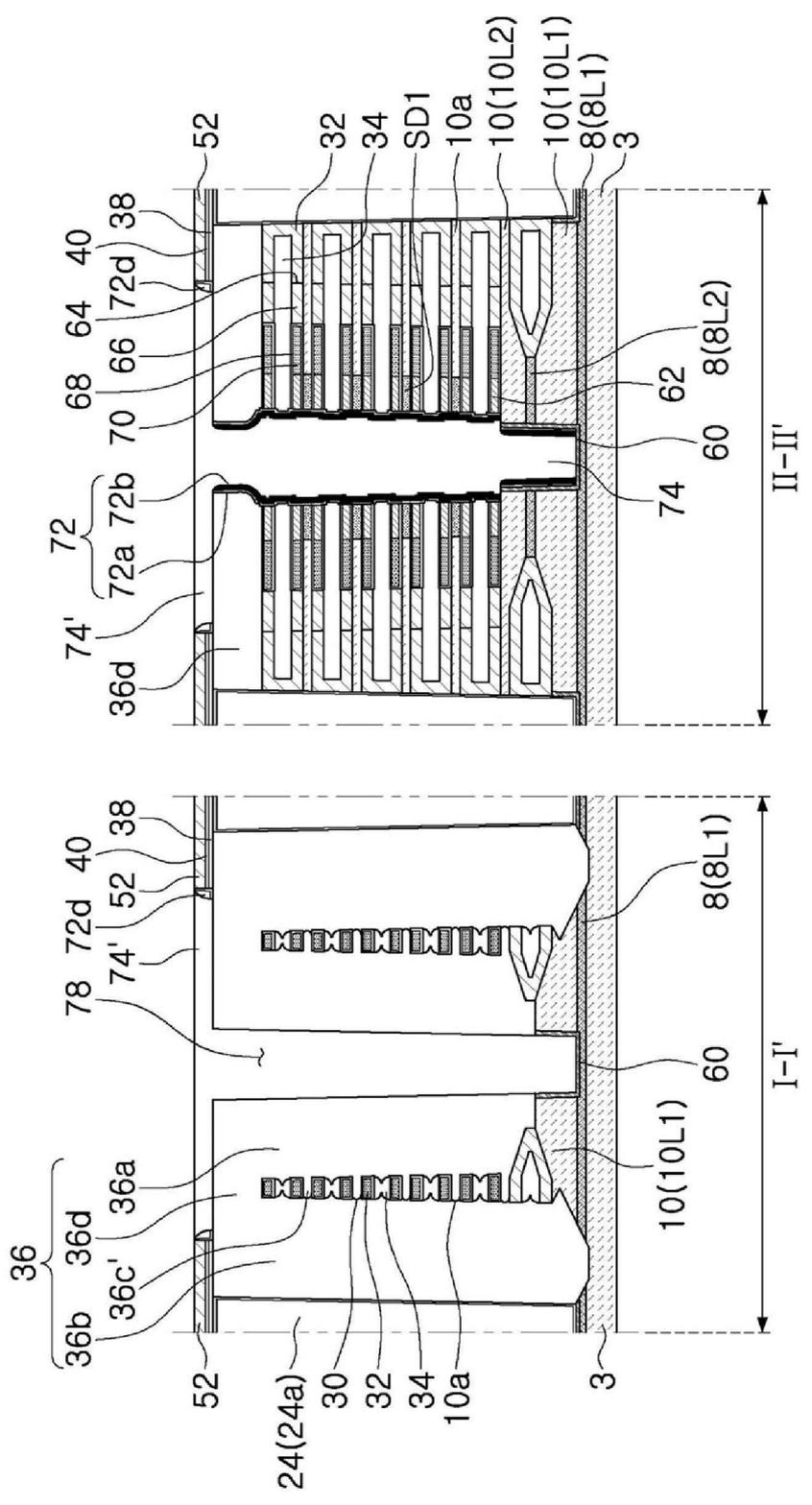
【圖26】



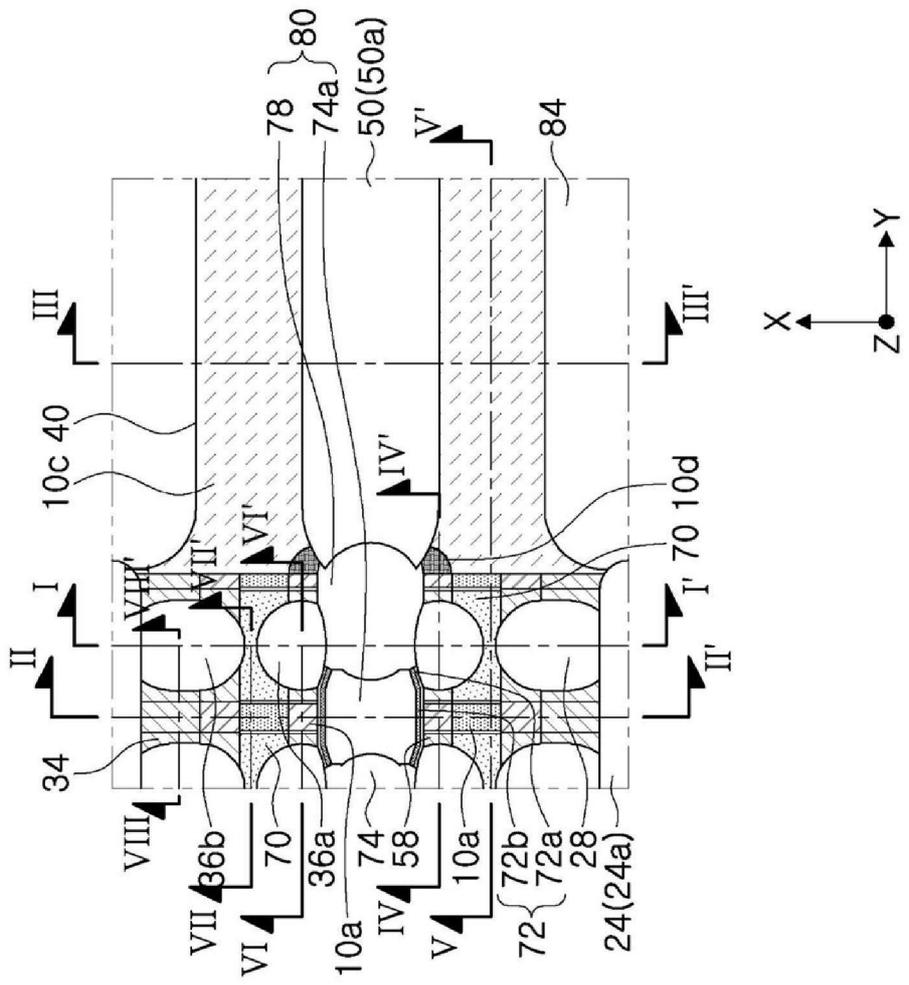
【圖27】



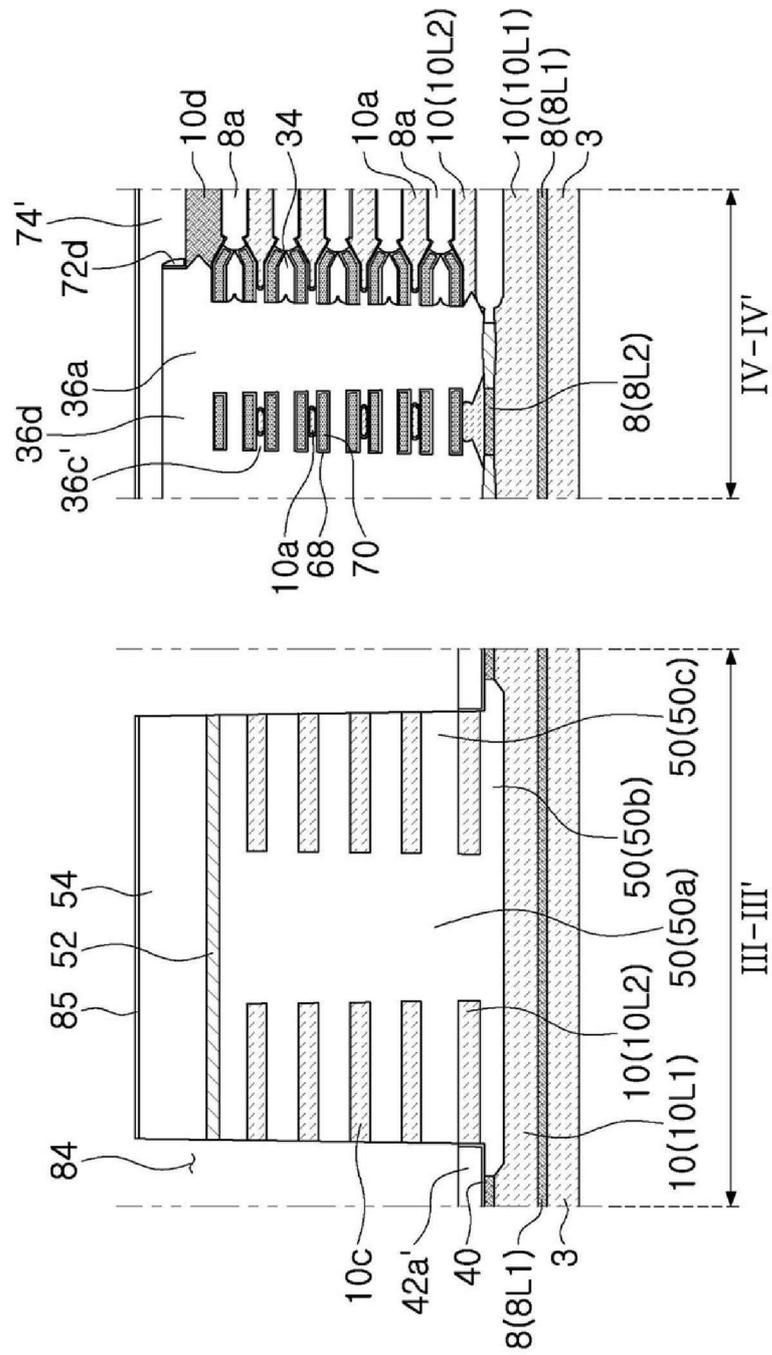
【圖28】



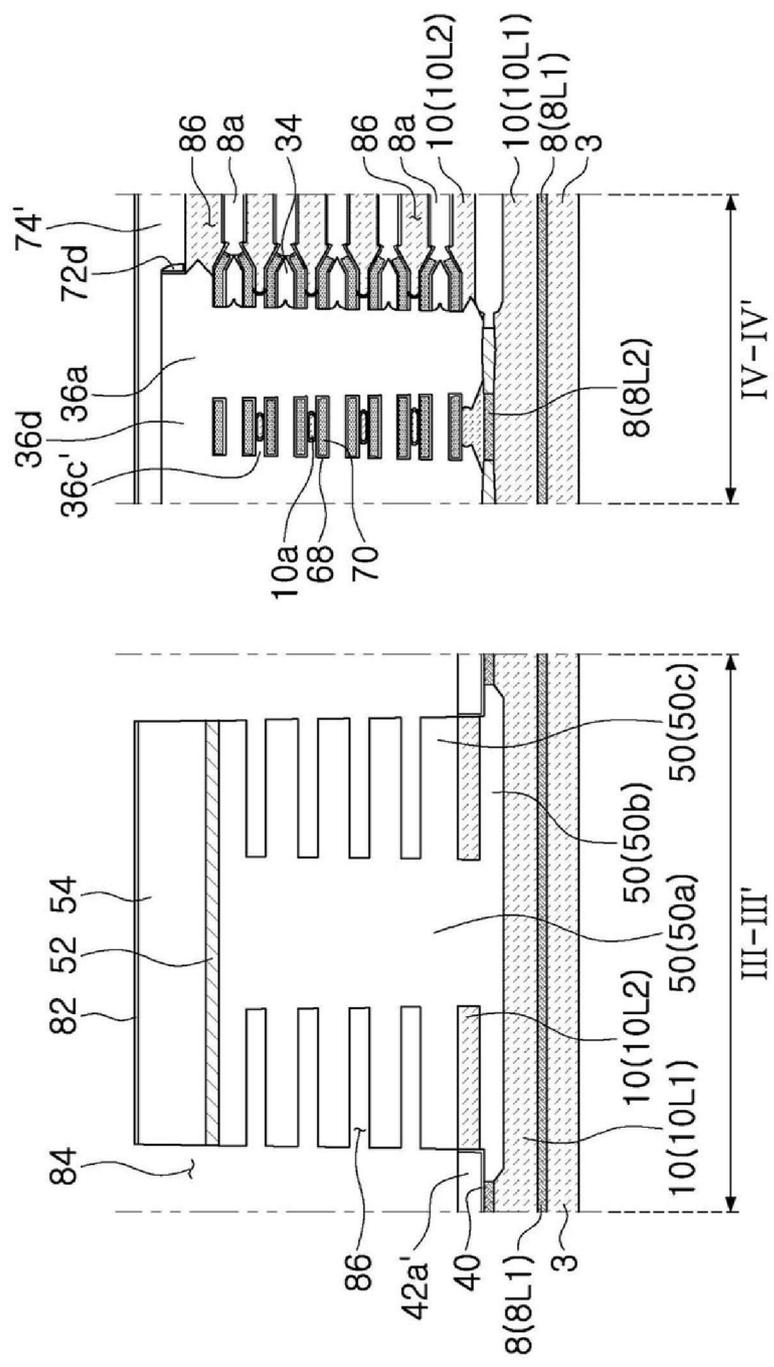
【圖29】



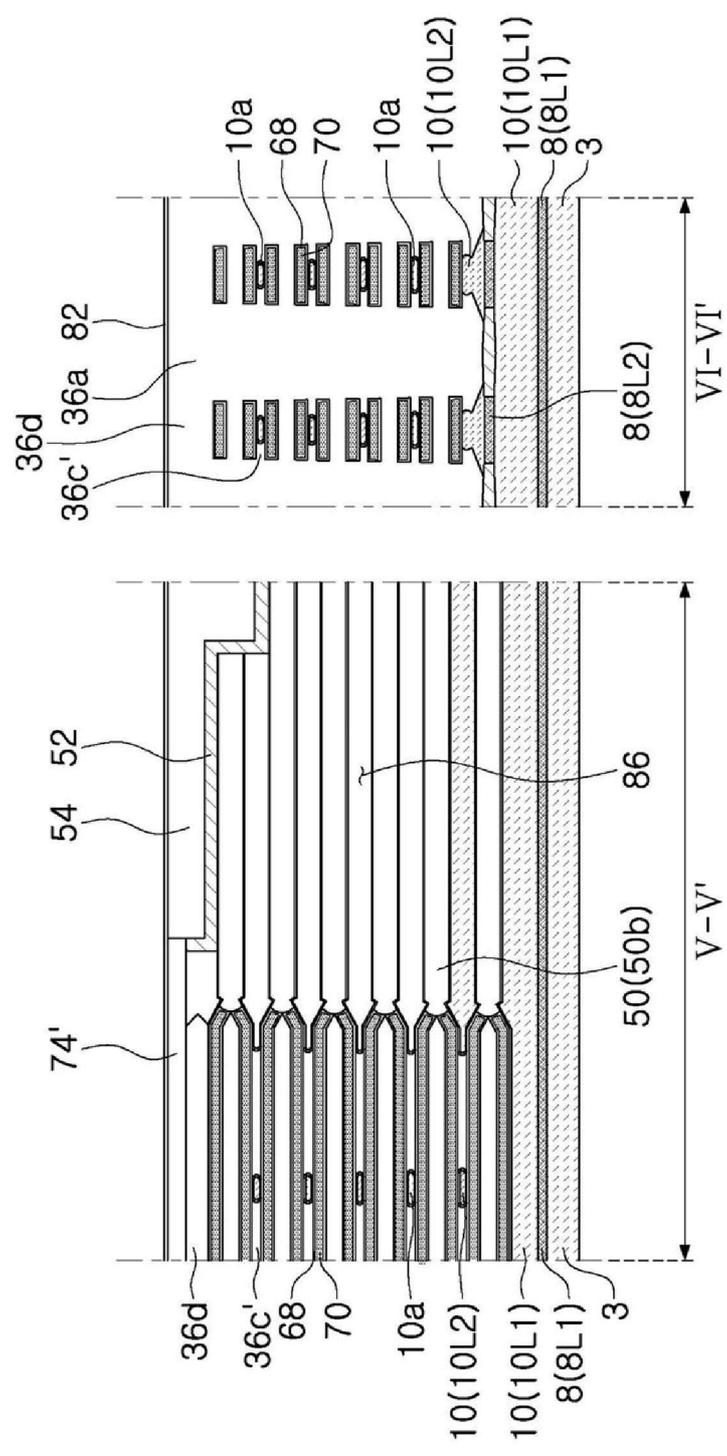
【圖30】



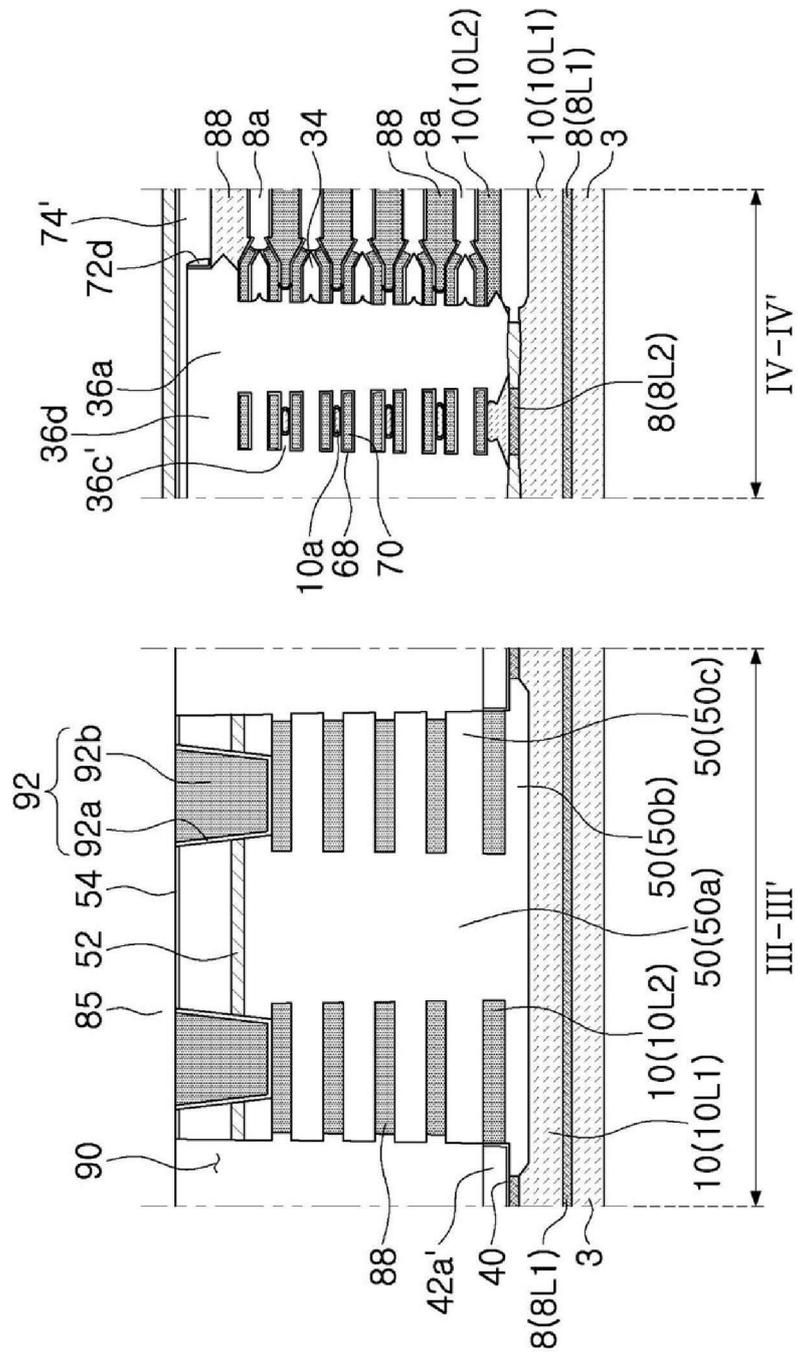
【圖31】



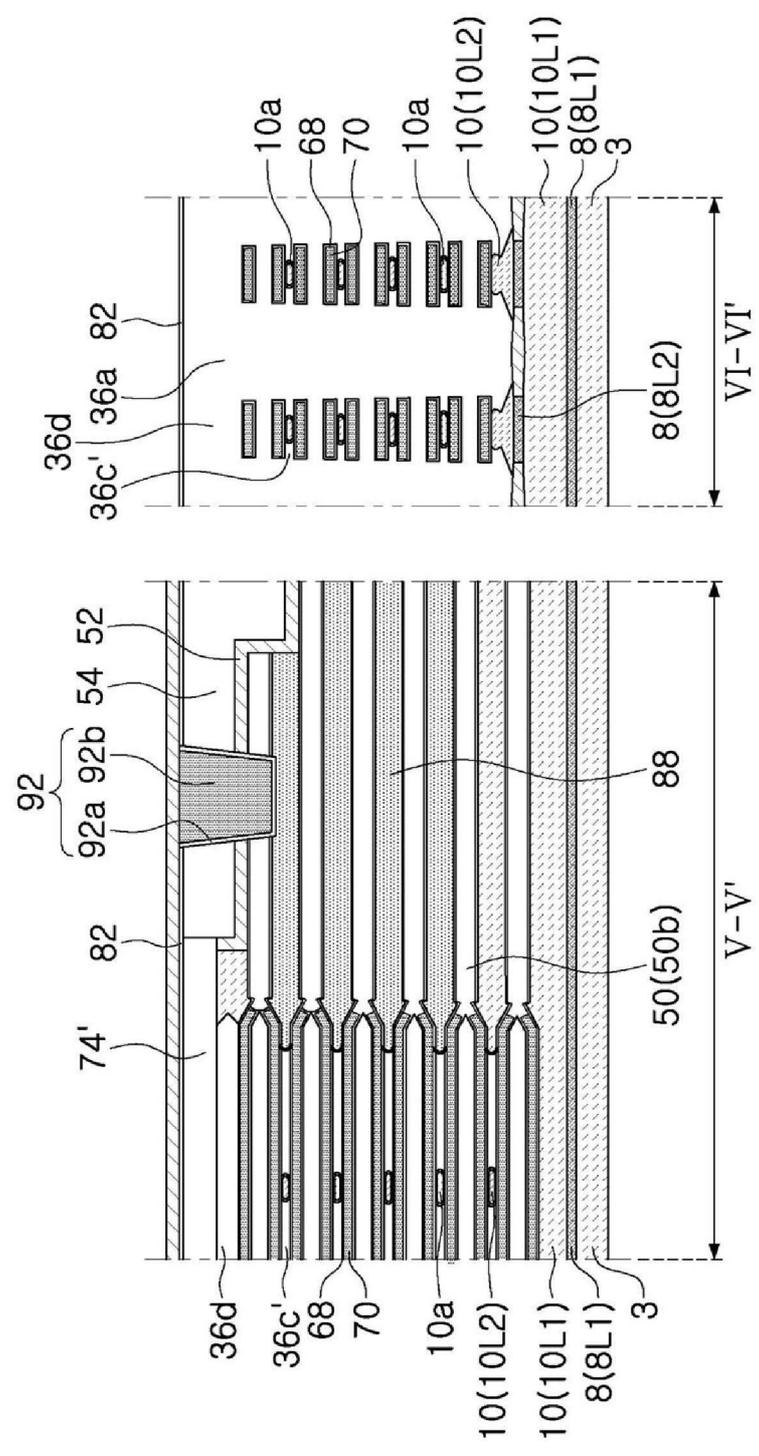
【圖32A】



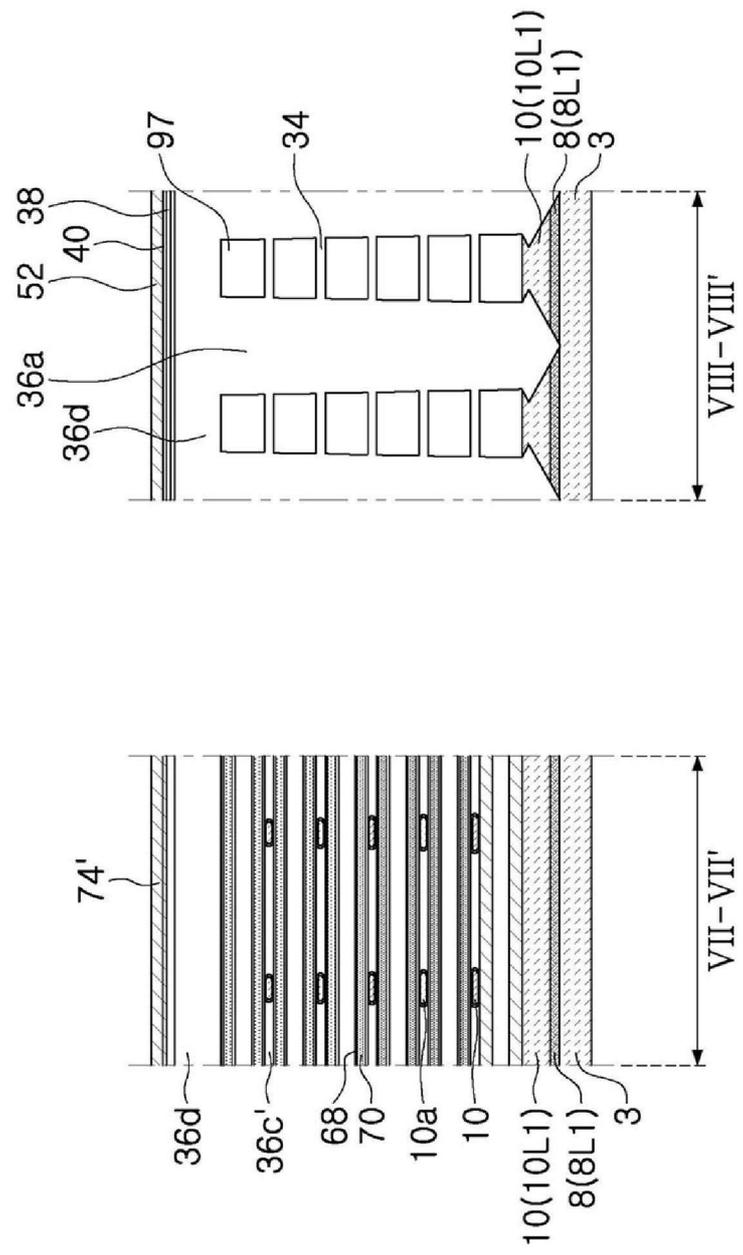
【圖32B】



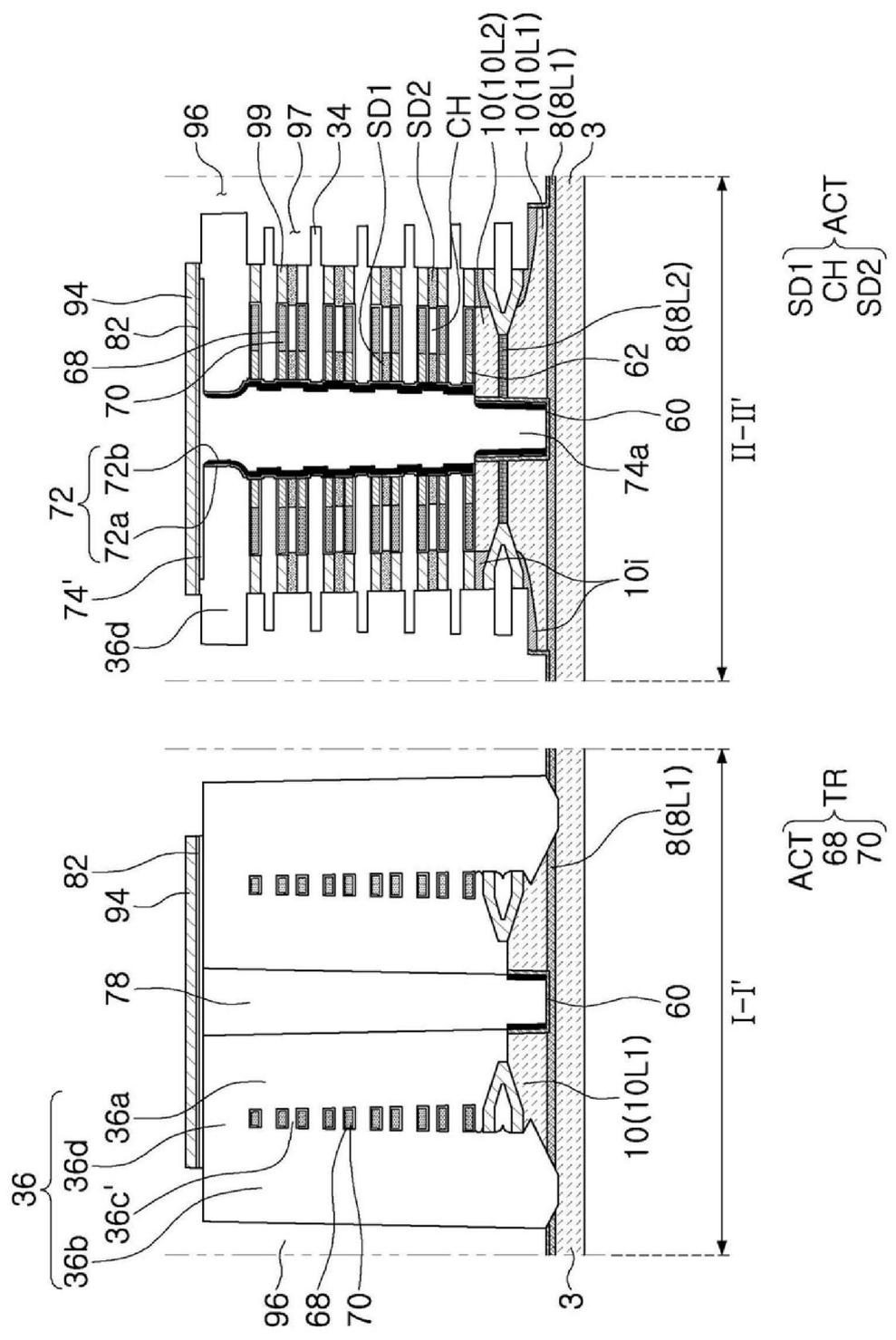
【圖33A】



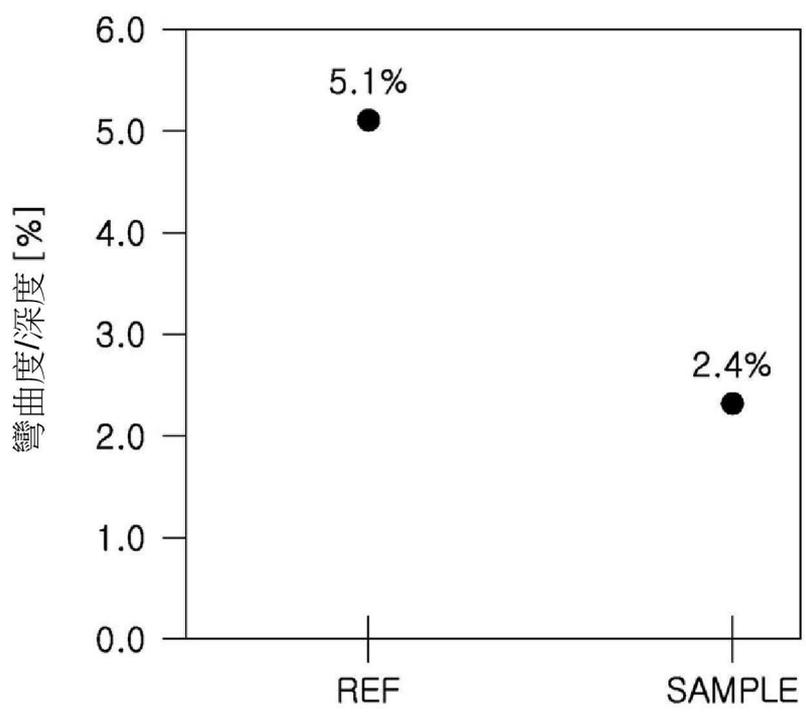
【圖33B】



【圖34B】



【圖35】



【圖36】