

發明專利說明書 200428601

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92137143

※ 申請日期：92.12.26

※IPC 分類：H01L 21/8247, 27/125

壹、發明名稱：(中文/英文)

半導體儲存裝置及可攜式電子設備

SEMICONDUCTOR STORAGE DEVICE AND PORTABLE
ELECTRONIC EQUIPMENT

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商夏普股份有限公司

SHARP KABUSHIKI KAISHA

代表人：(中文/英文)

町田 勝彥

MACHIDA, KATSUHIKO

住居所或營業所地址：(中文/英文)

日本國大阪府大阪市阿倍野區長池町 22 番 22 號

22-22, NAGAIKE-CHO ABENO-KU OSAKA-SHI, OSAKA 545-8522,
JAPAN

國 籍：(中文/英文)

日本 JAPAN

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 岩田 浩

IWATA, HIROSHI

2. 柴田 晃秀

SHIBATA, AKIHIDE

住居所地址：(中文/英文)

1. 日本國奈良縣生駒郡三鄉町信貴丘二丁目4-13

4-13, SHIGIGAOKA 2-CHOME, SANGO-CHO, IKOMA-GUN, NARA
636-0813, JAPAN

2. 日本國奈良縣奈良市山陵町104-B203

104-B203, MISASAGI-CHO, NARA-SHI, NARA 631-0803, JAPAN

國 籍：(中文/英文)

1.-2. 均日本 JAPAN

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 日本；2002年12月27日；特願2002-379737
2. 日本；2003年11月27日；特願2003-397660
- 3.
- 4.
- 5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002年12月27日；特願2002-379737
2. 日本；2003年11月27日；特願2003-397660
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明關於一種半導體儲存裝置及可攜式電子設備。再明確地，本發明關於一種半導體儲存裝置，其中排列具有記憶功能體的場效應電晶體，各功能體具有保留具極性之電荷的功能，及關於可攜式電子設備，其利用如此之半導體儲存裝置。

【先前技術】

以下將描述一種快閃記憶體，其作為習用之非揮發性記憶體。

如圖41中所示，在此快閃記憶體中，一浮動閘極902，一絕緣薄膜907及一字線(控制閘極)903會以此順序經一閘極絕緣薄膜908形成於一半導體基板901上，及一源極線904及一位元線905會形成於浮動閘極902之兩側上，而組成一記憶格。於此記憶格周圍形成元件隔離區域906(參見日本專利公開案第HEI 5-304277號)。

快閃記憶格儲存浮動閘極902中的電荷量。在藉由排列記憶格所架構的記憶格陣列中，望的記憶格可覆寫及讀取某些操作，即藉由選擇特定字線及位元線且施加一預設電壓至上述之線。

圖42示意性地顯示當浮動閘極902中的電荷量改變時，汲極電壓(I_d)與閘極電壓(V_g)的特徵。當浮動閘極中的電荷量增加時，臨限值電壓即增加，且 I_d - V_g 曲線顯示為在一方向粗略地平行，其中閘極電壓 V_g 會隨著相同汲極電流 I_d 而增

加，而造成以虛線所顯示的曲線。

然而，在上述的習用快閃記憶體(其中在字線(閘電極)與通道區域之間具有浮動閘極)中，因為必須避免電荷由浮動閘極902洩漏，故難以減少絕緣薄膜907及絕緣薄膜908的厚度，絕緣薄膜907令浮動閘極902與字線903分隔，絕緣薄膜908令浮動閘極902與通道區域隔離。因此，難以實質上減少閘極絕緣薄膜的厚度，亦阻礙了記憶格的迷你化。

【發明內容】

因此，本發明目的即提供一種易於迷你化的非揮性記憶體。

為了完成以上目的，根據本發明觀點之半導體儲存裝置包括一半導體層；一單一閘電極，其形成於半導體層上，之間設置有一閘極絕緣層；一通道區域，其設置於閘電極之下；擴散區域，其設置於通道區域的相對面上；及記憶功能體，形成於閘電極的相對面上及具有保留電荷的功能。

文中，專有名詞"單一閘電極"即意指一閘電極，其以單層或多層導電薄膜所架構且形成為一整片，而不是複數個分離片。

根據以上設置，記憶功能體會無關於閘極絕緣薄膜而形成，及設置於閘電極的兩側上。因此，此裝置可執行二位元操作。再者，因為記憶功能體會藉由閘電極而彼此分離，故可有效地避免覆寫期間的干擾。再者，因為閘極絕緣薄膜會與記憶功能體獨立，因而可易於防止短通道效應。因

此，可促近迷你化記憶格。

根據本發明第二觀點的半導體儲存裝置；一單一閘電極，其形成於半導體層上，之間設置一閘極絕緣薄膜；一通道區域，其設置於閘電極之下；擴散區域，其設置於通道區域之對面側上；及二電荷儲存區域。各電荷儲存區域為平行半導體層表面之薄膜形狀，且越過部份通道區域及部份對應擴散區域而存在，跨越以上二區域間之邊界。

根據以上設置，閘電極會形成於半導體層上，之間設置有閘極絕緣薄膜，及各電荷儲存區域越過部份通道區域及部份對應擴散區域而存在，跨越以上二區域間之邊界。因此，此裝置能執行二位元操作，且可有效地避免覆寫期間的干擾。亦，閘極絕緣薄膜會製成更薄，因而可避免短通道效應。再者，因為二電荷儲存區域之各個以跨越方式越過部份通道區域及部份對應擴散區域而存在，半導體儲存裝置能執行高速率的讀取操作。此外，因為電荷儲存區域為平行半導體層表面的形狀，半導體儲存裝置可提供改進的可靠度及改進的覆寫速率。

根據本發明第三觀點的半導體儲存裝置包括複數個記憶元件，其沿著一字線而設置，及二記憶功能體，其具有保留電荷的功能，形成以便沿著字線對側之字線而延伸。複數個記憶元件之各個包括一半導體層；部份字線；一閘極絕緣薄膜，其形成於半導體層與部份字線之間；一通道區域，其設置於部份字線之下；擴散區域，其設置於通道區域之相對側上；及部份記憶功能體之各個，其越過部份通

道區域及部份對應擴散區域而存在，跨越以上區域間之邊界。

此設置對應含複數個根據本發明第一觀點之半導體儲存裝置的陣列，及具有與根據第一觀點裝置相同的功能與效果。此外，因為複數個記憶元件會共享字線與記憶功能體，而減少各記憶元件所佔據的區域，因而可達到較高集積密度的記憶元件。

在一實施例中，字線組成單一字線，記憶功能體只會設置在單一字線的兩側上，及各記憶功能主體會以至少一絕緣材料所組成。

文中，專有名詞"單一字線"即意指一字線，其由單一層或多層導電薄膜所組成且形成為一片，而不是形成為複數個分離片。

根據以上設置，因為記憶功能體會以至少一絕緣材料形成，且只設置於單一字線之兩側上，可簡化用於具有排列之記憶元件的半導體儲存裝置製程，其中依次供改進之良率。再者，與字線組成複數個分離片的狀況比較，記憶元件的迷你化會較容易，因而會增加一體成形的狀況。此外，可良好地執行寫入操作。

在一實施例中，資訊覆寫至記憶元件時所選擇的字線只是單一字線。

在此實施例中，會令記憶元件所需的字線數最小。因此，記憶格陣列可以高密度集積。

在一實施例中，各記憶功能體會由至少一絕緣材料所組

成，及形成至少部份記憶功能體之各個以便與部份對應擴散區域重疊。

在此實施例中，記憶功能體會由至少一絕緣材料所組成，及形成於單一閘電極兩側上，因而至少部份記憶功能體之各個與部份對應擴散區域重疊。此設置可簡化記憶元件製程，及因此增加良率。再者，記憶元件的迷你化會較容易，及可良好執行寫入至記憶元件。

在一實施例中，會以SOI層組成半導體層。

在此實施例中，擴散區域與主體區域之間的接面電容會顯著減少，使得記憶元件的操作速率增加及能量耗損降低。

在一實施例中，半導體層包括一井區域。

在此實施例中，易於控制電特徵(崩潰電壓，接面電容，短通道效應)，以記憶操作的觀點會令閘極絕緣薄膜正下方區域中的雜質濃度成為最適(複寫操作及讀取操作)。

在一實施例中，各記憶功能體會包括一電荷保留薄膜，其具有儲存電荷的功能，及一絕緣體。

在此實施例中，可避免電荷的消散及增進記憶保留特徵。亦，與只以記憶功能體組成電荷保留薄膜的狀況比較，可適當地減少電荷保留薄膜的容量。再者，電荷保留薄膜容量的適當減少會抑制電荷在電荷保留薄膜內移動，因此可抑止電荷因電荷在記憶保留期間內移動所形成的特徵。因此，可完成改進的記憶保留特徵。

在一實施例中，電荷保留薄膜包括一第一部份，其具有一粗略地與閘極絕緣薄膜表面平行的表面。

在此實施例中，可有效地控制反轉層在偏移區域中的形成容易度，其使用電荷保留薄膜中儲存的電荷量，藉而可增加記憶效果。因為電荷保留薄膜的第一部份實質上平行於閘極絕緣薄膜的表面，記憶效果的電荷會維持為相對小，即使具有分散的偏移量，使得記憶效果分散受限。此外，因為電荷保留薄膜的第一部份是實質上平行於閘極絕緣薄膜的薄膜形狀，會抑止電荷的向上運動，及因此因電荷在記憶保留期間內的移動所導致的特徵改變會抑制。因此，可獲得具有良好之電荷保留特徵的半導體儲存裝置，其中記憶效果會較大且較不變動。

注意，"記憶效果"即意指當電壓施加至閘電極(字線)時，由擴散層區域之一經通道區域流至其他其他擴散層區域的電流量會依電荷保留薄膜中所保持的電荷量而改變。大的記憶效果即意指大的電流量改變。

在一實施例中，電荷保留薄膜包括一第二部份，其沿著粗略平行於閘電極或字線之側表面而延伸。

在此實施例中，會防止此裝置的保持特徵劣化，及同時可增加覆寫速率。

在一實施例中，絕緣體包括一絕緣薄膜，其分離閘電極或字線與電荷保留薄膜的第二部份，該薄膜沿著粗略平行於閘電極或字線之側表面而延伸。

在此實施例中，可抑止電荷保留薄膜的電荷在閘電極與第二部份之間的移動(粗略平行於閘電極側表面而延伸)。因此，可增加半導體儲存裝置的可靠性。

在一實施例中，絕緣體包括一絕緣薄膜，其分離電荷保留薄膜之第一部份與通道區域或半導體層。

在此實施例中，可抑止電荷保留薄膜之第一部份的電荷消散。因此，可獲得具有較佳保留特徵的半導體儲存裝置。

在一實施例中，分離電荷保留薄膜之第一部份與通道區域或半導體層的絕緣薄膜具有薄膜厚度，其小於閘極絕緣薄膜厚度且不小於0.8 nm。

在此實施例中，在不劣化電壓耐性效能或記憶體電力的狀況之下，寫入操作及抹去操作中的電壓降低或施行高速寫入操作及抹去操作是可行的。因而可增加記憶效果。

在一實施例中，分離電荷保留薄膜之第一部份與通道部份或半導體層的絕緣薄膜具有薄膜厚度，其大於閘極絕緣薄膜之薄膜厚度且不大於20 nm。

在此實施例中，可增進保持特徵而不劣化記憶體短通道效應。

在一實施例中，各擴散區域可關於閘電極或字線而有效地偏移。二偏移擴散區域可較唯一的偏移擴散區域更有效地抑止短通道效應。再者，會使用製程步驟，其為當唯一擴散區域偏移時所必須。因此，亦會使用邊界，其為實行此製程步驟時所必須。

各記憶功能體包括一絕緣薄膜，其形成於離閘電極(或字線)最遠的一側上以確保各擴散區域的預設偏移量。此設置在維持足夠記憶效果之下可再迷你化。

根據本發明觀點的可攜式電子裝置包括半導體儲存裝

置，其具有上述的任何設置。

【實施方式】

在本發明之半導體儲存裝置中利用的記憶元件概況會首先描述。

在本發明之半導體儲存裝置中利用的記憶元件主要以第一導電類型區域所架構，該區域為擴散區域，一第二導電類型區域，電荷儲存區域，各跨越第一與第二導電類型區域間之邊界，及一閘電極(或字線)，其位於一閘極絕緣薄膜上，或主要架構以一半導體層，一閘極絕緣薄膜，一閘電極(或字線)，其位於閘極絕緣薄膜上，記憶功能體，其位於閘電極(或字線)的兩側上，一通道區域，及擴散區域，其位於通道區域的兩側上。文中，通道區域通常意指一區域，其中通常含與半導體層相同的導電類型，且位於閘電極(或字線)的正下方，而擴散區域意指一區域，其中含與通道區域相對的導電類型。

記憶元件作為記憶裝置以藉由在一電荷保留薄膜中儲存至少二元之資訊而儲存至少四位數之資訊。記憶元件亦作為記憶格，其因記憶功能體的變動電阻效果而具有一選擇器電晶體功能及一記憶電晶體功能。然而，記憶元件不是儲存至少四位數之資訊所必須，但亦可作為儲存二元資訊(例)。

本發明之半導體儲存裝置較佳形成於半導體基板之上以作為半導體層，較佳為形成在半導體基板中的第一導電類型井區域。

半導體基板不限於特別用於半導體裝置中所適用的，及可使用多樣基板，如以元素半導體(如，矽及鍺)所製成的體基板，或化合物半導體(如，矽鍺，砷化鎵，砷化銻鎵，硒化鋅，及氮化鎵)；SOI(絕緣體上矽)基板；SOS(藍寶石水晶玻璃上矽)基板，及多層SOI基板，及玻璃或塑膠基板上具有半導體層之基板。其它種種之中，矽基板或SOI基板，其具有形成為表面半導體層的矽層，是較佳的。半導體基板或半導體層是單晶系(例，藉由晶膜成長所獲之單一結晶)，多晶系，或非晶矽，雖然以上流入的電流量稍微不同。

在半導體層中，較佳形成裝置隔離區域。以元件(如，半導體裝置，及層間之絕緣薄膜或薄膜)所組成的元件(如，電晶體，電容，電阻，電路)會在半導體基板或半導體層上形成為單一或多層結構之組合。注意，會藉由多樣薄膜(包括LOCOS(矽之局部氧化)，渠溝氧化薄膜，及STI(淺渠溝隔離)薄膜)之裝置隔離薄膜之任一形成裝置隔離區域。半導體層是P類型或N類型之導電類型的任一，及至少一第一導電類型(P類型或N類型)井區域較佳形成於半導體基板中。可接受的半導體層及井區域之雜質濃度範圍為習知。注意，在使用SOI基板作為半導體層的狀況中，井區域會形成在表面半導體層中，且主體區域亦可設置在通道區域之下。

閘極絕緣薄膜或絕緣薄膜的材料不會特別受限。只要可在典型半導體裝置中使用即可。例如，包括氧化矽薄膜及氮化矽薄膜的絕緣薄膜，及包括氧化鋁薄膜，氧化鈦薄膜，氧化鈹薄膜，氧化鈣薄膜的高介電薄膜皆可在單層薄膜或

多層薄膜的形式中使用。其他種種之間，氧化矽薄膜是較佳的。例如，適宜厚度的閘極絕緣薄膜約為1至20 nm，較佳為1至6 nm。閘極絕緣薄膜只可形成在閘電極的正下方，或可形成為較閘電極的寬度更大。

閘電極或字線只可在閘極絕緣薄膜上形成，一般為可用於半導體裝置的形狀或在底端部份具凹狀部份的形狀。文中，單一閘電極定義為由單層或多層導電薄膜所組成的閘電極，其形成為單一不分離狀。閘電極在各側表面上具有側壁絕緣薄膜。閘電極通常不特別受限，只要可用於半導體裝置，導電薄膜可枚舉如：聚合矽；包括銅及鋁之金屬；包括鎢，鈦，及鉭之高熔點金屬；及含高熔點金屬之氧化矽，以單層或多層之形式。閘電極之薄膜厚度較佳形成為(例)約50至400 nm。應注意，通道區域可在閘電極之下形成。

記憶功能體具有至少一功能，即保留電荷(下文中稱為電荷保留區功能)。即，記憶功能體包括一薄膜或區域，其具有儲存及保留電荷，攔截電荷或保留電荷極化狀態的功能。實行該功能的材料包括：氮化矽；矽；含雜質的矽玻璃，如磷或硼；碳化矽；氧化鋁；高介電物質，如氧化鈣，氧化鋅，或氧化鉭；氧化鉛；及金屬。記憶功能體可形成為單層或多層結構，其中含(例)：含氮化矽薄膜的絕緣薄膜；內部製成導電薄膜或半導體層的絕緣薄膜；及含至少一導體點或半導體點的絕緣薄膜。其中，氮化矽是較佳的，因為藉由用以攔截電荷之數個位準的存在可達到高度磁滯性質，及具有良好的保持特徵，因電荷保持時間長且難以

發生因產生洩漏路徑所造成的電荷洩漏，及更因為其為通常用於LSI製程的材料。

在內部含有具有電荷保留功能之絕緣薄膜的絕緣薄膜(如，氮化矽薄膜)的使用使得關於記憶保持之可靠性增加。因為氮化矽薄膜是絕緣體，即使部份電荷洩漏，整個氮化矽薄膜的電荷亦不會馬上消失。再者，不像記憶功能體以導體製成的狀況，在排列複數個記憶元件的狀況中，即使記憶元件之間的距離縮短，及相鄰記憶功能體成為彼此接觸，亦不會失去儲存在各記憶功能體中的資訊。亦，可令接觸塞接近記憶功能體，或在某些狀況中，可處置接觸塞以便與記憶功能體重疊，而促進記憶元件的迷你化。

對關於記憶保留之可靠性的再增加而言，具有保留電荷之功能的絕緣體在薄膜形狀上不是必須的，及具有保留電荷之功能的薄膜較佳以具體方式存在於絕緣薄膜中。更特別地，此樣的絕緣體會如點狀分散在一材料內，該材料難以保留電荷，如，氧化矽。

亦，內含導電薄膜或半導體層以作為電荷保留部份的絕緣薄膜可自由控制注入導體或半導體的電荷量，藉以促進達成多值之記憶格的效果。

再者，做用含至少一導體或半導體點以作為記憶功能體的絕緣薄膜會藉由電荷的直接穿隧而促進寫入及抹去的執行，藉以可減少能源耗損。

再者，可接受以使用極化方向藉由電場所改變的記憶功能體，鐵電薄膜(如，PZT(鋇鈦酸鉛)及PLZT(鋇鈦酸鉛鏷))。

在此狀況中，電荷實質上藉由鐵電薄膜表面上的極化而產生且保持在狀態中。因此，電荷可由具有記憶功能的薄膜外側供給，及可獲得與攔截電荷之薄膜相似的磁滯特徵。此外，因為不需由薄膜外側注入電荷，且只可藉由薄膜中電荷的極化而獲得磁滯特徵，故可達到高速寫入及抹去。

記憶功能體較佳包含一阻止電荷逃逸的區域或一具有阻止電荷逃逸之功能的薄膜。滿足阻止電荷逃逸之功能的材料包括氧化矽。

較佳地，包含在記憶功能體中的電荷保留薄膜會經一絕緣薄膜或直接形成於閘電極兩側上，且經閘極絕緣薄膜或絕緣薄膜而置於半導體基板(一井區域，一主體區域，或一源極/汲極區域或一擴散層區域)上。閘電極兩側上較佳形成電荷保留薄膜以便經絕緣薄膜或直接地覆蓋所有或部份的閘電極側表面。在一應用中，其中閘電極的較低緣側上具有凹槽部份，可形成電荷保留薄膜以便經絕緣薄膜或直接地填滿整個或部份的凹槽部份。

較佳地，閘電極只形成在記憶功能體的側表面上，或電荷保留部份的較上部份不覆蓋以閘電極。在此設置中，可令接觸塞接近閘電極，而促進記憶元件的迷你化。亦，可容易地製造具有此樣簡單處置的記憶元件，使得良率增加。

若導電薄膜或半導體薄膜可用作為電荷保留薄膜，較佳藉一絕緣薄膜以置放此樣薄膜。因而電荷保留薄膜不會接觸導電薄膜(半導體基板，井區域，主體區域，源極/汲極區域，或擴散區域)或閘電極。例如，存在有堆疊結構的導電

薄膜及絕緣薄膜，導電薄膜點散佈在絕緣薄膜中的結構，閘極側表面上之側壁絕緣薄膜中包括導電或半導體電荷保留薄膜的結構，等。

可製造擴散區域以作為源極/汲極區域，及具有與半導體層或井區域相反的導電類型。擴散區域與半導體層或井區域的接面較佳具有陡峭的雜質濃度斜率。其原因為熱電子及熱孔會有效地在低電壓時產生，及可在低電壓時達到高速操作。擴散區域的接面深度不特別受限，且允許依希望獲得之半導體儲存裝置的效能等適當地調整。當利用 SOI 基板作為半導體基板時，擴散區域具有較表面半導體層之薄膜厚度更小的接面深度。然而，擴散區域較佳具有幾近與表面半導體層薄膜厚度相等的接面深度。

設置擴散區域以便與閘電極端重疊或以便以吻合閘電極端或以便關於閘電極端而偏移。特別地，在偏移的狀況中，當施加電壓至閘電極時，電荷保留薄膜之下之偏移區域反轉的容易度會藉由累積在記憶功能體中的電荷量而大幅改變，而增加記憶效果及減少短通道效應。因此，此設置是較佳的。然而，因若過度偏移的話，擴散區域(源極及汲極)間的驅動電流會顯著下降，即較佳為在閘極長度的方向由一閘電極端至較近的擴散區域之距離的偏移量較佳應較平行閘極長度方向的電荷保留薄膜厚度更小。特別重要的是，記憶功能體中具有電荷保留功能的至少部份薄膜或區域會與部份的擴散區域重疊。其原因為組成本發明半導體儲存裝置的記憶元件必要部份為藉由因只存在於記憶功能

體側壁部份中的閘電極與擴散區域間的電壓差而使電場與記憶功能體交錯而覆寫儲存。

在二擴散區域之中，只有一擴散區域可由對應的閘極端偏移。然而，擴散區域兩者皆偏移是較佳的。

若擴散區域兩者皆偏移，則記憶元件可儲存二位元資訊。亦，因為擴散區域兩者皆偏移，更可較唯一擴散區域偏移時更有效地抑止短通道效應。再者，會刪減一製程，其為當唯一擴散區域偏移時所需，當增加上述製程時以所需邊緣依次實施。由上可知，因為擴散區域兩者皆偏移，記憶元件及記憶格陣列可易於迷你化，因而可達到較高的整合。亦，可降低製造成本。

擴散區域可部份延伸至高於通道區域表面的位置，即，閘極絕緣薄膜的較低表面。在此狀況中，當在半導體基板中形成的擴散區域上形成薄板時，適宜架構與擴散區域整合的導電薄膜。作為導電薄膜，可枚舉為(例)：以聚合矽，非晶矽，等，氧化矽，上述金屬，高熔點金屬，等所形成的半導體。在其它種種之間，聚合矽是較佳的。以上原因為，聚合矽的雜質擴散速率會顯著大於半導體層的，而易於容忍半導體層中淺的擴散區域接面深度，及易於抑止短通道效應。在此狀況中，較佳提供一設置，即部份擴散區域與閘電極在其之間保留至少部份的記憶功能體。

本發明之記憶元件可藉由普通半導體製程形成，根據與在閘電極或字線之側壁上形成單層或薄板結構之側壁空間的方法相同的方法。具體上，可枚舉為：一方法，其包括

形成閘電極或字線，之後形成包括電荷保留薄膜的單層薄膜或多層薄膜，如電荷保留薄膜，電荷保留薄膜/絕緣薄膜，絕緣薄膜/電荷保留薄膜，及絕緣薄膜/電荷保留薄膜/絕緣薄膜，及在側壁空間形狀中藉由在適合條件下回蝕而留下至少一薄膜；一方法，其包括形成一絕緣薄膜或一電荷保留薄膜，在側壁空間形狀中藉由在適當條件下回蝕而留下薄膜，再形成一電荷保留薄膜或絕緣薄膜及在側壁空間形狀中藉由在適當條件下回蝕而留下薄膜；一方法，其包括在半導體晶圓(包括一閘電極，一絕緣薄膜材料，其中使用特定電荷保留材料)上塗佈或沈積及在側壁空間形狀中藉由在適當條件下回蝕而留下絕緣薄膜材料；一方法，其包括形成一閘電極，之後形成單層薄膜或多層薄膜，及藉由使用罩幕，等，而實行定圖案。再者，可枚舉為：一方法，其包括在形成一閘電極或一電極之前，先形成一電荷保留薄膜，一電荷保留薄膜/絕緣薄膜，一絕緣薄膜/電荷保留薄膜，或一絕緣薄膜/電荷保留薄膜/絕緣薄膜，在成為通道區域之區域中形成經至少一薄膜之開口，在整個晶圓的較上表面形成一閘電極材料薄膜及令該閘電極材料薄膜定圖案為一形狀，該薄膜的尺寸大於開口且包圍開口。

以下敘述記憶元件的形成程序範例。

首先，閘極絕緣薄膜及閘電極會根據習知製程形成在半導體基板上。接著，氧化矽薄膜會藉由熱氧化方法而形成為0.8至20 nm的薄膜厚度，或更佳地，形成為3至10 nm的薄膜厚度，或藉由CVD(化學氣相沈積)方法沈積在整個半導

體基板的較上表面。接著，氮化矽薄膜會藉由CVD方法在整個氧化矽薄膜的較上表面上沈積2至15 nm的薄膜厚度，或更佳地形成為3至10 nm的薄膜厚度。再者，氧化矽薄膜會藉由CVD方法在整個氮化矽薄膜表面上沈積20至70 nm的薄膜厚度。

接著，藉由多向異性蝕刻回蝕氧化矽薄膜/氮化矽薄膜/氧化矽薄膜，則適合儲存的記憶功能體可以側壁空間形狀形成在閘電極的側壁上。

接著，藉由使用閘電極及記憶功能體令離子注入側壁空間形狀(其用作罩幕)，而形成擴散區域(源極/汲極區域)。接著，適合根據習知製程而實行氧化矽程序或較上部份設線路程序。

當記憶格陣列會藉由設置本發明記憶元件而架構，記憶元件的最佳模式為滿足(例)所有所需條件：

(1)字線的功能為藉由複數個記憶元件之閘電極整體而處理；

(2)在字線的各相反側上所形成的是記憶功能體，其可持續地沿著字線延伸；

(3)在記憶功能體中保留電荷的材料是絕緣體，及特別地，為氮化矽薄膜；

(4)記憶功能體會以ONO(氧化矽-氮化矽-氟化矽)薄膜架構，及氮化矽薄膜具有與閘極絕緣薄膜粗略平行的表面；

(5)各記憶功能體中的氮化矽薄膜會藉由氧化矽薄膜而與字線及通道區域分離；

(6)在各記憶功能體中具有保留電荷之功能的區域(例，以氮化矽薄膜所形成的區域)會與對應的擴散區域重疊；

(7)分離氮化矽薄膜(其具有與閘極絕緣薄膜表面粗略平行的表面)與通道區域或半導體層之絕緣薄膜的厚度會在閘極絕緣薄膜的厚度有所不同；

(8)記憶元件的寫入及抹去操作會藉由單一字線執行；

(9)在各記憶功能體上不存在電極(字線)，其功能為輔助寫入及抹去操作；及

(10)與各記憶功能體正下方之擴散區域接觸的部份具有一區域，其與擴散區域之導電類型相反的導電類型之雜質濃度是高的。

記憶元件不需滿足所有此類需求，但會滿足至少一需求。

當滿足上述某些需求時，存在需求的最佳組合。例如，最佳組合為(3)在記憶功能體中保留電荷的材料是絕緣體，及特別為氮化矽薄膜；(9)在各記憶功能體上不存在電極(字線)，其功能為輔助寫入及抹去操作；及(6)在各記憶功能體中具有保留電荷之功能的區域(例，以氮化矽薄膜所形成的區域)會與對應的擴散區域重疊。

當需求(3)及需求(9)滿足時，可獲得以下的大優點。首先，位元線接觸可設置為靠近記憶功能體(其位於字線側壁上)，或即使記憶元件的距離是彼此靠近的，複數個記憶功能體不會彼此干擾，且可保留儲存資訊。因此，可促進記憶元件的迷你化。當記憶功能體中的電荷保留薄膜含有導體時，當記憶元件間的距離縮短時，在相鄰的電荷保留區

域中藉由電容耦合而發生干擾，且無法保留儲存資訊。

再者，當記憶功能體中的電荷保留區域含有絕緣體(例，氮化矽薄膜)時，不須令一記憶格之記憶功能體與另一記憶格之記憶功能體獨立。例如，每個記憶格特續地沿著字線(其由複數個記憶共享)且形成在字線兩側上的記憶功能體不需隔離，且可藉由複數個記憶格(其共享字線)共享形成在字線兩側上的記憶功能體。因此，用以隔離記憶功能體的微影及蝕刻程序會變成不必要，且可簡化製程。再者，用於微影程序的對齊邊緣及薄膜蝕刻邊緣會變成不必要。因此，可減少記憶格間的邊緣。因此，與記憶功能體中之電荷保留薄膜含有導體(例，多晶矽薄膜)的狀況比較起來，即使施加相同的微製造位準，仍可迷你化記憶格佔據區域。每個記憶格，微影對齊邊緣及薄膜蝕刻邊緣中，記憶功能體中含有導體的電荷保留區域須要微影及蝕刻程序以用以分離記憶功能體。

再者，因為記憶結構很簡單的，因具有輔助寫入(排程)及抹去操作之功能的電極不位於記憶功能體上，故可減少製程步驟的數目，及增進良率。因此，可促進與電晶體的組合，該電晶體組成邏輯電路與類比電路。

再者，吾人發現作為相當重要的設計物質，若需求(3)及(9)滿足且若需求(6)亦滿足，可在相當低的電壓執行寫入(程設)及抹去操作。具體上，吾人確認寫入及抹去操作可在不高於5 V的低電壓執行。此操作在電路設計上製造相當大的效果。不像快閃記憶體，不須在一晶片上製造高電壓，

因此，需要佔據大量區域的電荷泵電路可在規模上縮減。特別地，當用於調整的小規模電容記憶體建立在邏輯LSI中，會藉由周邊電路的佔據區域支配記憶區段的佔據區域，以用以驅動記憶格接著記憶格。因此，幾乎可有效縮減記憶格電壓昇壓器電路的規模以降低晶片大小。

這就是滿足需求(3)，(9)及(6)會特別佳的原因。

然而，當需求(3)未滿足或當電荷藉由導體保留在記憶功能體中時，即使當需求(6)未滿足時，或當記憶功能體中的導體及擴散區域不彼此重疊時，仍可執行寫入(程設)操作。這是因為記憶功能體中的導體藉由與閘電極(寫入電極)的電容耦合而執行寫入支援。

再者，當需求(9)未滿足，或當具有支援在記憶功能體上寫入及抹去操作之功能的電極存在時，可當需求(6)未滿足時，或記憶功能體中的絕緣體及擴散區域未彼此重疊時，執行寫入操作。

在記憶格陣列中，其中會排列複數個記憶元件，較佳二記憶功能體(各自含有至少一絕緣材料)會個別地形成在單一字線的相反側上，因而字線及字線兩側上的記憶功能體會藉由複數個記憶元件共享。專有名詞"單一字線"的定義如上述。

以上設置實質上滿足需求(3)，(9)及(6)。因此，即使在排列有記憶元件的記憶格陣列中，仍可獲得上述效果及優點。再者，因為在單一字線側上覆寫記憶格時只選擇單一字線，用於記憶操作所需的字線數目會變成最小，因而記

憶格陣列可以較高封包密度整合。

藉由與邏輯元件邏輯電路，等組合，本發明之半導體儲存裝置可有效地廣泛應用在含資料處理系統的個人電腦，筆記型電腦，膝上型電腦，個人助理/發送器，迷你電腦，工作站，大型主機，多處理器電腦或任何類型的電腦；組成資料處理系統(如，CPU，記憶體及資料儲存裝置)的電子零件；通信裝置，如電話，PHS(個人手持電話系統)，數據機及路由器；影像顯示裝置，如顯示面板及投影機；商業機器，如印表機，掃描器及影印機；映像裝置，如視訊攝影機及數位攝影機；娛樂裝置，如遊戲機及音樂播放器；含資訊裝置的可攜式資訊終端，手錶及電子字典；汽車裝置，如汽車導航系統及汽車音頻裝置；AV(視聽)裝置，用以記錄及複製動畫，平面圖像及音樂的資訊；電子裝置，如洗衣機，微波爐，冰箱，電鍋，洗碗機，吸塵器及冷氣機；保健裝置，如按摩器，體重器及血壓計；及電子裝置，如含可攜式儲存裝置的IC卡，記憶卡，等。特別地，含可攜式電子裝置之應用的可攜式電話，可攜式資訊終端，IC卡，記憶卡，可攜式電腦，可攜式遊戲機，數位攝影機，可攜式影像播放機，可攜式音樂播放機，電子字典及手錶是有效的。應注意，本發明之半導體儲存裝置可建立在電子裝置中以作為至少部份的控制電路或資料儲存電路，或依需要而分別應用。

本發明之半導體儲存裝置及可攜式電子裝置的實施例會參考附圖而詳如以下所述。

(第一實施例)

本實施例之半導體儲存裝置可以記憶元件1設置，記憶元件1作為如圖1中示之非揮發性記憶元件的範例。

在記憶元件1中，一閘電極104會形成在P型井區域102上，P型井區域102經一閘儲存絕緣薄膜103形成在半導體基板101的表面上。一氮化矽薄膜109，其具有用以保留電荷的攔截位準且作為電荷保留薄膜，會設置在閘電極104的較上表面及側表面上，及位於閘電極104雙側表面上之氮化矽薄膜109的部份會作為記憶功能體105a及105b以用於實質上保留電荷。N型擴散區域107a及107b，其分別作為一源極區域及一汲極區域，會形成在閘電極104的兩側上及P型井區域102內側。擴散區域107a及107b具有偏移結構。即，擴散區域107a及107b不會觸及閘電極之下的區域121，及電荷保留薄膜(氮化矽薄膜109)之下的偏移區域120會組成部份的通道區域。

應注意，實質上保留電荷的記憶功能體105a及105b為閘電極104的雙側壁部份。因此，氮化矽薄膜108只需形成在對應至那些區域的區域中(見圖2A)。再者，記憶功能體105a及105b具有一結構，其中構成奈米大小之導體或半導體的粒子112會以散佈的點分散在絕緣薄膜111中(見圖2B)。在此狀況中，電荷難以經複數個點穿隧，因為當大小超過10 nm時，在室溫下會存在量子效應。因此，粒子112的直徑較佳在1 nm至10 nm的範圍內。再者，氮化矽薄膜109，其變成電荷保留薄膜，成以側壁空間形狀形成在閘電極的側表

面上(見圖3)。

記憶元件的寫入操作原理將參考圖3及圖4描述。在此狀況中，會基於記憶功能體131a及131b具有保留電荷之功能的狀況而敘述。再者，專有名詞寫入即意指當記憶元件是N通道類型時，令電子注入記憶功能體131a及131b。下文中，會在記憶元件是N通道類型的假設之下作解釋。

如圖3所示，為了令電子注入(執行寫入)第二記憶功能體131b，會形成N型第一擴散區域107a及N型第二擴散區域107b以分別作為一源極電極及一汲極電極。例如，0 V的電壓會施加至第一擴散區域107a及P型井區域102，+5 V的電壓會施加至閘電極104。根據上述的電壓條件，反轉層226由第一擴散區域107a(源極電極)延伸，但不會觸及第二擴散區域107b(汲極電極)，產生一夾止點。電子會藉由高能電場而由夾止點加速前進至第二擴散區域107b(汲極電極)，及變成所謂的熱電子(高能傳導電子)。藉由令熱電子注入第二記憶功能體131b而執行寫入。因為在第一功能體131a附近沒有產生熱電子，故未執行寫入。

然而，如圖4所示，為了令電子注入(執行寫入)第一功能體131a，會形成第二擴散區域107b及第一擴散區域107a以分別作為一源極電極及一汲極電極。例如，0 V的電壓施加至第二擴散區域107b及P型井區域102，且+5 V的電壓施加至閘電極104。如上述，與令電子注入第二記憶功能體131b相反的狀況，藉由交換源極與汲極區域，可藉由令電子注入第一功能體131a而執行寫入。

接著，記憶元件的抹去操作原理會參考圖5及圖6而描述。

如圖5所示，根據第一方法，其用以抹去儲存在第一功能體131a的資訊，正電壓(例，+5 V)施加至第一擴散區域107a，0V的電壓施加至P型井區域102，逆偏壓會施加至第一擴散區域107a的PN接面及P型井區域102，及負電壓(，-5 V)會再施加至閘電極104。此時，因閘電極(其施加以負電壓)的影響，電位斜率會變得陡峭，特別是在PN接面處的閘電極104附近。因此，因極近接穿隧，故熱孔洞(高能孔洞)會在PN接面的P型井區域102側產生。熱孔洞會朝閘電極104(其具有負電位)拉近，且因此，孔洞會注入第一記憶功能體131a。如上述，會執行第一記憶功能體131a的抹去。在此狀況中，適宜施加0V的電壓至第二擴散區域107b。

當儲存在第二記憶功能體131b中的資訊抹去時，在上述狀況中，適宜交換第一擴散區域之電位與第二擴散區域之電位。

如圖6所示，根據第二方法，其用以抹去儲存在第一記憶功能體131a的資訊，0 V的電壓會施加至第二擴散區域107b，負電壓(例，-4 V)會施加至閘電極104，及正電壓(例，+0.8 V)會施加至P型井區域102。在此狀況中，向前電壓會越過P型井區域102及第二擴散區域107b而施加，令電子注入P型井區域102。注入之電子擴散至P型井區域102的PN接面及第一擴散區域107a，且藉由密集的电場加速而變成熱電子。熱電子在PN接面產生電子孔對。即，藉由越過P型井區域102及第二擴散區域107b而施加向前電壓，注入P型

井區域102的電子會變成觸發器以在相反側上的PH接面處產生熱孔洞。在PN接面處所產生的熱孔洞會朝向閘電極104(其具有負電位)拉近，及因此，孔洞會注入第一記憶功能體131a。

根據此方法，即使當不足以藉由極近接穿隧而產生熱孔洞的電壓施加至P型井區域的PN接面及第一擴散區域107a，由第二擴散區域107b注入的電子會變成觸發器以在PN接面處產生一電子孔對，允許產生一熱孔洞。因此，可降低在抹去操作期間的電壓。特別是，當偏移區域120(見圖1)存在時，因負電位所施加的閘電極很小，PN接面會變成陡峭的結果，及因此，難以藉由極近接穿隧而產生一熱孔洞。第二方法可彌補此缺點，且可在低電壓時達成抹去操作。

在抹去儲存在第一記憶功能體131a的資訊時，必須根據第一抹去方法而施加+5 V的電壓至第一擴散區域107a，而根據第二抹去方法，+4 V的電壓是足夠的。如上述，根據第二方法，可降低抹去期間的電壓。因此，可降低能量耗損，且可抑止記憶元件因熱載子的劣化。

再者，藉由任一抹去方法，過度抹去不容易發生在記憶元件中。專有名詞"過度抹去"為一現象，即當記憶功能體中累積的孔洞量增加時，不需飽和而可降低臨限值。這在藉由快閃記憶體所呈現的EEPROM(電子抹除式唯讀記憶體)中是個重大的問題，且會發生致命的故障，即變成無法執行記憶格選擇，特別是當臨限值變成負值時。然而，在本

發明之半導體儲存置的記憶元件中，當大量的孔洞累積在記憶功能體中時，只有電子會在記憶功能體之下誘發，且幾乎不會影響閘極絕緣薄膜之下的通道區域電位。抹去期間的臨限值會藉由閘極絕緣薄膜之下的電位判定，故因此，不容易發生過度抹去。

記憶元件的讀取操作原理會參考圖7而描述。

在讀取儲存在第一記憶功能體131a的資訊時，會藉由令第一擴散區域107a及第二擴散區域107b分別作為一源極電極及一汲極電極而操作電晶體。例如，0 V的電壓會施加至第一擴散區域107a及P型井區域102，1.8 V的電壓會施加至第二擴散區域107b，及+2 V的電壓會施加至閘電極104。在此狀況中，當第一記憶功能體131a中無累積電子時，汲極電流易於流過。當電子累積在第一記憶功能體131a時，則不容易在第一記憶功能體131a附近形成反轉層，故因此，汲極電流難以流過。因此，藉由偵測汲極電流，可讀取第一記憶功能體131a的儲存資訊。特別是，當藉由施加造成夾止操作的電壓而執行讀取時，累積在第一記憶功能體131a的電荷狀態可更精確地判定，而不會受記憶功能體131b中電荷的存在與否影響。

在讀取儲存在第二記憶功能體131b的資訊時，可藉由令第二擴散區域107b及第一擴散區域107a分別作為源極電極及汲極電極而操作電晶體。雖未示，然適宜施加(例)0 V的電壓至第二擴散區域107b及P型井區域102，施加1.8 V的電壓至第一擴散區域107a，及施加+2 V的電壓至閘電極104。

如上述，藉由交換源極及汲極區域，與讀取儲存在第一記憶功能體131a的狀況相反，可讀取儲存在第二記憶功能體131b的資訊。

若留下未以閘電極104所覆蓋的通道區域(偏移區域120)，則會失去反轉層，或會依通道區域(未覆蓋以閘電極104)中之記憶功能體131a及131b剩餘電荷的存在與否而形成反轉層，且因此，可獲得大幅的磁滯現象(臨限值的改變)。應注意，當偏移區域120的寬度過大時，會大幅降低汲極電流，且顯著地令讀取速率變慢。因此，較佳判定偏移區域120的寬度因而可獲得足夠的磁滯現象及讀取速率。

即使當擴散區域107a及107b觸及閘電極104的終端時，即，即使當擴散區域107a及107b及閘電極104彼此重疊時，電晶體的臨限值亦鮮少藉由寫入操作而改變。然而，源極端及汲極端的寄生電阻會大幅改變，及汲極電流會顯著降低(以強度的順序，等)。因此，可藉由偵測汲極電流而執行讀取，及獲得作為記憶體的功能。然而，當需要較強的磁滯效應時，擴散區域107a及107b較佳不與閘電極104(存在偏移區域120)重疊。

藉由上述的操作方法，每一電晶體的二位元寫入及抹去可選擇性達成。再者，藉由以連接至記憶元件之閘電極104的字線WL及以分別連接至第一擴散區域107a及第二擴散區域107b的第一位元線BL1及第二位元線BL2設置記憶元件，可架構記憶格陣列。

再者，根據上述的操作方法，可藉由交換源極電極與汲

極電極而執行每一電晶體的2-位元寫入及抹去。然而，此裝置可如1-位元記憶體般操作，藉由固定源極電極及汲極電極。在此狀況中，可令源極及汲極區域之一具有共同的固定電壓，及連接至源極及汲極區域的位元線數量可減少至一半。

可由以上敘述知道，在本發明之半導體儲存裝置的記憶元件中，會無關於閘極絕緣薄膜形成記憶功能體，其形成在閘電極的兩側上，故因此，可達成2-位元操作。再者，可藉由閘電極分離記憶功能體，故因此，可有效地抑止覆寫期間的干擾。再者，與記憶功能體分離的閘極絕緣薄膜可因此藉由縮減薄膜厚度而保留短通道效應。因此，可促進記憶元件及半導體儲存裝置的迷你化。

再者，在圖示中，相同的參考號碼會指定至使用相同的材料及物質的部份，且不必定表示相同的形狀。

再者，應注意，圖示是示意性的，及厚度與平面之間的大小關係，層與部份等之間的厚度比及大小會與實際的不同。因此，厚度及大小的具體尺寸應考量以下敘述而判定。再者，當然包括有共有尺寸關係及比值的部份在圖中是不同的。

再者，除非特別聲明，本專利申請範圍中所述的層與部份的厚度及尺寸是半導體裝置之形成完成的階段中最後的形狀尺寸。因此，應注意，與薄膜，雜質區域等之形成後的尺寸相比，最後形狀的尺寸多少會依後續製程的熱歷史等而改變。

(第二實施例)

如圖8所示，本實施例之半導體儲存裝置的記憶元件具有一架構，其除了記憶功能體261及262會以用以保留電荷的區域(可為用以儲存電荷的區域，或具有保留電荷之功能的薄膜)與用以抑止電荷逃逸的區域(可為具有抑止電荷逃逸之功能的薄膜)構成之外，實質上與圖1的記憶元件1相同。

由增進記憶體之保留特徵的觀點而言，記憶功能體較佳包括一電荷保留薄膜，其具有保留電荷的功用，及一絕緣體。本實施例利用一氮化矽薄膜242，其具有如電荷保留薄膜般用以攔截電荷之位準，及氧化矽薄膜241及243，其具有如絕緣薄膜般防止累積在電荷保留薄膜之電荷消散的操作。藉由包括電荷保留薄膜及絕緣薄膜的記憶功能體，可藉由防止電荷消散而增進保留特徵。再者，相較於只由電荷保留薄膜所架構的記憶功能體，可適度地減少電荷保留薄膜的容量，及儲存保留期間因電荷移動導致特徵發生的改變可藉由限制電荷在電荷保留薄膜中的移動而抑止。再者，因使用氮化矽薄膜242處於氧化矽薄膜241與243之間的結構，可增加覆寫期間的電荷注入效率，且可執行高速操作。在此記憶元件中，氮化矽薄膜242可取代以鐵電物質。

亦，在記憶功能體261，262中用以保持或保留電荷的區域(氮化矽薄膜242)會與擴散區域212，213重疊。本文中，專有名詞重疊用以指稱一狀態，即至少部份用以保留電荷的區域(氮化矽薄膜242)會存在至少部份的擴散區域212，213上。應注意，在閘電極217與擴散層區域212，213之間

顯示存在半導體基板211，閘極絕緣薄膜214，及偏移區域271。雖未示於圖示，閘極絕緣薄膜214之下之半導體基板211的最高表面是通道區域。

藉由此設置(作為在記憶功能體261及262中用以保留電荷之區域的氮化矽薄膜242與擴散區212及213重疊)所製造的結果如下述。

如圖9所示，假設閘電極217關於擴散區域213的偏移量是 $W1$ ，及在記憶功能體262之周圍部份中，閘電極217之通道長度方向之剖面平面圖之記憶功能體262的寬度是 $W2$ ，則記憶功能體262與擴散區域213的重疊量會表示為 $W2-W1$ 。此處重要的是，以記憶功能體262之氮化矽薄膜242所構成的記憶功能體262會與擴散區域213重疊，即，可滿足 $W2>W1$ 之關係的設置。

在圖9中，遠離閘電極217的氮化矽薄膜242終端會符合遠離記憶功能體262之閘電極217的記憶功能體262終端。因此，記憶功能體262的寬度會定義為 $W2$ 。

如圖10所示，在記憶功能體中，遠離閘電極之側上的氮化矽薄膜242a邊緣與遠離閘電極之側上的記憶功能體262a邊緣不對齊的狀況中， $W2$ 可定義為由閘電極邊緣至遠離閘電極之側上的氮化矽薄膜242a邊緣的寬度。

圖11顯示圖9之結構中的汲極電流 I_d 與固定在100 nm之寬度 $W2$ 的記憶功能體262，及變動的偏移量 $W1$ 。文中，會藉由在記憶功能體262處於抹去狀態的條件之下執行的裝置模擬而獲得汲極電流(儲存正孔洞)，及擴散層區域212，

213分別設定為源極電極及汲極電極。如圖11所示，使用至少100 nm的W1(即，當氮化矽薄膜242及擴散層區域213不重疊時)時，汲極電流顯示急速的下降。因為汲極電流值幾乎與讀取操作速率成比率，當W1至少是100 nm時，記憶效能會快速劣化。在氮化矽薄膜242與擴散層區域213重疊的範圍中，汲極電流顯示緩慢的降低。因此，考慮製造分散，難以獲得一記憶功能，除非至少部份的氮化矽薄膜242(為具有保留電荷之功能的薄膜)與源極/汲極區域重疊。

基於上述裝置模擬的結果，會以固定在100 nm的W2及設定為60 nm及100 nm的W1作為設計值而製造記憶格陣列。當W1是60 nm時，氮化矽薄膜242會與擴散層區域212，213重疊40 nm(作為設計值)，及當W1是100 nm時，無重疊會作為設計值。此記憶格陣列之測量時間與考量分散之最糟狀況的結果，可發現以60 nm之W1作為設計值的狀況的資料解析存取時間會快100倍。由實用觀點，讀取存取時間較佳為每位元至多100毫微秒。然而可發現， $W1=W2$ 的狀況不會滿足此條件。亦可發現考量製造分散時， $W2-W1>10$ nm是最佳的。

與實施例1相似的，用以讀取儲存在記憶功能體261(區域281)之資訊以較佳設定擴散層區域212為一源極電極及擴散層區域213為一汲極區域，且以在接近通道區域中之汲極區域的側上形成夾止點。更特別地，當讀取儲存在二記憶功能體之任一的資訊時，夾止點較佳形成於接近通道區域中之其他記憶功能體的區域中。因此可以不須顧及記憶功

能體 262 的儲存條件而以高敏感度偵測記憶功能體 261 中的記憶資訊，而對實行二位元操作造成大幅貢獻。

在令資訊只儲存在二記憶功能體之一側外的狀況中，或在以相同儲存條件之下使用此二記憶功能體的狀況中，在讀取操作中不必要形成夾止點。

雖未示於圖 8，井區域(N通道裝置的狀況中為P型井)較佳形成在半導體基板 211 的表面上。當通道區域的雜質濃度維持為最適宜用於記憶操作(複寫操作及讀取操作)時，井區域的形成會促進其他電特徵的控制(耐壓，接面電容，及短通道效應)。

亦，記憶功能體較佳含有一電荷保留薄膜，其置於幾近平行於閘極絕緣薄膜的表面。即，較佳地處置記憶功能體中之電荷保留薄膜的表面以便具有由閘極絕緣薄膜的接觸距離。更特別地，如圖 12 所示，在記憶功能體 262 中作為電荷保留薄膜的氮化矽薄膜 242b 具有一面，其幾近與閘極絕緣薄膜 214 的表面平行。即，會較佳形成氮化矽薄膜 242b 以具有平均的高度，由對應至閘極絕緣薄膜 214 之表面的高度。

記憶功能體 262 中幾近平於閘極絕緣薄膜 214 之表面的氮化矽薄膜 242b 的存在使可有效地控制反轉層在偏移區域 27' 中形成的容易度，其使用儲存在電荷保留薄膜 242b 中的電荷量，藉以增加記憶效果。亦，藉由令氮化矽薄膜 242b 置放為幾近平行於閘極絕緣薄膜 214 的表面，即使具有分散的偏移量(W1)，仍可維持記憶效果的改變為相對小，而可

避免記憶效果分散。此外，可抑止電荷朝向氮化矽薄膜242b之上側的移動，故因此因電荷在記憶保留期間的移動所導致的特徵改變可抑止。

再者，記憶功能體262較佳含有一絕緣薄膜(例，偏移區域271上之氧化矽薄膜244的一部份)，其分離幾近平行於閘極絕緣薄膜214之表面與通道區域(或井區域)的氮化矽薄膜242b。絕緣薄膜可壓制儲存在電荷保留薄膜中之電荷的消耗，藉以可獲得具有較佳保留特徵的記憶裝置。

應注意，如同控制氮化矽薄膜242b之下之絕緣薄膜(偏移區域271上之氧化矽薄膜244的一部份)的薄膜厚度成為穩定，控制氮化矽薄膜242b的薄膜厚度可保持半導體基板之表面與儲存在電荷保留薄膜中之電荷的距離幾近穩定。更特別地，半導體基板之表面至儲存在電荷保留薄膜中之電荷的距離可控制在一範圍內，即由氮化矽242b之下之絕緣薄膜的最小薄膜厚度值至氮化矽薄膜242b之下之絕緣薄膜的最大薄膜厚度與氮化矽薄膜242b之最大薄膜厚度的總和。接著，藉由儲存在氮化矽薄膜242b中之電荷所產生的電力線可粗略控制，故因此可令記憶裝置之記憶效果程序的分散變成最小。

(第三實施例)

在本實施例中，如圖13所示，電荷保留部份262中以第一絕緣體所製成之薄膜的氮化矽薄膜242具有平均薄膜厚度。再者，會架構作為電荷保留薄膜的氮化矽薄膜242，因而一區域281，其具有接觸厚度及幾近平行於閘極絕緣薄膜

214之表面的分散，及一區域282，其以幾近平行於閘電極217的側面方向延伸。

當正電壓施加至閘電極217時，記憶功能體262中的電力線總共經第一部份281及第二部份282(如箭頭283所示)通過氮化矽薄膜242二次。注意，當負電壓施加至閘電極217時，電力線的方向會相反。文中，氮化矽薄膜242的介電常數約為6，而氧化矽薄膜241，243的介電常數約為4。最後，記憶功能體262的有效介電常數在電力線的方向(箭頭283)會變成大於一狀況，即電荷保留薄膜只包括第一部份281，使得電力線之兩邊緣之間的電壓差降低。更特別地，大部份施加至閘電極217的電壓會用以加強偏移區域271中的電場。

電荷會在複寫操作時注入氮化矽薄膜242，因為偏移區域271中的電場會拉掣產生的電荷。接著，包括第二部份282的氮化矽薄膜242會令複寫操作時注入記憶功能體262的電荷增加，藉以增加覆寫速率。

更特別地，在氧化矽薄膜243的部份是氮化矽薄膜的狀況中，在電荷保留薄膜對與閘極絕緣薄膜214對應之高度不平整的狀況中，電荷朝向氮化矽薄膜上側的移動會變得顯著，且劣化保留特徵。

取代氮化矽薄膜，較佳以具有極大介電常數的高介電物質(如，氧化鉛)形成電荷保留薄膜。

再者，記憶功能體較佳包括一絕緣薄膜(偏移區域271上之氧化矽薄膜上的s241部份)，其令幾近平行於閘極絕緣薄

膜表面的電荷保留薄膜與通道區域(或井區域)分離。絕緣薄膜可壓制儲存在電荷保留薄膜中的電荷消散，藉以更增進保留特徵。

亦，記憶功能體較佳包括一絕緣薄膜(與閘電極217接觸的氧化矽薄膜241的部份)，其令閘電極與往幾近平行於閘電極側表面之方向延伸的電荷保留薄膜分離。絕緣薄膜可防止電子由閘電極注入電荷保留薄膜，且防止電特徵的改變，而增加記憶裝置的可靠性。

再者，與第二實施例相似的，絕緣薄膜在氮化矽薄膜242之下的薄膜厚度(偏移區域271上的氧化矽薄膜241部份)會控制為穩定，且置於閘電極側面上之絕緣薄膜的薄膜厚度(氧化矽薄膜241與閘電極217接觸的部份)會控制為穩定。接著，藉由儲存在氮化矽薄膜242中的電荷所產生的電力線密度可粗略控制，且可避免電荷洩漏。

(第四實施例)

在本實施例中，會解釋閘電極，記憶功能體，與源極/汲極區域間之距離的最佳化。

如圖14所示，參考符號A表示在通道長度方向剖視的閘電極長度，參考符號B表示源極與汲極區域之間的距離(通道長度)，及參考符號C表示由一記憶功能體之邊緣至另一記憶功能體之邊緣的距離，更特別地，以通道長度方向之剖視由薄膜(其具有保留電荷在一電荷保留部份的功能)之邊緣(遠離閘電極的側)至薄膜242(其具有保留電荷在其他記憶功能體262的功能)之邊緣(遠離閘電極216的側)的距離。

$A < B$ 的關係是較佳的。當滿足此關係時，在通道區域中，在閘電極217之下的部份與源極/汲極區域212，213之間存在一偏移區域271。藉以，儲存在記憶功能體261，262(氮化矽薄膜242)的電荷會有效地改變在整個偏移區域271部份反轉的容易度。結果，記憶效果會增加，及可特別獲得高率讀取操作。

亦，當閘電極217及源極/汲極區域212，213偏移時，即，當滿足 $A < B$ 的關係時，當施加電壓至閘電極217時，偏移區域的反轉容易度會藉由儲存在記憶功能體261，262的電荷量而大幅改變。因此，記憶效果增加且降低短通道效應。

然而，只要記憶效果有用，則偏移區域是不必要的。即使當偏移區域271不存在，若源極/汲極區域212，213中的雜質濃度夠小，則記憶效果仍可在記憶功能體261，262(氮化矽薄膜242)中有效。

如參照圖11所述，當無法獲得記憶功能體，除非至少部份氮化矽薄膜242a與源極/汲極區域212，213重疊。因此，較佳滿足 $B < C$ 的關係。是故， $A < B < C$ 的狀態是最佳的。

(第五實施例)

如圖15所示，根據本實施例之半導體儲存裝置的記憶裝置具有與第二實施例基本上相同的結構，除了半導體基板是SOI基板。

架構記憶裝置因而埋入的氧化物薄膜288會形成在半導體基板286上，及在埋入的氧化物薄膜288頂部上會再形成SOI層。在SOI層中，會形成擴散區域212，213，及其他區

域組成一主體區域287。

記憶裝置亦成與第二實施例之記憶裝置相似的功能及效果。再，因為擴散區域212，213與主體區域287之間的接面電容會顯著降低，則可增加裝置速率及降低能量耗損。

(第六實施例)

在圖16中，本實施例之記憶裝置具有基本上與第二實施例相同的結構，除了在N型擴散區域212，213的通道側附近，會加入P型高濃度區域291。

更特別地，P型高濃度區域291中的P型雜質(例，硼)濃度會高於區域292中的P型雜質濃度。在P型高濃度區域291中的適當P型雜質濃度值約為(例) 5×10^{17} 至 $1 \times 10^{19} \text{cm}^{-3}$ 。區域292中的P型雜質濃度值可設定為(例) 5×10^{16} 至 $1 \times 10^{18} \text{cm}^{-3}$ 。

因此，設置P型高濃度區域291使擴散區域212，213與半導體基板211之間的接面埋入記憶功能體261，262的正下方。因此促進寫入及抹去操作時熱載子的產生，藉以可降低寫入操作及抹去操作時的電壓，或實行高速的寫入操作及抹去操作。再，因為區域292中的雜質濃度相對較小，當記憶體處於抹去狀態時，則臨限值是小的，及因此汲極電流會變大。因此，可增加讀取速率。以此可設置具有低覆寫電壓或高覆寫速率的記憶裝置，且具有高讀取速率。

亦在圖16中，藉由設置P型高濃度區域291在與源極/汲極區域相鄰的位置中及在記憶功能體261，262的較低側上(即不處於閘電極正下方的位置)，整個電晶體的臨限值顯示出顯著的增加。增加的程度極大於P型高濃度區域291位於閘

電極正下方的狀況。當寫入電荷(在電晶體是N通道類型的狀況中為電極)儲存在記憶功能體261, 262時, 差異會變得更大。當足夠的抹去電荷(電晶體是N通道類型的狀況中為正孔洞)會儲存在記憶功能體, 整個電晶體的臨限值會降低至一值, 其藉由閘電極217之下之通道區域(區域292)中的雜質濃度所判定。更特別地, 抹去狀態的臨限值不取決於P型高濃度區域291中的雜質濃度, 而寫入狀態的臨限值會受極大影響。因此, 在記憶功能體之下及與源極/汲極區域相鄰處沈積P型高度區域291只會對寫入狀態的臨限值造成極大波動, 藉以造成記憶效果的顯著增加(抹去狀態及寫入狀態中的臨限值差)。

(第七實施例)

如圖17所示, 本實施例之半導體儲存裝置的記憶功能體具有基本上與第二實施例相同的結構, 除了絕緣薄膜241(其令電荷保留薄膜(氮化矽薄膜242)與通道區域或井區域211分離)的厚度 $T1$ 小於閘極絕緣薄膜214的厚度 $T2$ 。

閘極絕緣薄膜214具有較低限制的厚度 $T2$, 因為耐壓在記憶複寫操作時的需求。然而, 絕緣薄膜241的厚度 $T1$ 可小於 $T2$, 不考量耐壓的需求。

在本實施例的記憶裝置中, 因下述原因, 故絕緣薄膜厚度 $T1$ 具有如上述之高設計自由度。在記憶裝置中, 絕緣薄膜241, 其令電荷保留薄膜(氮化矽薄膜242)與通道區域或井區域分離, 不會插入閘電極217與通道區域或井區域之間。因此, 絕緣薄膜241, 其令電荷保留薄膜(氮化矽薄膜242)

與通道區域或井區域分離，不會直接受來自高能電場(其影響閘電極217與通道區域或井區域之間)的影響，但會受來自相對較弱之電場(由閘電極217往側邊方向擴展)的影響。因此，除了耐壓施加至閘極絕緣薄膜214的需求，可令T1小於T2。絕緣薄膜厚度T1的減少會促進電荷注入記憶功能體261，262，降低用於寫入操作及抹去操作的電壓，或可執行高速的寫入操作及抹去操作。此外，因為當電荷儲存在氮化矽薄膜242中時，在通道區域或井區域中誘發的電荷量會增加，則可實行增加的記憶效果。

某些在記憶功能體中具有短長度電力線不會通過氮化矽薄膜242，如圖13中的箭頭284所示。因為電場強度在此樣的短電力線上相對較大，沿著電力線的電場在複寫操作扮演重要角色。藉由減少絕緣薄膜241的厚度T1，氮化矽薄膜242會移至圖13的較低側，因而以箭頭284所顯示的電力線會通過氮化矽薄膜242。接著，記憶功能體中在箭頭284的方向沿著電力線284的有效介電常數會變大，使得電力線284兩端之間的電位差更小。因此，大部份施加至閘電極217的電壓會用以強化偏移區域中的電場，藉以實行高速寫入操作及抹去操作。

相反的，例如在以快閃記憶體為典型的EEPROM中，令浮動閘極與通導區域或井區域分離的絕緣薄膜會插入閘電極(控制閘極)與通道區域或井區域之間，因而絕緣薄膜會受來自閘電極之高能電場的直接影響。因此在EEPROM中，絕緣薄膜(其令浮動閘極與通道區域或井區域分離)的厚度

會受限，而阻礙記憶裝置功能的最佳化。

由上述可知，藉由設定絕緣薄膜241的厚度 $T1$ 及閘極絕緣薄膜214的厚度 $T2$ 為 $T1 < T2$ ，可降低寫入操作及抹去操作時的電壓，或實行高速的寫入操作及抹去操作，且可再增加記憶效果，而無需考量記憶體的耐壓能力。注意，絕緣薄膜厚度 $T1$ 的限制範圍較佳為至少0.8 nm，其中製程中或薄膜品質某位準的不平均可維持，且保留特徵不會過度劣化。

更特別地，在液晶驅動器LSI(其具有嚴格的設計原則且需要高耐壓，最高為15至18 V電壓)必要用以驅動液晶面板TFT(薄膜電晶體)的狀況中。最後，無法令閘極氧化物薄膜更薄。在設置本發明之非揮發性記憶體以與其他液晶驅動器LSI一起的影像調整器的狀況中，本發明的記憶裝置可完成絕緣薄膜厚度的最理想設計，該絕緣薄膜令電荷保留薄膜(氮化矽薄膜242)與通道區域或井區域分離，無關於閘極絕緣薄膜的厚度。例如，在記憶格中含有250 nm的閘電極長度(字線寬度)，可分離設定為 $T1=20$ nm及 $T2=10$ nm，滿足具有良好寫入效果的記憶格。(短通道效應未產生，即使 $T1$ 大於普通邏輯電晶體，因為源極/汲極區域會由閘電極偏移。)

(第八實施例)

如圖18所示，根據本實施例之半導體儲存裝置的記憶裝置具有基本上與第二實施例相同的結構，除了絕緣薄膜(令電荷保留薄膜(氮化矽薄膜242)與通道區域或井區域分離)的厚度($T1$)會大於閘極絕緣薄膜的厚度($T2$)。

閘極絕緣薄膜214具有厚度 T_2 的上限，因為用以避免短通道效應的需要影響此裝置。然而，絕緣薄膜241的厚度 T_1 可大於 T_2 ，不考量用以避免短通道效應的需求。再特別地，當迷你化scaling進行(閘極絕緣薄膜繼續變薄)時，絕緣薄膜(令電荷保留薄膜(氮化矽薄膜242)與通道區域或井區域分離)的厚度會無關於閘極絕緣薄膜的厚度 T_2 而光學設計，以完成記憶功能體不打擾scaling的效果。

在本實施例的記憶裝置中，絕緣薄膜厚度 T_1 有如上述之高度設計自由度，因為如曾述及的，絕緣薄膜(其令電荷保留薄膜與通道區域或井區域分離)不會插入閘電極與通道區域或井區域之間。結果，除了用以防止短通道效應至閘極絕緣薄膜的需求，則 T_1 可變成大於 T_2 。

絕緣薄膜厚度的增加可防止儲存在記憶功能體中的電荷消散，且可增進記憶體的保留特徵。

因此，設定 $T_1 > T_2$ 而在不劣化記憶體之短通道效果而增進保留特徵。

應注意，考量降低覆寫速率的絕緣薄膜厚度 T_1 較佳為至多為20 nm。

更特別地，會架構以快閃記憶體為典型的習用非揮發性記憶體，因而選擇閘電極會組成一寫入/抹去閘電極，及一對應至寫入/抹去閘電極的閘極絕緣薄膜(包括浮動閘極)亦會作為一電荷保留薄膜。因此，因為用以迷你化的要求(較薄裝置的產生為基本用以抑制短通道效應)違反用以確認可靠性的要求(為了控制儲存電荷的洩漏，令浮動閘極與通

道區域或井區域分離的絕緣薄膜厚度無法減少至約小於7 nm)，故難以令裝置迷你化。事實上，根據ITRS(國際半導體技術藍圖)，降至約不大於0.2微米的實體閘極長度迷你化仍不得見。在本發明的記憶裝置中，T1及T2的獨立設計可如上述般有效，故因此可達成迷你化。

在本發明中(例)，在具有450 nm之閘電極長度(字線寬度)的記憶格中，可分別設定為T2=4 nm及T1=7 nm，滿足半導體儲存裝置而不產生短通道效應。短通道效應不會產生，即使T2設定為大於普通邏輯電晶體，因為源極/汲極區域會由閘電極偏移。

亦，因為本發明之記憶裝置中的源極/汲極區域由閘電極偏移，相較於普通邏輯電晶體，可再促進迷你化。

如上述，因為用於支援寫入及抹去操作的電極不會存在記憶功能體之上，令電荷保留薄膜與通道區域或井區域分離的絕緣薄膜不會直接受高能電場(其影響支援寫入及抹去操作的電極與通道區域或井區域之間)的影響，但會受來自相對較弱的電場(由閘電極在側邊方向擴展)的影響。因而與相同處理精確度比較，可滿足較邏輯電晶體之閘極長度更迷你化的閘極長度。

(第九實施例)

本實施例關於當在根據本發明之半導體儲存裝置的記憶裝置中執行複寫操作時，電特徵的改變。

圖19之圖顯示汲極電流(I_d)對閘極電壓(V_g)(測量值)的特徵曲線，其中N通道類型記憶裝置之記憶功能體中的電荷量

會在抹去狀態與寫入狀態之間變動。

由圖 19 清楚顯示，當在抹去狀態(實線)時執行寫入操作時，以虛線所顯示的，臨限值不只是提升，且圖表的傾角會顯著下降，特別是在子臨限值區域中。因此，即使在有相對高閘極電壓(V_g)的區域中，抹去狀態至寫入狀態的電流比是大的。例如，在 $V_g=2.5$ V 的點，電流比仍是至少二數位。此特徵與圖 42 中之快閃記憶體的狀況大大不同。

在記憶裝置中具有上述特徵的裝置是一現象，特別在一狀況，即閘電極及擴散區域會偏移且因此閘極電場難以觸及偏移區域。當記憶裝置處於寫入狀態時，反轉層極難以在記憶功能體之下的偏移區域中產生，即使正電壓會施加至閘電極。因此在寫入狀態中在子臨限值區域中造成較小傾角的 I_d - V_g 曲線。

當記憶裝置處於抹去狀態時，高密度電子會包括在偏移區域中。再，當 0 V 施加至閘電極(即，在截止狀態)，電子不會包括在閘電極之下的通道(故因此截止電流是小的)。在抹去狀態的子臨限值區域中造成大幅差異的 I_d - V_g 曲線係數，及即使在超過臨限值的電壓區域中，電流(電導)速率的快速增加。

由以上敘述可知，根據本發明之半導體儲存裝置的記憶裝置會令抹去狀態對寫入狀態的汲極電流比會特別大。

(第十實施例)

如對應圖式所繪示，設置以用於上述記憶功能體 105a，105b，131a，131b，261 及 262 的電荷保留薄膜之各個包括

一部份，其以通道長度方向延伸由閘電極側壁延伸至部份與源極/汲極區域重疊。上述部份部份地或整體地作為電荷儲存區域，其越過部份通道區域及部份擴散區域而延伸，跨越通道區域與擴散區域間之邊界。在此狀況中，電荷儲存區域表示一區域，其中藉由記憶格複寫操作而注入的電荷會實質上保留著，且滿足電荷保留薄膜的主要功能，而出自於整個區域。例如，在圖8中所示的記憶元件中，如圖20所示，電荷保留薄膜242之通道長度方向延伸的部份薄膜部份會作為電荷儲存區域250，其越過部份通道區域273及部份擴散區域212，213而延伸。

因為二電荷儲存區域250分別越過部份通道區域273及部份擴散區域212及213而存在，半導體儲存裝置可執行高速讀取操作。這是因為顯少受閘極電場影響或因儲存在電荷儲存區域250之電荷所產生電場的部份可由通道區域273縮減。反轉層電荷不容易在一部份誘發，該部份顯少受閘極電場及因儲存在電荷儲存區域中之電荷所產生電場之任一影響，故因此，會成為電晶體電流的瓶頸。然而，根據上述架構，可避免此缺點。因此，可藉由在讀取操作期間增加汲極電流而達到高速讀取操作。

圖21顯示第十實施例的記憶元件。在記憶元件中，記憶功能體261，262會形成，因而電荷保留薄膜只會以電荷儲存區域250架構。如圖20(圖8)中所示的記憶元件零件相同的零件會以相同參考號碼表示。圖21中，薄膜形狀的電荷儲存區域250(其平行於半導體基板211之表面)會設置為電荷

儲存區域250，其越過部份通道區域273及部份擴散區域212及213而延伸。電荷儲存區域250會形成為絕緣體245。電荷儲存區域250會藉由絕緣體245由半導體基板211及閘電極217隔離出來。電荷儲存區域250及絕緣體245會組成記憶功能體261及262。

在本實施例中，電荷儲存區域250會以氮化矽薄膜，氧化鋁及氧化鉛，或以上材料之薄板薄膜中之任一架構。絕緣體245較佳以氧化矽薄膜架構，但可以其他絕緣薄膜或複數個種類之絕緣薄膜所架構。

第十實施例的記憶元件亦可儲存二位元資訊，其藉由獨立儲存電荷在與上述其他記憶元件相同的二電荷儲存區域250之各個。再者，如同其他記憶元件，二電荷儲存區域250會藉由閘電極217而彼此分離，故因此，可有效地阻礙覆寫期間的干擾。閘電極217，其只經閘極絕緣薄膜214與半導體基板211接觸，會因此而可藉由減少閘極絕緣薄膜厚度而制止短通道效應。

再者，因為二電荷儲存區域250會越過部份通道區域273及部份擴散區域212及213而存在，半導體儲存裝置可如上述般達到高速讀取操作。

再者，電荷儲存區域250具有薄膜狀的形狀，其平行半導體儲存211的表面。因此，可參照圖12的描述得知，在存在於電荷儲存區域250之下的通道區域273部份(偏移區域)中形成反轉層的容易度可有效地抑止，且可因此而增加記憶效果。再者，可抑止記憶效果中的變動。因此，可增進記

憶元件的可靠度，及增加覆寫速率。

(第十一實施例)

本實施例關於可增進可靠度的記憶元件，其藉由避免因複寫操作的重複所造成的劣化。

首先，記憶元件因複寫操作的重複而產生劣化的原因會以右手側之記憶功能體262作為範例參照圖22及圖24至29而描述。注意，曾提及的參考號碼不會再做描述。

若寫入(程設)操作或抹去操作可在右手側記憶功能體262中執行，接著會產生熱載子，且在氧化矽薄膜241與半導體基板211之間的介面會產生介面狀態321，如圖22所示。隨著複寫操作頻率的增加，會增加介面狀態321。

此刻，本發明之記憶元件的功能會參照圖24至27(其顯示本發明之記憶元件的示意性等效電路圖)而描述。如圖24所示，本發明之記憶元件可視為一裝置，其中在閘極絕緣薄膜214之下形成的電晶體TrC及在偏移區域271中之電晶體TrC兩側上形成的儲存元件ML及MR會串聯。儲存元件ML及MR會因流動之電流值(根據儲存在記憶功能體261及262之電荷量)的改變而具體地製造一記憶效果。當源極電壓(V_s)及汲極電壓(V_d)間之差足夠小於閘極電壓(V_g)及臨限值電壓值間之差，本發明之記憶元件因執行不飽和特徵區域操作而可藉由圖24中之等效電路圖表示。然而，當源極電壓(V_s)及汲極電壓(V_d)間之差變得夠大時，記憶元件可藉由圖25或26之等效電路圖表示，因記憶元件執行飽和特徵區域操作。即，因為記憶元件在汲極側上製造夾止效果，

儲存元件 (ML 或 MR) 會改變為電阻 (RL 或 RR)，其具有約略穩定的電阻值，而不取決於儲存在記憶功能體的電荷量。如上述，當記憶元件執行飽和特徵區域操作時，在等效電路圖中只出現一儲存元件，故因此，可分離讀取在特定側上的儲存資訊。

圖 25 顯示用以讀取右手側記憶功能體 262 之狀況的等效電路圖 (右手側記憶功能體 262 假設為位於源極側)。儲存元件 MR 亦可認為是等於電晶體 TrR，其臨限值會因儲存在右手側記憶功能體 262 的電荷量而改變 (圖 27)。在此狀況中，二電晶體 TrC 及 TrR 可認為是藉由單一閘電極 217 所控制，故因此，可假設此類電晶體的閘電極會一起連接以接收共同閘極電壓 V_g 的施加。因右手側記憶功能體 262 的複寫操作所產生的介面狀態 321 所造成的劣化可認為是右手側電晶體 TrR 的劣化所造成的結果。

圖 28 及圖 29 之圖表用以示意性地解釋當閘極電壓 V_g 在讀取操作期間改變時，讀取電流 I_d 的改變方式。圖表的垂直軸以對數基礎表示讀取電流 I_d 。

在圖 28 中，曲線 I_{dTrC} 表示在閘電極 217 之下形成的電晶體 TrC 流動的電流。即，電流 I_{dTrC} 表示電晶體 TrC 的驅動能力。因為電晶體 TrC 本身中不產生記憶效果，電流 I_{dTrC} 是穩定的，無關於右手側記憶功能體 262 的儲存狀態。曲線 I_{dTrRel} 及 I_{dTrRw} 表示當右手側記憶功能體 262 分別處於抹去狀態及程設 (寫入) 狀態時，可在右手側電晶體 TrR 流動的電流。如上述，會因儲存在右手側記憶功能體 262 的電荷量

而大幅改變右手側電晶體 TrR 的臨限值。

由圖 28 可知，曲線 I_{dTrC} 及曲線 I_{dTrRe1} 會在點 $\times 1$ 交叉。因此，在右手側記憶功能體 262 處於抹去狀態的狀況中，當 V_g 小於點 $\times 1$ 時，電晶體 TrC 的驅動能力會決定讀取電流 I_d 。因此，讀取電流 I_d 會變得像圖 29 中的曲線 I_{dE1} 。在右手側記憶功能體 262 處於寫入狀態(程設狀態)的狀況中，右手側電晶體 TrR 的驅動能力決定任何值之 V_g 的讀取電流 I_d 。因此，讀取電流 I_d 會變成像圖 29 中的曲線 I_{dP} 。

若右手側記憶功能體 262 可執行重複複寫操作，則可產生介面狀態 321，且右手側電晶體 TrR 的 S 值(子臨限值升幅)會增加，造成 g_m (互導)的減少。因此，可在右手側電晶體 TrR 流動的電流會如圖 28 之曲 I_{dTrRe2} 般地降低。應注意，相較於曲線 I_{dTrRe1} ，s 值的增加以斜率下降的形式出現(在圖 28 之曲線 I_{dTrRe2} 的提升)。此時，曲線 I_{dTrRe2} 及曲線 I_{dTrC} 會在點 $\times 2$ 交叉。最後，在記憶功能體 262 中重複複寫操作後之抹去操作期間的讀取電流 I_d 會變得像圖 29 之曲線 I_{dE2} 。

由以上描述可知，抹去操作期間的讀取電流會由 I_{dE1} 降低至 I_{dE2} ，且因而造成讀取操作的減速。

由上述描述可知，因介面狀態及臨限值的增加而導致的右手側電晶體 TrR 之 S 值增加會造成抹去狀態之讀取電流的減少。電晶體的 S 值一般可表示為：

$$S = (kT/q) \ln 10 (1 + (C_d + qD_{it})/C_{ox}) \dots (1)$$

其中 k 是波茲曼常數， T 是溫度， q 是基本電荷， C_d 是半導體基板側上的阻擋層電容， D_{it} 是介面狀態密度， C_{ox} 是閘極

絕緣薄膜電容。

根據方程式(1)，可了解當產生介面狀態時，則s值會增加，及當 C_{ox} 越小時，S值的增加會變得更顯著。在此狀況中，右手側電晶體TrR的閘極絕緣薄膜厚度對應至圖22所示之電通量線322的長度，且明顯較電晶體TrC的閘極絕緣薄膜(閘極絕緣薄膜24)更厚。即，右手側電晶體TrR的閘極絕緣薄膜電容 C_{ox} 會明顯小於電晶體TrC的。因此，由方程式(1)可知，因interfacd狀態Dit變重要及右手側電晶體TrR的驅動能力減少會使s值增加。結果，記憶元件的讀取電流會顯著下降。

例如，假設右手側電晶體TrR的電通量線322具有30 nm的長度，位於半導體基板側上的阻擋層具有0.1 μm 的寬度，閘極絕緣薄膜及記憶功能體會以氧化矽薄膜(相對介電度：4)所架構，及因簡化原故，半導體基板會以矽(相對介電度：11.9)所製成，則當介面狀態密度是 $10^{10}\text{cm}^{-2}\text{eV}^{-1}$ 時，s值是116 mV/decay。若介面狀態密度增加至 $10^{12}\text{cm}^{-2}\text{eV}^{-1}$ ，則s值會大幅增加至196 mV/decay。假設右手側電晶體TrR的閘極絕緣薄膜厚度等於電晶體TrC的(例如，6 nm)，則當介面狀態密度是 $10^{10}\text{cm}^{-2}\text{eV}^{-1}$ 時，s值則是71 mV/decay。然而即使介面狀態密度增加至 $10^{12}\text{cm}^{-2}\text{eV}^{-1}$ ，則s值只會增加至87 mV/decay。

本發明的記憶元件具有單一閘電極，及擴散區域會由閘電極偏移。因此，記憶元件具有特別的問題，即偏移區域271中有效閘極絕緣薄膜的厚度(箭頭322)會增加，及某樣組

成記憶功能體的材料會造成讀取電流因複寫操作的重複而顯著下降。

因此，在本發明的記憶元件中，如圖 22 所示，記憶功能體 261 及 262 會包括氧化鋁 311，其作為電荷保留薄膜。氧化鋁具有約 9.5 的相對介電度，大於氧化矽薄膜約 4 及氮化矽薄膜約 6 的相對介電度。因此，右手側電晶體 TrR 的 C_{ox} 會顯著增加，且因複寫操作重複所造成的劣化會大幅減輕。在右手側電晶體的電通量線 322 長度為 30 nm 的狀況中，為了簡化原故，假設記憶功能體 262 會完全地以氧化鋁架構，則當介面狀態密度是 $10^{10} \text{cm}^{-2} \text{eV}^{-1}$ 時，s 值則是 83 mV/decay。即使介面狀態密度增加至 $10^{10} \text{cm}^{-2} \text{eV}^{-1}$ ，s 值只會增加至 117 mV/decay。由此可知，藉由以氧化鋁製造記憶功能體的電荷保留薄膜，不僅可在劣化前降低 s 值，亦可大幅阻礙 s 值因劣化而增加。因此，因為記憶元件的讀取電流會增加且亦可減少讀取電流因劣化而降低，則可增進記憶元件的讀取速率。

再者，因為氧化鋁的電子攔截位準具有的能量較氮化矽薄膜的更深，則可避免攔截的電荷在電荷保留薄膜內移動或遷移。因此，可增進記憶元件的可靠度。

再者，因為氧化鋁只存在電子攔截而無孔洞攔截，則當電荷保留薄膜處於中性態時，可決定抹去限制。因此，當抹去時間增加時，讀取電流漸趨穩定值，因此，有利地，可容易設定讀取參考電流值。

圖 23 是圖 22 中所示之記憶元件的改良範例剖面圖。記憶

功能體261及262具有一結構，其中具有約略為L狀剖面形狀的氧化鋁薄膜312會置於氧化矽薄膜241與243之間。以此架構，如同圖8所示之記憶元件(氮化矽薄膜用作為電荷保留薄膜)的狀況，可抑制記憶效果的變動。再者，電荷的向上運動可壓制，且可抑止因電荷在儲存保留期間的移動之特徵改變的發生率。

(第十二實施例)

本實施例關於一種記憶格陣列，其中設置上述的記憶元件。

圖30是記憶格陣的示意性平面圖。圖31是由圖30的線31-31看去的示意性剖面圖。應注意，因簡化原故，上部互連結構(位元線)可以圖30的直線表示。再者，雖圖30顯示包括五字線及四位元的記憶格陣列，行數及列數仍可自由設定。

元件隔離區域495(圖32)形成在半導體基板411中。屬於半導體基板411表面的一區域(其中形成元件隔離區域495)作為主動區域ACT。字線WL1至WL5(417)會以繪紙的橫向延伸，且以繪紙的縱向並列設置。各字線WL1至WL5(417)會為主動區域ACT之上延伸，之間具有一閘極絕緣薄膜414，及擴散層區域412會形成在各字線(位於主動區域中但不為字線所覆蓋的一區域)的兩側上。在字線兩側上形成的一字線(閘電極)及二擴散層區域(源極區域或汲極區域)會組成一場效應電晶體。記憶功能體461及462(具有以氧化矽薄膜441及443所支持的氮化矽薄膜422)會連繼形成在字線WL1

至WL5 (417)的側壁上，或側表面上。如圖30所示，主動區域ACT之線(以橫斷字線的方向延伸)會交替地連接至字線之間之主動區域ACT的相鄰線。接孔CH (496)會形成在相鄰主動區域ACT的連接部份上。各接孔(496)會電連接以橫斷字線方向延伸的位元線BL1至BL4 (497)之任一與擴散區域412。以上述設置，一擴散層區域會由四場效應電晶體所共享。參考號碼489表示層絕緣薄膜。

圖33是此記憶格陣列的示意性等效電路圖。記憶元件MTR會以排列方式形成在相鄰位元線BL之間，而以橫斷位元線方向延伸的字線WL會與記憶元件的閘電極連接。藉由選擇一對相鄰位元線及一字線，則可選擇特製的記憶元件。藉由施加適宜電壓至一對相鄰位元線及一字線，則可執行特製記憶元件的複寫操作及讀取操作。因為覆寫方法及讀取方法的具體範例已解釋，下文不再贅述。

字線WL1至WL5作為特定主動區域ACT上之記憶元件的閘電極。即，各字線會由複數個記憶元件所共享。再者，二記憶功能體461及462會連續形成在各字線的二側壁上，及記憶功能體461及462會由複數個記憶元件所共享。如上述，因為各字線及形成在各字線側壁上的記憶功能體會由複數個記憶元件所共享，則可減少記憶格區域及增加記憶格陣列的封包密度。

再者，與第十一實施例一起描述，可認為本發明的記憶元件是高效能元件，其以選擇電晶體TrC及二變動臨限值電晶體(TrL, TrR)所架構。這樣的高效能元件可以最少零件(包

括單一字線)所架構，及可排列元件而架構記憶格陣列。因此，當增進記憶效果時，可增加記憶格陣列的密度。

圖 34 是圖 30 所示之記憶格陣列改良範例的示意性平面圖。圖 34 中所示的記憶格陣列與圖 30 所示的記憶格陣列不同，因主動區域 ACT 具有直條形狀及相鄰主動區域會藉由矩形(當實際處理時會變成約略卵形)接孔 CH 而彼此電連接。記憶格陣列的等效電路圖與圖 33 中所示的相同。因為圖 34 中所示的記憶格陣列(具有主動區域 ACT 及元件隔離區域，相較於圖 30 所示記憶格陣列具有簡化形狀)會變得容易處理。因此，會增進以此記憶格陣列所裝設之積體電路的良率。否則，可藉由減少處理所需的邊緣而縮小記憶格陣列的尺寸。

圖 35 是圖 30 所示之記憶格陣列另一改良範例的示意性平面圖。圖 35 所示之記憶格陣列與圖 30 所示之記憶格陣列不同，因為字線 WL1 至 WL5 是彎曲的。以此設置，相鄰字線之間的距離可在存在接孔 CH 的部份中增加，及字線間的距離可在無接孔 CH 的部份中減少。因為每二字線會在位元線所延伸的方向設置一接孔 CH，故可令字線彎曲而有效地設置接孔。圖 35 所示的記憶格陣列可允許在字線之間具有減少的平均距離(相較於圖 30 所示的記憶格陣列)。因此，可減少記憶格區域且因此可增加記憶格陣列的封包密度。

(第十三實施例)

依比率設置積體電路(其中設置上述的記憶元件與邏輯電晶體及具體設置範例)的指導原則如下述。

如已述，本發明之記憶元件的製程與邏輯電晶體的製程具有極高的相似度。因此，積體電路(其中具有本發明記憶元件的記憶區段會與具有邏輯電晶體的邏輯電路區段結合設置)像本發明之半導體儲存裝置的應用一樣重要。ITRS (國際半導體技術藍圖)2001曾預測邏輯電晶體的設置，根據其半個間距會以圖37至39所示的MPU 1/2間距區段表示，及實際閘極長度會以L(邏輯)區段表示。由此樣表示可知，預測的邏輯電晶體之實際閘極長度在將來會急速地縮減。再者，閘極側壁絕緣薄膜的寬度亦可在ITRS 2001中預測，根據圖37之 W_{sw} 所描述的其最大值。如已述，本發明之半導體儲存裝置的記憶元件之實際閘極長度在尺寸方面顯著地縮減。然而，因為閘極側壁絕緣薄膜的寬度亦可依邏輯電晶體的尺寸縮減而減少，故在設置記憶元件中維持適合的有效偏移量是很重要的。

圖36之圖用以解釋積體電路的設置，其中具有本發明之記憶元件的記憶區段會與具有邏輯電晶體的邏輯電路區段結合設置。記憶裝置3及4是組成(例)圖30，34及35所示之記憶格陣列的記憶元件。以下敘述一範例，其中字線(閘電極417)間之裂縫 W_{gp} 設定為3/2間距(圖37至39的MPU 1/2間距的三倍)。邏輯電晶體5會以LDD(微量摻質汲極)498設置，及閘極絕緣薄膜488的薄膜厚度會與記憶元件3及4之閘極絕緣薄膜414的薄膜厚度不同。

記憶元件3及4的側壁絕緣薄膜具有一架構，其中絕緣薄膜499可再加入邏輯電晶體5的側壁絕緣薄膜(以氮化矽薄

膜422及氧化矽薄膜441及443所架構)。絕緣薄膜499可以(例)氧化矽薄膜或氮化矽薄膜所架構。當偏移量 W_{off} 變得不足以依記憶元件的設置而製造足夠強度的記憶效果時，為了只增加記憶元件的閘極側壁絕緣薄膜厚度可加入絕緣薄膜499。以此設置，當令邏輯電晶體的閘極側壁絕緣薄膜厚度 W_{sw} 維持如ITRS 2001的預測值時，可藉由增加記憶元件的閘極側壁絕緣薄膜厚度而獲得足夠的記憶效果。

在以下設置範例中，擴散區域412的深度 X_j 可假設為與記憶元件3及4及邏輯電晶體5相同，及大小可假設為依照ITRS 2001所述。再者，在擴散區域412的閘極側壁絕緣薄膜(包括薄膜厚度 W_{ex} 的絕緣薄膜499)之下橫向擴展 W_{dif} 是經驗中擴散區域412深度 X_j 的0.7倍，且以下設置仍依照。即，可藉由由總閘極側壁絕緣薄膜厚度(藉由加入邏輯電晶體5的閘極側壁絕緣薄膜厚度 W_{sw} 及絕緣薄膜499的厚度 W_{ex} 而獲得)減去擴散區域412橫向的擴展而獲得偏移量 W_{off} 。可藉由裝置模擬而証實，若偏移量 W_{off} 絕不小於14 nm，則可製造足夠強度的記憶效果。因此，在以下設置的範例中，可決定氧化物薄膜499的厚度，因而偏移量 W_{off} 會變為最小的14 nm。應注意， L (記憶體)表示記憶元件3及4的實際閘極長度，及 S_{sw} 表示閘極側壁絕緣薄膜之間的距離。備考，ITRS 2001中所述的NOR類型快閃實際閘極長度預設值 L (快閃NOR)亦顯示在圖37至39。

圖37顯示第一設置範例，其中記憶元件3及4的實際閘極長度 L (記憶體)會假設為與邏輯電晶體5的實際閘極長度

L(邏輯)相同地縮減。閘極側壁絕緣薄膜之間的距離 S_{sw} 在三設置範例中是最大的，且在任一年皆超過半個間距。在2007年後即會須要絕緣薄膜499(半個間距：65 nm)。

圖38顯示第二設置範例，其中記憶元件的實際閘極長度不像邏輯電晶體般顯著地縮減，且會等於半個間距(MPU 1/2間距)。在此狀況中，因為記憶元件的實際閘極長度L(記憶體)較大，則記憶元件的短通道效應小，且其製程檢查會較簡單。然而，因為閘極側壁絕緣薄膜(此處設置有接孔)間的距離 S_{sw} 會變得小於半個間距，自身對齊接觸程序會變成絕對必要。

圖39顯示第三設置範例，其中閘極側壁絕緣薄膜間的距離 S_{sw} 會等於半個間距。在此狀況中，記憶元件的實際閘極長度L(記憶體)假設為一值，即第一及第二設置範例的中間值。本設置範例達到記憶元件的實際閘極長度與用於接孔的空間之間的平衡。

在實行如圖37至39的設置中最重要的是，記憶元件的二擴散區域兩者有效地偏移。在此狀況中，有效地偏移即意指，當記憶功能體處於寫入狀態時，或程設狀態(其中若電子會儲存在n通道類型元件中，而若孔洞則會儲存在p通道類型元件中)時，存在一區域，其中半導體基板之半導體層的表面在記憶功能體正下方產生消耗。即，除了擴散區域端會關於閘電極端偏移的狀況之外，亦包括一狀況，即具有低濃度及淺厚度(淺深度)的低度摻質擴散區域存在記憶功能體之下的記憶層表面中，及低度摻質擴散區域會觸

及閘極端。應注意，普通LDD(微量摻質汲極)區域不會包括在低度摻質擴散區域中。這是因為普通LDD區域不會消耗，即使當記憶功能體進入寫入狀態時，故因此不會產生記憶效果。普通LDD區域會藉由植入而形成，例如，在閘電極形成後， 4×10^{12} 至 $5 \times 10^{14} \text{cm}^{-2}$ 的 $^{31}\text{P}^+$ 離子。然而，低度摻質擴散區域可再藉由低劑量植入之方法等而形成。記憶元件的二擴散區域兩者較佳皆偏移的原因如下述。

首先，因為記憶元件的二擴散區域兩者入有效地偏移的設置，則短通道效應的抑止會變得極簡單。通常，記憶元件所需操作電壓會較邏輯電晶體更需的更高，及記憶元件3及4之閘極絕緣薄膜414的厚度會較邏輯電晶體5之閘極絕緣薄膜488所需的更大。因此，極難以藉由設定記憶區段(其以邏輯電晶體設置)的相等半個間距而達成設置。然而，記憶元件的二擴散區域兩者皆有效偏移的設置會變得有利於短通道效應，及可實行如上述的設置。

接著，藉由記憶元件的二擴散區域兩者皆有效偏移的設置效力，則只在擴散區域的一側上形成一LDD的程序是不需要的。LDD只位於擴散區域一側上的設置意指(例)，圖31中每隔一擴散區域412會形成LDD。為了形成此樣的LDD，在字線(閘電極417)形成後需要令每隔一字線之間的主動區域開口藉由光阻罩幕，且實行用以形成LDD的離子植入。然而，難以在足夠不平坦的基板(因閘儲存極電極所造成)上形成密集的光阻樣態，及須要額外的邊界。若記憶元件的二擴散區域兩者皆有效地偏移，則不需要形成如上述的

LDD的程序，及可在記憶功能體形成後以自身對齊方式形成擴散區域。因此，可藉由減少記憶格區域而增加記憶格陣列的密度。

再者，藉由記憶元件的二擴散區域兩者皆有效偏移的設置效力，可實行二位元操作。以此設置，可藉由大幅降低每位元的記憶格區域而增加記憶格陣列的密度。

(第十四實施例)

圖40顯示作為本發明之可攜式電子裝置範例的可攜式電話示意性方塊圖。

電話基本以下列構成：一控制電路511，一電池512，一RF(無線電頻率)電路513，一顯示區段514，一天線515，一信號線516，及一電源線517。根據上述實施例任一的半導體儲存裝置511a可併入控制電路511。控制電路511較佳為積體電路，其含相同結構的裝置會同時作為記憶電路元件及邏輯電路元件。以此促進積體電路的製造及允許可攜式電子裝置的製造成本更下降。

如上述，藉由利用促進用以結合記憶區段與邏輯電路區段之製程的半導體儲存裝置，則易於迷你化，且允許高速讀取操作，可增進可靠度及可攜式電子裝置的操作速率，降低可攜式電子裝置的大小，及減少製造成本。

【圖式簡單說明】

圖1是本發明第一實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖2A是第一實施例之半導體儲存裝置中的必要部份改良

的示意性剖面圖；

圖 2B 是第一實施例之半導體儲存裝置中的必要部份改良的示意性剖面圖；

圖 3 之圖用以解釋第一實施例之半導體儲存裝置中的記憶元件之寫入操作；

圖 4 之圖用以解釋第一實施例之半導體儲存裝置中的記憶元件之寫入操作；

圖 5 之圖用以解釋第一實施例之半導體儲存裝置中的記憶元件之抹去操作；

圖 6 之圖用以解釋第一實施例之半導體儲存裝置中的記憶元件之抹去操作；

圖 7 之圖用以解釋第一實施例之半導體儲存裝置中的記憶元件之讀取操作；

圖 8 是本發明第二實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 9 是第二實施例之半導體儲存裝置中的必要部份的放大示意性剖面圖；

圖 10 是第二實施例之半導體儲存裝置中的必要部份改良的放大示意性剖面圖；

圖 11 之圖表顯示第二實施例之半導體儲存裝置中的記憶元件之電特徵；

圖 12 是第二實施例之半導體儲存裝置中的必要部份改良的示意性剖面圖；

圖 13 是本發明第三實施例之半導體儲存裝置中的記憶元

件必要部份的示意性剖面圖；

圖 14 是本發明第四實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 15 是本發明第五實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 16 是本發明第六實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 17 是本發明第七實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 18 是本發明第八實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 19 之圖表顯示本發明第九實施例之半導體儲存裝置中的記憶元件之電特徵；

圖 20 是圖 8 中所示的記憶元件之電荷儲存區域的示意圖；

圖 21 是本發明第十實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 22 是本發明第十一實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 23 是本發明第十二實施例之半導體儲存裝置中的記憶元件必要部份的示意性剖面圖；

圖 24 為當執行不飽和特徵區域操作時，根據本發明半導體儲存裝置之記憶元件的等效電路圖；

圖 25 為當右側記憶功能部份讀取時，記憶元件的等效電路圖；

圖 26 為當左側記憶功能部份讀取時，記憶元件的等效電路圖；

圖 27 為當右側記憶功能部份讀取時，記憶元件的另一等效電路圖；

圖 28 之圖表，示意性地描述在記憶元件之讀取操作期間，讀取電流 I_d 依閘電極 V_g 變動的方式；

圖 29 之圖表分別顯示當記憶元件處於抹去狀態及程設狀態讀取時的電流曲線；

圖 30 為本發明第十二實施例之記憶格陣列的示意性平面圖；

圖 31 為由圖 30 的線 31-31 看去的示意性剖面圖；

圖 32 為由圖 30 的線 32-32 看去的示意性剖面圖；

圖 33 為第十二實施例之記憶格陣列的等效電路圖；

圖 34 為圖 33 中所顯示之記憶格陣列之改良的示意性平面圖；

圖 35 為圖 33 中所顯示之記憶格陣列之改良的示意性平面圖；

圖 36 之圖用以解釋作為本發明第十三實施例的積體電路之測量；

圖 37 顯示積體電路之測量範例；

圖 38 顯示積體電路之測量的另一範例；

圖 39 顯示積體電路之測量的再一範例；

圖 40 為作為本發明之可攜式電子裝置範例的第十四實施例之可攜式電話方塊圖；

圖 41 為習用快閃記憶體之必要部份的示意性剖面圖；及
圖 42 之圖表顯示習用快閃記憶體之電特徵。

【圖式代表符號說明】

101, 211, 286, 411	半導體基板
102P	型井區域
103, 214, 414	閘極絕緣薄膜
104, 217, 417	閘電極
105, 131a, 131b, 261, 262, 461, 462	記憶功能體
107a, 107b, 212, 213, 412	擴散區域
109, 242, 242a, 242b, 442	氮化矽薄膜(電荷保留薄膜)
120, 271	偏移區域
121	設置於閘電極之下的區域
241, 243, 441, 443	氧化矽薄膜
245	絕緣體
250	電荷儲存區域
273	通道區域
311, 312	氧化鋁薄膜
321	介面狀態
322	電通量線
417, WL	字線
489	層絕緣薄膜
495	元件隔離區域
496, CH	接孔
497, BL	位元線

498	LDD(微量摻質汲極)
499	絕緣薄膜
ACT	主動區域

伍、中文發明摘要：

本發明揭示一種具有記憶功能主體(261, 262)之半導體儲存裝置，記憶功能主體(261, 262)具有保留電荷之功能，該半導體儲存裝置形成於設置在半導體層(211)上之單一閘電極(217)之對面上，半導體層(211)與閘電極(217)之間置放閘電極絕緣薄膜(214)。各記憶功能主體包括一電荷保留薄膜(242)，其具有一電荷儲存區域(250)。電荷儲存區域(250)越過通道區域之兩側上的通道區域(273)部份及擴散區域(212, 213)部份而存在。因為記憶功能主體會形成在閘電極的兩側上，無關閘電極絕緣薄膜地，則可二位元操作。因為會藉由閘電極而令記憶功能主體彼此分開，故可有效地抑止複寫操作期間的干擾。亦，曾經閘電極絕緣薄膜之薄化而抑止短通道效應。因此可極小化記憶元件。

陸、英文發明摘要：

A semiconductor storage device has memory function bodies (261, 262) having a function to retain electric charges, which are formed on opposite sides of a single gate electrode (217) provided on a semiconductor layer (211) with a gate insulation film (214) disposed therebetween. Each memory function body includes a charge retention film (242) having a charge storage region (250). The charge storage regions (250) exist over part of the channel region (273) and part of diffusion regions (212, 213) on both sides of the channel region. Because the memory function bodies are formed on both sides of the gate electrode, independently of the gate insulation film, 2-bit operations are possible. Because the memory function bodies are separated from each other by the gate electrode, interference during rewrite operation is effectively suppressed. Also, short-channel effect is suppressed through thinning of the gate insulation film. Miniaturization of memory elements is thus facilitated.

拾、申請專利範圍：

1. 一種半導體儲存裝置，包括：

一半導體層(102, 211, 287, 411)；

一單一閘電極(104, 217, 417)，其形成於半導體層上，之間置有一閘極絕緣薄膜(103, 214, 414)；

一通道區域(120, 121, 273)，其設置於閘電極之下；

複數個擴散區域(107a, 107b, 212, 213, 412)，其設置於通道區域之相反側上；及

複數個記憶功能體(105a, 105b, 131a, 131b, 261, 262, 461, 462)，其形成於閘電極之相反側上及具有保留電荷之功能。

2. 一種半導體儲存裝置，包括：

一半導體層(102, 211, 287, 411)；

一單一閘電極(104, 217, 417)，其形成於半導體層上，之間置有一閘極絕緣薄膜(103, 214, 414)；

一通道區域(120, 121, 273)，其設置於閘電極之下；

複數個擴散區域(107a, 107b, 212, 213, 412)，其設置於通道區域之相反側上；及

二電荷儲存區域(250)，

各電荷儲存區域為平行於半導體層表面之薄膜之形狀，及越過部份通道區域及部份對應之擴散區域而存在，跨越通道區域與擴散區域間之邊緣。

3. 一種半導體儲存裝置，包括：

複數個記憶元件(3, 4, 5, MTR)，其沿著一字線(417)，

W)而設置，

其中形成具有保留電荷之功能之二記憶功能體(461，462)，俾沿著字線於字線之相反側上延伸，

複數個記憶元件之各個包括：

一半導體層(411)；

部份(417)之字線；

一閘極絕緣薄膜(414)，其形成於半導體層與部份字線之間；

一通道區域，其設置於部份字線之下；

複數個擴散區域(412)，其設置於通道區域之相反側上；及

部份之各記憶功能體(461，462)，其越過部份通道區域及部份對應之擴散區域而存在，跨越通道區域與擴散區域間之邊緣。

4. 如申請專利範圍第3項之半導體儲存裝置，其中

字線由一單一字線組成，

記憶功能體只設置於單一字線之兩側上，及

各記憶功能體包括至少一絕緣材料。

5. 如申請專利範圍第4項之半導體儲存裝置，其中當資訊覆寫至記憶元件時，選擇之字線只為單一字線。

6. 如申請專利範圍第1項之半導體儲存裝置，其中

各記憶功能體包括至少一絕緣材料，及

形成至少部份之記憶功能體俾以與部份之對應擴散區域重疊。

7. 如申請專利範圍第1至6項中任一項之半導體儲存裝置，其中半導體層包括一SOI層。
8. 如申請專利範圍第1至6項中任一項之半導體儲存裝置，其中半導體層包括一井區域(211)。
9. 如申請專利範圍第1，3至5項中任一項之半導體儲存裝置，其中各記憶功能體包括一電荷保留薄膜(242，250，311，312，442)，其具有儲存電荷之功能，及一絕緣體(241，243，245，441，443)。
10. 如申請專利範圍第9項之半導體儲存裝置，其中電荷保留薄膜(242，312，442)包括一第一部份，其具有一約略平行於閘極絕緣薄膜表面之表面。
11. 如申請專利範圍第10項之半導體儲存裝置，其中電荷保留薄膜(242，312，442)包括一第二部份，其往約略平行於閘電極或字線之側表面延伸。
12. 如申請專利範圍第11項之半導體儲存裝置，其中絕緣體包括一絕緣薄膜(241，441)，其令閘電極或字線與電荷保留薄膜之第二部份分離，電荷保留薄膜往約略平行於閘電極或字線之側表面延伸。
13. 如申請專利範圍第10項之半導體儲存裝置，其中絕緣體包括一絕緣薄膜(241，441)，其令電荷保留薄膜之第一部份與通道區域或半導體層分離。
14. 如申請專利範圍第13項之半導體儲存裝置，其中令電荷保留薄膜之第一部份與通道區域或半導體層分離之絕緣薄膜具有一薄膜厚度，其小於閘極絕緣薄膜之薄膜厚

度及不小於0.8 nm。

15. 如申請專利範圍第13項之半導體儲存裝置，其中令電荷保留薄膜之第一部份與通道區域或半導體層分離之絕緣薄膜具有一薄膜厚度，其大於閘極絕緣薄膜之薄膜厚度及不大於20 nm。
16. 如申請專利範圍第1或2項之半導體儲存裝置，其中各擴散區域(107a, 107b, 212, 213, 412)會關於閘電極而有效地偏移。
17. 如申請專利範圍第3項之半導體儲存裝置，其中各擴散區域(412)會關於字線而有效地偏移。
18. 如申請專利範圍第16項之半導體儲存裝置，其中為了確保各擴散區域之預設偏移量，各記憶功能體包括一絕緣薄膜(499)，其形成於遠離閘電極之側上。
19. 如申請專利範圍第17項之半導體儲存裝置，其中各記憶功能體包括一絕緣薄膜(499)，其形成於遠離字線之側上，以確保各擴散區域之預設偏移量。
20. 一種可攜式電子設備，其具有如申請專利範圍第1至3項之任一項之半導體儲存裝置。

9-137143

拾壹、圖式：

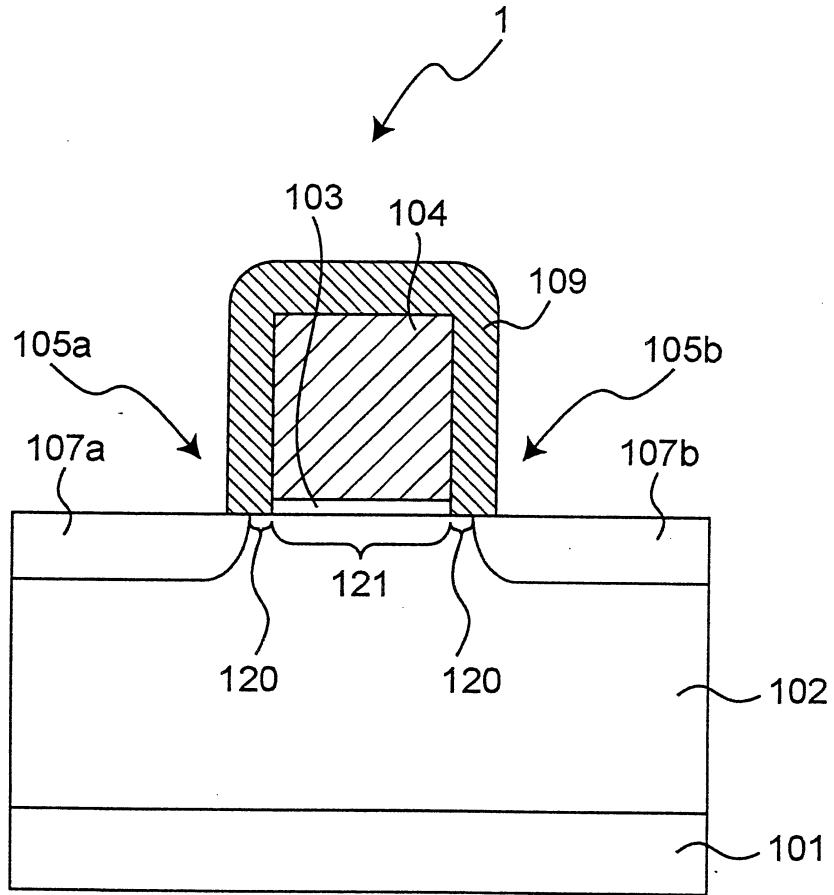


圖 1

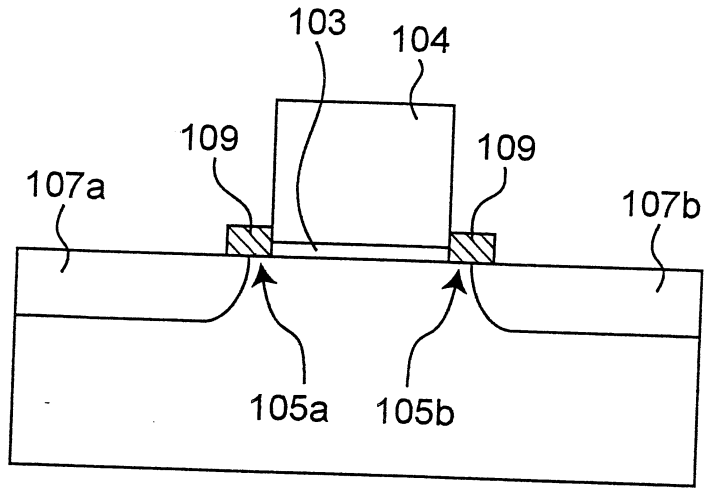


圖 2A

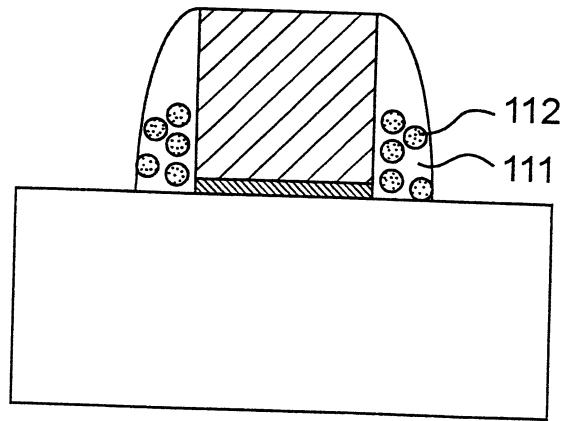


圖 2B

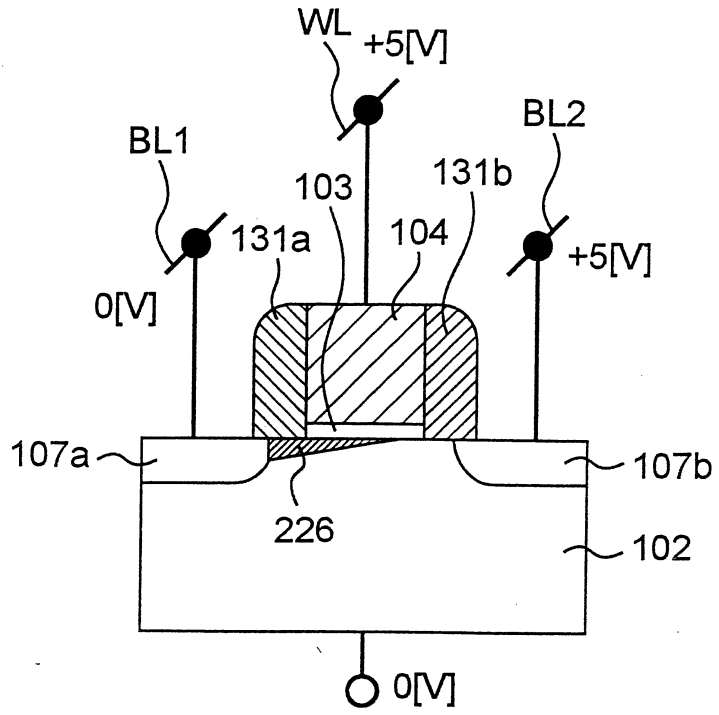


圖 3

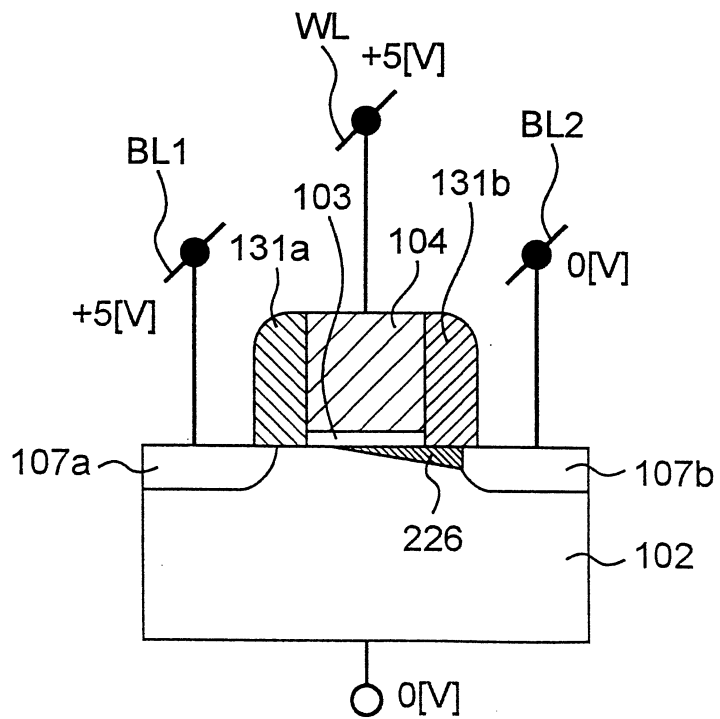


圖 4

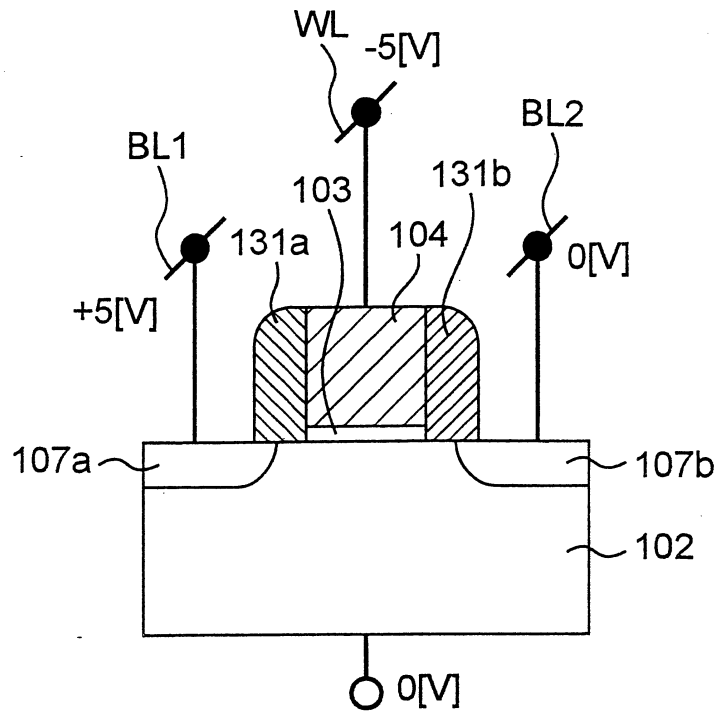


圖 5

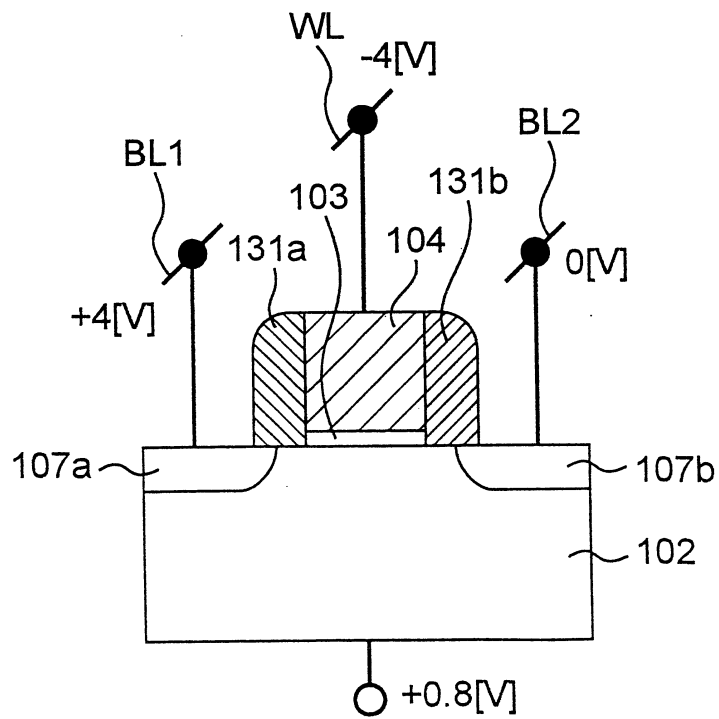


圖 6

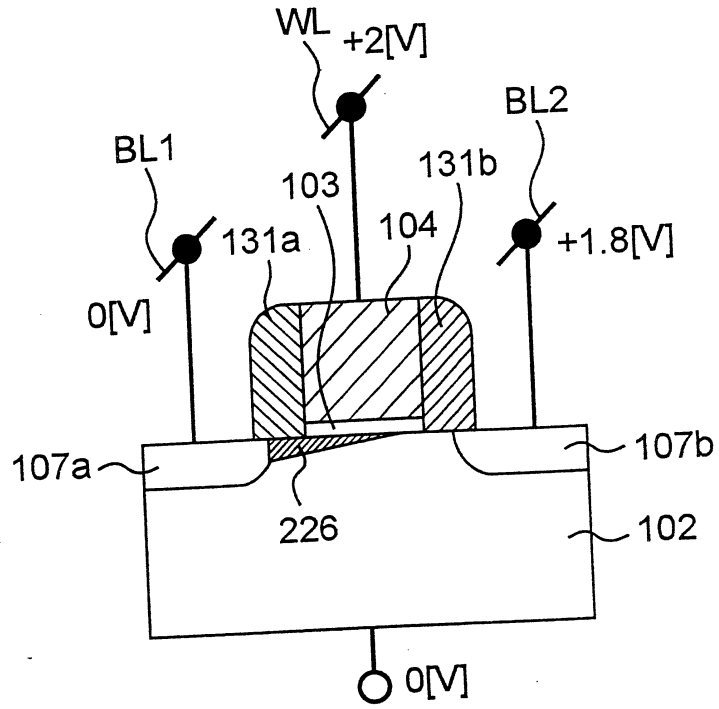


圖 7

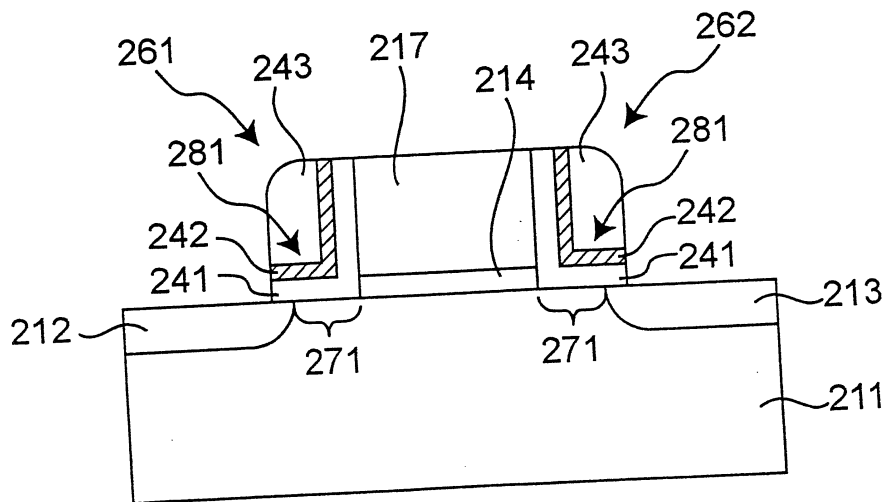


圖 8

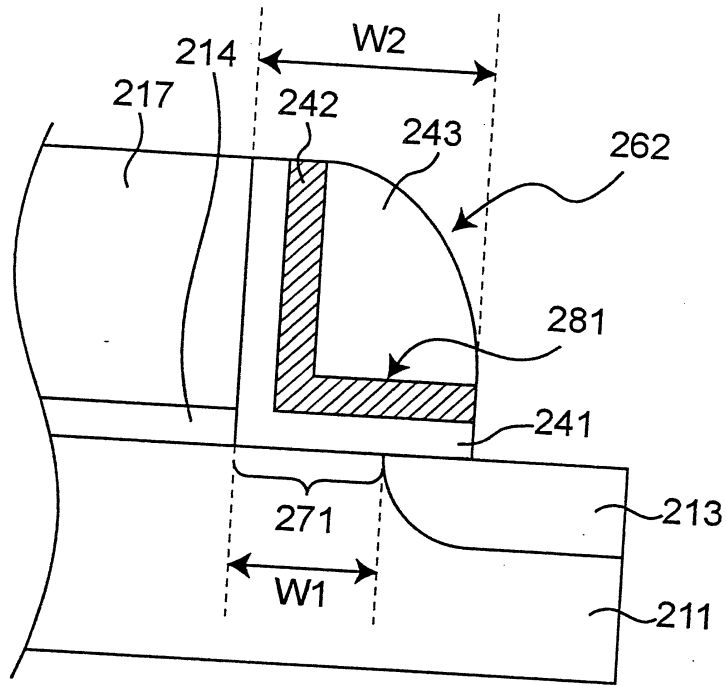


圖 9

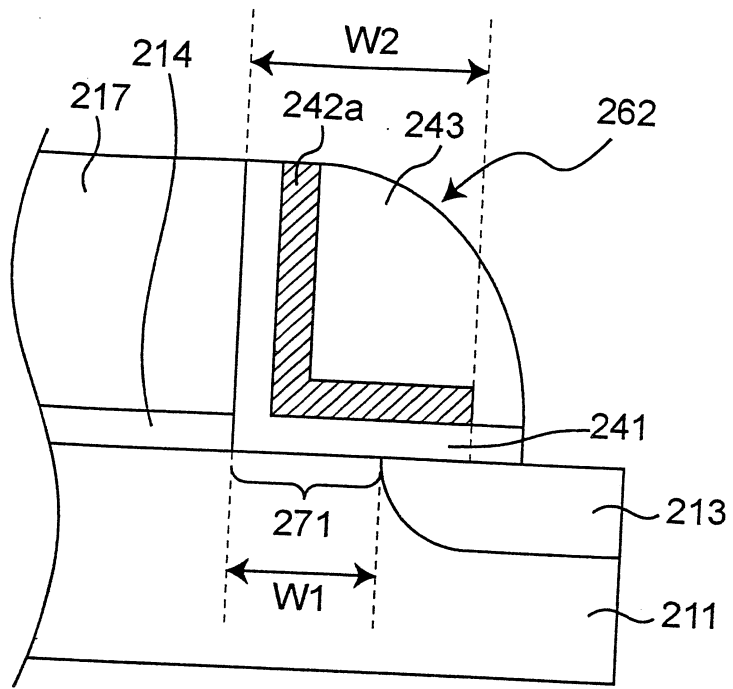


圖 10

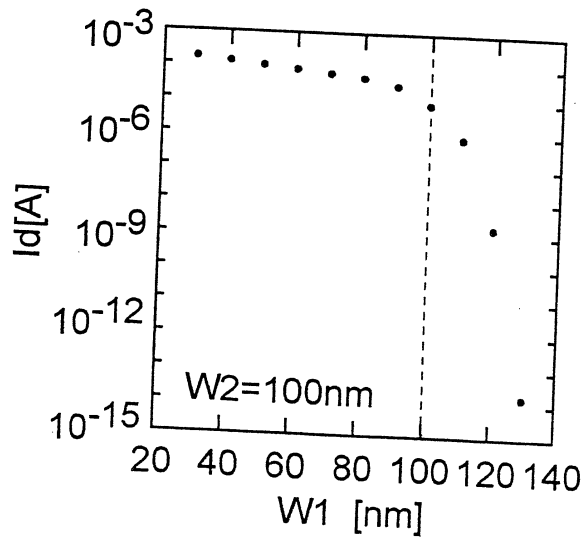


圖 11

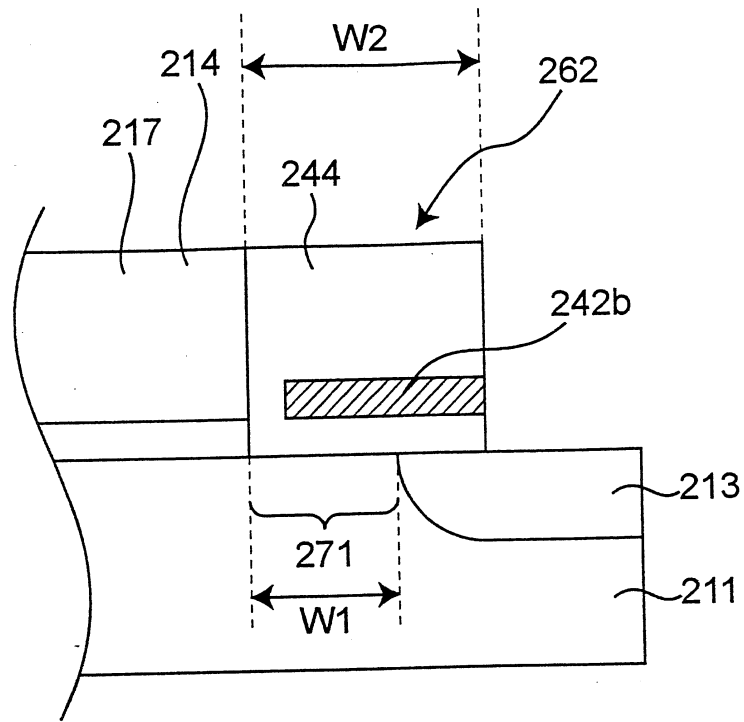


圖 12

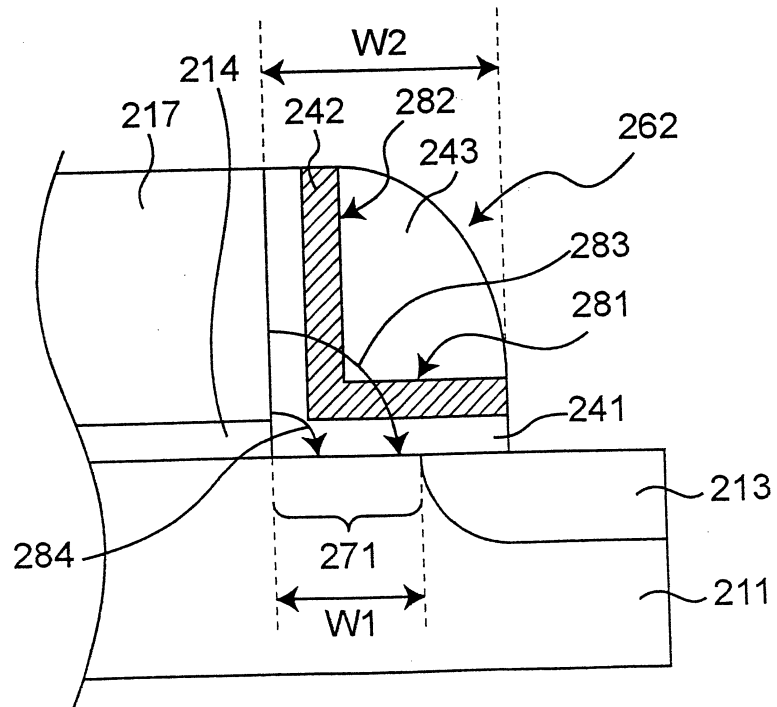


圖 13

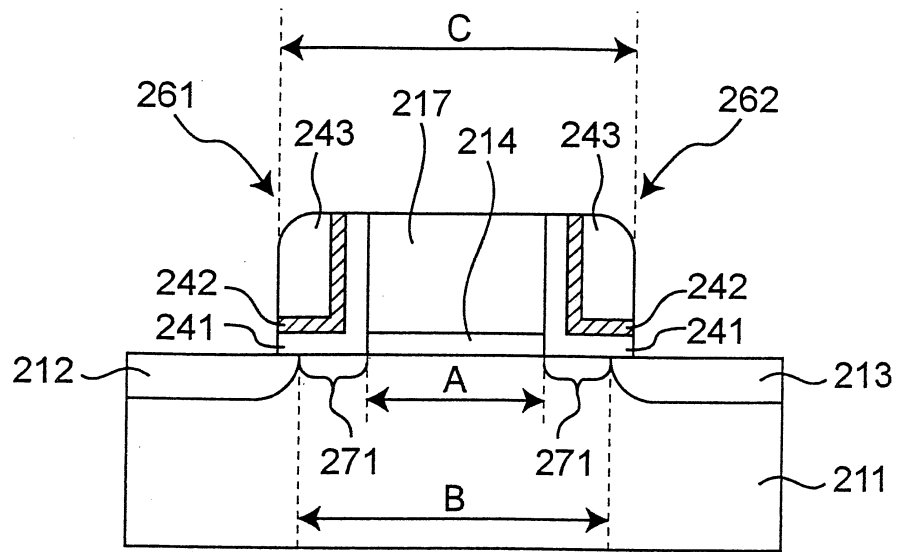


圖 14

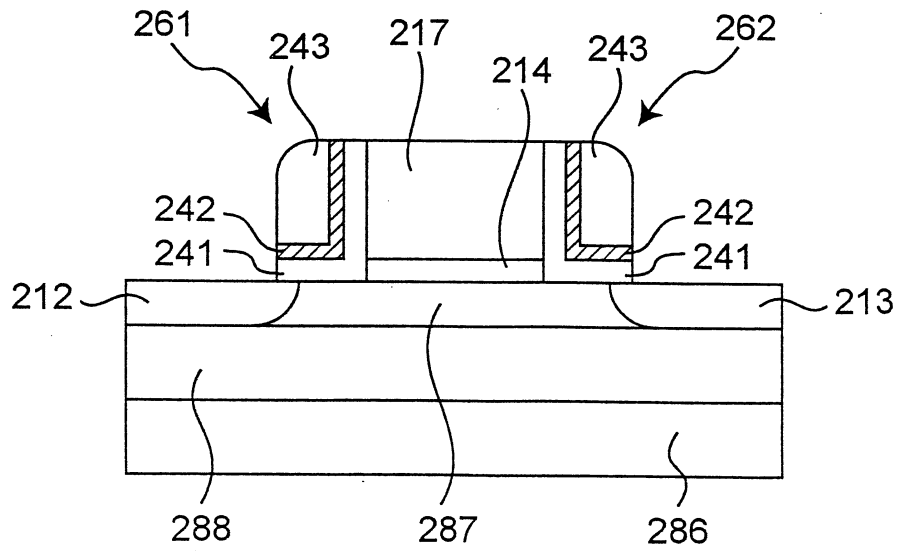


圖 15

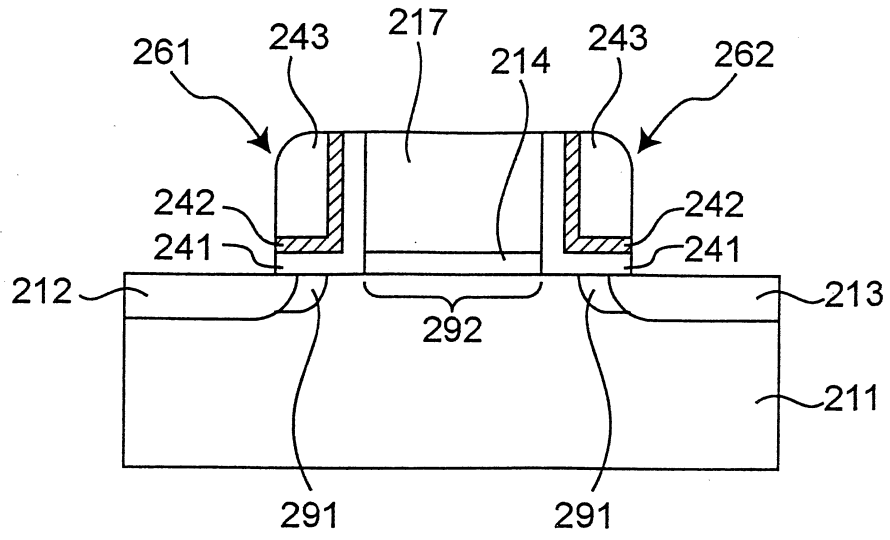


圖 16

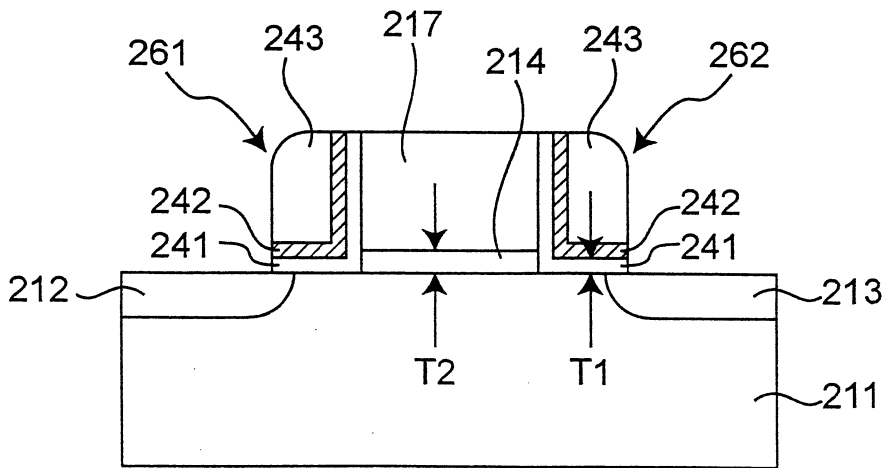


圖 17

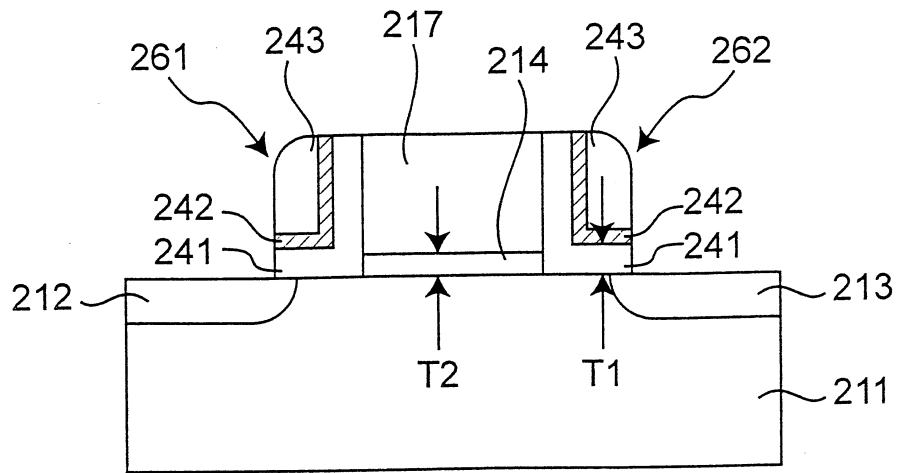


圖 18

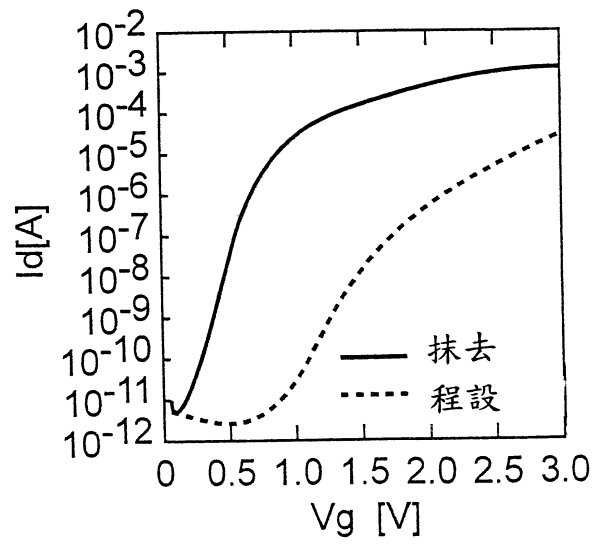


圖 19

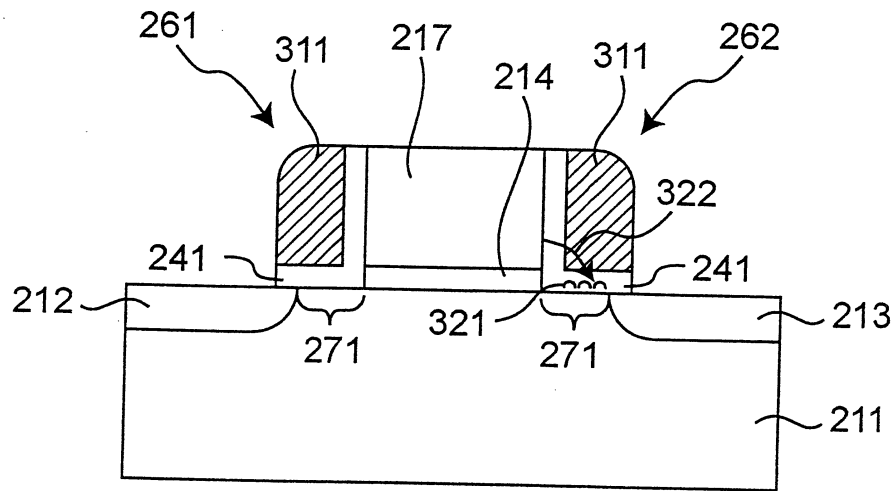


圖 22

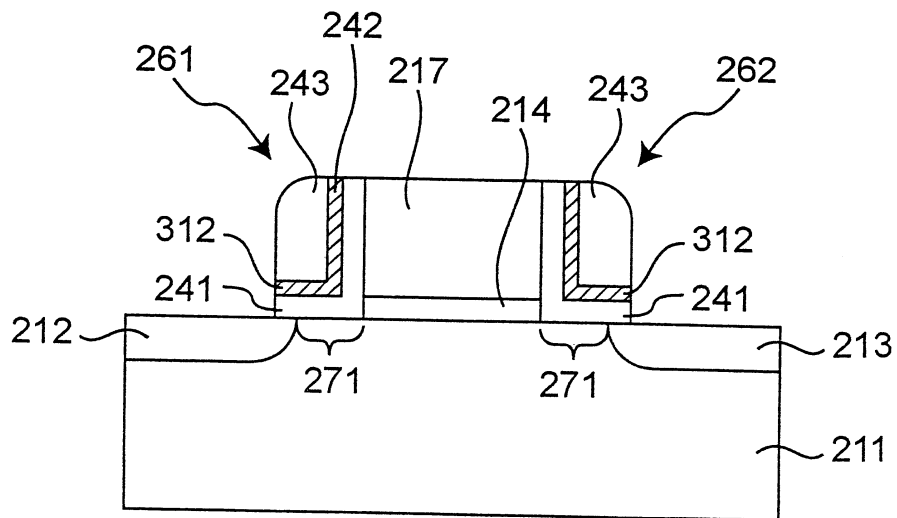


圖 23

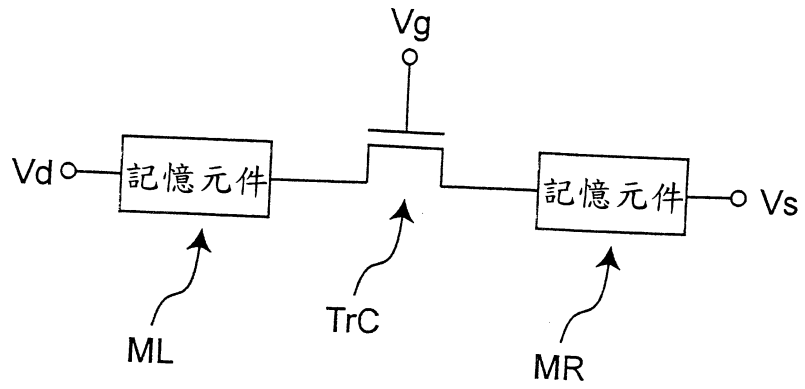


圖 24

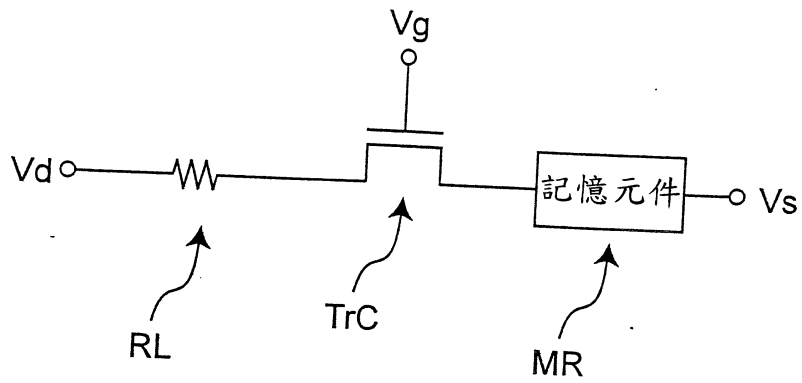


圖 25

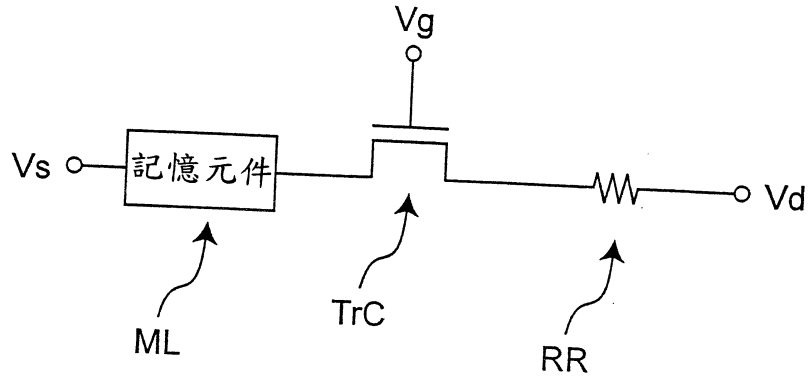


圖 26

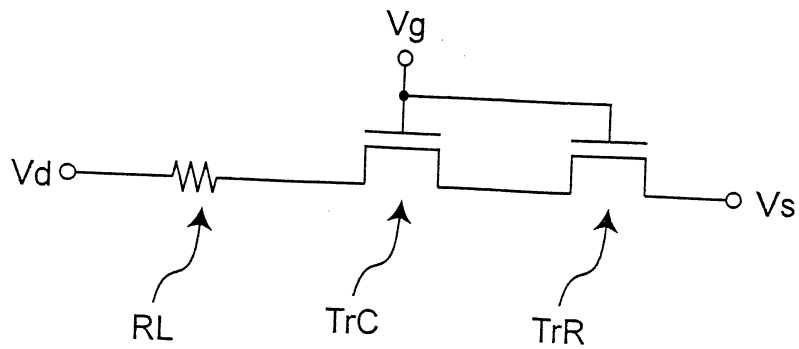


圖 27

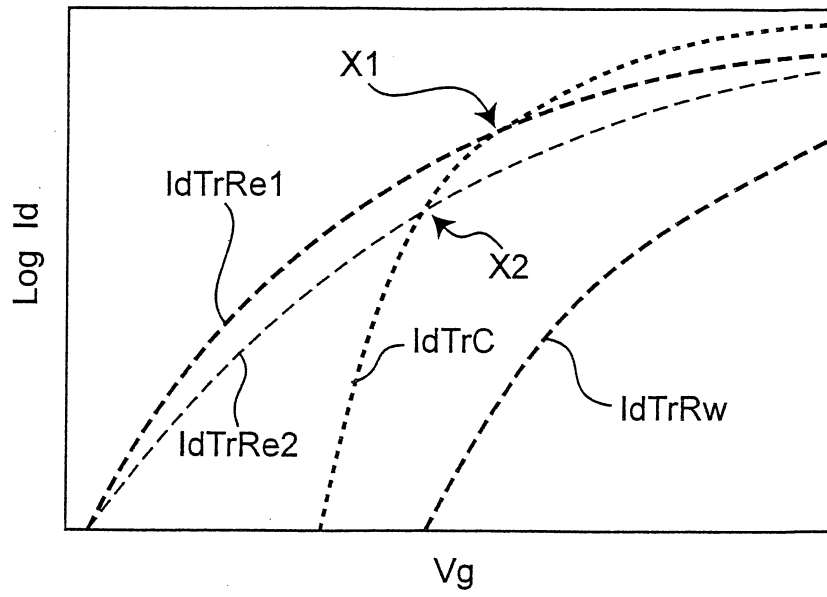


圖 28

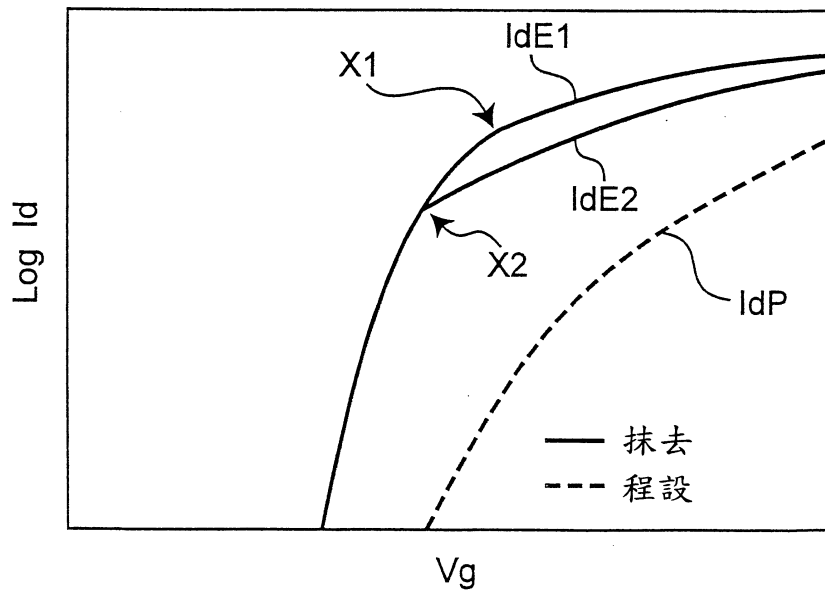


圖 29

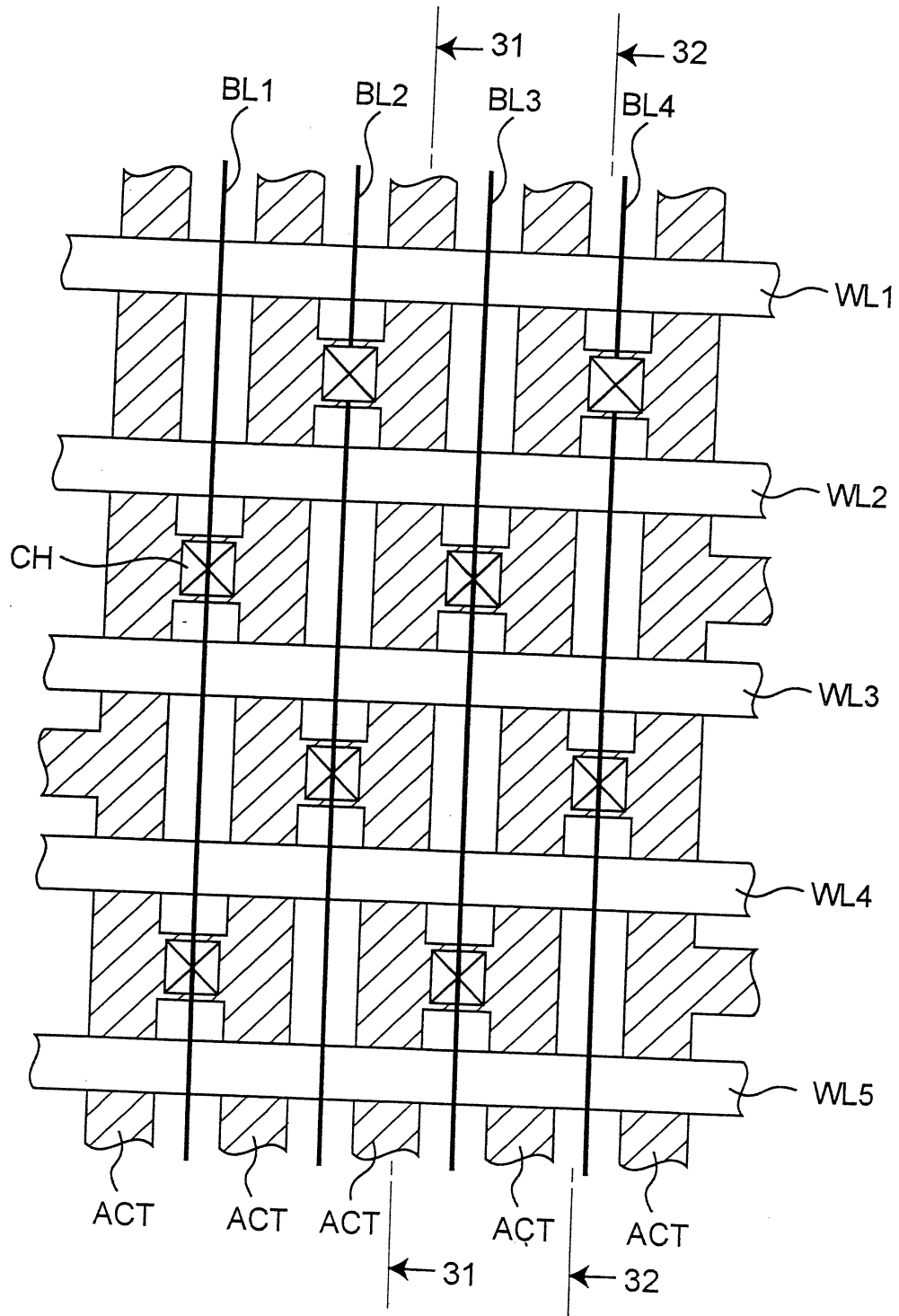


圖 30

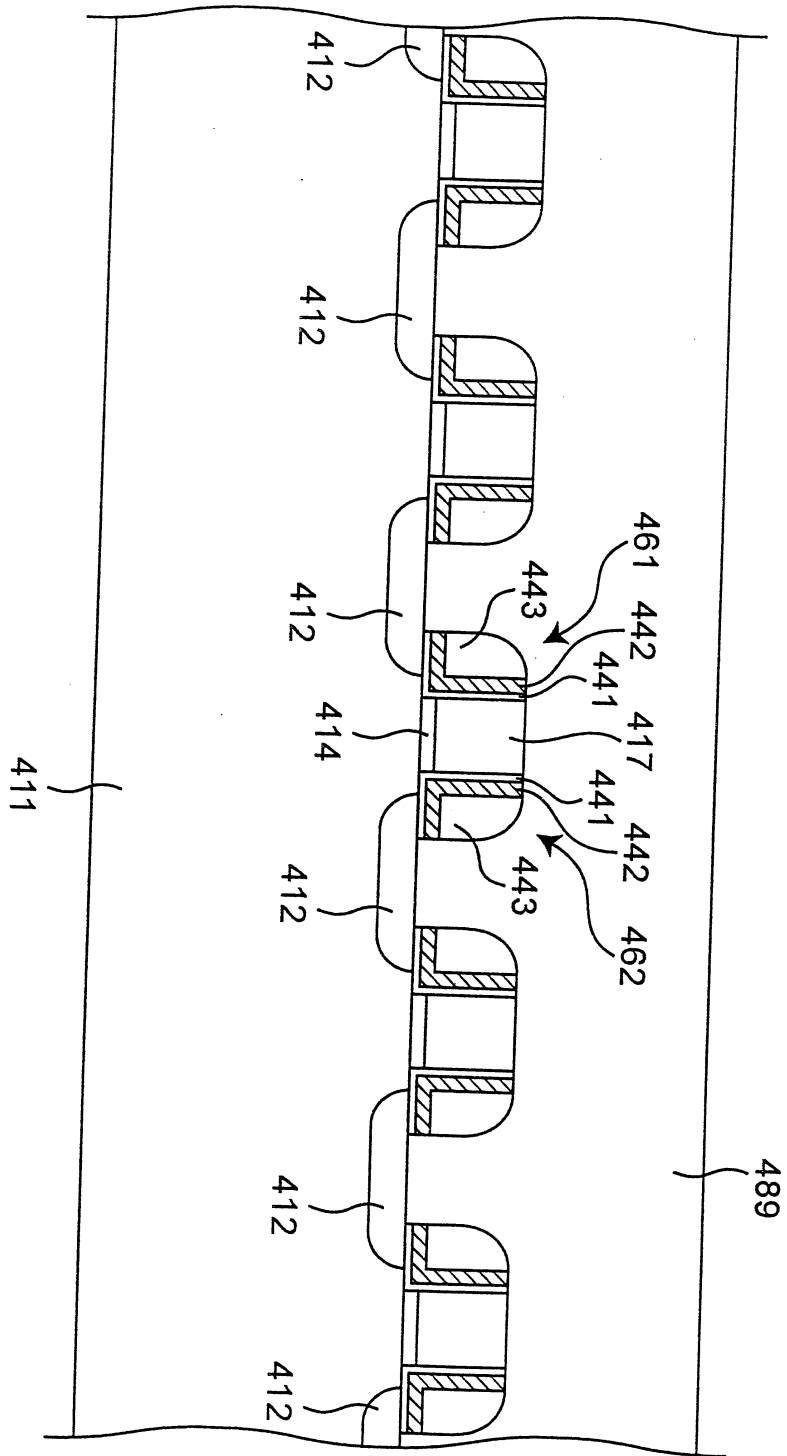


圖 31

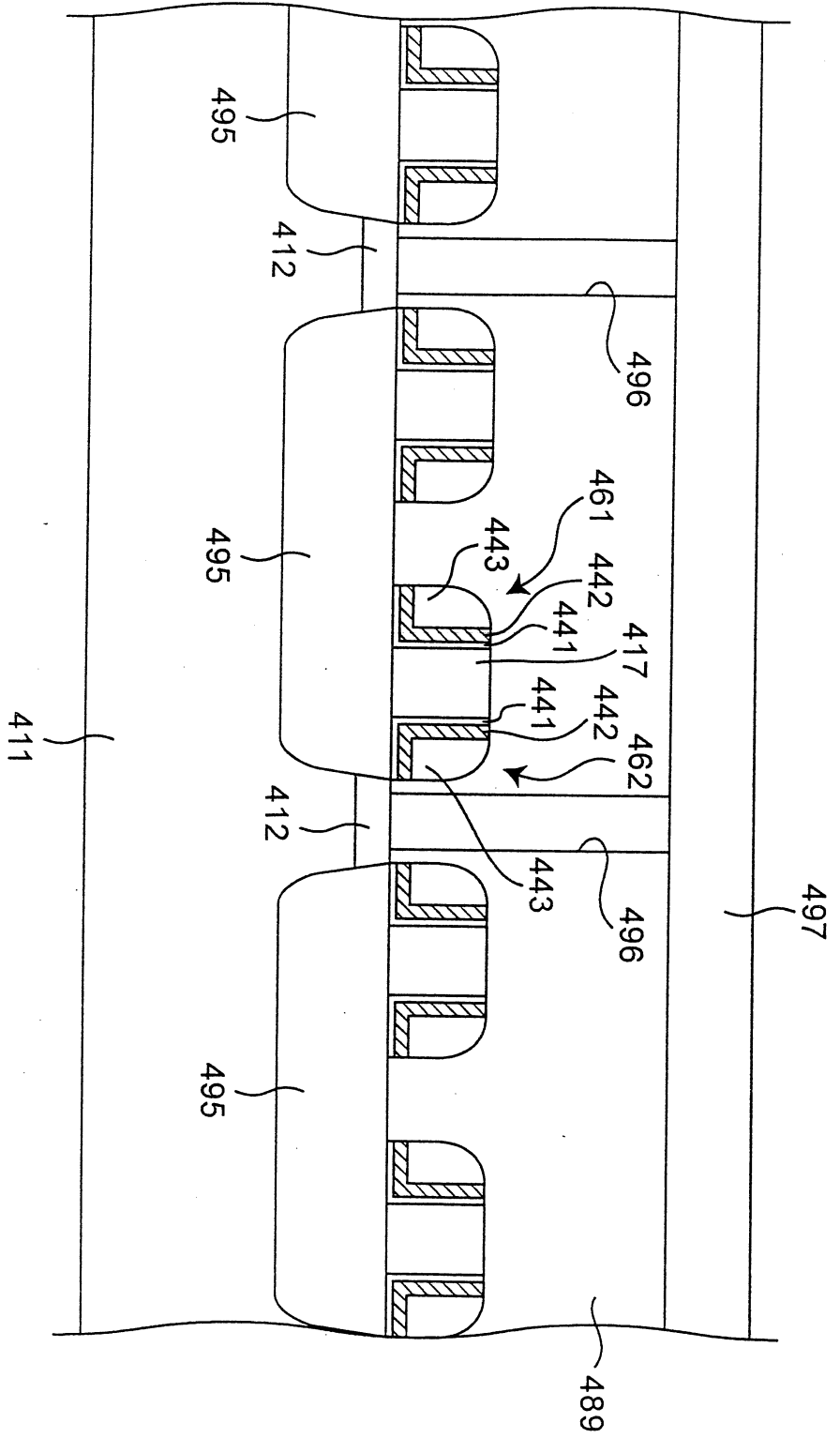


圖 32

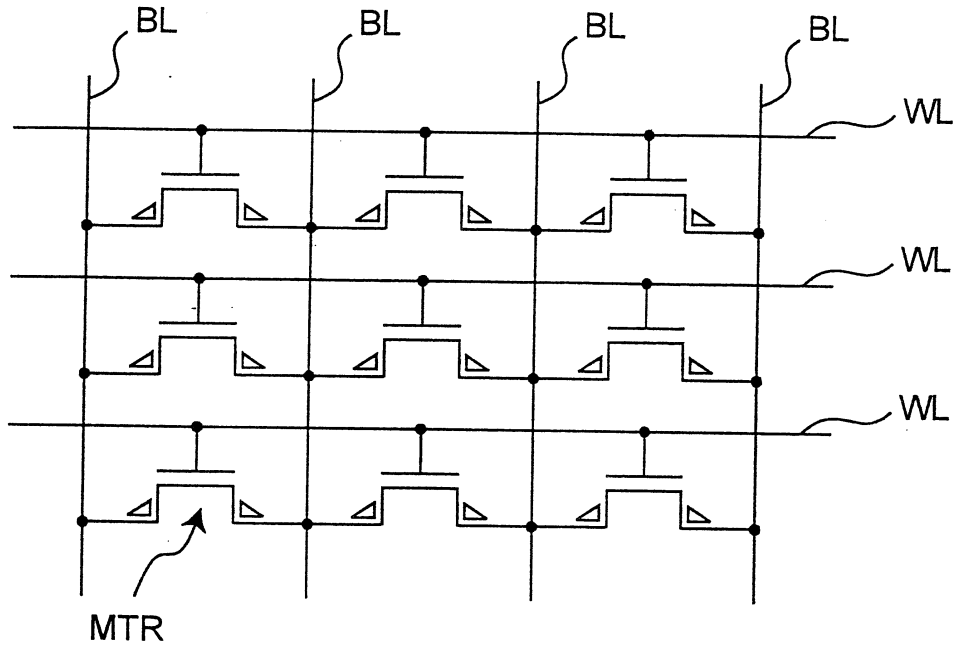


圖 33

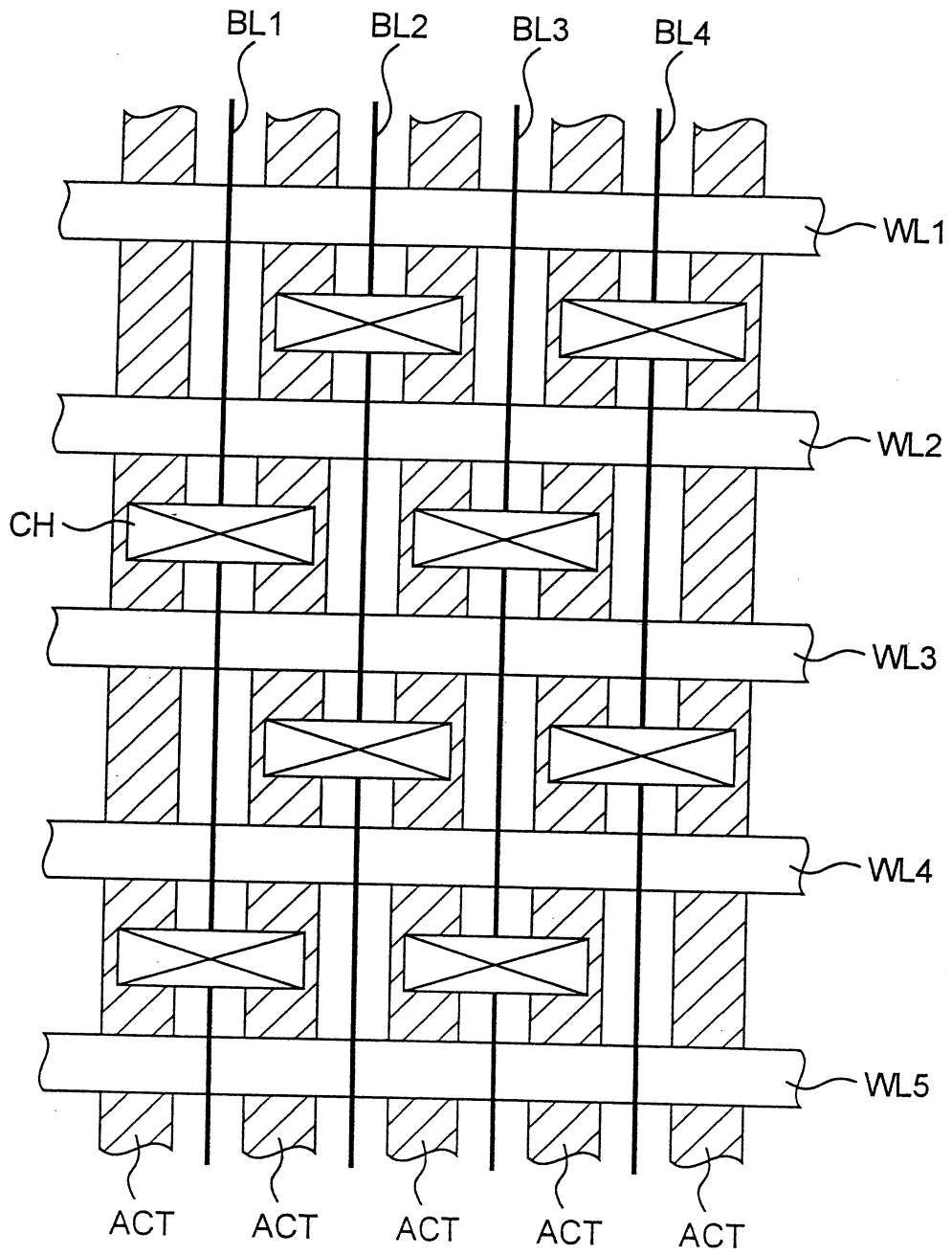


圖 34

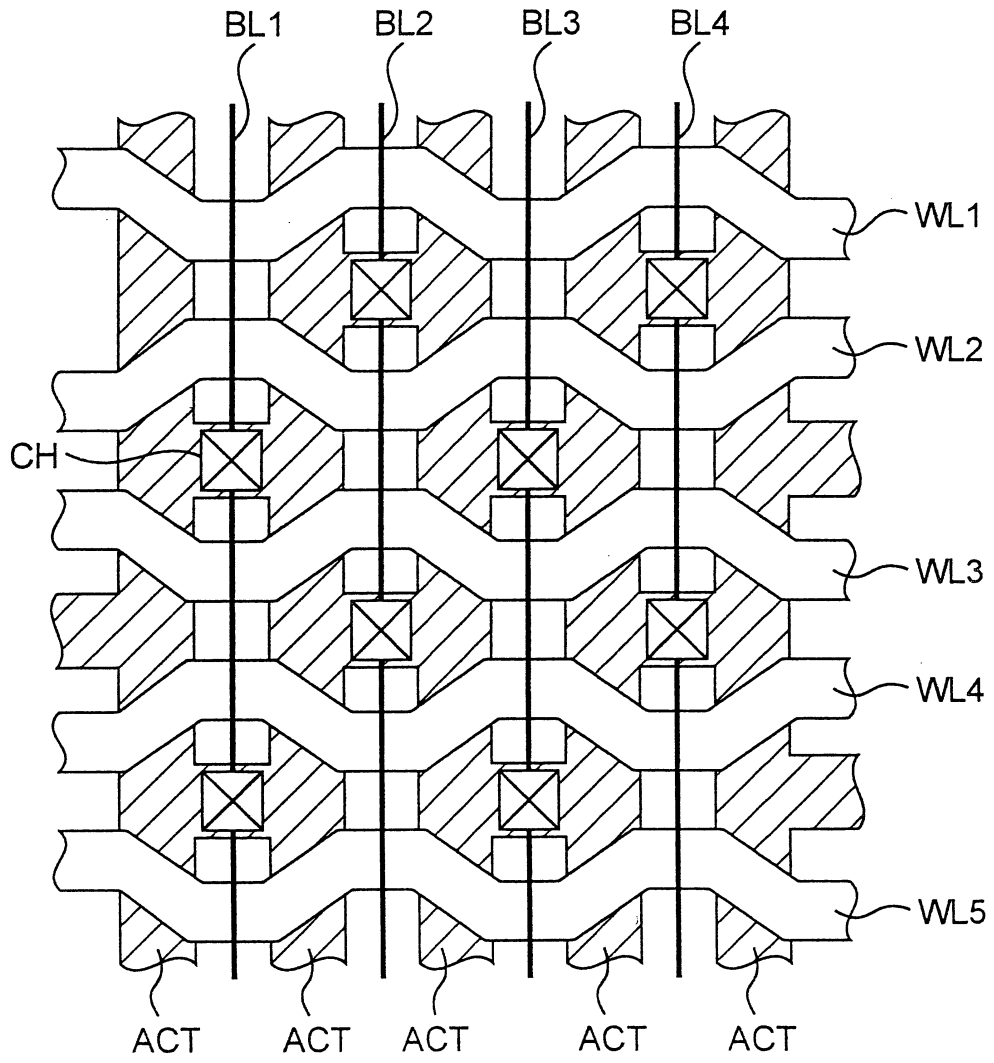


圖 35

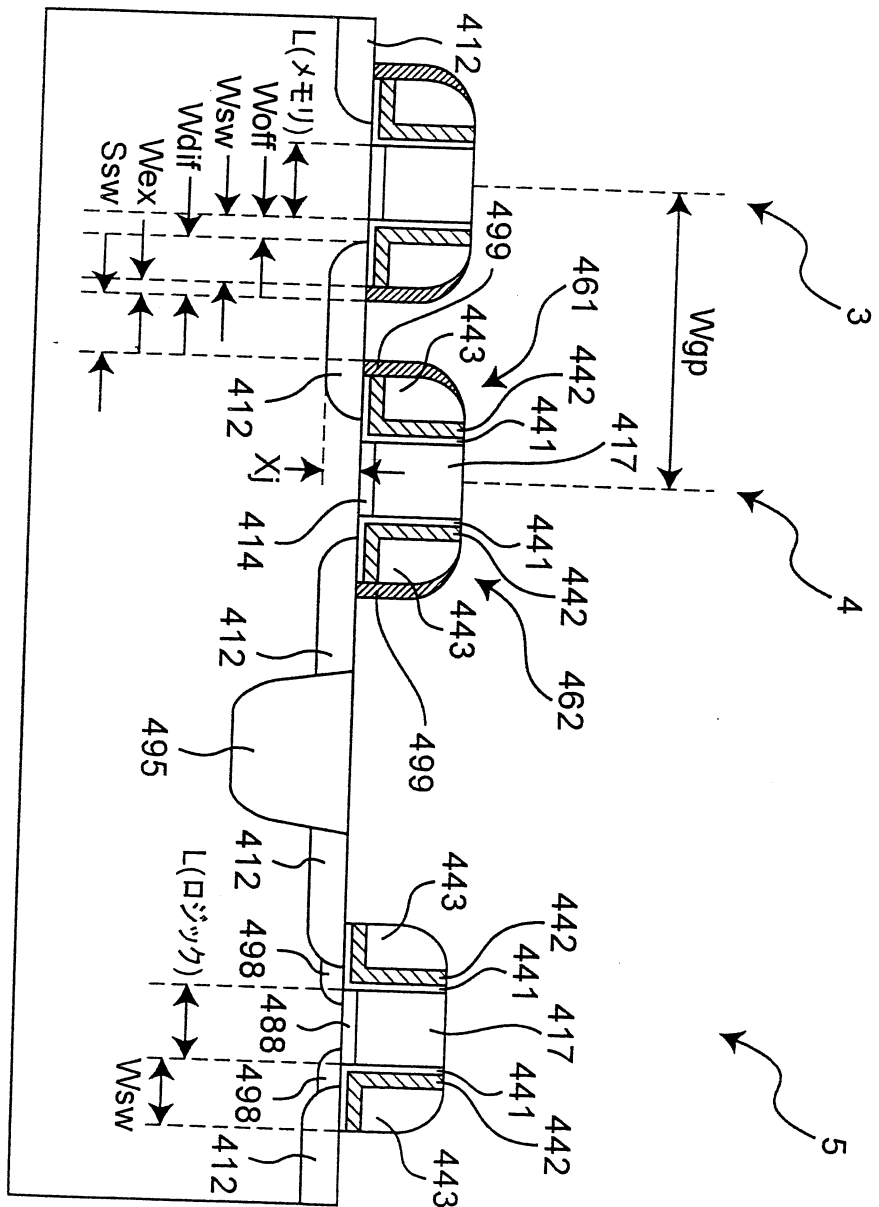


圖 36

年份	2003	2005	2007	2010	2013
MPU 1/2 間距 [nm]	107	80	65	50	35
L (快閃 NOR) [nm]	220	200	190	170	140
L (邏輯) [nm]	45	32	25	18	13
L (記憶體) [nm]	45	32	25	18	13
Wsw [nm]	66	47	40	32	27
Wex [nm]	—	—	3	6	8
Woff [nm]	20	14	14	14	14
Ssw [nm]	144	114	90	68	38

圖 37

年份	2003	2005	2007	2010	2013
MPU 1/2 間距 [nm]	107	80	65	50	35
L (快閃 NOR) [nm]	220	200	190	170	140
L (邏輯) [nm]	45	32	25	18	13
L (記憶體) [nm]	107	80	65	50	35
Wsw [nm]	66	47	40	32	27
Wex [nm]	—	—	3	6	8
Woff [nm]	20	14	14	14	14
Ssw [nm]	82	66	50	36	16

圖 38

年份	2003	2005	2007	2010	2013
MPU 1/2 間距 [nm]	107	80	65	50	35
L (快閃 NOR) [nm]	220	200	190	170	140
L (邏輯) [nm]	45	32	25	18	13
L (記憶體) [nm]	82	66	50	36	16
Wsw [nm]	66	47	40	32	27
Wex [nm]	—	—	3	6	8
Woff [nm]	20	14	14	14	14
Ssw [nm]	107	80	65	50	35

圖 39

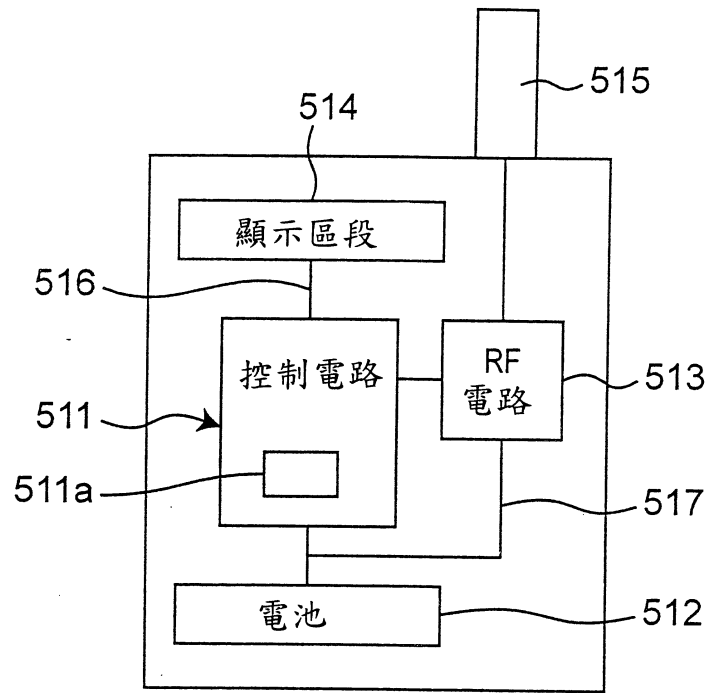


圖 40

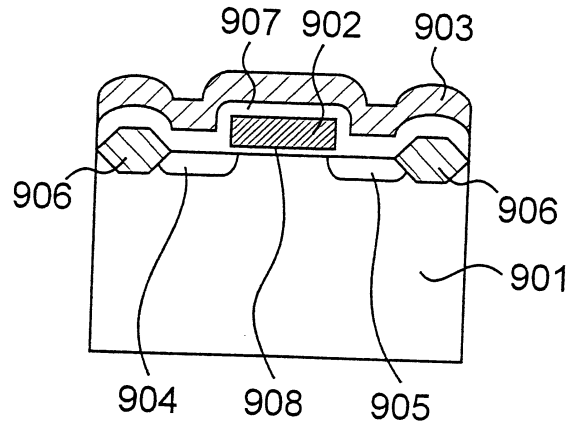


圖 41

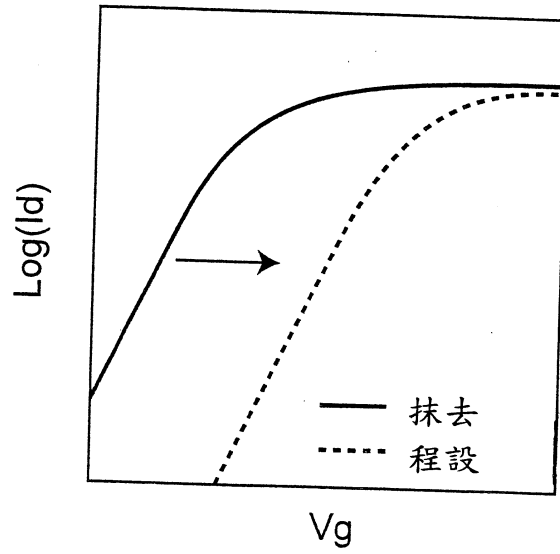


圖 42

柒、指定代表圖：

(一)本案指定代表圖為：第 (20) 圖。

(二)本代表圖之元件代表符號簡單說明：

211	半導體基板
212	擴散區域
213	擴散區域
214	閘極絕緣薄膜
217	閘電極
241	氧化矽薄膜
242	氮化矽薄膜
243	氧化矽薄膜
250	電荷儲存區域
261	記憶功能體
262	記憶功能體
273	通道區域

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)