(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月3日(03.11.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/230276 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) *H01L 33/00* (2010.01)
G09G 3/32 (2016.01)

(21) 国際出願番号： PCT/JP2022/003724

(22) 国際出願日： 2022年2月1日(01.02.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-077235 2021年4月30日(30.04.2021) JP

(71) 出願人:ソニーグループ株式会社(**SONY GROUP CORPORATION**) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者:櫻井 久夫(**SAKURAI Hisao**); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP).

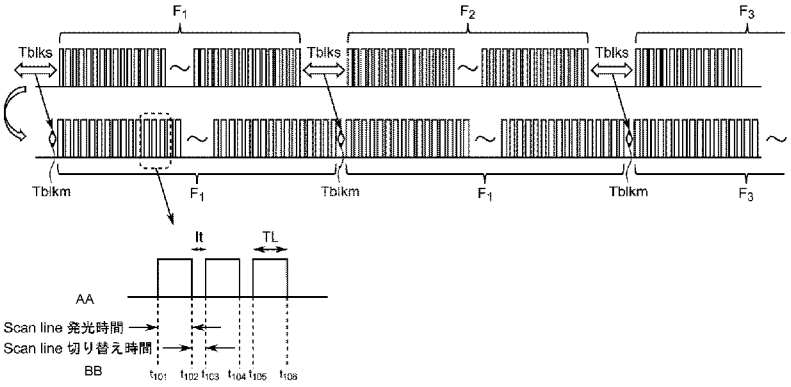
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi** et al.); 〒1700013 東京都豊島区東池袋３丁目９番１０号 池袋ＦＮビル４階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** DRIVE CONTROL DEVICE, DRIVE CONTROL METHOD, INFORMATION PROCESSING SYSTEM, AND INFORMATION PROCESSING METHOD FOR INFORMATION PROCESSING SYSTEM

(54) 発明の名称： 駆動制御装置、および駆動制御方法、並びに情報処理システム、および情報処理システムの情報処理方法

FIG.12



AA Scan line light emission time period
BB Scan line switching time period

(57) **Abstract:** The present disclosure pertains to a drive control device, a drive control method, an information processing system, and an information processing method for the information processing system that enable suppression of generation of an abnormal sound in an LED display device of a passive matrix drive scheme. In the present disclosure, a blanking

WO 2022/230276 A1

［続葉有］

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

period between frames is set shorter than a time period set according to a display standard so that the blinking period ends before ripple voltage rises. Accordingly, by suppressing the rise of the ripple voltage caused by dropping of current flowing through an LED during the blanking period, voltage application to an MLCC is suppressed, and by suppressing distortion of a substrate resulting from expansion/shrinkage of the MLCC caused in association with the voltage application, generation of an abnormal sound is suppressed. This disclosure can be applied to an LED display device of the passive matrix drive scheme.

(57) 要約:本開示は、パッシブマトリクス駆動方式のLED表示装置において異音の発生を抑制できるようにする駆動制御装置、および駆動制御方法、並びに情報処理システム、および情報処理システムの情報処理方法に関する。 フレーム間のブランキング期間を表示規格において設定される時間よりも短くして、リップル電圧が上昇する前に、ブランキング期間が終了させる。これにより、ブランキング期間においてLEDに流れる電流が降下することで生じるリップル電圧の上昇を抑制することで、MLCCへの印可電圧を抑制し、電圧の印可に伴って発生するMLCCの膨張や収縮に起因する基板の歪みの発生を抑制することで、異音の発生を抑制する。パッシブマトリクス駆動方式のLED表示装置に適用することができる。

明　細　書

発明の名称 ：

駆動制御装置、および駆動制御方法、並びに情報処理システム、および情報処理システムの情報処理方法

技術分野

[0001] 本開示は、駆動制御装置、および駆動制御方法、並びに情報処理システム、および情報処理システムの情報処理方法に関し、特に、直視型LED（Light Emitting Diode）ディスプレイにおいて発生する異音を低コストで抑制できるようにした駆動制御装置、および駆動制御方法、並びに情報処理システム、および情報処理システムの情報処理方法に関する。

背景技術

[0002] 近年、LED（Light Emitting Diode）を用いた直視型のディスプレイ市場が拡大している。

[0003] この中でタイリング式では、LEDを搭載した基板（LED Module基板：以下、Module基板とも称する）を用いるが、このModule基板や内在する電源システムにおいて「ジー」や「ピー」と言った異音が発生することがある。

[0004] この現象は、主に電源ラインのバイパスコンデンサとして搭載したMLCC（Multilayer Ceramic Capacitors）の発音や、電源システムで使用するコイルなどが特定の周期で振動することで発生するものである。

[0005] 従来、MLCCの発音（異音の発生）については、低歪MLCC（低発音品）の採用や、タンタルコンデンサなどの固体コンデンサなどへの置き換え搭載で対策してきた。

[0006] コイル類は含浸処理などで振動に抑制を行っていることが一般的である。

[0007] また、バイパスコンデンサを複数に設けて、相互に逆相の振動を発生させることで、振動音の発生を抑制する技術が提案されている（特許文献１参照）。

先行技術文献

特許文献

[0008] 特許文献1：特開２０００－０５６７２７号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、特許文献１に記載の技術においては、現実に逆相の振動を発生させる機構は非常に複雑な構成となる。

[0010] また、逆相の振動を発生させる機構が構成できても、装置構成が２倍になってしまう。特に、バイパスコンデンサ等の部品は使用数が多く、個々の単価は安くてもセット全体としては大きなコストアップとなってしまう。

[0011] さらに、タンタルコンデンサはショートモードで故障するため、多数個の使用は製品品質を低下させる恐れがある。

[0012] 本開示は、このような状況に鑑みてなされたものであり、特に、直視型LED（Light Emitting Diode）ディスプレイにおいて発生する異音を低コストで抑制できるようにするものである。

課題を解決するための手段

[0013] 本開示の第１の側面の駆動制御装置は、LED（Light Emitting Diode）アレイを構成するLEDの発光を制御する発光制御部を備え、前記発光制御部は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する駆動制御装置である。

[0014] 本開示の第１の側面の駆動制御方法は、LED（Light Emitting Diode）アレイを構成するLEDの発光を制御する発光制御ステップを含み、前記発光制御ステップの処理は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する駆動制御方法である。

[0015] 本開示の第１の側面においては、LED（Light Emitting Diode）アレイを構成するLEDの発光が制御され、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御される。

[0016] 本開示の第２の側面の情報処理システムは、アレイ状に配置されたLED（Li

ght Emitting Diode）と、前記LEDの駆動を制御する駆動制御装置とを有する表示ユニットからなる表示部と、映像信号の入力を受け付け、前記映像信号に所定の信号処理を施して、前記表示ユニットに分配する分配部とを備え、前記駆動制御装置は、前記LEDの発光を制御する発光制御部を備え、前記発光制御部は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する情報処理システムである。

[0017] 本開示の第２の側面の情報処理システムの情報処理方法は、アレイ状に配置されたLED（Light Emitting Diode）と、前記LEDの駆動を制御する駆動制御装置とを有する表示ユニットからなる表示部と、映像信号の入力を受け付け、前記映像信号に所定の信号処理を施して、前記表示ユニットに分配する分配部とを備えた情報処理システムの情報処理方法であって、前記駆動制御装置においては、前記LEDの発光を制御する発光制御ステップを含み、前記発光制御ステップの処理は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する情報処理システムの情報処理方法である。

[0018] 本開示の第２の側面においては、アレイ状に配置されたLED（Light Emitting Diode）と、前記LEDの駆動を制御する駆動制御装置とを有する表示ユニットからなる表示部と、映像信号の入力を受け付け、前記映像信号に所定の信号処理を施して、前記表示ユニットに分配する分配部とが設けられ、前記駆動制御装置により、前記LEDの発光が制御され、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御される。

図面の簡単な説明

[0019] [図1]本開示の表示システムの構成例を説明する図である。

[図2]図１のビデオウォールコントローラおよび表示ユニットの構成例を説明する図である。

[図3]LEDアレイの構成例を説明する図である。

[図4]異音を発生させる原理を説明する図である。

[図5]異音を発生させる原理を説明する図である。

[図6]異音を発生させる原理を説明する図である。

[図7]基板の回路構成を説明する簡易回路図である。

[図8]MLCCの歪みを説明する図である。

[図9]従来のブランキング期間を説明するタイミングチャートである。

[図10]本開示のブランキング期間を説明するタイミングチャートである。

[図11]LEDアレイにおける行単位の発光タイミングを説明するタイミングチャートである。

[図12]LEDアレイにおける行単位の発光タイミングを説明するタイミングチャートである。

[図13]ブランキング期間の設定方法を説明する図である。

[図14]ブランキング期間を短く設定した場合の効果を説明する図である。

[図15]表示処理を説明するフローチャートである。

[図16]ドライバ制御処理を説明するフローチャートである。

発明を実施するための形態

[0020] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0021] 以下、本技術を実施するための形態について説明する。説明は以下の順序で行う。

１．表示システムの構成例

２．ビデオウォールコントローラおよび表示ユニットの詳細な構成

３．LEDアレイの構成例

４．リップル電圧

５．異音の発生原理

６．ブランキング期間

７．ブランキング期間の長さの設定

８．表示処理

９．表示ユニットによるドライバ制御処理

[0022] ＜＜１．表示システムの構成例＞＞

本開示は、特に、直視型LED（Light Emitting Diode）ディスプレイにおいて発生する異音を低コストで抑制できるようにするものである。

[0023] 図１は、本開示の技術を適用した表示システムの構成例を示している。

[0024] 図１の表示システム１１は、複数の表示ユニットがタイル状に配置されることで構成される大型のディスプレイにビデオコンテンツを表示するものである。

[0025] より詳細には、表示システム１１は、PC（パーソナルコンピュータ）３０、ビデオサーバ３１、ビデオウォールコントローラ３２、およびビデオウォール３３より構成される。

[0026] PC（パーソナルコンピュータ）３０は、一般的な汎用のコンピュータであり、ユーザの操作入力を受け付けて、操作内容に応じたコマンドをビデオウォールコントローラ３２に対して供給する。

[0027] ビデオサーバ３１は、例えば、サーバコンピュータなどからなり、ビデオコンテンツ等の映像信号のデータをビデオウォールコントローラ３２に供給する。

[0028] ビデオウォールコントローラ３２は、PC３０より供給されるコマンドに応じて動作し、ビデオコンテンツの映像信号からなるデータを、ビデオウォール３３を構成する表示ユニット５１－１乃至５１－ｎに分配して表示させる。

[0029] 尚、表示ユニット５１－１乃至５１－ｎを個々に区別する必要がない場合、単に、表示ユニット５１と称する。

[0030] ビデオウォール３３は、図１の右上部で示されるように、LEDからなる画素がアレイ状に配置された表示ユニット５１－１乃至５１－ｎがタイル状に配置されたものであり、個々の表示ユニット５１により表示される画像がタイル状に組み合わされることによりビデオウォール３３の全体として１枚の画像が表示される。

[0031] ビデオウォールコントローラ３２は、ビデオサーバ３１より供給されるビデオコンテンツの映像信号からなるデータに所定の信号処理を施して、表示ユニット５１－１乃至５１－ｎの配置に応じて分配して供給し、表示ユニット５１－１乃至５１－ｎの個々の表示を制御し、ビデオウォール３３が全体として１枚の画像を表示するように制御する。

[0032] 尚、ビデオウォールコントローラ３２とビデオウォール３３とは、一体とした構成であってもよく、これらが一体となったディスプレイ装置（情報処理システム）であってもよい。

[0033] ＜＜２．ビデオウォールコントローラおよび表示ユニットの詳細な構成＞＞

次に、図２を参照して、ビデオウォールコントローラ３２および表示ユニット５１の詳細な構成例について説明する。

[0034] ビデオウォールコントローラ３２は、LAN（Local Area Network）端子７１、HDMI（High Definition Multimedia Interface）（登録商標）端子７２、DP（Display Port）端子７３、DVI（Digital Visual Interface）端子７４、ネットワークIF（Interface）７５、MPU（Micro Processor Unit）７６、信号入力IF７７、信号処理部７８、DRAM（Dynamic Random Access Memory）７９、信号分配部８０、および出力IF８１－１乃至８１－ｎを備えている。

[0035] LAN（Local Area Network）端子７１は、例えば、LANケーブルなどの接続端子であり、ユーザにより操作され、操作内容に応じた制御コマンド等をビデオウォールコントローラ３２に供給する、パーソナルコンピュータ（PC）３０とのLANを介した通信を実現し、ネットワークIF７５を介して、入力された制御コマンド等をMPU７６に供給する。

[0036] 尚、LAN端子７１は、有線のLANケーブルが物理的に接続される構成でもよいし、無線通信により実現される、いわゆる無線LANにより接続される構成でもよい。

[0037] MPU７６は、LAN端子７１、およびネットワークIF７５を介して、PC３０より供給される制御コマンドの入力を受け付けて、受け付けた制御コマンドに

応じた制御信号を信号処理部７８に供給する。

[0038] HDMI端子７２、DP端子７３、およびDVI端子７４は、いずれも映像信号からなるデータの入力端子であり、ビデオサーバ３１として機能する、例えば、サーバコンピュータと接続され、信号入力IF７７を介して、信号処理部７８に映像信号からなるデータを供給する。

[0039] 尚、図２においては、ビデオサーバ３１とHDMI端子７２とが接続される例が示されているが、HDMI端子７２、DP端子７３、およびDVI端子７４はいずれも規格が異なるのみであり、基本的には同様の機能を備えたものであるので、必要に応じて、そのいずれかが選択されて接続される。

[0040] 信号処理部７８は、MPU７６より供給される制御信号に基づいて、信号入力IF７７を介して供給される映像信号からなるデータの色温度、コントラスト、ブライトネス等を調整して、信号分配部８０に供給する。この際、信号処理部７８は、必要に応じて、接続されたDRAM７９を用いて、映像信号からなるデータを展開して、制御信号に基づいた信号処理を実行し、信号処理結果を信号分配部８０に供給する。

[0041] 信号分配部８０は、信号処理部７８より供給される、信号処理がなされた映像信号からなるデータを分配して、出力IF８１－１乃至８１－ｎを介して、表示ユニット５１－１乃至５１－ｎに対して個別に分配して伝送する。

[0042] 表示ユニット５１は、ドライバ制御部９１、およびLEDブロック９２を備えている。

[0043] ドライバ制御部９１は、LEDブロック９２を構成する複数のLEDドライバ１２１－１乃至１２１－Ｎに対して、LEDアレイ１２２－１乃至１２２－Ｎを構成するLEDの発光を制御する映像信号からなるデータを供給する。

[0044] より詳細には、ドライバ制御部９１は、信号入力IF１１１、信号処理部１１２、DRAM１１３、出力IF１１４－１乃至１１４－Ｎを備えている。

[0045] 信号入力IF１１１は、ビデオウォールコントローラ３２より供給される映像信号のデータの入力を受け付けて信号処理部１１２に供給する。

[0046] 信号処理部１１２は、信号入力IF１１１より供給される映像信号のデータ

に基づいて、表示ユニット５１毎の色や輝度の補正を施して、LEDアレイ１２２－１乃至１２２－Ｎを構成する各LEDの発光強度を設定するためのデータを生成し、出力IF１１４－１乃至１１４－Ｎを介して、LEDブロック９２のLEDドライバ１２１－１乃至１２１－Ｎに対して分配して供給する。

[0047] より詳細には、映像信号のデータには、一般的な規格で規定されるブランキング期間の長さなどの情報も含まれている。このため、信号処理部１１２は、映像データ信号に含まれるブランキング期間の長さなどの情報を考慮して、LEDの行数（Scan line数）、１フレーム内において繰り返し発光する回数（巡回数）、およびLEDアレイ１２２－１乃至１２２－Ｎを構成する各LEDの発光強度を設定するためのデータを生成し、出力IF１１４－１乃至１１４－Ｎを介して、LEDブロック９２のLEDドライバ１２１－１乃至１２１－Ｎに対して分配して供給する。

[0048] LEDブロック９２は、LEDドライバ１２１－１乃至１２１－Ｎ、LEDアレイ１２２－１乃至１２２－Ｎ、およびROM（Read Only Memory）１２３を備えている。

[0049] LEDドライバ１２１－１乃至１２１－Ｎは、ドライバ制御部９１より供給される映像信号からなる、LED１４１の発光強度を設定するデータに基づいて、対応するLEDアレイ１２２－１乃至１２２－Ｎを構成するアレイ状に配置されたLEDの発光をPWM（Pulse Width Modulation）制御する。

[0050] ROM１２３は、LEDブロック９２を構成する基板１５３（図４）に搭載されるMLCC等のコンデンサの種別（容量）や数などからなる基板搭載情報が記憶されており、通電時に信号処理部１１２が、ROM１２３より基板搭載情報を読み出すことで映像信号の処理を設定する。より具体的には、信号処理部１１２は、通電時にROM１２３より読み出した基板搭載情報に基づいて、一般的な規格で規定されるブランキング期間よりも短いブランキング期間の長さを設定する。ブランキング期間の設定については、詳細を後述する。

[0051] ＜＜３．LEDアレイの構成例＞＞

次に、図３を参照して、LEDアレイ１２２の構成例について説明する。図３

は、パッシブマトリクス駆動型LED駆動結線におけるLEDアレイ１２２の構成例を示している。したがって、LEDアレイ１２２のLED１４１については、パッシブマトリクス駆動方式で発光が制御される。

[0052] 図３のLEDアレイ１２２においては、Common Cathode型のLED１４１がアレイ状に配置されており、それぞれのLED１４１が縦方向に配線されたSig line（輝度制御配線）と、横方向に配線されたScan line（行選択配線）とに接続されている。

[0053] 図３のLEDアレイ１２２においては、Scan line1が所定の固定電位に設定されることでONにされると、Sig lineよりLEDに電流が供給され発光動作となる。尚、所定の固定電位としてはGND＝０V電位が一般的だが、この限りではない。

[0054] ＜＜４．リップル電圧＞＞

次に、図４乃至図７を参照して、異音を発生させる原因となるリップル電圧について説明する。そこで、まず、表示ユニット５１－１乃至５１－ｎへと電力を供給するための電源構成について説明する。

[0055] 図４は、表示ユニット５１－１乃至５１－ｎへと電力を供給するための電源構成の概要を示したものである。

[0056] 図４の電源構成は、AC（Alternating Current）電源入力を受け付けて後段に電力を供給するAC電源装置１５１、ビデオウォールコントローラ３２を構成する各種回路や配線等が配設される基板／配線（配線が形成された基板）１５２、およびビデオウォール３３を構成する表示ユニット５１－１乃至５１－ｎのそれぞれを構成する各種回路や配線等が配設される基板／配線（配線が形成された基板）１５３－１乃至１５３－ｎより構成される。

[0057] また、AC電源装置１５１と、基板１５２とは、配線１６１を介して電気的に結線されており、基板１５２と、基板１５３－１乃至１５３－ｎのそれぞれとは、配線１６２－１乃至１６２－ｎを介して電気的に結線されている。

[0058] AC電源装置１５１，基板１５２，１５３、および配線１６１，１６２－１乃至１６２－ｎは、図５で示されるように、それぞれ内部にインピーダンス

Ｚ１５１，Ｚ１５２，Ｚ１５３、およびインピーダンスＺ１６１，Ｚ１６２を有している。

[0059] このため、図６で示されるように、AC電源装置１５１が、無負荷時に電圧V0のAC電源入力を受け付けると仮定した場合、AC電源装置１５１の出力電圧は、電圧V0に対して、内部電流を電流Ｉ１とすれば、インピーダンスＺ１５１に対応する電圧ΔV１５１（＝Ｚ１５１×Ｉ１（図中では、Ｚ１５１・Ｉ１と表記されており、以降においても同様である））だけ電圧降下が発生する。

[0060] また、配線１６１においても同様に、内部電流を電流Ｉ２とすれば、インピーダンスＺ１６１に対応する電圧Δ１６１（＝Ｚ１６１×Ｉ１）だけ電圧降下が発生する。

[0061] さらに、基板１５２においても同様に、内部電流を電流Ｉ３とすれば、インピーダンスＺ１５２に対応する電圧Δ１５２（＝Ｚ１５２×Ｉ３）だけ電圧降下が発生する。

[0062] また、配線１６２においても同様に、内部電流を電流Ｉ４とすれば、インピーダンスＺ１６２に対応する電圧Δ１６２（＝Ｚ１６２×Ｉ４）だけ電圧降下が発生する。

[0063] さらに、基板１５３においても同様に、内部電流を電流Ｉ５とすれば、インピーダンスＺ１５３に対応する電圧Δ１５３（＝Ｚ１５３×Ｉ５）だけ電圧降下が発生する。

[0064] 結果として、AC電源装置１５１より供給される電源の電圧V0に対して、基板１５３に印可される電圧Ｖｘとの差分となる、AC電源装置１５１、基板１５２，１５３および配線１６１，１６２の全ての電圧ΔＶ（＝ΔＶ１５１＋ΔＶ１６１＋ΔＶ１５２＋ΔＶ１６２＋ΔＶ１５３）だけ電圧降下が生じる。

[0065] また、基板１５３に形成される回路構成を簡易的な回路図で表現すると、図７で示されるように、基板１５３上に設けられたLEDドライバ１２１とMLCC等の静電容量Ｃとは並列接続された回路とみなすことができる。

[0066] このため、LED１４１が発光している場合、LEDドライバ１２１とMLCCに電

流が流された、すなわち、負荷が掛けられた状態となり、電源電圧Ｖ１に対して電圧ΔＶだけ、電圧降下が生じた電圧Ｖｘがドライバ１２１に印可される。

[0067] これに対して、１４１が消灯している場合、ドライバ１２１との電流が低減されることになり、無負荷状態となるので、電圧ΔＶに対応する電圧降下は生じない状態となり、電圧Ｖ１がドライバ１２１に掛かることになる。

[0068] すなわち、１４１の発光状態に応じ電圧ΔＶの電圧降下の発生の有無により、ドライバ１２１とへの印可電圧が、電圧Ｖ０とＶｘとに変化する。ここで、負荷状態の電圧Ｖｘから一時的に無負荷状態になったときに、電圧Ｖ０に変化することで、見かけ上矩形波のように見える電圧降下した分の電圧ΔＶがリップル電圧ΔＶである。このリップル電圧ΔＶが、異音を発生させる原因となる。尚、リップル電圧ΔＶに起因する異音の発生原理については後述する。

[0069] ＜＜５．異音の発生原理＞＞

次に、リップル電圧ΔＶに起因する異音の発生原理について説明するに当たり、基板１５３に搭載されるによる電圧歪みについて説明する。尚、ここでは、基板１５３を例にして説明するものとするが、基板１５２についても同様である。

[0070] 図８は、基板１５３上に、半田や接着剤などからなる接続部１７２により接続された１７１に対して、電圧が印可されるときに生じる歪みを説明するための、側面断面図である。

[0071] １７１は、図中の上下方向にセラミック素材の強誘電体が積層された構成とされており、電圧が印可されると、図中の矢印Ｄ１で示される、上下方向となる電界印可方向に対して、平行な方向（図中の上下方向）の黒い矢印Ｄ２で示されるように、膨張すると共に、図中の左右方向の黒い矢印Ｄ２で示されるように、図中の電界印可方向である矢印Ｄ１に対して垂直方向に収縮する。

[0072] これに伴って、点線の矢印Ｄ３で示されるように、基板１５３上でMLCC１７１を固定する接続部１７２を介して、基板１５３がMLCC１７１の側面部に引き寄せられる。

[0073] この結果、矢印Ｄ４で示されるように、基板１５３は、MLCC１７１と接合された部位を中心として、図中において下側に凸となるような形状に歪む（たわむ）。

[0074] すなわち、図８で示されるように、リップル電圧ΔVが発生すると、MLCC１７１に電圧が印可されて、基板１５３は、図８で示されるようにたわみ（歪み）、リップル電圧ΔVが解消すると、MCLL１７１への電圧の印可がなくなり、基板１５３は、平坦な状態に戻り、歪みが解消される。

[0075] このように基板１５３が、リップル電圧ΔVの発生の有無により歪んだり、平坦な状態になったりして変化することで、基板１５３より異音が発生する。

[0076] ＜＜６．ブランキング期間＞＞

一方、表示装置に画像を表示させるための規格においては、従来のブラウン管表示機器時代に策定された規格においても対応するため、表示画像は、フレーム単位で所定の周波数で表示されるように規定されている。

[0077] この規定によれば、フレーム間、すなわち、直前のフレームの最終行が表示されてから、次のフレームの先頭行が表示されるまでの間、画像が表示されない状態となるブランキング期間が設定されている。

[0078] すなわち、図９の上段のLED発光タイミングの波形で示されるように、LEDドライバ１２１は、フレーム単位で画像が表示されるLED１４１の発光期間である、時刻ｔ０乃至ｔ１，ｔ２乃至ｔ３，ｔ４乃至ｔ５等においては、LED１４１を発光させるための電流が流れる。

[0079] 一方、フレーム間であるブランキング期間Ｔｂｌｋｓとなる時刻ｔ１乃至ｔ２，ｔ３乃至ｔ４，ｔ５乃至ｔ６等においては、LED１４１は消灯した状態となるため、発光させるための電流の流れが実質的にほぼゼロの状態となる。

[0080] このため、MLCC１７１に印可される電圧は、図９の下段の電源電圧の波形で示されるように、LED１４１を発光させるための電流の有無に対応して変化することになるので、ブランキング期間Ｔｂｌｋｓにおいては、矩形波で示されるようなリップル電圧ΔＶが発生することになる。

[0081] 結果として、ブランキング期間Ｔｂｌｋｓにおいて、リップル電圧ΔＶが発生する間隔で、MLCC１７１の印可電圧が変化することになり、これに合わせて、基板１５３の歪みが発生し、これに起因して異音が発生することになる。

[0082] そこで、本開示においては、図１０で示されるように、ブランキング期間Ｔｂｌｋｓをより短いブランキング期間Ｔｂｌｋｍ（＜Ｔｂｌｋｓ）とすることにより、発生するリップル電圧を低減して電圧ΔＶ’（＜ΔＶ）とすることにより、MLCC１７１に掛かる印可電圧を低減して、基板１５３の歪みを抑制し、これに起因する異音の発生を抑制する。

[0083] ここで、図１１，図１２を参照して、ブランキング期間についてより詳細に説明する。図１１は、左部が、図３を参照して説明したLEDドライバ１２１とLEDアレイ１２２の構成図であり、右部が、LEDアレイ１２２を構成するLEDの行単位（Scan line単位）での発光のタイミングを表している。

[0084] すなわち、図１１の右部の斜め下方向の矢印で示されるように、LEDドライバ１２１は、各フレームについて、行単位で上から下方向に、すなわち、Scan line 1からScan line Nまで順次発光させる処理を繰り返す。

[0085] 尚、図１１の右部における斜め下方向の矢印が貫く方形部分が、フレームＦ１，Ｆ２，・・・における各行の発光タイミングであり、行単位で時系列にLEDが発光していることが表されている。

[0086] 例えば、フレームＦ１のScan line Nの発光タイミングが終了すると、斜め上方向の矢印で示されるように、最下段の行であるScan line Nから、次のフレームＦ２の最上段であるScan line 1に発光する行の位置が変化する。このタイミングにおいて、ブランキング期間Ｔｂｌｋが設定される。

[0087] このときの、各フレームにおけるLEDドライバ１２１とMLCC１７１に流れる

電流の波形が、図１２の最上段と中段とで示されるような波形で表現される。尚、図１２の最上段が従来のブランキング期間Ｔｂｌｋｓを説明するための電流の波形であり、図１２の中段が本開示のブランキング期間Ｔｂｌｋｍを説明する電流の波形である。

[0088] ここで、フレームＦ１，Ｆ２，・・・のそれぞれにおいては、図１２の最下段で示されるように、細かい矩形状の波形が、各Scan line単位での発光時間を、各矩形状の波形の間が、Scan line間の切り替え時間を、フレームＦ１，Ｆ２との間の、波形が存在しないタイミングが、ブランキング期間Ｔｂｌｋｓ，Ｔｂｌｋｍをそれぞれ表している。

[0089] すなわち、図１２の最下段においては、時刻ｔ１０１乃至ｔ１０２，ｔ１０３乃至ｔ１０４，ｔ１０５乃至ｔ１０６の期間が行単位での発光時間であり、時刻ｔ１０２乃至ｔ１０３，ｔ１０４乃至ｔ１０５の期間が行単位の切り替え時間である。

[0090] 上述したように、リップル電圧ΔＶは、このブランキング期間Ｔｂｌｋｓにおいて、電流が略ゼロの状態になることに起因して発生する。

[0091] そこで、本開示においては、図１２の中段で示されるように、ブランキング期間Ｔｂｌｋｓをブランキング期間Ｔｂｌｋｍ（＜Ｔｂｌｋｓ）にしてより短くすることにより、リップル電圧が大きく上昇するまでの間に、次のフレームの発光を開始するようにして、発生するリップル電圧ΔＶを小さくすることで、異音の発生を抑制する。

[0092] ＜＜７．ブランキング期間の長さの設定＞＞

次に、リップル電圧ΔＶを小さくするための、ブランキング期間の長さの設定について説明する。

[0093] 従来のブランキング期間Ｔｂｌｋｓは、図１３の最上段で示されるように、指数関数的にリップル電圧が電圧Ｖｒまで上昇する上昇期間Ｔ１、電圧Ｖｒのまま定常状態となる点線で示される定常期間、および線形的に電圧が降下する降下期間Ｔ２が存在し、全体として１フレームの発光期間に対して、概ね５乃至８％の期間とされて設定されていた。

[0094] リップル電圧を低減させるためには、ブランキング期間Ｔｂｌｋｓを短くする必要があるが、例えば、図１３の中段で示されるように、定常期間をなくして、ブランキング期間Ｔｂｌｋｓ’としても、リップル電圧Ｖｒの大きさには変化が生じないため、異音の発生は抑制できない。ただし、ブランキング期間Ｔｂｌｋｓ’のように、定常期間が短くなると、発生する異音の周波数が変化するため、音域は変化する。

[0095] リップル電圧Ｖｒをより小さなリップル電圧Ｖｒ’とするには、例えば、図１３の下段の上昇期間Ｔ１’で示されるように、リップル電圧Ｖｒまで上昇する前のタイミングで、降下期間Ｔ２’が開始されるように、すなわち、次のフレームの発光が素早く開始されるような短いブランキング期間Ｔｂｌｋｍとする必要がある。

[0096] ここで、リップル電圧の上昇期間の変化と降下期間の変化とのそれぞれについて考える。

[0097] 上述した上昇期間におけるリップル電圧の上昇電圧Ｖｒｕは、例えば、以下の式（１）で表現することができる。

[0098] $$Vru = Vr(1 - e^{(-T1'/\tau)}) \quad \cdots (1)$$

[0099] ここで、Ｖｒｕは、図１３の上段で示される上昇期間Ｔ１におけるリップル電圧であり、Ｖｒは、定常状態におけるリップル電圧の最大値であり、Ｔ１’は、上昇期間の長さである。

[0100] また、τは、MLCC１７１のインピーダンスＺの主成分となる直流抵抗成分Ｒと静電容量Ｃとからなる定数（＝Ｒ・Ｃ）である。

[0101] さらに、降下期間におけるリップル電圧Ｖｒｄは、例えば、以下の式（２）で表現することができる。

[0102] $$Vrd = I \cdot T2'/C \quad \cdots (2)$$

[0103] ここで、Ｉは、LEDを流れる電流値であり、Ｔ２’は、降下期間の長さであり、Ｃは、MLCC１７１の静電容量である。

[0104] リップル電圧の最大値を従来の電圧Ｖｒから１／ｎだけ低減したＶｒ／ｎにするとき、上昇期間Ｔ１’と降下期間Ｔ２’とは、それぞれ以下の式（３），式（４）のように求められることになる。

[0105] Ｖｒｕ＝Ｖｒ／ｎ＝Ｖｒ（１－ｅ（－Ｔ１’／τ））

１／ｎ＝１－ｅ（－Ｔ１’／τ）

Ｔ１’＝－τ・ｌｎ（１－１／ｎ）

・・・（３）

[0106] Ｖｒｄ＝Ｖｒ／ｎ＝Ｉ・Ｔ２’／Ｃ

Ｔ２’＝Ｖｒ・Ｃ／（ｎ・Ｉ）

・・・（４）

[0107] したがって、従来のリップル電圧の最高値となる電圧Ｖｒから１／ｎに低減した電圧Ｖｒ／ｎにするときのブランキング期間ＴｂｌｋｍＴは、以下の式（５）のように設定することができる。

[0108] ＴｂｌｋｍＴ＝Ｔ１’＋Ｔ２’

＝－τ・ｌｎ（１－１／ｎ）＋Ｖｒ・Ｃ／（ｎ・Ｉ）

＝－Ｒ・Ｃ・ｌｎ（１－１／ｎ）＋Ｖｒ・Ｃ／（ｎ・Ｉ）

＝Ｃ（－Ｒ・ｌｎ（１－１／ｎ）＋Ｖｒ／（ｎ・Ｉ））

・・・（５）

[0109] 表示ユニット５１におけるドライバ制御部９１の信号処理部１１２は、上述したように起動時にROM１２３の搭載基板情報を読み出し、読み出した搭載基板情報に基づいて、このようにブランキング期間ＴｂｌｋｍＴを、設定し、LEDをPWM制御するために使用する、図示せぬクロックを制御して、LEDの発光タイミングを制御することで、ブランキング期間ＴｂｌｋｍＴを実現する。

[0110] 尚、ブランキング期間ＴｂｌｋｍＴの設定に当たっては、上述した式（５）に含まれるパラメータとしてｎを設定し、どの程度までリップル電圧を低減させるのかを特定させる。

[0111] また、ブランキング期間を最短に設定することにより、MLCC１７１の静電容量Ｃを最小に設定することが可能となるので、異音の発生を抑制すると共

に、MLCC１７１の低容量化によるコストの低減を図ることが可能となる。

[0112] さらに、MLCC１７１の静電容量Ｃを大きくすることで、異音の発生を抑制しつつ、ブランキング期間Ｔｂｌｋｍをより長く設定することも可能となる。

[0113] 尚、例えば、MLCC１７１のインピーダンスR＝40ｍΩ、静電容量Ｃ＝2400uF、定常状態のリップル電圧Ｖｒ＝200mV、ｎ＝３、および電流Ｉ＝４．７Ａの場合、式（５）に代入すると、ブランキング期間Ｔｂｌｋｍは、７３ｕＳとなる。

[0114] この場合、フレームレートが６０Ｈｚであるときには、ブランキング期間Ｔｂｌｋｍが、１フレーム当たりの時間に対して０．４３％程度となり、フレームレートが１２０Ｈｚであるときには、０．８６％程度となる。

[0115] すなわち、ブランキング期間Ｔｂｌｋｍは、上述した式（５）を適用し、１フレーム当たりの時間に対して、MLCC１７１のインピーダンスＲや静電容量Ｃに基づいて、所定値より小さく設定することで、異音の発生を抑制することができる。

[0116] より具体的には、MLCC１７１に歪を発生させる力（基板１５３を加振する力）Ｆは一般に、以下の式（６）で表される。

[0117] Ｆ＝ｄ・ΔＶ（Ｎ：ニュートン）

・・・（６）

[0118] ここで、ｄは、MLCC１７１が個々に持つ定数である圧電歪定数であり、ΔＶは、与えられた電界の強さ、すなわち、リップル電圧ΔＶである。

[0119] 上述したように、MLCC１７１に歪を発生させる力Ｆが基板１５３を加振することで異音が発生される。この発生される異音の放射パワーＷ（ｗ）は、音響工学において、基板１５３の面積、基板１５３の振動速度、媒質となる基板１５３の密度、および音の伝搬速度に基づいて、以下の式（７）で表される関係を満たす。

[0120] $W \propto S \cdot (\Delta v\text{平均})^2 \cdot \rho c$（ｗ：ワット）

・・・（７）

[0121] ここで、Sは、基板１５３の面積であり、Δｖ平均は、基板１５３の振動速度であり、ρは、媒質となる基板１５３の密度であり、ｃは、音の伝搬速度である。

[0122] また、基板１５３の振動速度Δｖ平均は、MLCC１７１に歪を発生させる力（基板１５３を加振する力）Ｆに比例するため、以下の式（８）の関係が満たされることになる。

[0123] Δｖ平均∝Ｆ

・・・（８）

[0124] ここでニュートン力学において、MLCC１７１に歪を発生させる力（基板１５３を加振する力）Ｆは、質量と加速度との積（Ｆ＝ｍ・ａ（ｍ：質量、ａ：加速度））で表されるので、MLCC１７１に歪を発生させる力（基板１５３を加振する力）Ｆが大きいほど、加速度aも大きくなる。結果として、以下の（９）の関係が成立する。

[0125] $W \propto S \cdot (F\text{平均})^2 \cdot \rho c = S \cdot (d \cdot \Delta V\text{平均})^2 \cdot \rho c$（ｗ：ワット）

・・・（９）

[0126] このように、音の大きさを表す異音の放射パワーＷ（ｗ）は、リップル電圧ΔＶの２乗に比例する。

[0127] これらのことから、上述した式（５）におけるｎが、３に設定される場合、リップル電圧ΔＶの最高値となる電圧Ｖｒが１／３（＝１／ｎ：ｎ＝３）となり、これにより、音の大きさを表す異音の放射パワーＷ（ｗ）は、１／９（＝（１／３）^{2}）となる。

[0128] すなわち、式（５）において、ｎが３以上に設定されるように、ブランキング期間が設定されることにより、音の大きさを表す異音の放射パワーＷ（ｗ）を、１／９≒１／１０程度以下にすることが可能となり、人間の聴感上で静かになったと感じさせるようにすることができる。

[0129] ただし、図１２の最下段で示される時刻ｔ１０２乃至ｔ１０３，ｔ１０４乃至ｔ１０５で示されるScanlineの切り替え時間については、制御限界があるため、式（５）で設定されるブランキング期間Ｔｂｌｋｍは、Scanlineの

切り替え時間に係る制御限界よりも短く設定することはできない。

[0130] ブランキング期間が従来のように規格に沿った長さである場合、例えば、図１４の左部における点線で囲まれた部位で示されるように、ブランキング期間において、LEDを流れる電流の減少に伴って、リップル電圧が発生することになる。

[0131] これに対して、本開示の手法を用いてブランキング期間を短く設定することで、図１４の右部の波形で示されるように、LEDを流れる電流の減少が抑制され、これに伴って、リップル電圧の発生が抑制される。

[0132] 結果として、MLCC１７１の膨張や収縮に伴った基板１５３の歪みがなくなり、異音の発生が抑制される。

[0133] 尚、図１４は、上から電流、電源入力電圧、LEDドライバ１２１の印可電圧、および接地電位の波形を示している。

[0134] また、例えば、基板１５３に複数の表示ユニット５１が搭載されるような場合、複数の表示ユニット５１の動作を完全同期させるようなことが考えられる。このように複数の表示ユニット５１が同期して動作することで、動きのある高精細画像を、より高精度に表示することが可能になる。また、高精細画像を高精度に表示することが可能となるので、高精度な再撮なども実現することが可能となる。

[0135] 一方で、複数の表示ユニット５１の動作を完全同期させると、従来の規定に従ってブランキング期間が設定されることにより、より大きなリップル電圧ΔＶが発生し、これに伴ってより大きな異音が発生する。

[0136] しかしながら、複数の表示ユニット５１の動作を完全同期させるようなときでも、上述したように、ブランキング期間を短縮してリップル電圧ΔＶの発生を抑制することで、リップル電圧ΔＶの発生を抑制することは可能なので、本開示の技術によれば、高精細画像を高精度に表示させるようなときにおいて発生する、より大きな異音の発生をも抑制することが可能となる。

[0137] 尚、図１１においては、時系列に各フレームについてScan line1乃至Nが1回ずつ表示されて、フレームＦ１，Ｆ２，・・・と順次表示されるフレーム

が進むように記載されているが、現実の処理においては、同一フレームのScan line1乃至Nが順次表示される処理が複数回、巡回的に繰り返されている。映像信号においては、これらの巡回数やScan line数であるNを特定する情報や、一般的な規格で規定されるブランキング期間の情報などが含まれており、信号処理部１１２は、これらの情報を含む映像情報と、ROM１２３に記憶されている基板１５３の基板搭載情報を加味した上で、一般的な規格で規定されるブランキング期間よりも短時間のブランキング期間を設定する。

[0138] また、以上においては、LED１４１が、水平方向に並ぶ行単位の構成をScan Lineとして設定し、上から下方向に行単位（Scanline単位）で順次発光させることでLEDディスプレイ全体として画像を表示する例について説明してきたが、行単位（Scanline単位）で下方向から上方向に順次発光させるようにしてもよい。

[0139] また、LED１４１が、垂直方向に並ぶ列単位の構成をScanLineとして設定し、水平方向に列単位（Scanline単位）で右から左方向、または、左から右方向に順次発光させるようにして画像を表示するようにしてもよい。すなわち、ScanLine単位を構成するLED１４１は、水平方向に並ぶ行を単位とした構成でもよいし、垂直方向に並ぶ列を単位とした構成でもよい。

[0140] ＜＜８．表示処理＞＞

次に、図１５のフローチャートを参照して、図１の表示システム１１による表示処理について説明する。

[0141] ステップＳ１１において、信号処理部７８は、HDMI端子７２、DP端子７３、およびDVI端子７４のいずれか、および信号入力IF７７を介して、ビデオサーバ３１より供給されるコンテンツデータ等からなる映像信号の入力を受け付ける。

[0142] ステップＳ１２において、信号処理部７８は、入力を受け付けた映像信号のビデオフォーマットを変換する。

[0143] ステップＳ１３において、信号処理部７８は、MPU７６より供給されるPC３０の操作内容に応じて供給される制御信号の入力を受け付けて、色温度、コ

ントラスト、および明るさなどの信号処理を実行する。

[0144] ステップＳ１４において、信号処理部７８は、信号処理がなされた映像信号を、ビデオウォール３３の表示ユニット５１－１乃至５１－ｎに割り付けて分配する。

[0145] ステップＳ１５において、信号処理部７８は、分配した映像信号を、対応する表示ユニット５１－１乃至５１－ｎのそれぞれに伝送して出力する。

[0146] 以上の一連の処理により、ビデオサーバ３１から読み出された映像信号に信号処理がなされて、ビデオウォール３３を構成する表示ユニット５１－１乃至５１－ｎのそれぞれに対して分配して、伝送されることにより、表示ユニット５１－１乃至５１－ｎにより個々の映像が表示されることになるので、ビデオウォール３３が全体としてビデオコンテンツの映像を表示することが可能となる。

[0147] ＜＜９．表示ユニットによるドライバ制御処理＞＞

次に、図１６のフローチャートを参照して、表示ユニット５１によるドライバ制御処理について説明する。

[0148] ステップＳ３１において、表示ユニット５１のドライバ制御部９１における信号処理部１１２は、ビデオウォールコントローラ３２より分配して供給された、映像信号の入力を、行単位で信号入力IF１１１を介して受け付ける。

[0149] ステップＳ３２において、信号処理部１１２は、ブランキング期間であるか否かを判定する。すなわち、信号処理部１１２は、信号入力IF１１１を介して受け付けた行単位の映像信号が、新たなフレームの最上段の先頭行の映像信号であるか否かに基づいて、ブランキング期間に入るタイミングであるのか否かを判定する。

[0150] ステップＳ３２において、ブランキング期間であるとみなされた場合、処理は、ステップＳ３３に進む。

[0151] ステップＳ３３において、信号処理部１１２は、ブランキング期間の長さとして設定された時間だけ処理を停止する。ただし、ここで設定されるブラ

ンキング期間の長さは、上述したリップル電圧ΔＶの上昇を抑制し、MLCC１７１の膨張および収縮に伴った基板１５３の歪みに起因する異音の発生を抑制可能な長さである。すなわち、ここで設定されるブランキング期間の長さは、信号入力IF１１１を介して受け付けた、入力信号となる映像信号に含まれるブランキング期間、すなわち、一般的な規格で規定されるブランキング期間の長さよりも短い時間に設定される。

[0152] 尚、ステップＳ３２において、ブランキング期間ではないとみなされた場合、ステップＳ３３の処理はスキップされる。

[0153] ステップＳ３４において、信号処理部１１２は、表示ユニット５１として分配されてきた行単位の映像信号に対して、表示ユニット５１のそれぞれに対応した色や輝度補正などを施すビデオ信号処理を実行する。

[0154] ステップＳ３５において、信号処理部１１２は、ビデオ信号処理が施された行単位の映像信号を、LEDブロック９２におけるLEDドライバ１２１－１乃至１２１－Ｎに割り付けて、対応する出力IF１１４－１乃至１１４－Ｎを介して伝送する。

[0155] ステップＳ３６において、LEDブロック９２におけるLEDドライバ１２１－１乃至１２１－Ｎは、行単位の映像信号に基づいてLED駆動制御処理を実行し、それぞれのLEDアレイ１２２－１乃至１２２－ＮにおいてPWM制御により、適切な輝度により行単位で映像を表示する。

[0156] 以上の処理により、ビデオウォール３３を構成する表示ユニット５１のそれぞれにおいて、適切な輝度調整がなされて、LEDブロック９２に出力されて、順次行単位で映像を表示させることが可能となる。

[0157] また、この際、入力された映像信号が新たなフレームの先頭行に対応するものである場合には、上述した式（５）により設定される、従来の規格で規定されるブランキング期間の長さよりも短い時間に設定されたブランキング期間だけ処理を停止させる。

[0158] これにより、ブランキング期間におけるLEDが消灯状態となる時間が、従来の規格で規定されるブランキング期間に比べて短縮されることになるので、

リップル電圧ΔＶの発生を抑制することが可能となる。

[0159] 結果として、MCLL１７１へのリップル電圧ΔＶの印可が抑制されるので、リップル電圧ΔＶがMLCC１７１に印可されることで生じるMLCC１７１の膨張や収縮に伴った基板１５２，１５３の歪みの発生が抑制されて、異音の発生を抑制することが可能となる。

[0160] また、上述した式（５）を用いたブランキング時間は、MLCC１７１の静電容量Ｃに比例して設定されるので、MLCC１７１を低容量化することで、ブランキング時間を短くすることができる。これにより、異音の発生を抑制しつつ、さらに、コストの低減を図ることが可能となる。

[0161] 尚、本開示は、以下のような構成も取ることができる。

＜１＞ LED（Light Emitting Diode）アレイを構成するLEDの発光を制御する発光制御部を備え、

前記発光制御部は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する

駆動制御装置。

＜２＞ 前記発光制御部は、前記LEDアレイを構成するLEDの発光をスキャンライン単位で制御するパッシブマトリクス駆動方式で制御する

＜１＞に記載の駆動制御装置。

＜３＞ 前記LEDが消灯する期間は、直前のフレームの最終行が表示された後から、次のフレームの先頭行が表示されるまでの期間である

＜１＞に記載の駆動制御装置。

＜４＞ 前記入力信号が示す時間は、前記入力信号のブランキング期間に対応する

＜１＞に記載の駆動制御装置。

＜５＞ 前記発光制御部は、装置を構成する基板上に設けられたコンデンサに印加される電圧を変化させるように、前記LEDが消灯する期間の長さを制御する

＜１＞に記載の駆動制御装置。

＜６＞　前記発光制御部は、前記コンデンサに印加される電圧が三分の一以下になるように、前記LEDが消灯する期間の長さを制御する

＜５＞に記載の駆動制御装置。

＜７＞　前記発光制御部は、装置を構成する基板上に設けられたコンデンサの静電容量またはインピーダンスに応じて前記LEDが消灯する期間の長さを制御する

＜１＞に記載の駆動制御装置。

＜８＞　前記コンデンサは、MLCC（Multilayer Ceramic Capacitors）である

＜７＞に記載の駆動制御装置。

＜９＞　前記発光制御部は、装置を構成する基板上に設けられた前記コンデンサに関する情報を取得し、取得した前記コンデンサに関する情報に基づいて前記LEDが消灯する期間の長さを制御する

＜８＞に記載の駆動制御装置。

＜１０＞　LED（Light Emitting Diode）アレイを構成するLEDの発光を制御する発光制御ステップを含み、

前記発光制御ステップの処理は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する

駆動制御方法。

＜１１＞　前記発光制御ステップの処理は、前記LEDアレイを構成するLEDの発光をスキャンライン単位で制御するパッシブマトリクス駆動方式で制御する

＜１０＞に記載の駆動制御方法。

＜１２＞　前記LEDが消灯する期間は、直前のフレームの最終行が表示された後から、次のフレームの先頭行が表示されるまでの期間である

＜１０＞に記載の駆動制御方法。

＜１３＞　前記入力信号が示す時間は、前記入力信号のブランキング期間に対応する

＜１０＞に記載の駆動制御方法。

＜１４＞　前記発光制御ステップの処理は、装置を構成する基板上に設けられたコンデンサに印加される電圧を変化させるように、前記LEDが消灯する期間の長さを制御する

＜１０＞に記載の駆動制御方法。

＜１５＞　前記発光制御ステップの処理は、前記コンデンサに印加される電圧が三分の一以下になるように、前記LEDが消灯する期間の長さを制御する

＜１４＞に記載の駆動制御方法。

＜１６＞　前記発光制御ステップの処理は、装置を構成する基板上に設けられたコンデンサの静電容量またはインピーダンスに応じて前記LEDが消灯する期間の長さを制御する

＜１０＞に記載の駆動制御方法。

＜１７＞　前記コンデンサは、装置を構成する基板上に設けられたMLCC（Multilayer Ceramic Capacitors）である

＜１６＞に記載の駆動制御方法。

＜１８＞　前記発光制御ステップの処理は、装置を構成する基板上に設けられた前記コンデンサに関する情報を取得し、取得した前記コンデンサに関する情報に基づいて前記LEDが消灯する期間の長さを制御する

＜１７＞に記載の駆動制御方法。

＜１９＞　アレイ状に配置されたLED（Light Emitting Diode）と、前記LEDの駆動を制御する駆動制御装置とを有する表示ユニットからなる表示部と、

映像信号の入力を受け付け、前記映像信号に所定の信号処理を施して、前記表示ユニットに分配する分配部とを備え、

前記駆動制御装置は、

前記LEDの発光を制御する発光制御部を備え、

前記発光制御部は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する

情報処理システム。

＜２０＞　アレイ状に配置されたLED（Light Emitting Diode）と、前記LED

の駆動を制御する駆動制御装置とを有する表示ユニットからなる表示部と、

映像信号の入力を受け付け、前記映像信号に所定の信号処理を施して、前記表示ユニットに分配する分配部とを備えた情報処理システムの情報処理方法であって、

前記駆動制御装置においては、

前記LEDの発光を制御する発光制御ステップを含み、

前記発光制御ステップの処理は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する

情報処理システムの情報処理方法。

符号の説明

[0162] １１　表示システム，　３０　PC，　３１　ビデオサーバ，　３２　ビデオウォールコントローラ，　３３　ビデオウォール，　５１，５１－１乃至５１－ｎ　表示ユニット，　７８　信号処理部，　９１　ドライバ制御部，　９２　ドライバブロック，　１１２　信号処理部，　１２１，１２１－１乃至１２１－Ｎ　駆動回路，　１２２　画素アレイ，　１５１　AC電源装置，　１５２，１５３　基板／配線，　１６１，１６２　配線，　１７１　MLCC，　１７２　接続部

請求の範囲

[請求項1] LED（Light Emitting Diode）アレイを構成するLEDの発光を制御する発光制御部を備え、

前記発光制御部は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する

駆動制御装置。

[請求項2] 前記発光制御部は、前記LEDアレイを構成するLEDの発光をスキャンライン単位で制御するパッシブマトリクス駆動方式で制御する

請求項１に記載の駆動制御装置。

[請求項3] 前記LEDが消灯する期間は、直前のフレームの最終行が表示された後から、次のフレームの先頭行が表示されるまでの期間である

請求項１に記載の駆動制御装置。

[請求項4] 前記入力信号が示す時間は、前記入力信号のブランキング期間に対応する

請求項１に記載の駆動制御装置。

[請求項5] 前記発光制御部は、装置を構成する基板上に設けられたコンデンサに印加される電圧を変化させるように、前記LEDが消灯する期間の長さを制御する

請求項１に記載の駆動制御装置。

[請求項6] 前記発光制御部は、前記コンデンサに印加される電圧が三分の一以下になるように、前記LEDが消灯する期間の長さを制御する

請求項５に記載の駆動制御装置。

[請求項7] 前記発光制御部は、装置を構成する基板上に設けられたコンデンサの静電容量またはインピーダンスに応じて前記LEDが消灯する期間の長さを制御する

請求項１に記載の駆動制御装置。

[請求項8] 前記コンデンサは、MLCC（Multilayer Ceramic Capacitors）である

請求項７に記載の駆動制御装置。

[請求項9] 前記発光制御部は、装置を構成する基板上に設けられた前記コンデンサに関する情報を取得し、取得した前記コンデンサに関する情報に基づいて前記LEDが消灯する期間の長さを制御する

請求項８に記載の駆動制御装置。

[請求項10] LED（Light Emitting Diode）アレイを構成するLEDの発光を制御する発光制御ステップを含み、

前記発光制御ステップの処理は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する

駆動制御方法。

[請求項11] 前記発光制御ステップの処理は、前記LEDアレイを構成するLEDの発光をスキャンライン単位で制御するパッシブマトリクス駆動方式で制御する

請求項１０に記載の駆動制御方法。

[請求項12] 前記LEDが消灯する期間は、直前のフレームの最終行が表示された後から、次のフレームの先頭行が表示されるまでの期間である

請求項１０に記載の駆動制御方法。

[請求項13] 前記入力信号が示す時間は、前記入力信号のブランキング期間に対応する

請求項１０に記載の駆動制御方法。

[請求項14] 前記発光制御ステップの処理は、装置を構成する基板上に設けられたコンデンサに印加される電圧を変化させるように、前記LEDが消灯する期間の長さを制御する

請求項１０に記載の駆動制御方法。

[請求項15] 前記発光制御ステップの処理は、前記コンデンサに印加される電圧が三分の一以下になるように、前記LEDが消灯する期間の長さを制御する

請求項１４に記載の駆動制御方法。

[請求項16] 前記発光制御ステップの処理は、装置を構成する基板上に設けられたコンデンサの静電容量またはインピーダンスに応じて前記LEDが消灯する期間の長さを制御する

請求項１０に記載の駆動制御方法。

[請求項17] 前記コンデンサは、装置を構成する基板上に設けられたMLCC（Multilayer Ceramic Capacitors）である

請求項１６に記載の駆動制御方法。

[請求項18] 前記発光制御ステップの処理は、装置を構成する基板上に設けられた前記コンデンサに関する情報を取得し、取得した前記コンデンサに関する情報に基づいて前記LEDが消灯する期間の長さを制御する

請求項１７に記載の駆動制御方法。

[請求項19] アレイ状に配置されたLED（Light Emitting Diode）と、前記LEDの駆動を制御する駆動制御装置とを有する表示ユニットからなる表示部と、

映像信号の入力を受け付け、前記映像信号に所定の信号処理を施して、前記表示ユニットに分配する分配部とを備え、

前記駆動制御装置は、

前記LEDの発光を制御する発光制御部を備え、

前記発光制御部は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する

情報処理システム。

[請求項20] アレイ状に配置されたLED（Light Emitting Diode）と、前記LEDの駆動を制御する駆動制御装置とを有する表示ユニットからなる表示部と、

映像信号の入力を受け付け、前記映像信号に所定の信号処理を施して、前記表示ユニットに分配する分配部とを備えた情報処理システムの情報処理方法であって、

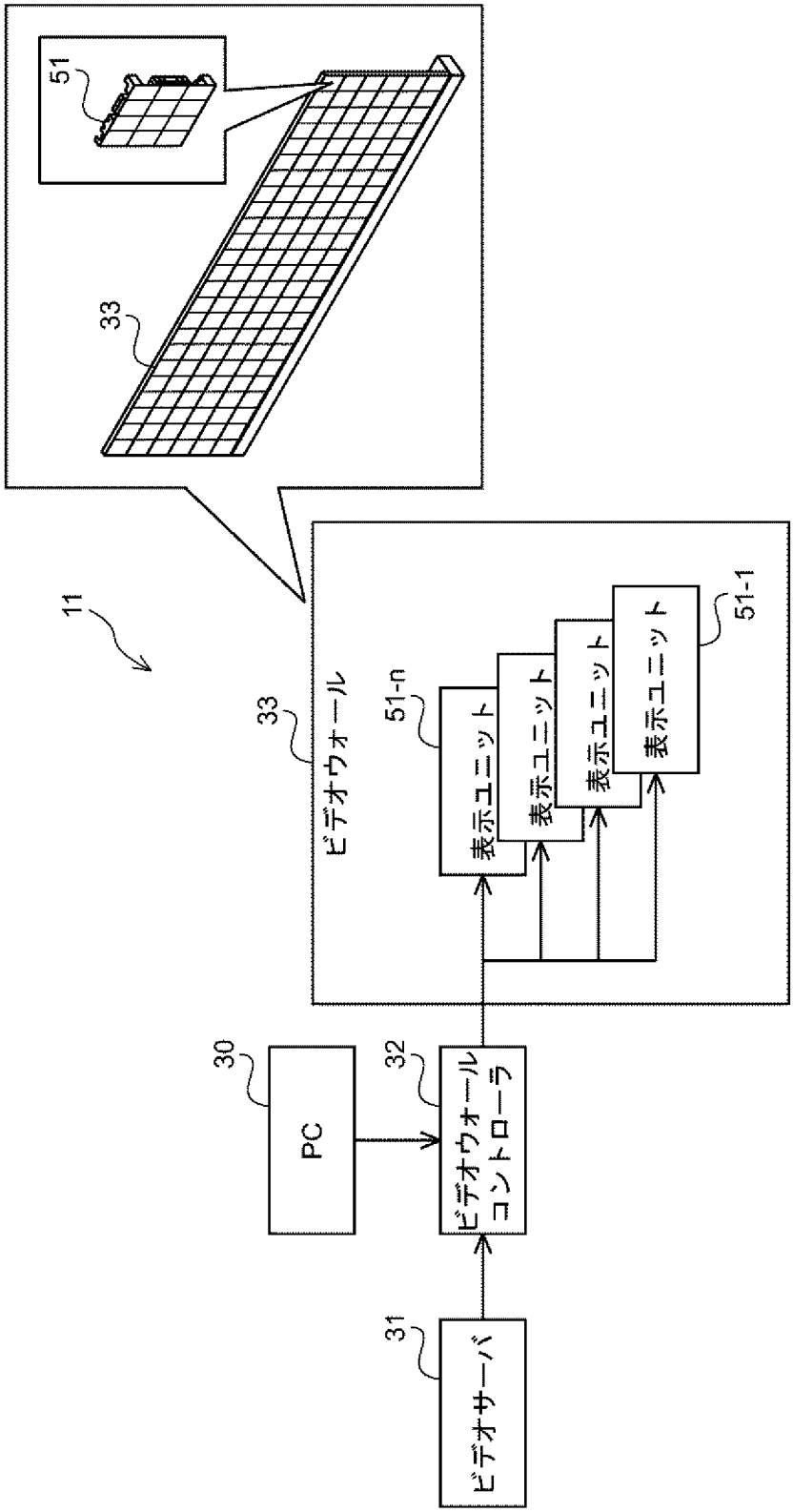
前記駆動制御装置においては、

前記LEDの発光を制御する発光制御ステップを含み、

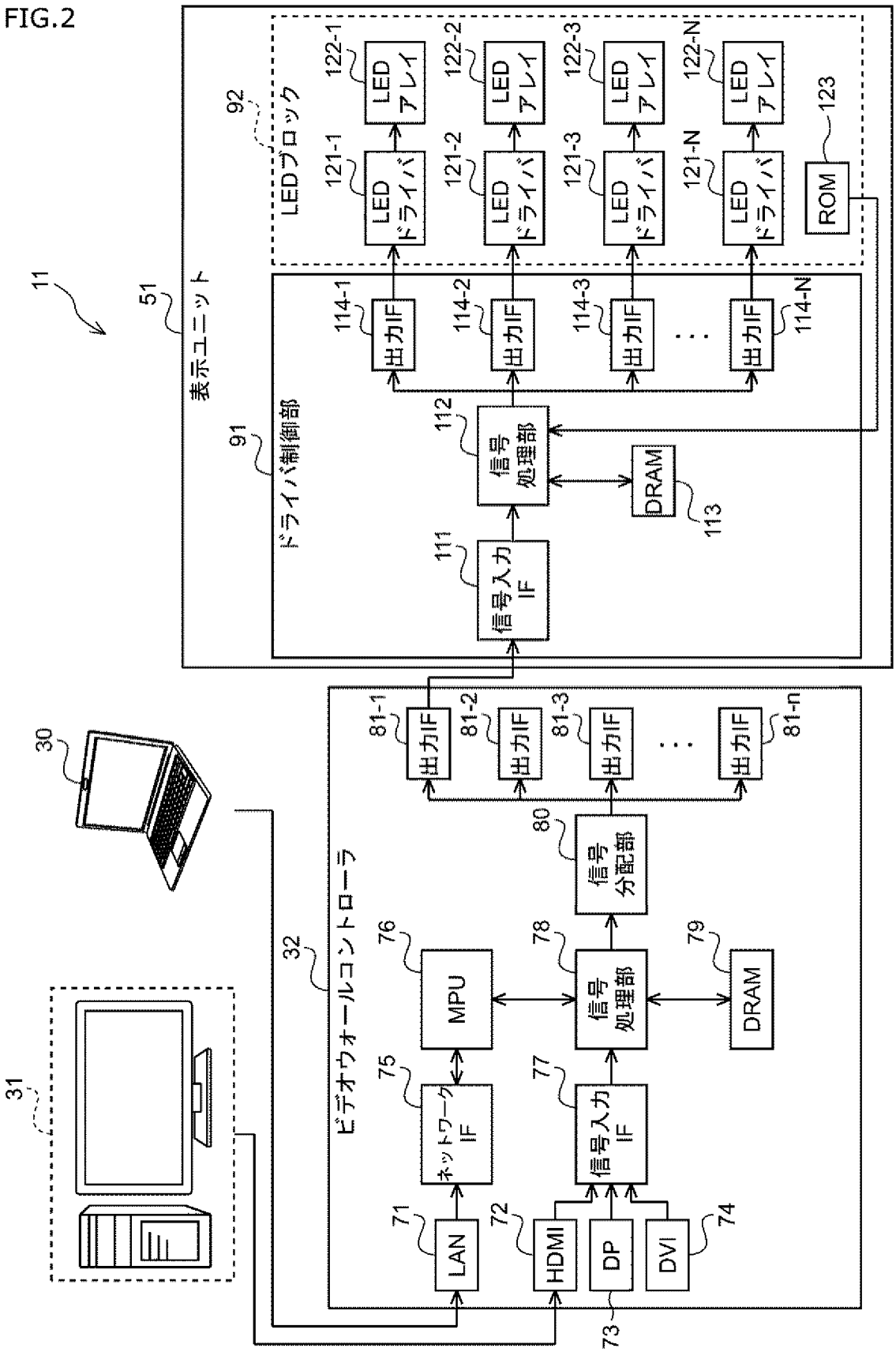
前記発光制御ステップの処理は、前記LEDが消灯する期間の長さが、入力信号が示す時間よりも短時間になるように制御する

情報処理システムの情報処理方法。

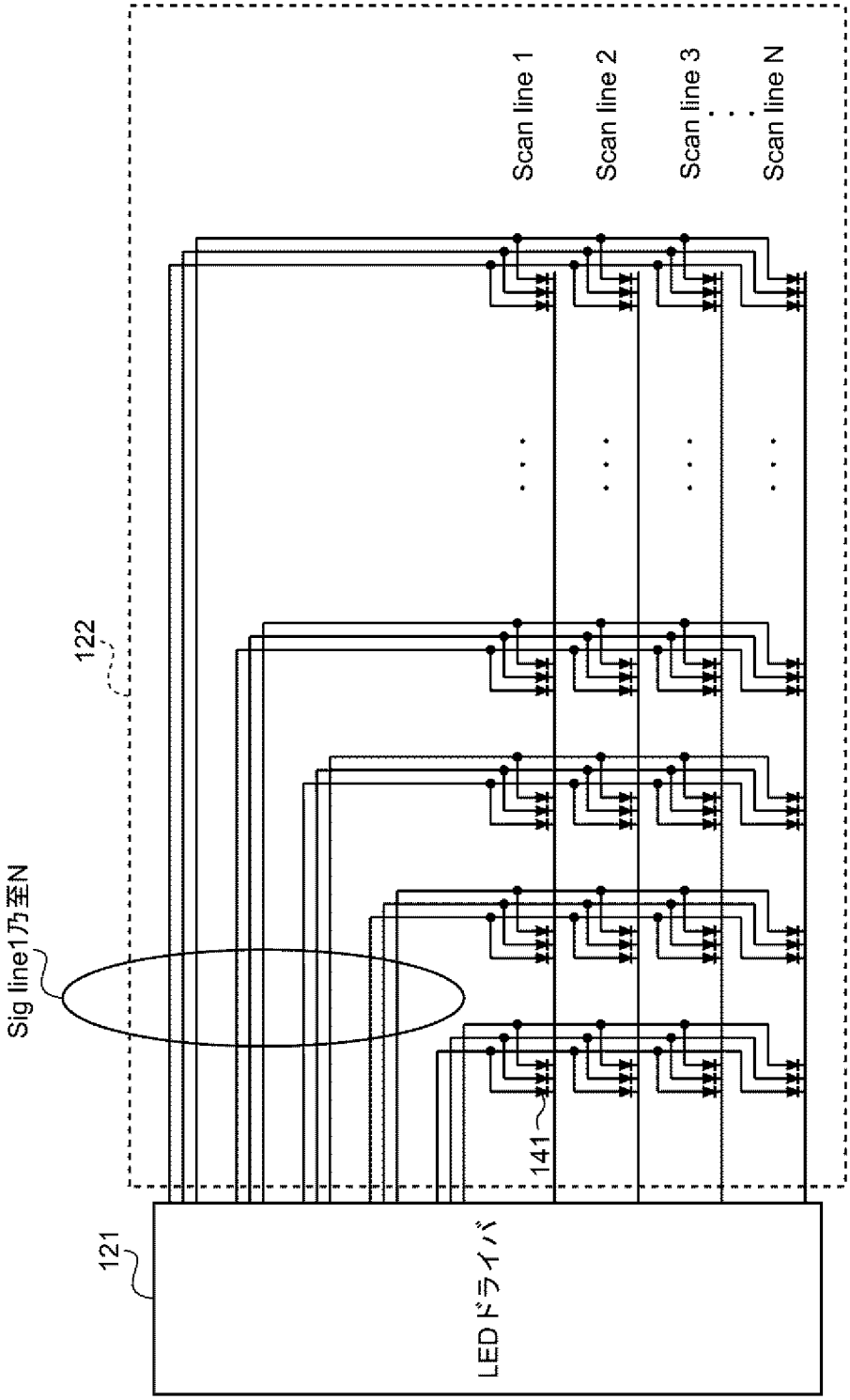
[図1]
FIG.1


51
33
11
ビデオウォール
33
51-n
表示ユニット
表示ユニット
表示ユニット
表示ユニット
51-1
30
PC
32
ビデオウォール
コントローラ
31
ビデオサーバ

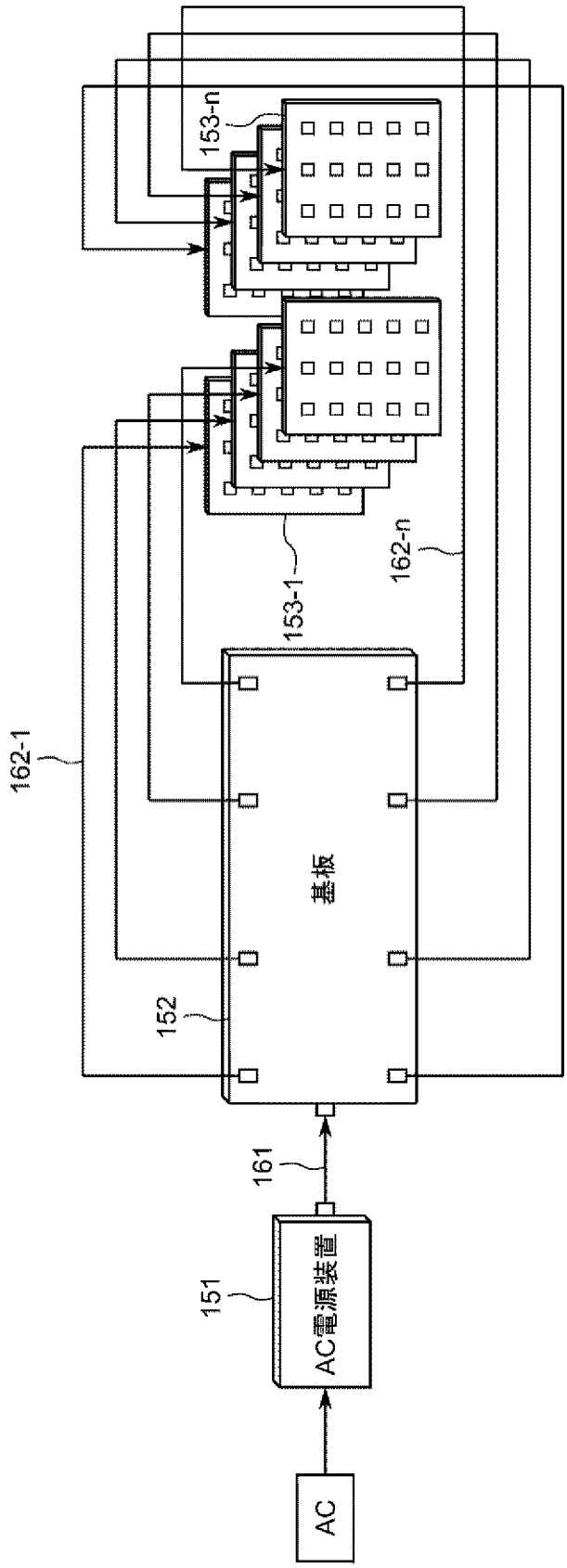
[図2]
FIG.2


11
表示ユニット
51
ドライバ制御部
91
LEDブロック
92
LED ドライバ
121-1
121-2
121-3
121-N
LED アレイ
122-1
122-2
122-3
122-N
ROM
123
出力IF
114-1
114-2
114-3
114-N
信号処理部
112
DRAM
113
信号入力IF
111
ビデオウォールコントローラ
32
出力IF
81-1
81-2
81-3
81-n
信号分配部
80
MPU
76
信号処理部
78
DRAM
79
ネットワークIF
75
信号入力IF
77
LAN
71
HDMI
72
DP
DVI
74
73
30
31

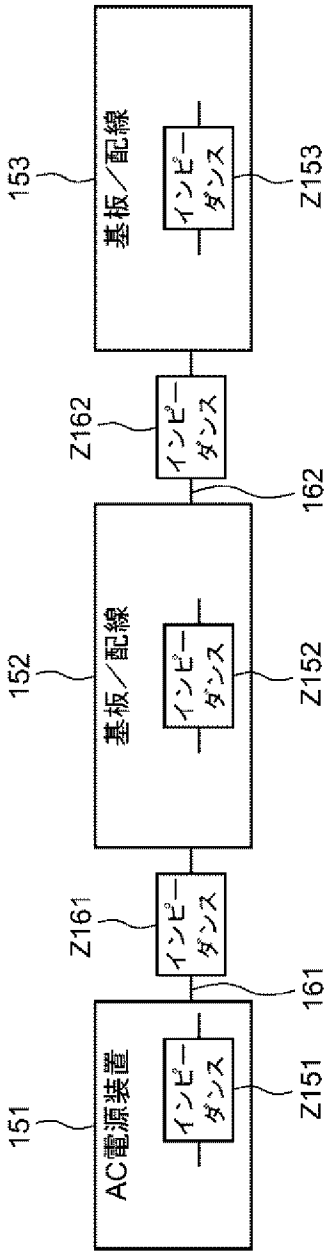
[図3]
FIG.3


Scan line 1
Scan line 2
Scan line 3
Scan line N
122
Sig line1乃至N
141
121
LEDドライバ

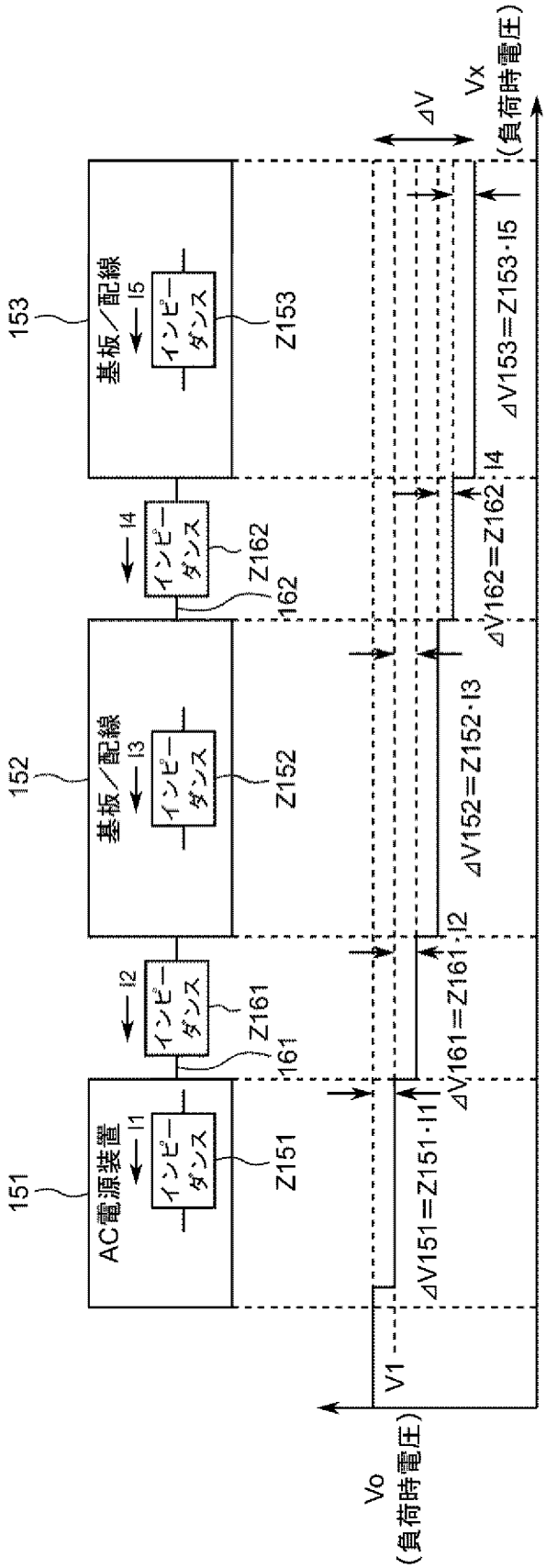
[図4]
FIG.4



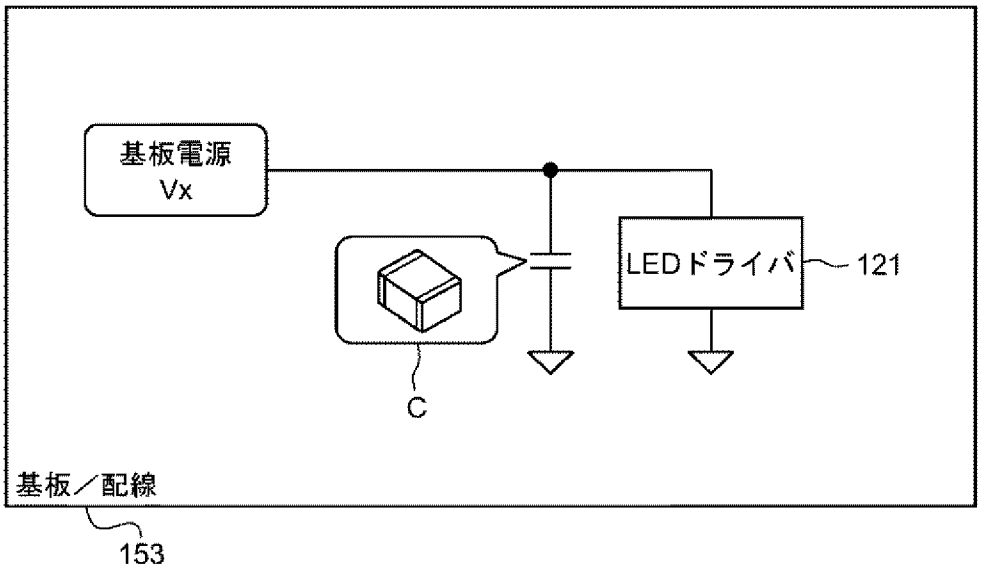
[図5]
FIG.5


153
基板／配線
インピーダンス
Z153
Z162
インピーダンス
162
152
基板／配線
インピーダンス
Z152
Z161
インピーダンス
161
151
AC電源装置
インピーダンス
Z151

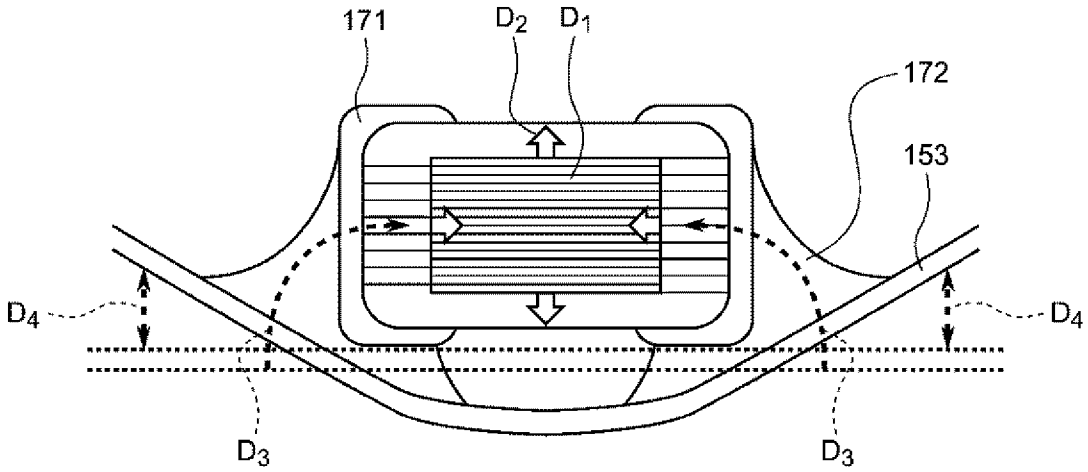
[図6]
FIG.6


151
AC電源装置
I1
インピーダンス
Z151
161
I2
インピーダンス
Z161
152
基板／配線
I3
インピーダンス
Z152
162
I4
インピーダンス
Z162
153
基板／配線
I5
インピーダンス
Z153
Vo
（負荷時電圧）
V1
ΔV151＝Z151・I1
ΔV161＝Z161・I2
ΔV152＝Z152・I3
ΔV162＝Z162・I4
ΔV153＝Z153・I5
ΔV
Vx
（負荷時電圧）

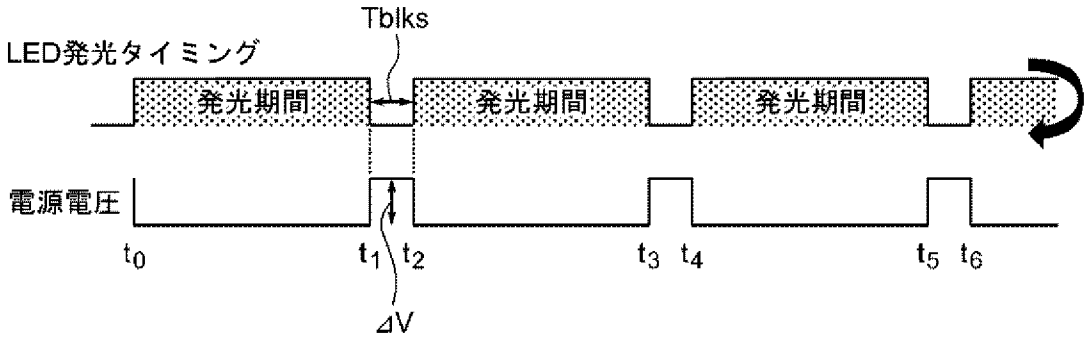
[図7]
FIG.7



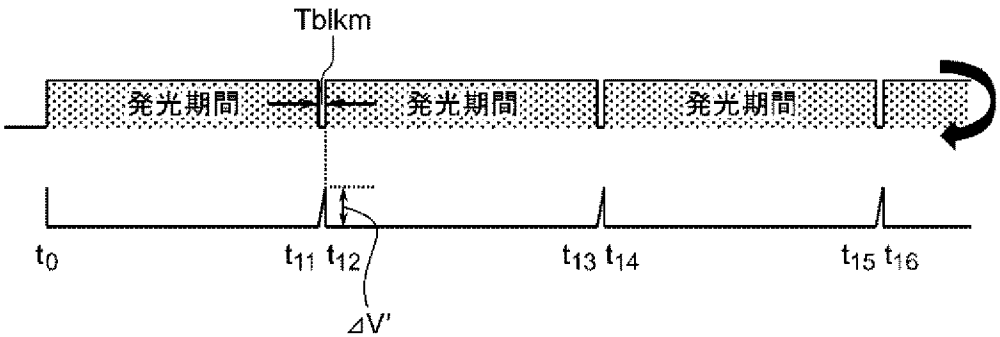
[図8]
FIG.8



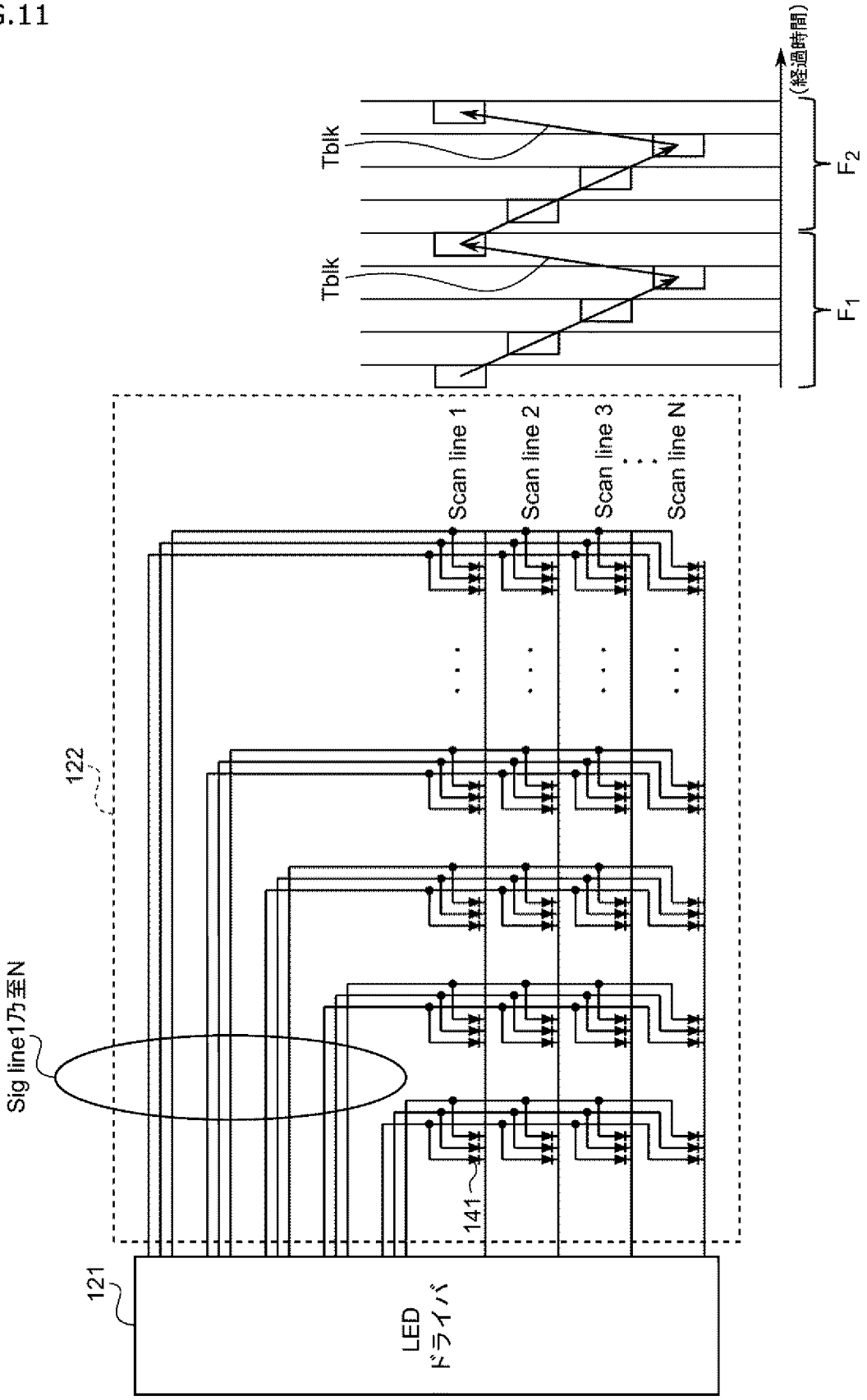
[図9]
FIG.9



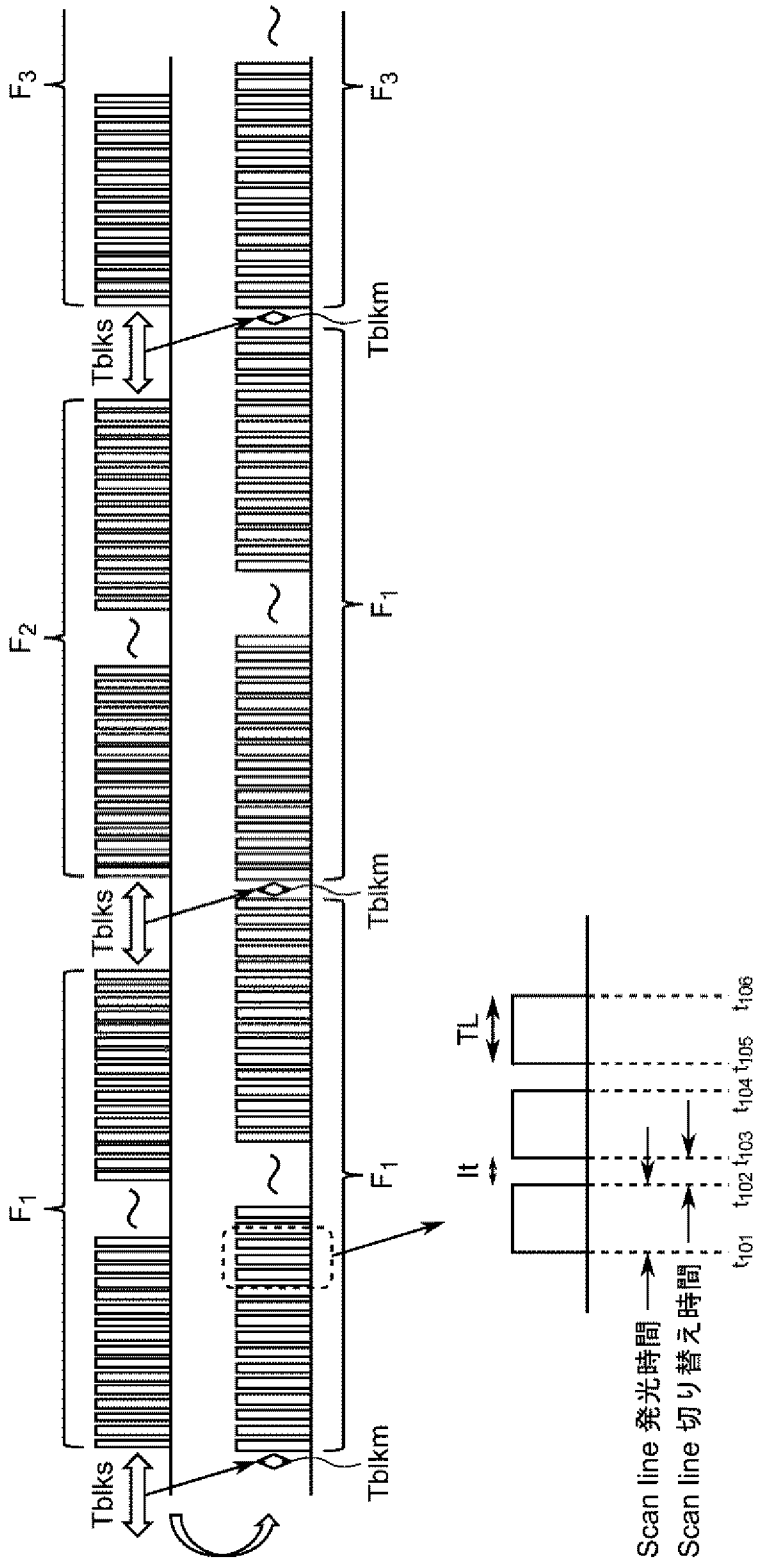
[図10]
FIG.10



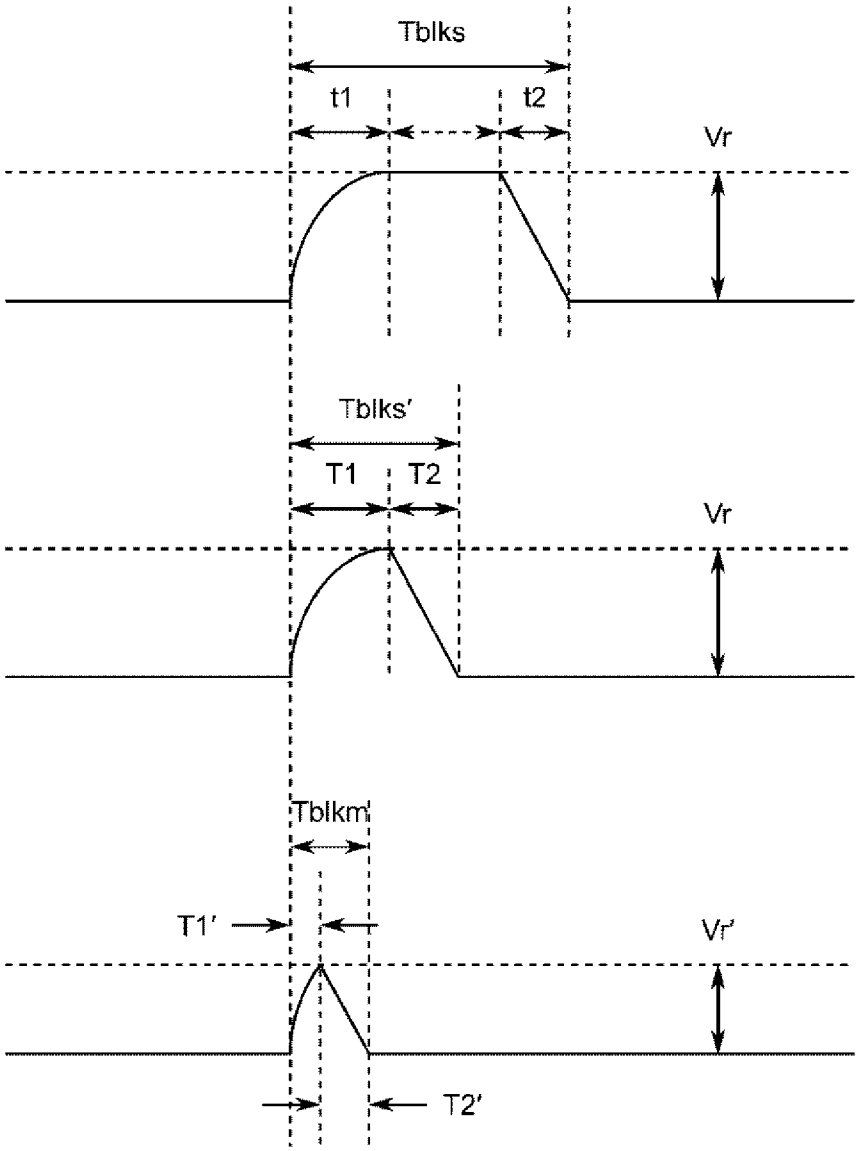
[図11]
FIG.11


(経過時間)
Tblk
Tblk
F2
F1
Scan line 1
Scan line 2
Scan line 3
Scan line N
122
Sig line1乃至N
141
121
LED
ドライバ

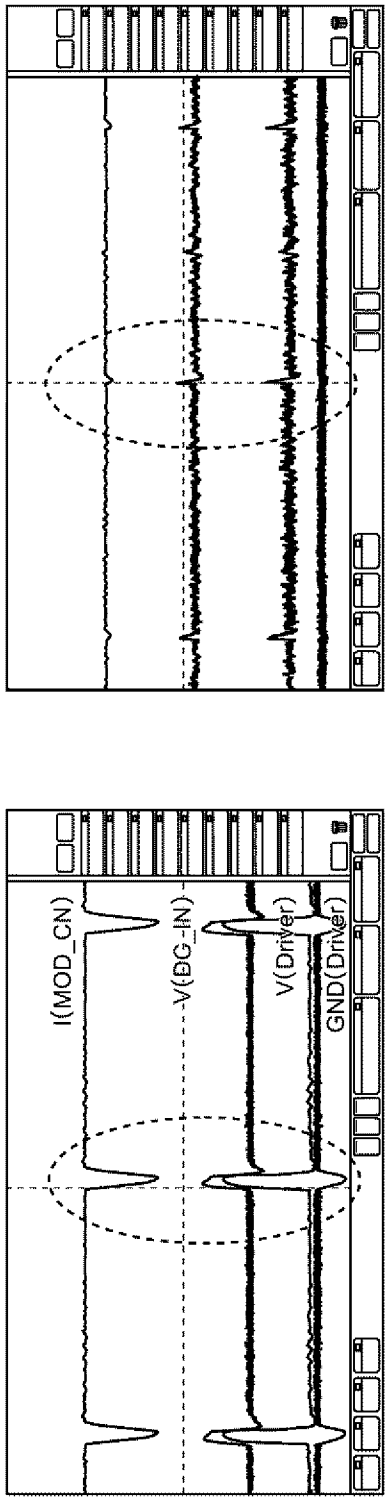
[図12]
FIG.12


F3
F2
F1
Tblks
Tblkm
TL
It
Scan line 発光時間
Scan line 切り替え時間
t101
t102
t103
t104
t105
t106

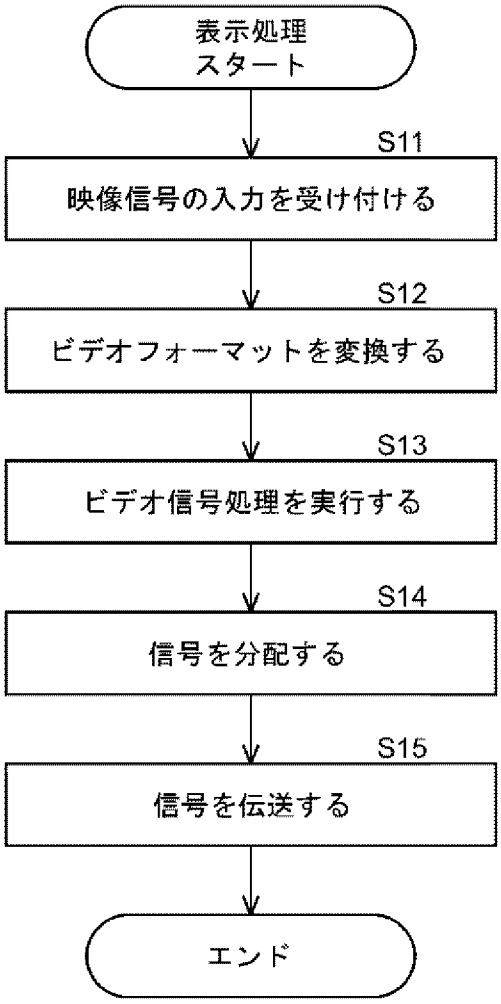
[図13]
FIG.13



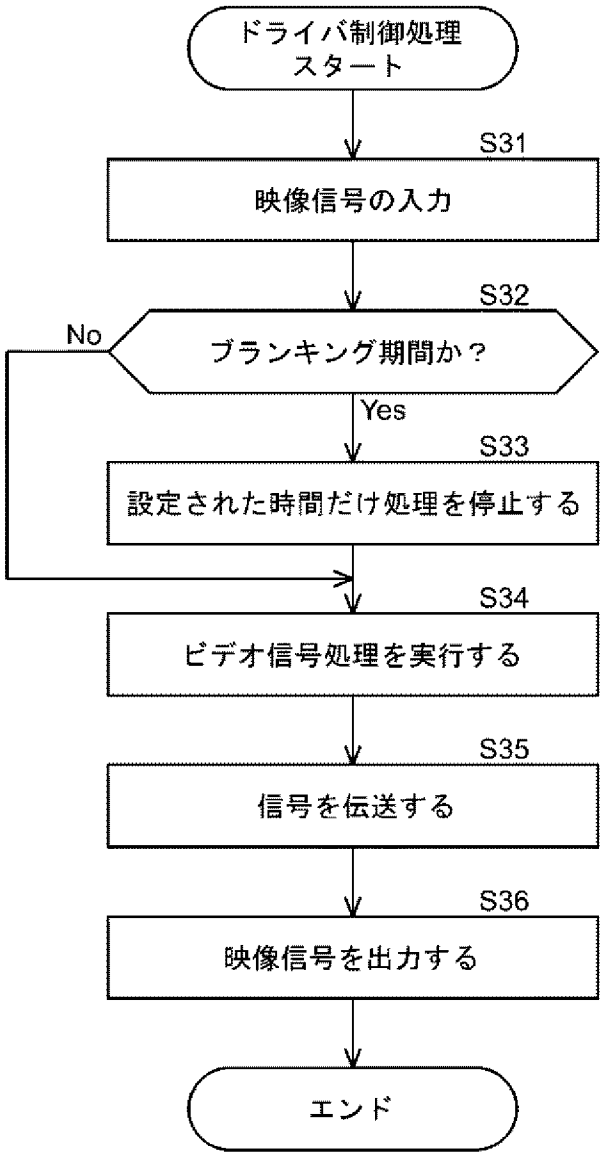
[図14]
FIG.14



[図15]
FIG.15


表示処理
スタート
S11
映像信号の入力を受け付ける
S12
ビデオフォーマットを変換する
S13
ビデオ信号処理を実行する
S14
信号を分配する
S15
信号を伝送する
エンド

[図16]
FIG.16


ドライバ制御処理
スタート
S31
映像信号の入力
S32
No
ブランキング期間か？
Yes
S33
設定された時間だけ処理を停止する
S34
ビデオ信号処理を実行する
S35
信号を伝送する
S36
映像信号を出力する
エンド

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/003724

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; ***G09G 3/32***(2016.01)i; ***H01L 33/00***(2010.01)i
FI: G09G3/32 A; G09G3/20 621A; H01L33/00 J; G09G3/20 612T; G09G3/20 670Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20; G09G3/32; H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-46343 A (FUJIFILM CORP) 04 March 2010 (2010-03-04) paragraphs [0005], [0019]-[0046], fig. 1-7	1-7, 10-16, 19-20
A	US 2019/0147795 A1 (GENESIS SYSTECH CO., LTD.) 16 May 2019 (2019-05-16) entire text, all drawings	1-20
A	US 2015/0243208 A1 (SAMSUNG DISPLAY CO., LTD.) 27 August 2015 (2015-08-27) entire text, all drawings	1-20
A	JP 2003-280599 A (HITACHI LTD) 02 October 2003 (2003-10-02) entire text, all drawings	1-20
A	JP 2003-255915 A (HITACHI LTD) 10 September 2003 (2003-09-10) entire text, all drawings	1-20

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 April 2022	**26 April 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/003724

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2010-46343 A	04 March 2010	US 2010/0049048 A1 paragraphs [0005], [0019]-[0046], fig. 1-7	
US 2019/0147795 A1	16 May 2019	WO 2017/215310 A1 entire text, all drawings CN 105938703 A	
US 2015/0243208 A1	27 August 2015	KR 10-2015-0100979 A	
JP 2003-280599 A	02 October 2003	US 2004/0001054 A1 entire text, all drawings CN 1445738 A KR 10-2003-0076280 A	
JP 2003-255915 A	10 September 2003	US 2003/0169247 A1 entire text, all drawings KR 10-2005-0093727 A CN 1444196 A	

国際調査報告

国際出願番号
PCT/JP2022/003724

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; H01L 33/00(2010.01)i
FI: G09G3/32 A; G09G3/20 621A; H01L33/00 J; G09G3/20 612T; G09G3/20 670Z

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G09G3/20; G09G3/32; H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2010-46343 A (富士フイルム株式会社) 04.03.2010 (2010-03-04) [0005],[0019]-[0046],図1-7	1-7,10-16,19-20
A	US 2019/0147795 A1 (GENESIS SYSTECH CO., LTD) 16.05.2019 (2019-05-16) 全文全図	1-20
A	US 2015/0243208 A1 (SAMSUNG DISPLAY CO., LTD.) 27.08.2015 (2015-08-27) 全文全図	1-20
A	JP 2003-280599 A (株式会社日立製作所) 02.10.2003 (2003-10-02) 全文全図	1-20
A	JP 2003-255915 A (株式会社日立製作所) 10.09.2003 (2003-09-10) 全文全図	1-20

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
15.04.2022	26.04.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
橋本　直明 2I 9707

電話番号 03-3581-1101 内線 3273

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/003724

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-46343 A	04.03.2010	US 2010/0049048 A1 [0005],[0019]-[0046], FIGS.1-7	
US 2019/0147795 A1	16.05.2019	WO 2017/215310 A1 全文全図 CN 105938703 A	
US 2015/0243208 A1	27.08.2015	KR 10-2015-0100979 A	
JP 2003-280599 A	02.10.2003	US 2004/0001054 A1 全文全図 CN 1445738 A KR 10-2003-0076280 A	
JP 2003-255915 A	10.09.2003	US 2003/0169247 A1 全文全図 KR 10-2005-0093727 A CN 1444196 A	