

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3900637号  
(P3900637)

(45) 発行日 平成19年4月4日(2007.4.4)

(24) 登録日 平成19年1月12日(2007.1.12)

(51) Int.C1.

F 1

HO3M 13/23 (2006.01)  
GO6F 11/10 (2006.01)HO3M 13/23  
GO6F 11/10 330N

請求項の数 4 (全 16 頁)

(21) 出願番号 特願平9-351434  
 (22) 出願日 平成9年12月19日(1997.12.19)  
 (65) 公開番号 特開平11-186919  
 (43) 公開日 平成11年7月9日(1999.7.9)  
 審査請求日 平成16年4月12日(2004.4.12)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (74) 代理人 100082762  
 弁理士 杉浦 正知  
 (72) 発明者 服部 雅之  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 (72) 発明者 宮内 俊之  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 審査官 岡 裕之

最終頁に続く

(54) 【発明の名称】ビタビ復号装置

## (57) 【特許請求の範囲】

## 【請求項1】

所定長の情報ビットが全て入力された後に、(拘束長 - 1)個の所定の値を符号語に入力することによってターミネートされた畳み込み符号を連続して受信するビタビ復号装置であって、

レジスタ遷移法を行うバスメモリとして、各ステートに対応し、打ち切り長を有する第一のレジスタ列と、

上記第一のレジスタ列に付加され、上記打ち切り長を有する第二のレジスタ列と、

上記第二のレジスタ列の入出力情報を制御するコントロール回路と、

上記第一のレジスタ列の出力と上記第二のレジスタ列の出力とが入力され、いずれか一方を選択して出力する選択回路と、

を有し、

上記第二のレジスタ列に、ターミネートするステートに対応する復号語が記憶され、ターミネート時には、上記第二のレジスタ列に記憶した情報がそのまま遷移されるように上記コントロール回路からの制御信号が切り替えられるとともに、上記第二のレジスタ列の出力を復号語として順に出力するように上記選択回路の出力が切り替えられ、その間に、上記第一のレジスタ列において後続の畳み込み符号に対応する通常の遷移が行われ、上記第二のレジスタ列の内容が全て出力されると同時に、上記第一のレジスタ列の出力を復号語として出力するように上記コントロール回路の制御信号及び上記選択回路の出力を切り替えて復号を行うことを特徴とするビタビ復号装置。

10

**【請求項 2】**

所定長の情報ビットが全て入力された後に、(拘束長 - 1)個の所定の値を符号語に入力することによってターミネートされた畳み込み符号を連続して受信するビタビ復号装置であって、

レジスタ遷移法を行うパスメモリとして、各ステートに対応し、打ち切り長を有するレジスタ列と、

上記レジスタ列のうち、ターミネートするステートに対応するレジスタ列の入出力情報を制御するコントロール回路と、

上記レジスタ列の出力のうち最尤のステートに対応するレジスタ列の出力を選択して出力する選択回路と、

を有し、

ターミネート時にはターミネートするステートに対応するレジスタ列に記憶した情報がそのまま遷移されるように上記コントロール回路からの制御信号が切り替えられるとともに、上記ターミネートするステートに対応する出力を復号語として出力するように上記選択回路の出力が切り替えられ、その出力が終わるまでの期間において、続いて入力される畳み込み符号に対応する通常の遷移が行われ、上記出力が終わると同時に、上記コントロール回路の制御信号及び上記選択回路の出力を切り替えて通常の遷移による復号を行うことを特徴とするビタビ復号装置。

**【請求項 3】**

所定長の情報ビットが全て入力された後に、(拘束長 - 1)個の所定の値を符号語に入力することによってターミネートされた畳み込み符号を連続して受信するビタビ復号装置であって、

トレースバック法を行うパスメモリと、

上記パスメモリの動作の切り替え制御を行うコントロール回路と、  
を有し、

打ち切り長をターミネート長の  $1 / n$  ( $n$  は整数) となるように設定し、

ターミネート時にはターミネートするステートからトレースを開始するように上記コントロール回路の制御信号が切り替えられ、ターミネートされた区間の復号を行っている間に、次の区間の復号のためのトレースを行い、ターミネートされた符号の復号が終わると同時に通常の復号に戻すことを特徴とするビタビ復号装置。

**【請求項 4】**

所定長の情報ビットが全て入力された後に、(拘束長 - 1)個の所定の値を符号語に入力することによってターミネートされた畳み込み符号を連続して受信するビタビ復号装置であって、

ターミネート情報に基づいてステートメトリックの値又は値 0 のいずれか一方を出力するようにされた第一のセレクタと、

上記ターミネート情報に基づいてステートメトリックの値又はステートメトリックのビット数で表現される最大値のいずれか一方を出力するようにされた第二のセレクタを有し、

ターミネート時以外の時には、上記各セレクタはそれぞれステートメトリックの値を出力し、

ターミネート時には、上記各セレクタがそれぞれステートメトリックの値以外の値を出力することにより、ターミネートするステートを通過するパスを必ず選択するようにしたことを特徴とするビタビ復号装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

この発明は、例えば衛星放送等で使用される畳み込み符号の最尤復号法に使用されるビタビ復号装置に関する。

**【0002】**

**【従来の技術】**

畳み込み符号を復号する方式の一つとして、ビタビ復号方式が知られている。このビタビ復号方式は、畳み込み符号に対する最尤復号方式であり、送信側のエンコーダから生成され得る符号系列の中から、受信された符号系列に最も近い系列（以下、このような系列を最尤パスと表記する）を選ぶことにより、誤り訂正を行う。すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、遷移ダイヤグラム（以下、トレリスと表記する）を前提とし、遷移ダイヤグラム上で生じ得る遷移の内から、例えば受信された符号系列とのハミング距離が最小となるものを最尤パスとして選択するようになされている。

**【0003】**

ビタビ復号方式を行うビタビ復号装置は、プランチメトリック、すなわちトレリス上の各状態に到達するパスと受信された符号系列とのハミング距離をクロックに従って計算するプランチメトリック計算回路と、プランチメトリックに基づいてステートメトリックを計算し、ステートメトリックの値を比較して最尤パスを選択するACS回路、ステートメトリックの値を正規化する正規化回路、ステートメトリックの値を記憶するステートメトリック記憶回路、ACSによる選択結果に従って復号データを生成するパスメモリ回路を備える構成とされている。

**【0004】**

ここで、パスメモリ回路としては、レジスタ列を用いてパス選択内容を遷移させるレジスタ遷移法を行うものと、RAMを用いてパス選択内容を記憶させ、記憶内容をトレースして復号する方法を行うものの2種類がある。以下、これら2種類の方法について説明する。

**【0005】**

従来のビタビ復号装置において使用されてきたレジスタ遷移法においては、パスメモリ回路内にセレクタとレジスタからなるメモリセルをトレリス上に配置し、ACS回路から出力されるパス選択情報に基づいてレジスタの内容を遷移させる。そして、最終段のメモリセルの出力の内、最尤ステートの出力を選ぶことによって最尤パスに対する情報を選択し、復号データを出力する。

**【0006】**

このようなレジスタ遷移法は、高速動作が可能であるという利点がある反面、打ち切り長が長くなると回路規模が膨大になるという欠点がある。特に、最近は、打ち切り長が100を越えるような用途も出てきたので、回路規模の大型化が深刻な問題となっている。

**【0007】**

そこで、近年では、RAM(Random Access Memory)を用いてパス情報を記憶し、記憶した情報をトレースすることで復号する方法が盛んに研究されている。以下、この方法をトレースバック法と呼ぶ。

**【0008】**

ところで、畳み込み符号の符号化を終結させる方法としてターミネートが知られている。ターミネートされた畳み込み符号をビタビ復号する場合には、オール0のステートからパスを遡って復号することによって最尤パスを得ることができる。但し、従来から使用されているビタビ復号装置では、ターミネートされた畳み込み符号を連続して受信する場合に、通常の動作によって復号を行うことが多い。

**【0009】****【発明が解決しようとする課題】**

このような復号方法においては、ターミネートされた畳み込み符号に続いて次の畳み込み符号が連続して入力された時に、厳密な最尤復号ができず、復号誤りが生じるおそれがあるという問題がある。この問題は、ビタビ復号を行う際にターミネート区間を考慮しないことに起因するものであるから、上述したレジスタ遷移法およびトレースバック法の何れにおいても生じるものである。

**【0010】**

この発明は、このような事情に鑑みて提案されたものであり、従ってこの発明の目的は、

10

20

30

40

50

ターミネートされた畳み込み符号に対しても厳密な最尤復号が可能なビタビ復号装置を提供することにある。

#### 【0011】

##### 【課題を解決するための手段】

請求項1の発明は、所定長の情報ビットが全て入力された後に、(拘束長-1)個の所定の値を符号語に入力することによってターミネートされた畳み込み符号を連続して受信するビタビ復号装置であって、

レジスタ遷移法を行うバスメモリとして、各ステートに対応し、打ち切り長を有する第一のレジスタ列と、

第一のレジスタ列に付加され、上記打ち切り長を有する第二のレジスタ列と、 10  
第二のレジスタ列の入出力情報を制御するコントロール回路と、  
第一のレジスタ列の出力と第二のレジスタ列の出力とが入力され、いずれか一方を選択して出力する選択回路と、  
を有し、

第二のレジスタ列に、ターミネートするステートに対応する復号語が記憶され、ターミネート時には、第二のレジスタ列に記憶した情報がそのまま遷移されるようにコントロール回路からの制御信号が切り替えられるとともに、第二のレジスタ列の出力を復号語として順に出力するように選択回路の出力が切り替えられ、その間に、第一のレジスタ列において後続の畳み込み符号に対応する通常の遷移が行われ、第二のレジスタ列の内容が全て出力されると同時に、第一のレジスタ列の出力を復号語として出力するようにコントロール回路の制御信号及び選択回路の出力を切り替えて復号を行うことを特徴とするビタビ復号装置である。 20

#### 【0012】

以上のような発明によれば、ターミネートするステートに到達するバスを必ず復号することができる所以、ターミネートされた畳み込み符号に対する最尤復号をすることが可能となる。

#### 【0013】

##### 【発明の実施の形態】

以下、図面を参照して、この発明の第1の実施形態について説明する。まず、図1を参照してこの発明の第1の実施形態の全体構成について説明する。この発明の第1の実施形態は、プランチメトリック計算回路701、ACS回路702、正規化回路703、ステートメトリック記憶回路704、およびバスメモリ回路705を備える構成とされており、送信側から伝送路を介して受信されたデータが入力された時、送信側のエンコーダから生成され得る符号系列の中から最尤パスを選択し、選択内容に基づいて復号データを生成する。 30

#### 【0014】

すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、例えば図2に示すような遷移ダイヤグラム(以下、トレリスと表記する)を前提とし、遷移ダイヤグラム上で生じ得る遷移の内から、例えば受信された符号系列とのハミング距離が最小となるものを最尤パスとして選択するようになされている。 40

#### 【0015】

プランチメトリック計算回路701は、受信データ信号s701が入力されたとき、この受信データのプランチメトリックを計算して、計算結果をプランチメトリック信号s702として出力する。ACS回路702は、プランチメトリック信号s702と、ステートメトリック記憶回路704から入力されるステートメトリック信号s705とに基づいて、あるステートに合流する2本のそれぞれのパスに対し、プランチメトリックとステートメトリックとを加算してそれら加算値を比較し、比較結果に基づいて尤度の高いものを選択して、新ステートメトリックとする。

#### 【0016】

このような選択の内容をバス選択情報s706として出力し、最小のステートメトリック 50

を持つステートの番号を最尤ステート信号 s 7 0 7 として出力し、新たに得られたステートメトリックを新ステートメトリック信号 s 7 0 3 として出力する。

#### 【 0 0 1 7 】

ここで、パスの選択方法について、拘束長 = 3 の場合を例として説明する。図 2 のトレリスは、4 個のステート 0 0、0 1、1 0、1 1 を有し、拘束長 = 3 の場合のトレリスの一例である。ここで矢印は各タイムスロット毎に生じ得るパスを示しており、復号データ'0' に対応するパスを点線で示し、復号データ'1' に対応するパスを実線で示した。各タイムスロット毎にすべてのステートには合流する 2 本のパスが存在する。そこで、あるステートに合流する 2 本のそれぞれのパスに対し、受信信号とパスとのハミング距離（プランチメトリック）と、それまでのプランチメトリックの累積和（ステートメトリック）とを加算して比較を行い、この比較結果に基づいて尤度の高いものが選択される。  
10

#### 【 0 0 1 8 】

正規化回路 7 0 3 は、ACS 回路 7 0 2 から出力される新ステートメトリック信号 s 7 0 3 から最小のステートメトリックを減算する方法等を用いて正規化し、予め設定されている範囲内の値にして、正規化ステートメトリック信号 s 7 0 4 として出力する。ステートメトリック記憶回路 7 0 4 は、正規化回路 7 0 3 から出力される正規化ステートメトリック信号 s 7 0 4 を記憶し、これをステートメトリック信号 s 7 0 5 として ACS 回路 7 0 2 に戻す。ステートメトリック記憶回路 7 0 4 の構成の一例を図 3 に示す。図 2 のトレリスにおける 4 個のステートに対応して 4 個のレジスタを有するものとされている。図 3においてはこれら 4 個のレジスタを 5 ビットのレジスタとしたが、他のビット数のレジスタを用いても良い。  
20

#### 【 0 0 1 9 】

次に、この発明の第 1 の実施形態におけるパスメモリ回路 7 0 5 についての説明を行うに先立って、理解を容易するために、レジスタ遷移法を実現する一般的なパスメモリ回路の構成について説明する。セレクタとレジスタとから図 4 に示すように構成されるメモリセルが図 2 に示したトレリスに配置されてなるパスメモリ回路の構成を図 5 に示す。図 5 中ではメモリセルを MS と表記した。かかる構成において、ACS 回路 7 0 2 から出力されるパス選択情報に基づいてレジスタの内容を遷移させることにより、各メモリセルのレジスタ内に、各ステートからの生き残りパスに対応する情報が保存される。従って、図 2 に示したトレリスを前提とした復号、すなわち、4 個のステートを有し、拘束長 = 3 、打ち切り長 = 4 の場合のレジスタ遷移法による復号が実現される。  
30

#### 【 0 0 2 0 】

このような一般的なパスメモリ回路においては、ターミネートされた畳み込み符号を連続して受信する際に厳密な最尤復号を行うことができないという問題がある。以下、かかる問題について説明する。畳み込み符号の符号化を終結させるために、情報ビットが全て入力された後に、( 拘束長 - 1 ) 個の 0 を符号器に入力する方法が知られている（図 6 参照）。このように所定の時点において符号器のステートをオール 0 にすることをターミネートと呼び、符号化を開始してからターミネートが終了するまでの時刻数をターミネート長と呼ぶ。

#### 【 0 0 2 1 】

ターミネートされた畳み込み符号をビタビ復号する場合には、オール 0 のステートからパスを遡って復号することによって最尤パスを得ることができる。但し、実際のビタビ復号装置では、ターミネートされた畳み込み符号を連続して受信する場合には、通常の動作によって復号を行うことが多い。  
40

#### 【 0 0 2 2 】

しかし、このような復号方法においては、ターミネートされた畳み込み符号に続いて次の畳み込み符号が連続して入力された時に、厳密な最尤復号ができない場合がある。このような場合について以下に説明する。図 7 に示すような、拘束長 = 3 の畳み込み符号器を使用する場合において、符号をターミネートさせた後に、引続き次の符号化を行う場合を考える。この場合のトレリスの一例を図 8 A に示す。図 8 A では、ターミネート区間に後続

する符号を、オール 0 のステートからパスを遡って復号することによって最尤パスを得る場合に、トレースされるトレリスを示している。

#### 【 0 0 2 3 】

そして、正しいパスがオール 0 のパス（図 8 B における P<sub>r</sub>）であった場合を考える。この場合に、ターミネートを考慮せずに復号を行うと、図 8 B に示すような誤りパス P<sub>e</sub> が復号されるおそれがある。この誤りパス P<sub>e</sub> は、オール 0 のパス P<sub>r</sub> とのハミング距離が 6 と小さため、誤って復号結果とされる確率が比較的高いためである。

#### 【 0 0 2 4 】

この誤りパス P<sub>e</sub> を誤って復号したとすると、ターミネートを行っている区間の復号ビットを無視しても、伝送情報に係る情報ビットに 1 ビットの誤りを含むことになる。本来のターミネートされたトレリス上にはこのパスは存在しないので、ターミネート区間を考慮して厳密な最尤復号を行うならば、このような復号誤りは起こらないものである。10

#### 【 0 0 2 5 】

以上の事情に鑑み、ターミネート区間を考慮して厳密な最尤復号を行うようにした、この発明の第 1 の実施形態におけるパスメモリ回路 705 の構成を図 9 に示す。パスメモリ回路 705 は、各ステート対応して配置された打ち切り長分のメモリセルの列に加えて、レジスタ列 102 を備え、コントロール回路 101 がターミネート情報に基づいてこのレジスタ列 102 を制御するようになされている。

#### 【 0 0 2 6 】

すなわち、ステート 00 に対応するレジスタ列内の 1 段目、2 段目、3 段目および 4 段目の各セレクタの出力がそれぞれ、レジスタ列 102 内のレジスタ 1021, およびセレクタ 1022, 1024 および 1026 に入力される。また、セレクタ 1022, 1024, 1026 には、前段のレジスタ 1021, 1023, 1025 の出力がそれぞれ入力される。そして、セレクタ 1022, 1024, 1026 は、コントロール回路 101 の指令に従って、入力されるデータの内の方を後段のレジスタに出力する。20

#### 【 0 0 2 7 】

各ステート毎の生き残りパスに対応する情報は、ACS 回路 702 から入力される各ステート毎のパス選択情報に従って遷移させることによってレジスタ内に記憶される。受信語がターミネートされるまでの期間においては、最終段の出力の内、最尤ステートの出力を選ぶことによって最尤パスに対応する情報を選択し、復号データを出力する。この期間には、コントロール回路からレジスタ列 102 に例えば '1' が出力されて、レジスタ列 102 にもステート 0 に対応する復号語が記憶される。30

#### 【 0 0 2 8 】

一方、受信語がターミネートされた時には、コントロール回路 101 からレジスタ列 102 への信号を例えば '0' に切り替えて、レジスタ列 102 内に記憶された情報をそのまま遷移させる。そして、最終段の選択回路 103 でレジスタ列 102 の出力をそのまま復号語として出力する。このような動作により、ターミネートにステート 00 に到達するパスを復号することができる。

#### 【 0 0 2 9 】

また、レジスタ 102 の内容が出力されている期間に、その他の 4 個のレジスタ列は、後続の畳み込み符号に対応する通常の遷移を改めて開始し、レジスタ列 102 の内容が全て出力されると同時に通常の復号動作に戻し、コントロール回路 101 からの信号を '1' に切り替える。以上のように、この発明の第 1 の実施形態においては、ターミネートされた畳み込み符号が連続して入力される場合にも、復号の動作を連続したままターミネートするステートに到達するパスを復号することができる。これによってターミネートされた符号をも厳密に最尤復号することが可能となり、復号誤り率を改善することができる。40

#### 【 0 0 3 0 】

次に、この発明の第 1 の実施形態とは異なる構成を有するパスメモリ回路 805 を用いた、この発明の第 2 の実施形態について説明する。図 10 に、この発明の第 2 の実施形態におけるこのパスメモリ回路 805 の構成を図示する。パスメモリ回路 805 は、拘束長 = 50

3、打ち切り長 = 4 の復号を行うに際し、受信語がターミネートされたものであっても厳密な最尤復号を行う機能を有するものである。

#### 【0031】

バスメモリ回路 805 は、各ステート対応して配置された打ち切り長分のメモリセルの列において、ステート 00 に対応するレジスタ列 203 内の各メモリセルのセレクタに入力される信号を、コントロール回路によって制御するようにしたものである。すなわち、セレクタ 204、205、206 および 207 を設け、これらのセレクタにはバス選択情報と '0' が入力されるようになされる。そして、セレクタ 204 ~ 207 はコントロール回路 201 に指令に従って、バス選択情報と '0' の内の一方をレジスタ列 203 内の各メモリセルのセレクタにコントロール信号として入力する。

10

#### 【0032】

このような構成により、次のような動作が実現される。すなわち、受信語がターミネートされるまでの間はステート 00 のレジスタ列 203 に対するコントロール信号としてバス選択情報を与えて通常のレジスタ遷移を行う。そして、最終段の出力の内、最尤ステートの出力を選ぶことによって最尤バスに対応する情報を選択し、復号データを出力する。一方、受信語がターミネートされた時、そのクロックでは、ステート 00 のレジスタ列 203 に対するコントロール信号としてセレクタ 204 ~ 207 が '0' を与えるように制御し、そのクロックでの記憶内容をそのまま遷移させる。

#### 【0033】

次のクロックでは、1 段目のメモリセルのセレクタにはセレクタ 204 がバス選択情報を与え、また、2 段目以降のメモリセルのセレクタにはセレクタ 205 ~ 207 が '0' を与える。さらに次のクロックでは、2 段目までのメモリセルのセレクタにはセレクタ 204、205 がバス選択情報を与え、また、3 段目以降のメモリセルのセレクタにはセレクタ 206、207 が '0' を与える。以下、打ち切り長分、順にコントロール信号を切り替えていき、ターミネート時にステート 00 のレジスタ列に記憶してあった復号語の出力が完了するまでは、最終段の選択回路 202 でステート 00 からの出力を復号データとして出力する。

20

#### 【0034】

また、ステート 00 のレジスタ列に記憶されていた復号語の出力が終わるまでの期間、続いて入力される畳み込み符号に対して、バスメモリが通常の動作を行っているので、ターミネートされた符号の復号が終わると同時に通常の復号に戻すことができる。

30

#### 【0035】

以上のように、この発明の第 2 の実施形態においても、ターミネートされた畳み込み符号が連続して入力される場合にも、復号の動作を連続したままターミネートするステートに到達するパスを復号することができる。

#### 【0036】

上述したこの発明の第 1 の実施形態およびこの発明の第 2 の実施形態は、レジスタ遷移法を前提とするものである。ところで、ターミネートされた畳み込み符号が連続して入力される場合に生じ得る復号誤りは、トレースバック法による復号を行うビタビ復号装置においても同様に問題とされる。そこで、トレースバック法においてかかる問題点を解決する、この発明の第 3 の実施形態について説明する。但し、理解を容易とするために、従来から用いられている一般的なトレースバック法について先ず説明する。

40

#### 【0037】

トレースバック法におけるトレースの原理的な動作を拘束長 = 3 の場合を例として説明する。図 11において、ステート 01 からトレースする場合を考える。ステート 01 への遷移の可能性があるステートは、ステート 00 とステート 10 である。ここでバスメモリには、ステート 00 側のパスを選んでいた時には 0、ステート 10 側のパスを選んでいた時には 1 (すなわち前ステートの最上位ビット) が記憶してある。

#### 【0038】

また、何れのステートから遷移する場合にも入力は 1 であり、これはステート 01 の最下

50

位ビットで表現されている。以上により、トレースの動作は次のように行えば良い。図12に示すように、トレースを開始するトレース開始ステートの最下位ビットを復号ビットとし、トレース開始ステートに後続してトレースする次トレースステートの番号は、トレース開始ステートの最上位ビットから下位2ビット目までに、パスメモリ内のビットを新たに最上位ビットとして付け加えることで生成する。このような動作によって、最小ステートメトリックをとるステートから、選択されたパスを遡ることができる。

#### 【0039】

ところで、ビタビ復号装置を高速に動作させるためには、RAMはクロック毎に一回しかアクセスできない。各RAMに対して1回のアクセスで復号を行うために、シングルポートのメモリを4つ備えたパスメモリ回路を使用する場合について説明する。以下の説明においては、符号の拘束長 = 3、打ち切り長 = 4を前提とする。この場合に使用されるパスメモリ回路は、ステート数分のビット数（この例では4ビット）と、打ち切り長分のワード数（この例では4ワード）を持つシングルポートのRAMを4つ備えたパスメモリ回路である。

#### 【0040】

ACS回路702からパスメモリ回路へは、ステート数分のパス選択情報が毎クロック入力される。4つのRAMは、以下の（1）～（4）の4つの役割を打ち切り長分のクロック（ここでは4クロック）毎に順次切り替える（図13参照）。また、このようなオペレーションに基づく4個の各RAMの動作の一例を図14に示す。

#### 【0041】

（1）パス選択情報を順次書き込む。

#### 【0042】

（2）書き込まれたパス選択情報に基づいて順次トレースする。復号は行わない。

#### 【0043】

（3）アクセス無し。

#### 【0044】

（4）（2）でのトレース結果から順次トレースを行って復号ビットを出力する。

#### 【0045】

このようなパスメモリ回路の構成およびオペレーションによって、トレースバック法による復号が実現される。

#### 【0046】

以上のようなトレースバック法を行うビタビ復号装置において、畳み込み符号のターミネートに係る上述の問題点を解決する、この発明の第3の実施形態について説明する。図15に、この発明の第3の実施形態におけるパスメモリ回路905の構成を示す。パスメモリ回路905は、拘束長 = 3、ターミネート長 = 16の符号に対して打ち切り長 = ターミネート長 / 4 = 4の復号を行う場合に、4ビット、4ワードのシングルポートのRAMを4個用いることでトレースバック法によって復号を行うパスメモリ回路である。ここで、パス選択情報のRAMへの書き込みの開始時点は、符号化の開始時点と合わせておくものとする。

#### 【0047】

RAM30, 31, 32, 33はコントロール回路301で生成されるコントロール信号s303に従って、ACS回路から入力されるパス選択情報s302の書き込みと、記憶したパス選択情報の読み出しを行って、読出パス選択情報s304、s305、s306、s307をコントロール回路301に入力する。受信語がターミネートされるまでの間のメモリのオペレーションは、従来から行われているのと同様に、以下の役割を切り替えて行う。

#### 【0048】

（1）パス選択情報を順次書き込む。

#### 【0049】

（2）書き込まれたパス選択情報に基づいて順次トレースする。復号は行わない。

10

20

30

40

50

**【0050】**

(3) アクセス無し。

**【0051】**

(4) (2)でのトレース結果から順次トレースを行って復号ビットを出力する。

**【0052】**

一方、ターミネートされた区間を復号する際には、(4)の役割を担うRAMが(2)でのトレース結果ではなく、ステート00からトレースを開始するようにして、復号を行う。このため、コントロール回路301がターミネート信号s301に従って各RAMの動作を切り替えるようになされている。ここで、符号化の開始時点とRAMの書き込みの開始時点を合わせてあること、および打ち切り長がターミネート長の1/4の関係にあることにより、ターミネート終了のタイミングは、トレース開始のタイミングと一致する。また、ターミネートされた区間の復号を行っている間も、次の区間の復号のための(2)の部分のトレースが行われているので、ターミネートされた符号の復号が終わると同時に、通常の復号の動作に戻すことができる。

10

**【0053】**

(4)でトレースによって復号された信号s308は、出力バッファ302に入力され、本来の時系列順に並べ換えられた後に復号ビット信号s309として出力される。以上のように、この発明の第3の実施形態においても、ターミネートされた畳み込み符号が連続して入力される場合にも、復号の動作を連続したままターミネートするステートに到達するパスを復号することができる。

20

**【0054】**

上述したこの発明の第1、第2および第3の実施形態は、バスメモリ回路においてターミネートに係る問題点を解決するようにしたものである。これに対して、ステートメトリック記憶回路においてターミネートに係る問題点を解決するようにした、この発明の第4の実施形態について以下に説明する。この発明の第4の実施形態についても、全体的な構成は、上述したこの発明の第1の実施形態等と同様である。この発明の第4の実施形態におけるステートメトリック記憶回路1004の構成を図16に示す。ステートメトリック記憶回路1004は、拘束長=3の符号を復号する際に4ビットのプランチメトリックと、5ビットのステートメトリックを設定した場合のステートメトリックの記憶回路である。

30

**【0055】**

そして、各ステート00、01、10および11に到達するバスのステートメトリックを記憶する4個のレジスタの前段には、セレクタ401、402、403および404が設けられている。各セレクタには、正規化回路から正規化されたステートメトリックの値が入力される。また、ステート00に対応するレジスタ401には値0がさらに入力され、他のステートに対応するセレクタ402～404には値31（5ビットで表現される最大値）がさらに入力される。そして、セレクタ401～404にはターミネート情報が入力され、各セレクタは、このターミネート情報に基づいてステートメトリックと、値0または31の内の一方を出力する。ACS回路702内でステートメトリックがオーバーフローを起こさないように、値31でクリッピングが行われている。

40

**【0056】**

ステートメトリック記憶回路1004において、受信語がターミネートされるまでの期間は、セレクタ401～404がステートメトリックの値を後段の各レジスタに出力する。これにより、順次ステートメトリックを更新して打ち切り長以前の復号データを出力するという、通常の復号がなされる。一方、受信語がターミネートされた時には、各セレクタがステートメトリックの値以外の値を後段の各レジスタに出力する。

**【0057】**

従って、ステート00のステートメトリックが0に、その他のステートのステートメトリックが31に初期化される。ここで、1クロックの間のプランチメトリックが4ビットであることにより、図17に示すように、期間P51およびP52における各プランチメト

50

リックの値はいずれも 15 (4 ビットで表現される最大値) 以下なので、新しい畳み込み符号が始まってから 2 クロックの間 (すなわち、期間 P51 および P52 の経過後) にステート 00 を起点とするパスに対するメトリックは 30 以下となる。このため、ステート 00 からのパスが必ず選択されることになる。

【0058】

以後の動作を通常の復号時と同様に行い、打ち切り長分遡って復号を行っても、ターミネートを行った時刻の復号は必ずステート 00 を通過するパスの中から最尤のものが選ばれることになる。以上のように、この発明の第 4 の実施形態においても、ターミネートされた畳み込み符号が連続して入力される場合にも、復号の動作を連続したままターミネートするステートに到達するパスを復号することができる。

10

【0059】

上述したこの発明の第 1 の実施形態等においては、拘束長 = 3、打ち切り長 = 4 の場合について説明したが、この発明は、拘束長および打ち切り長が任意の値をとる場合に適用することができる。

【0060】

【発明の効果】

上述したように、この発明は、受信語のターミネート区間を考慮してビタビ復号を行うようにしたものである。このため、ターミネートされた畳み込み符号に対して最尤復号をすることが可能となる。

【図面の簡単な説明】

20

【図 1】この発明の一実施形態の全体的な構成について説明するためのブロック図である。

【図 2】拘束長 = 3 の場合の遷移ダイアグラムについて説明するためのブロック図である。

【図 3】従来から使用されている一般的な装置におけるステートメトリック記憶回路について説明するためのブロック図である。

【図 4】レジスタ遷移法におけるバスメモリのメモリセルについて説明するための略線図である。

30

【図 5】レジスタ遷移法におけるバスメモリ中のメモリセルの配置について説明するための略線図である。

【図 6】ターミネートについて説明するための略線図である。

【図 7】拘束長 = 3 の畳み込み符号器の一例を示す略線図である。

【図 8】ターミネート時のトレリスと、従来から使用されているビタビ復号装置における復号誤りについて説明するための略線図である。

【図 9】この発明の第 1 の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図 10】この発明の第 2 の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図 11】トレースバック法におけるトレースの原理について説明するための略線図である。

40

【図 12】トレースバック法におけるトレースの方法について説明するための略線図である。

【図 13】従来から使用されている一般的なトレースバック法における各 RAM の役割について説明するための略線図である。

【図 14】従来から使用されている一般的なトレースバック法におけるメモリオペレーションについて説明するためのブロック図である。

【図 15】この発明の第 3 の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図 16】この発明の第 4 の実施形態におけるバスメモリ回路について説明するためのブロック図である。

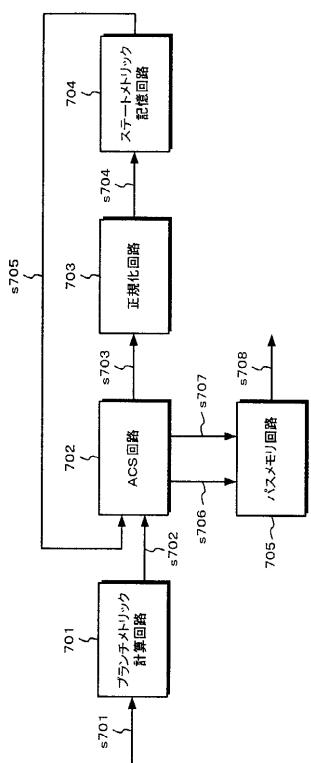
50

【図17】ステート00からのパスに対するメトリックについて説明するための略線図である。

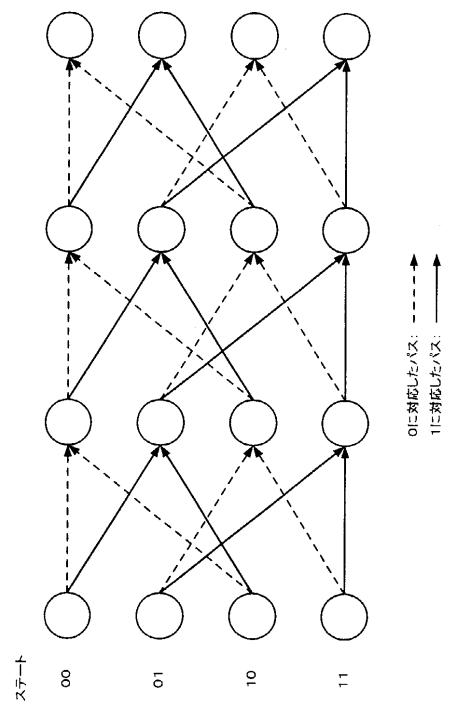
【符号の説明】

705・・・バスメモリ回路、101・・・コントロール回路、805・・・バスメモリ回路、905・・・バスメモリ回路、1004・・・ステートメトリック記憶回路

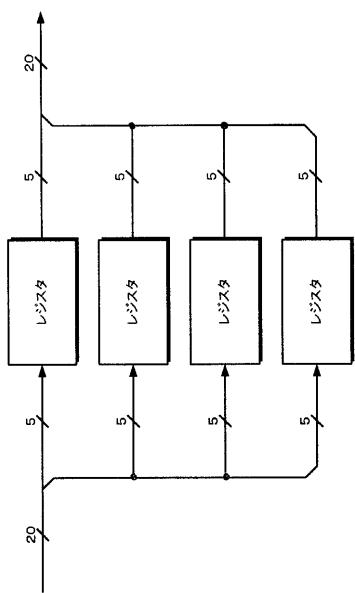
【図1】



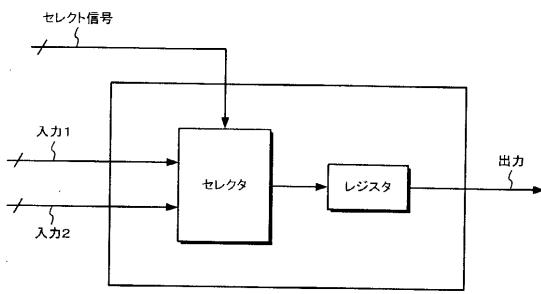
【図2】



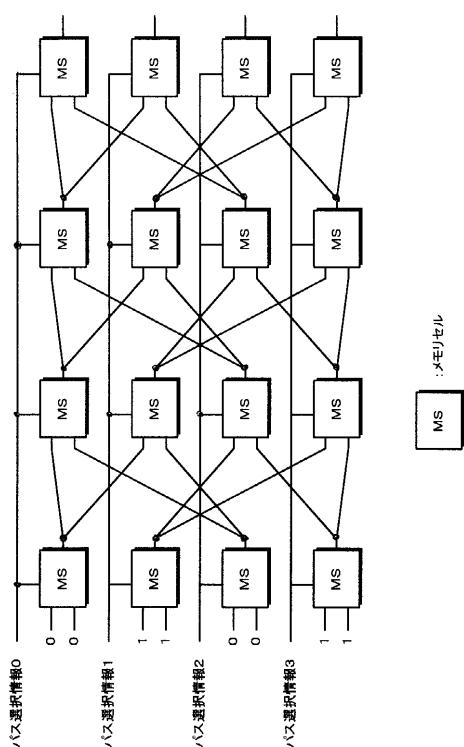
【図3】



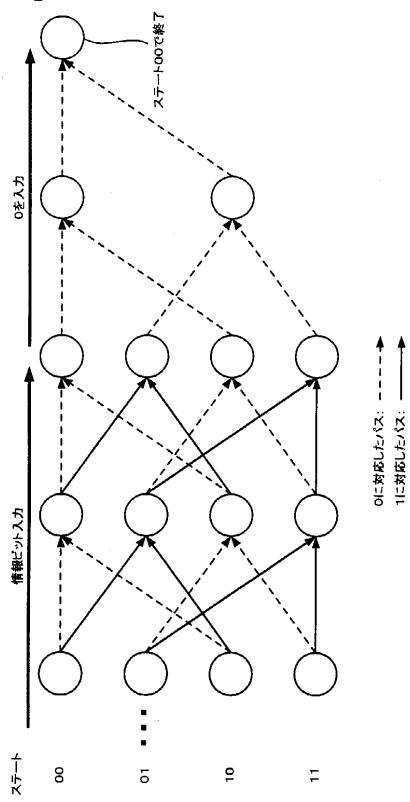
【図4】



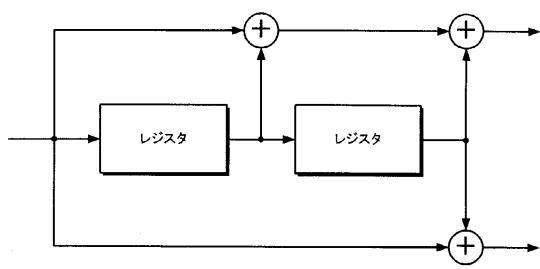
【図5】



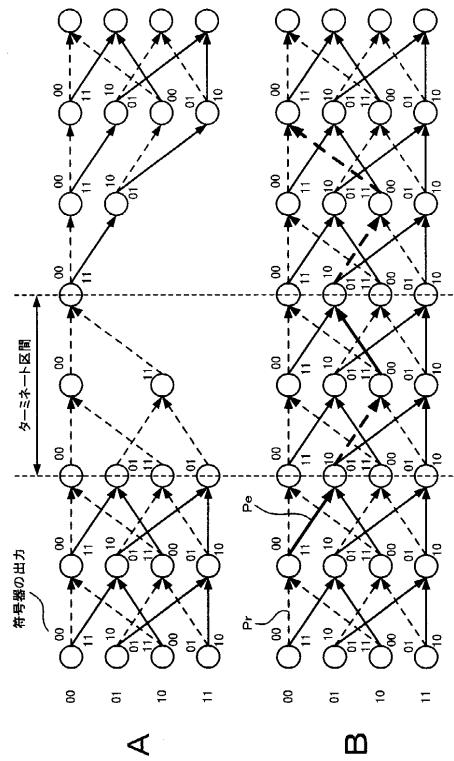
【図6】



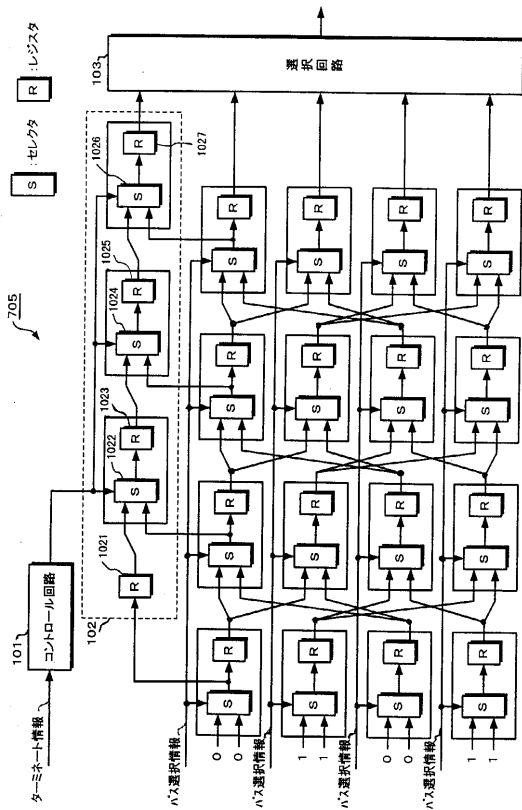
【 図 7 】



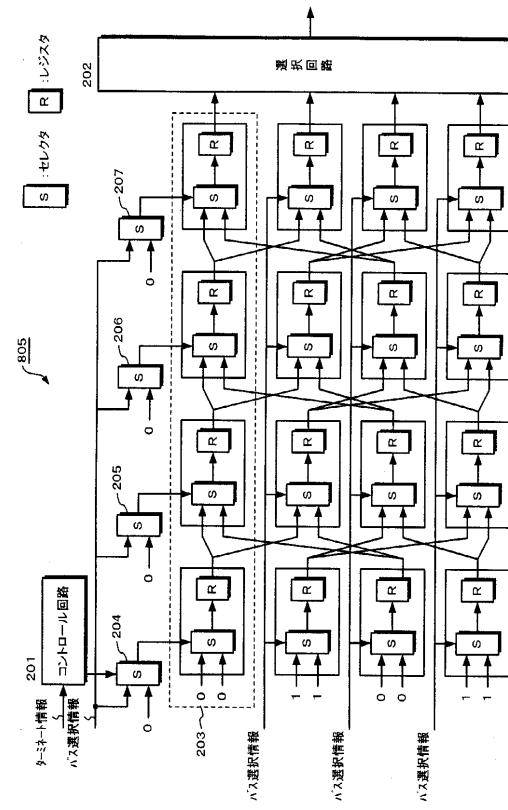
【 四 8 】



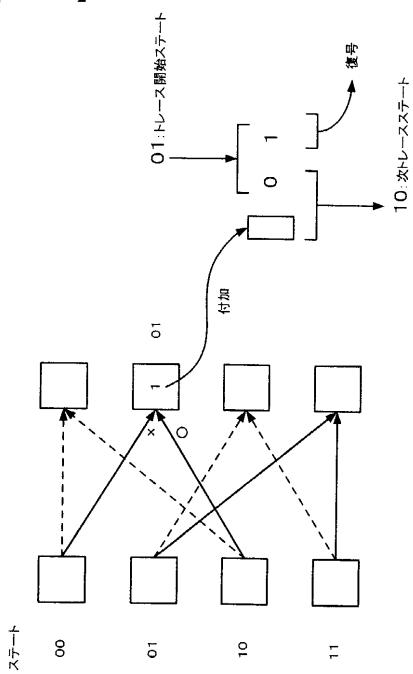
【図9】



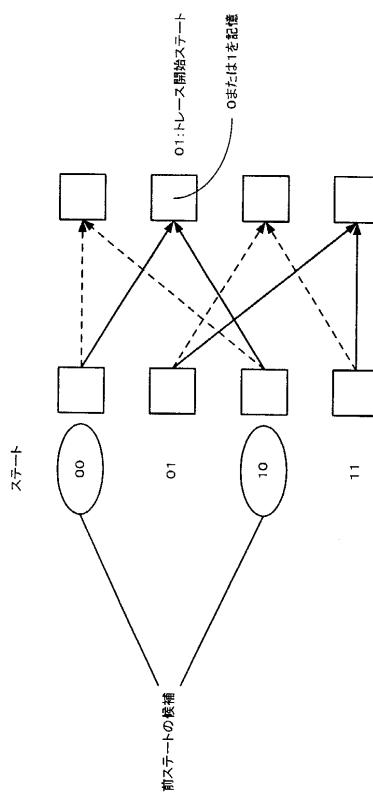
【 10 】



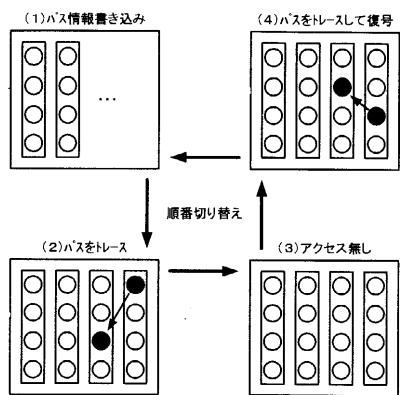
【図 1 1】



【図 1 2】



【図 1 3】

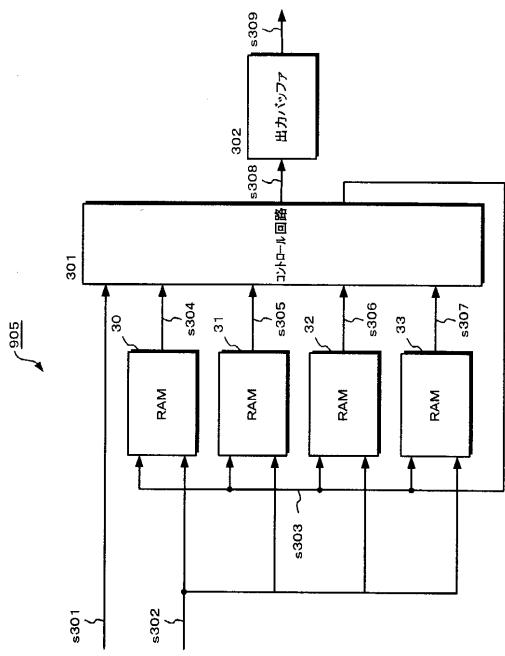


【図 1 4】

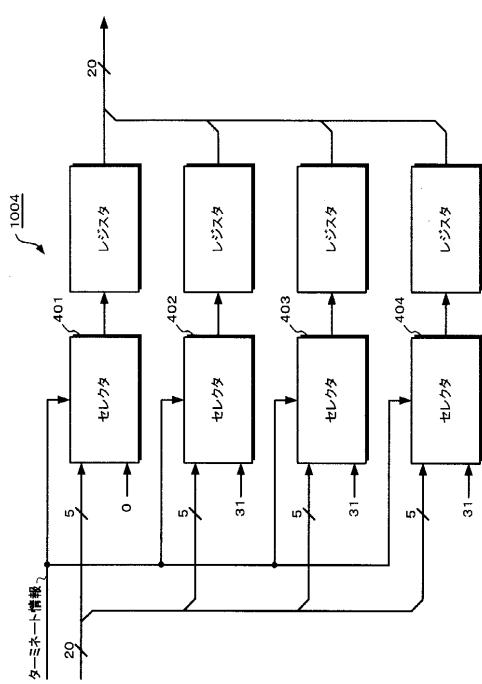
	時刻							
	W	X	T	Y	D	Z	W	T
RAM0	X	X	X	X	X	X	X	X
RAM1	X	T	X	D	X	W	X	T
RAM2	X	D	X	W	X	T	X	D
RAM3	X	D	W	X	T	X	D	X
RAM0	X	Address:1 Address:2 Address:3	Address:2 Address:3 Address:0	Address:1 Address:0	Address:0	Address:1 Address:2	No Operation	
RAM1	X	Address:3 Address:2 Address:1	Address:1 Address:0 Address:0	Address:0	Address:1 Address:2	Address:3 Address:2	No Operation	
RAM2	X	No Operation	Address:3 Address:2 Address:1	Address:2 Address:1 Address:0	Address:0	Address:1 Address:2	Address:1 Address:2	
RAM3	X	Address:3 Address:2 Address:1	Address:1 Address:0 Address:0	Address:0	Address:2 Address:3	Address:3 Address:2	Address:2 Address:3	

W:書き込み  
T:トレースのみ  
D:トレースして復号

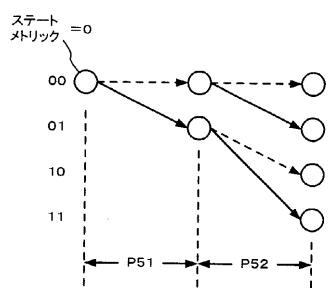
【図15】



【図16】



【図17】



---

フロントページの続き

(56)参考文献 特開平05-335971(JP,A)

特開平06-224878(JP,A)

特開平06-112848(JP,A)

特開平11-186920(JP,A)

Cox, R.V. et al., An efficient adaptive circular Viterbi algorithm for decoding generalized tailbiting convolutional codes, *Vehicular Technology, IEEE Transactions on*, 1994年 2月, Vol.43 No.1, pp.57-68

Cypher, R. et al., Generalized trace back techniques for survivor memory management in the Viterbi algorithm, *Global Telecommunications Conference, 1990, and Exhibition. 'Communications: Connecting the Future'*, GLOBECOM '90., IEEE, 1990年, pp.1318-1322

(58)調査した分野(Int.Cl., DB名)

H03M 13/00 - 13/53

G06F 11/10