



ÚŘAD PRO VYNALEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

260280

(11)

(B1)

(22) Prihlášené 04 06 86
(21) (PV 4095-86.H)

(40) Zverejnené 16 05 88

(45) Vydané 15 04 89

(51) Int. Cl.⁴
G 06 F 7/38
G 06 F 13/00

(75)

Autor vynálezu

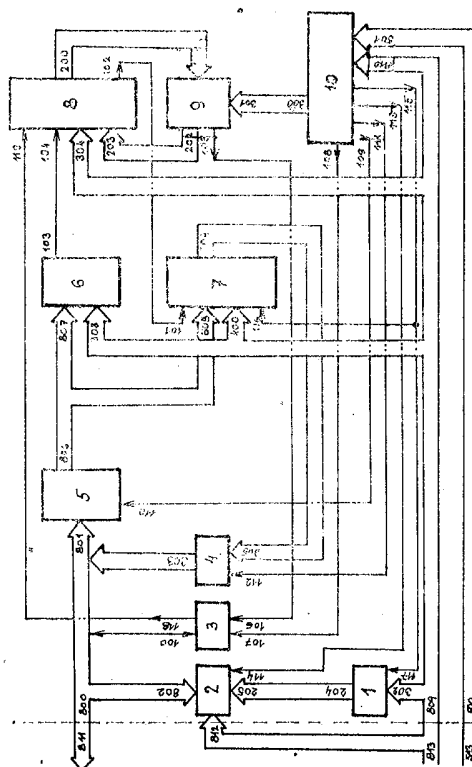
ŠUCHTĀR PETER ing., MIKUOVĀ ZDENA ing., ŽILINA

(54) Zapojenie pre výpočet logických funkcií v spolupráci s ľubovoľným mikropocesorom

1

Zapojenie pre výpočet logických funkcií s mikropocesorom sa využije v rôznych odboroch, kde preniká elektronika na testovanie a riadenie rôznych zabezpečovacích sústav, ktoré sa dajú vyjadriť boolovskou funkciou, ako napríklad sústava zabezpečovacích spínačov, reléových sústav a logických polí. Účelom zapojenia v spojení s mikropocesorom je vytvorenie logického procesora, ktorý zjednoduší a zrýchli prácu s jednotlivými bitmi pamäti pre čítanie a zápis. Podstata je zapojenie na obr., ktoré na základe adresy z vybranej skupiny adresného priestoru mikropocesoru v strojnom cykle čítania alebo zápisu do pamäti, registra mikropocesoru určí konkrétne bitové miesto v pamäti, ktoré reprezentuje vstupnú premennú, typ základnej logickej operácie, ktorá sa počas daného strojného cyklu vykoná. Zapojenie pozostáva z 9 integrovaných obvodov čsl. výroby a je možné ho pripraviť v ľubovoľnom adresnom priestore s ľubovoľným mikropocesorom.

2



Vynález sa týka zapojenia pre výpočet logických funkcií v spolupráci s ľubovoľným mikroprocesorom.

V doteraz známych riešeniach výpočtov logických funkcií, ako sú:

nulová funkcia,
konjunkcia,
inhibícia,
identita,
antivalencia,
negácia,
disjunkcia,
Pierceova funkcia,
ekvivalencia,
implikácia,
Schefferova funkcia a
jednotková funkcia,

sa využíva čisto programových prostriedkov, ktoré nám poskytuje použitý mikroprocesor a jeho inštrukčný súbor. Toto riešenie poskytuje výhody len pri malom počte vstupných premenných, t. j. do 30.

Nevýhodou je, že pri počte nad 30 vstupných premenných neúmerne vzrastá riadiaca pamäť mikroprocesora, zväčšujú sa časové nároky na prácu mikroprocesora a zostavovanie riadiaceho programu pre výpočet logickej funkcie je závislé na type použitého mikroprocesora, predovšetkým od jeho základných logických operácií, operácií posuvov, rotácií, logických testov a hlavne bitových operácií.

Vyššie uvedené nevýhody odstráni použitie predmetu vynálezu. Jeho podstata spočíva v tom, že dátová zbernica mikroprocesora je súčasne pripojená na vstup PR, blok RAM, blok BČZ a výstupmi BZ. Výstup PR je súčasne spojený so vstupmi VP a PI. Výstup VP je pripojený na vstup DLF, ktorého výstup je pripojený na vstup PP a ďalší výstup DLF je pripojený na vstup PI. Výstup PI je spojený so vstupom BZ. Výstup PP je spojený so vstupom DLF a ďalší výstup PP je pripojený na vstup BČZ.

Výstup BČZ je pripojený na vstup DLF. Výstup PL je spojený so vstupom PR. Výstup PL je pripojený na BZ. Ďalší výstup PL je pripojený na vstup RAM. Ďalší výstup PL je súčasne pripojený na vstup PI a vstup VPR. Výstup VPR je pripojený na vstup RAM. Ďalší výstup PL je pripojený na vstup PP. Časť adresnej zbernice mikroprocesora je pripojená na RAM a druhá časť je súčasne pripojená na vstup PL, vstup VPR, vstup PI, vstup VP a vstup DLF. Riadiaca zbernica mikroprocesora je pripojená na vstup PL.

Hlavné výhody zapojenia pre výpočet logických funkcií v spolupráci s mikroprocesorom podľa tohto vynálezu spočívajú v úspore riadiacej pamäti mikroprocesora 5 až 10-násobne čo do počtu buniek pamäti, v rýchlosti výpočtu logickej funkcie, ktorá je 10- až 20-násobná, v jednoduchšej tvorbe programového vybavenia a nezávislosti na inštrukčnom súbore použitého mikroproce-

sora, ako sú logické operácie, operácie posuvov, rotácií hlavne však bitových operácií.

Zapojenie pre výpočet logických funkcií v spolupráci s ľubovoľným mikroprocesorom je znázornené na výkresu. Dátová zbernica mikroprocesora 811 je pripojená na dátovú zbernicu 800, ktorá je súčasne spojená so vstupom PR 801, s obojsmernou zbernicou RAM 802, obojsmernou zbernicou BČZ 100 a výstupnou zbernicou BZ 803. Výstup PR 806 je súčasne spojený so vstupmi VP 807 a PI 808. Výstup VP 103 je pripojený na vstup DLF 104. Výstup DLF 200 je pripojený na vstup PP 201 a výstup DLF 102 je pripojený na vstup PI 101.

Výstup PI 804 je spojený so vstupom BZ 805. Výstup PP 202 je spojený so vstupom DLF 203 a výstup PP 105 je pripojený na vstup BČZ 106. Výstup BČZ 118 je pripojený na vstup DLF 119. Výstup PL 108 je spojený so vstupom BČZ 107. Výstup PL 109 je spojený so vstupom PR 110. Výstup PL 111 je spojený so vstupom BZ 112. Výstup PL 113 je pripojený na vstup RAM 114.

Výstup PL 115 je súčasne pripojený na vstup PI 116 a vstup VPR 117. Výstup VPR 204 je pripojený na vstup RAM 205. Výstup PL 300 je pripojený na vstup PP 301. Časť adresnej zbernice mikroprocesora 813 je pripojená na RAM 812 a druhá časť 813 je pripojená na adresnú zbernicu 809. Adresná zbernica 809 je súčasne pripojená na vstup PL 810, vstup VPR 302, vstup PI 400, vstup VP 303 a vstup DLF 304. Riadiaca zbernica mikroprocesora 513 je pripojená na riadiacu zbernicu 500, ktorá je pripojená na vstup PL 501.

Zapojenie pre výpočet logických funkcií v spolupráci s ľubovoľným mikroprocesorom pracuje nasledujúcim spôsobom:

Blok operačnej pamäti 2 je vyhradená oblasť z použitej operačnej pamäti, v ktorej sú uložené vstupné premenné logických funkcií. Do paralelného registra 5 sa zapíše obsah dátovej zbernice 800, kde z neho blok výberu premennej 6 vyberie určenú vstupnú premennú, ktorá sa v dekódere logickej funkcie 8 spracuje a výsledok sa zapíše do pomocnej pamäti 9 a následne cez blok čítania a zápisu 3 prostredníctvom zbernice 800 do určeného registra mikroprocesora.

Výsledok logickej funkcie z určeného registra v spolupráci s 5, 6 a 8 zapíše cez podmienkový invertor 7, blok zápisu 4 cez zbernicu 800 do vyhradenej oblasti operačnej pamäti, do ktorej je povolený zápis na základe obsahu adresnej zbernice 809 a riadiaceho signálu z bloku podpornej logiky 10 cez blok vyhradenia pamäti 1. Spolupráca medzi jednotlivými blokmi a jej náplň, ako je výber logickej operácie, výber vstupných premenných z bloku 2 sa deje na základe adresy mikroprocesora a riadiacich signálov z bloku podpornej logiky 10, kde

činnosť tohoto bloku je ovplyvňovaná adresou a riadiacou zbernicou mikroprocesora.

Začlenenie daného zapojenia pre výpočet logických funkcií do zostavy mikropočítača je možné jednoduchým spôsobom, ako u štandardných podporných obvodov vyrábaných pre mikroprocesor. V čase vydania platnej adresy od mikroprocesora z predom stanovenej skupiny adres zapojenie pre výpočet logických funkcií v strojnom cykle čítania a zápisu do pamäti alebo registra mikroprocesora, danú adresu rozdekóduje, čím je jednoznačne určená vstupná premenná z konkrétneho bitu vo vyhradenej oblasti operačnej pamäti, ďalej základná logická operácia ako AND, NAND, OR, NOR, negácia, identita.

V strojnom cykle čítania z pamäti sa vý-

sledok logickej operácie zapíše do určeného registra mikroprocesora a do pomocnej pamäti. Pričom platí, že každý programový blok pre výpočet logickej funkcie musí začínať logickou operáciou identity alebo negácie. Tým sa naskytá široká možnosť pre rôzne aplikácie, ako sú diagnostiky logických polí, testovanie reléových sústav, či spínačových sústav, ktoré sa dajú vyjadriť ľubovoľnou boolovskou logickou funkciou. Ďalšou zrejmovou výhodou je rýchlosť výpočtu logickej funkcie z dôvodu, že jednou inštrukciou presunu dát je jednoznačne určená logická funkcia aj vstupná premenná na úrovni bitu vo vyhradenom mieste RAM, kde priamo v RAM vykonáme logickú operáciu.

PREDMET VYNÁLEZU

Zapojenie pre výpočet logických funkcií v spolupráci s ľubovoľným mikroprocesorom vyznačujúce sa tým, že dátová zbernica mikroprocesora (811) je pripojená na dátovú zbernicu, ktorá je súčasne spojená so vstupom paralelného registra (801), s obojsmernou zbernicou vyhradenej oblasti operačnej pamäti (802), obojsmernou zbernicou bloku čítania a zápisu (100) a výstupnou zbernicou bloku zápisu (803), výstup paralelného registra (806) je súčasne prepojený so vstupom bloku výberu premennej (807) a vstupom bloku podmienkového invertora (808), výstup bloku výberu premennej (103) je pripojený na vstup bloku dekódera logickej funkcie (104), výstup bloku dekódera logickej funkcie (200) je pripojený na vstup bloku pomocnej pamäte (201) a výstup bloku dekódera logickej funkcie (102) je pripojený na vstup bloku podmienkového invertora (101), výstup bloku podmienkového invertora (804) je spojený so vstupom bloku zápisu (805), výstup bloku pomocnej pamäte (202) je spojený so vstupom bloku dekódera logickej funkcie (203) a výstup bloku pomocnej pamäte (105) je pripojený na vstup bloku čítania a zápisu (106), výstup bloku čítania a zápisu (118) je pripojený na vstup bloku dekódera logickej funkcie (119), výstup

bloku podpornej logiky (108) je spojený so vstupom bloku čítania a zápisu (107), výstup bloku podpornej logiky (109) je spojený so vstupom bloku paralelného registra (110) výstup bloku podpornej logiky (111) je spojený so vstupom bloku zápisu (112), výstup bloku podpornej logiky (113) je pripojený na vstup bloku vyhradenej oblasti operačnej pamäti (114), výstup bloku podpornej logiky (115) je súčasne pripojený na vstup bloku podmienkového invertora (116) a na vstup bloku vyhradenia pamäti (117), výstup bloku vyhradenia pamäti (204) je pripojený na vstup bloku vyhradenej oblasti pamäte (205), výstup bloku podpornej logiky (300) je pripojený na vstup bloku pomocnej pamäte (301), časť adresnej zbernice mikroprocesora (813) je pripojená na blok vyhradenej oblasti pamäte (812) a druhá časť (813) je pripojená na adresnú zbernicu (809), adresná zbernica (809) je súčasne pripojená na vstup bloku podpornej logiky (810), vstup bloku vyhradenia pamäti (302), vstup bloku podpornej logiky (400), vstup bloku výberu premennej (303) a vstup bloku dekódera logickej funkcie (304), riadiaca zbernica mikroprocesora (513) je pripojená na riadiacu zbernicu (500), ktorá je pripojená na vstup bloku podpornej logiky (501).

