



등록특허 10-2505236



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월02일  
(11) 등록번호 10-2505236  
(24) 등록일자 2023년02월24일

- (51) 국제특허분류(Int. Cl.)  
*H01L 29/165* (2006.01) *H01L 21/265* (2006.01)  
*H01L 21/285* (2006.01) *H01L 21/324* (2017.01)  
*H01L 21/762* (2006.01) *H01L 21/768* (2006.01)  
*H01L 21/84* (2006.01) *H01L 23/485* (2006.01)  
*H01L 29/16* (2006.01) *H01L 29/66* (2006.01)  
*H01L 29/78* (2006.01)
- (52) CPC특허분류  
*H01L 29/165* (2013.01)  
*H01L 21/2652* (2013.01)
- (21) 출원번호 10-2019-7003917
- (22) 출원일자(국제) 2017년07월12일  
심사청구일자 2020년06월26일
- (85) 번역문제출일자 2019년02월08일
- (65) 공개번호 10-2019-0036533
- (43) 공개일자 2019년04월04일
- (86) 국제출원번호 PCT/US2017/041755
- (87) 국제공개번호 WO 2018/031175  
국제공개일자 2018년02월15일
- (30) 우선권주장  
15/234,889 2016년08월11일 미국(US)
- (56) 선행기술조사문현  
US20080206977 A1  
US20130134527 A1  
US20150091092 A1

- (73) 특허권자  
웰컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775
- (72) 발명자  
고크테펠리, 시난  
미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775
- (74) 대리인  
햄몬드, 리차드  
영국 에스티7 4제이제트 스태퍼드셔 스토크-온-트  
렌트 샌즈 로드 55

전체 청구항 수 : 총 26 항  
(54) 발명의 명칭 백사이드 반도체 성장

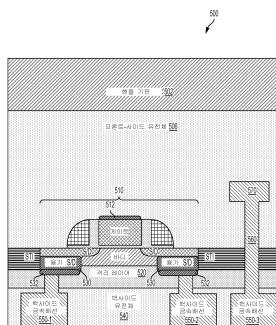
심사관 : 김종호

**(57) 요 약**

집적 회로 구조는 격리 레이어에 의해 지지되는 프론트-사이드 반도체 레이어 상의 트랜지스터를 포함할 수 있다. 트랜지스터는 제1 소스/드레인/바디 구역이다. 집적 회로 구조는 또한, 트랜지스터의 제1 소스/드레인/바디 구역의 백사이드에 커플링된 용기 소스/드레인/바디 구역을 포함할 수 있다. 트랜지스터는 제1 소스/드레

(뒷면에 계속)

**대 표 도** - 도5a



인/바디 구역의 백사이드로부터 격리 레이어를 지지하는 백사이드 유전체 레이어 쪽으로 연장되는 용기 소스/드레인/바디 구역이다. 접착 회로 구조는 용기 소스/드레인/바디 구역에 커플링된 백사이드 금속배선을 더 포함할 수 있다.

(52) CPC특허분류

*H01L 21/28518* (2013.01)

*H01L 21/324* (2013.01)

*H01L 21/76256* (2013.01)

*H01L 21/76264* (2013.01)

*H01L 21/76898* (2013.01)

*H01L 29/1608* (2013.01)

*H01L 29/66651* (2013.01)

*H01L 29/7838* (2022.02)

*H01L 29/7848* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

집적 회로 구조로서,

BOX(buried oxide) 레이어 상의 프론트 사이드(front-side) 반도체 레이어를 포함하는 트랜지스터 – 상기 트랜지스터는 상기 프론트 사이드 반도체 레이어에서의 바디 구역 및 제1 소스/드레인 구역을 포함함 –;

상기 트랜지스터의 상기 제1 소스/드레인 구역의 백사이드(backside)에 커플링된 용기(raised) 소스/드레인 구역 – 상기 용기 소스/드레인 구역은 상기 제1 소스/드레인 구역의 백사이드로부터 상기 BOX 레이어를 지지하는 백사이드 유전체 레이어 쪽으로 연장됨 –;

상기 트랜지스터의 상기 바디 구역의 백사이드에 커플링된 용기 바디 구역 – 상기 용기 바디 구역은 상기 바디 구역의 백사이드로부터 상기 BOX 레이어를 통해 그리고 상기 백사이드 유전체 레이어로 연장됨 –; 및

상기 트랜지스터의 상기 용기 바디 구역 및/또는 상기 용기 소스/드레인 구역에 커플링된 백사이드 금속배선 (metallization)

을 포함하는,

집적 회로 구조.

#### 청구항 2

제1 항에 있어서,

상기 용기 소스/드레인 구역은 에피택셜하게 성장된 백사이드 반도체 재료로 구성되는,

집적 회로 구조.

#### 청구항 3

제1 항에 있어서,

상기 트랜지스터의 제2 소스/드레인 구역에 커플링된 프론트 사이드 금속배선

을 더 포함하며,

상기 프론트 사이드 금속배선은 상기 백사이드 금속배선으로부터 먼 쪽에 있는,

집적 회로 구조.

#### 청구항 4

제3 항에 있어서,

상기 프론트 사이드 금속배선은 상기 트랜지스터의 상기 제2 소스/드레인 구역 상의 프론트 사이드 콘택에 커플링된 BEOL(back-end-of-line) 인터커넥트를 포함하며, 상기 BEOL 인터커넥트는 프론트 사이드 유전체 레이어 내에 있는,

집적 회로 구조.

#### 청구항 5

제1 항에 있어서,

상기 트랜지스터는 RF(radio frequency) 스위치를 포함하는,

집적 회로 구조.

**청구항 6**

제1 항에 있어서,

상기 용기 소스/드레인 구역은 상기 트랜지스터의 상기 제1 소스/드레인 구역의 도편트와는 상이한 도편트로 도핑되는,

집적 회로 구조.

**청구항 7**

제1 항에 있어서,

상기 용기 소스/드레인 구역은 상기 트랜지스터의 상기 제1 소스/드레인 구역과 자가 정렬되는(self-aligned),

집적 회로 구조.

**청구항 8**

제1 항에 있어서,

상기 트랜지스터의 상기 용기 소스/드레인 구역은 격리 레이어를 통해 그리고 상기 백사이드 유전체 레이어로 연장되는,

집적 회로 구조.

**청구항 9**

제1 항에 있어서,

상기 집적 회로 구조는 RF(radio frequency) 프론트 엔드 모듈에 통합되며, 상기 RF 프론트 엔드 모듈은 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 모바일 폰, 및 휴대용 컴퓨터 중 적어도 하나에 통합되는,

집적 회로 구조.

**청구항 10**

집적 회로 구조를 구성하는 방법으로서,

격리 레이어 상의 프론트 사이드 반도체 레이어를 사용하여 트랜지스터를 제작하는 단계 – 상기 트랜지스터는 게이트, 소스/드레인 구역, 및 바디 구역을 포함함 –;

마스크로서 상기 게이트를 사용하여, 적어도, 상기 격리 레이어를 지지하는 제1 백사이드 유전체 레이어에 이온들을 주입하는 단계 – 상기 주입하는 단계는 상기 집적 회로 구조의 프론트 사이드로부터 수행됨 –;

상기 제1 백사이드 유전체 레이어의 주입된 결함(implanted defect)들에 따라 상기 제1 백사이드 유전체 레이어를 패터닝하는 단계 – 상기 주입된 결함들은 상기 트랜지스터의 상기 바디 구역 및 상기 소스/드레인 구역의 백사이드에 근접함 –;

상기 제1 백사이드 유전체 레이어 및 상기 격리 레이어를 통해 상기 바디 구역 및 상기 소스/드레인 구역의 백사이드를 노출시키는 단계;

상기 트랜지스터의 상기 소스/드레인 구역의 백사이드에 커플링된 용기 소스/드레인 구역을 제작하는 단계 – 상기 용기 소스/드레인 구역은 상기 소스/드레인 구역의 백사이드로부터 상기 제1 백사이드 유전체 레이어 쪽으로 연장됨 –;

상기 트랜지스터의 상기 바디 구역의 백사이드에 커플링된 용기 바디 구역을 제작하는 단계 – 상기 용기 바디 구역은 상기 바디 구역의 백사이드로부터 상기 백사이드 유전체 레이어 쪽으로 연장됨 –; 및

상기 트랜지스터의 상기 용기 바디 구역 및/또는 상기 용기 소스/드레인 구역에 커플링된 백사이드 금속배선을 제작하는 단계

를 포함하는,

집적 회로 구조를 구성하는 방법.

### 청구항 11

제10 항에 있어서,

상기 용기 소스/드레인 구역을 제작하는 단계는 상기 트랜지스터의 제1 소스/드레인 구역의 백사이드 상에 백사이드 반도체 레이어를 선택적으로 성장시키는 단계를 포함하는,

집적 회로 구조를 구성하는 방법.

### 청구항 12

제11 항에 있어서,

상기 용기 소스/드레인 구역을 형성하기 위해 상기 백사이드 반도체 레이어를 어닐링하는 단계

를 더 포함하는,

집적 회로 구조를 구성하는 방법.

### 청구항 13

제10 항에 있어서,

상기 용기 소스/드레인 구역 상에 백사이드 실리사이드(silicide)를 증착시키는 단계; 및

상기 백사이드 실리사이드 및 상기 제1 백사이드 유전체 레이어 상에 제2 백사이드 유전체 레이어를 증착시키는 단계

를 더 포함하는,

집적 회로 구조를 구성하는 방법.

### 청구항 14

제10 항에 있어서,

상기 용기 소스/드레인 구역을 제작하는 단계는 상기 소스/드레인 구역의 상기 백사이드의 노출된 부분 상에 백사이드 반도체 레이어를 증착시키는 단계를 포함하는,

집적 회로 구조를 구성하는 방법.

### 청구항 15

제10 항에 있어서,

상기 집적 회로 구조를 RF(radio frequency) 프론트 엔드 모듈에 통합시키는 단계

를 더 포함하며,

상기 RF 프론트 엔드 모듈은 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 모바일 폰, 및 휴대용 컴퓨터 중 적어도 하나에 통합되는,

집적 회로 구조를 구성하는 방법.

### 청구항 16

집적 회로 구조로서,

BOX(buried oxide) 레이어 상의 프론트 사이드 반도체 레이어를 포함하는 트랜지스터 – 상기 트랜지스터는 제1 소스/드레인 구역 및 바디 구역을 포함함 –;

격리 레이어로부터 상기 격리 레이어를 지지하는 백사이드 유전체 레이어 쪽으로 상기 트랜지스터의 상기 제1 소스/드레인 구역의 백사이드를 연장시키기 위한 수단;

상기 BOX 레이어를 통해 그리고 상기 백사이드 유전체 레이어로 상기 트랜지스터의 상기 바디 구역의 백사이드를 연장시키기 위한 수단; 및

상기 제1 소스/드레인 구역에 대한 연장 수단을 통해 상기 제1 소스/드레인 구역의 상기 백사이드에 커플링되고, 그리고/또는 상기 트랜지스터의 상기 바디 구역에 대한 연장 수단을 통해 상기 바디 구역의 백사이드에 커플링된 백사이드 금속배선

을 포함하는,

집적 회로 구조.

#### 청구항 17

제16 항에 있어서,

상기 트랜지스터의 제2 소스/드레인 구역에 커플링된 프론트 사이드 금속배선

을 더 포함하며,

상기 프론트 사이드 금속배선은 상기 백사이드 금속배선으로부터 먼 쪽에 있는,

집적 회로 구조.

#### 청구항 18

제17 항에 있어서,

상기 프론트 사이드 금속배선은 상기 트랜지스터의 상기 제2 소스/드레인 구역 상의 프론트 사이드 콘택에 커플링된 BEOL(back-end-of-line) 인터커넥트를 포함하며, 상기 BEOL 인터커넥트는 프론트 사이드 유전체 레이어 내에 있는,

집적 회로 구조.

#### 청구항 19

제16 항에 있어서,

상기 트랜지스터는 RF 스위치를 포함하는,

집적 회로 구조.

#### 청구항 20

제16 항에 있어서,

상기 연장 수단은 상기 트랜지스터의 상기 제1 소스/드레인 구역과 자가 정렬되는,

집적 회로 구조.

#### 청구항 21

제16 항에 있어서,

상기 집적 회로 구조는 RF(radio frequency) 프론트 엔드 모듈에 통합되며, 상기 RF 프론트 엔드 모듈은 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 모바일 폰, 및 휴대용 컴퓨터 중 적어도 하나에 통합되는,

집적 회로 구조.

#### 청구항 22

RF(radio frequency) 프론트 엔드 모듈로서,

BOX(buried oxide) 레이어 상의 프론트 사이드 반도체 레이어를 포함하는 스위치 트랜지스터를 포함하는 집적 RF, 회로 구조; 및

상기 스위치 트랜지스터의 출력에 커플링된 안테나

를 포함하고,

상기 스위치 트랜지스터는 제1 소스/드레인 구역, 상기 프론트 사이드 반도체 레이어에서의 바디 구역, 상기 스위치 트랜지스터의 상기 제1 소스/드레인 구역의 백사이드에 커플링된 용기 소스/드레인 구역 – 상기 용기 소스/드레인 구역은 상기 제1 소스/드레인 구역의 백사이드로부터 격리 레이어를 지지하는 백사이드 유전체 레이어 쪽으로 연장됨 –, 상기 트랜지스터의 상기 바디 구역의 백사이드에 커플링된 용기 바디 구역 – 상기 용기 바디 구역은 상기 바디 구역의 백사이드로부터 상기 BOX 레이어를 통해 그리고 상기 백사이드 유전체 레이어로 연장됨 –, 및 상기 트랜지스터의 상기 용기 바디 구역 및/또는 상기 용기 소스/드레인 구역에 커플링된 백사이드 금속배선을 포함하는,

RF(radio frequency) 프론트 엔드 모듈.

#### 청구항 23

제22 항에 있어서,

상기 용기 소스/드레인 구역은 에피택셜하게 성장된 백사이드 반도체 재료로 구성되는,

RF(radio frequency) 프론트 엔드 모듈.

#### 청구항 24

제22 항에 있어서,

상기 용기 소스/드레인 구역은 상기 스위치 트랜지스터의 상기 제1 소스/드레인 구역의 도핀트와는 상이한 도핀트로 도핑되는,

RF(radio frequency) 프론트 엔드 모듈.

#### 청구항 25

제22 항에 있어서,

상기 트랜지스터의 상기 용기 소스/드레인 구역은 상기 BOX 레이어를 통해 그리고 상기 백사이드 유전체 레이어로 연장되는,

RF(radio frequency) 프론트 엔드 모듈.

#### 청구항 26

제22 항에 있어서,

상기 RF 프론트 엔드 모듈은 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 모바일 폰, 및 휴대용 컴퓨터 중 적어도 하나에 통합되는,

RF(radio frequency) 프론트 엔드 모듈.

### 발명의 설명

#### 기술 분야

[0001] 본 개시내용은 일반적으로 집적 회로(IC; integrated circuit)들에 관한 것이다. 더욱 구체적으로, 본 개시내용은 백사이드(backside) 반도체 성장을 위한 방법 및 장치에 관한 것이다.

#### 배경 기술

[0002] 고성능 디플렉서들을 포함하는 모바일 RF(radio frequency) 칩 설계들(예컨대, 모바일 RF

트랜시버들)은 비용 및 전력 소비 고려사항들에 기인하여 딥 서브-마이크론(deep sub-micron) 프로세스 노드로 이동했다. 그러한 모바일 RF 트랜시버들의 설계는 이 딥 서브-마이크론 프로세스 노드에서 복잡해진다. 이들 모바일 RF 트랜시버들의 설계 복잡성은 통신 인핸스먼트들, 이를테면 캐리어 애그리게이션을 지원하기 위한 부가 회로 기능들에 의해 추가로 복잡하게 된다. 모바일 RF 트랜시버들에 대한 추가적인 설계 난제들은 미스매치, 잡음 및 다른 성능 고려사항들을 포함하는 아날로그/RF 성능 고려사항들을 포함한다. 이들 모바일 RF 트랜시버들의 설계는, 예컨대 공진을 억제하고 그리고/또는 필터링, 바이패싱 및 커플링을 수행하기 위한 부가적인 수동 디바이스들의 사용을 포함한다.

[0003] 이들 모바일 RF 트랜시버들의 설계는 SOI(silicon on insulator) 기술의 사용을 포함할 수 있다. SOI 기술은, 기생 디바이스 커패시턴스를 감소시키고 성능을 개선시키기 위해, 종래의 실리콘 기판들을 레이어드 실리콘-절연체-실리콘 기판으로 대체한다. SOI-기반 디바이스들은 종래의 실리콘으로 만들어진 디바이스들과는 상이한데, 그 이유는 실리콘 정션이 전기 절연체, 통상적으로 매립 산화물 레이어(BOX; buried oxide) 레이어 위에 있기 때문이다. 그러나, 감소된 두께의 BOX 레이어는, BOX 레이어를 지지하는 기판과 실리콘 레이어 상의 능동 디바이스의 근접성에 의해 유발되는 기생 커패시턴스를 충분히 감소시키지 않을 수 있다.

[0004] SOI 레이어 상의 능동 디바이스들은 CMOS(complementary metal oxide semiconductor) 트랜지스터들을 포함할 수 있다. 유감스럽게도, SOI 기술을 사용한 트랜지스터들의 성공적인 제작은 융기(raised) 소스/드레인 구역들의 사용을 수반할 수 있다. 종래에, 융기 소스/드레인은, 융기 소스/드레인 구역과 후속하는 금속배선 (metallization) 레이어들 사이의 콘택을 가능하게 하도록 특징된다. 부가하여, 융기 소스/드레인 구역은, 캐리어들이 이동하도록 하는 채널을 제공한다. 그 결과, 융기 소스/드레인 구역들을 갖는 종래의 트랜지스터들은 일반적으로, 융기 소스/드레인 구역 문제를 겪는다. 소스/드레인 구역 문제는, 트랜지스터의 소스/드레인 구역들과 게이트 사이의 오버랩 커패시턴스와 프린지(fringe) 커패시턴스 형태의 원치 않는 기생 커패시턴스에 의해 특성화된다.

## 발명의 내용

[0005] 집적 회로 구조는 격리 레이어에 의해 지지되는 프론트-사이드(front-side) 반도체 레이어 상의 트랜지스터를 포함할 수 있다. 트랜지스터는 제1 소스/드레인/바디 구역을 포함한다. 집적 회로 구조는 또한, 트랜지스터의 제1 소스/드레인/바디 구역의 백사이드에 커플링된 융기 소스/드레인/바디 구역을 포함할 수 있다. 융기 소스/드레인/바디 구역은 제1 소스/드레인/바디 구역의 백사이드로부터 격리 레이어를 지지하는 백사이드 유전체 레이어 쪽으로 연장될 수 있다. 집적 회로 구조는 융기 소스/드레인/바디 구역에 커플링된 백사이드 금속배선을 더 포함할 수 있다.

[0006] 집적 회로 구조를 구성하는 방법은, 격리 레이어에 의해 지지되는 프론트-사이드 반도체 레이어를 사용하여 트랜지스터를 제작하는 단계를 포함할 수 있다. 트랜지스터는 제1 소스/드레인/바디 구역을 포함한다. 방법은 또한, 제1 소스/드레인/바디 구역의 백사이드를 노출시키는 단계를 포함할 수 있다. 방법은, 트랜지스터의 제1 소스/드레인/바디 구역의 백사이드에 커플링된 융기 소스/드레인/바디 구역을 제작하는 단계를 더 포함할 수 있다. 융기 소스/드레인/바디 구역은 제1 소스/드레인/바디 구역의 백사이드로부터 격리 레이어를 지지하는 제1 백사이드 유전체 레이어 쪽으로 연장될 수 있다. 방법은 또한, 융기 소스/드레인/바디 구역에 커플링된 백사이드 금속배선을 제작하는 단계를 포함할 수 있다.

[0007] 집적 회로 구조는 격리 레이어에 의해 지지되는 프론트-사이드 반도체 레이어 상의 트랜지스터를 포함할 수 있다. 트랜지스터는 제1 소스/드레인/바디 구역을 포함한다. 집적 회로 구조는 또한, 격리 레이어로부터 격리 레이어를 지지하는 백사이드 유전체 레이어 쪽으로 트랜지스터의 제1 소스/드레인/바디 구역의 백사이드를 연장시키기 위한 수단을 포함할 수 있다. 집적 회로 구조는, 연장 수단을 통해 제1 소스/드레인/바디 구역의 백사이드에 커플링된 백사이드 금속배선을 더 포함할 수 있다.

[0008] RF(radio frequency) 프론트 엔드 모듈은 집적 RF 회로 구조를 포함할 수 있다. 집적 RF 회로 구조는 격리 레이어에 의해 지지되는 프론트-사이드 반도체 레이어 상의 스위치 트랜지스터를 포함할 수 있다. 스위치 트랜지스터는 제1 소스/드레인/바디 구역, 그리고 스위치 트랜지스터의 제1 소스/드레인/바디 구역의 백사이드에 커플링된 융기 소스/드레인/바디 구역을 포함한다. 융기 소스/드레인/바디 구역은 제1 소스/드레인/바디 구역의 백사이드로부터 격리 레이어를 지지하는 백사이드 유전체 레이어 쪽으로 연장된다. 스위치 트랜지스터는 또한, 융기 소스/드레인/바디 구역에 커플링된 백사이드 금속배선을 포함한다. RF 프론트 엔드 모듈은 스위치 트랜지스터의 출력에 커플링된 안테나를 더 포함할 수 있다.

[0009]

[0009] 이는, 뒤이어지는 상세한 설명이 더욱 잘 이해될 수 있도록 하기 위하여, 본 개시내용의 특징들 및 기술적 장점들을 다소 광범위하게 약술했다. 본 개시내용의 부가적인 특징들 및 장점들은 아래에서 설명될 것이다. 본 개시내용이 본 개시내용의 동일한 목적들을 수행하기 위해 다른 구조들을 수정하거나 또는 설계하기 위한 기반으로서 용이하게 활용될 수 있다는 것이 당업자들에 의해 인식되어야 한다. 또한, 그러한 등가 구성들이 첨부된 청구항들에서 제시된 본 개시내용의 교시들을 벗어나지 않는다는 것이 당업자들에 의해 인식되어야 한다. 추가적인 목적들 및 장점들과 함께, 본 개시내용의 조직 및 동작 방법 둘 모두에 관해 본 개시내용의 특성인 것으로 여겨지는 신규한 특징들은, 첨부된 도면들과 관련하여 고려될 때 다음의 설명으로부터 더욱 잘 이해될 것이다. 그러나, 도면들 각각이 단지 예시 및 설명의 목적을 위해 제공되며, 본 개시내용의 제한들의 정의로서 의도되지 않는다는 것이 명시적으로 이해되어야 한다.

### 도면의 간단한 설명

[0010]

[0010] 본 개시내용의 더욱 완전한 이해를 위해, 첨부된 도면들과 함께 취해지는 다음의 설명이 이제 참조된다.

[0011] 도 1a는 본 개시내용의 양상에 따른, 디이플렉서를 사용하는 RFFE(RF(radio frequency) front end) 모듈의 개략적인 다이어그램이다.

[0012] 도 1b는 본 개시내용의 양상들에 따른, 캐리어 애그리게이션을 제공하기 위한 칩셋에 대한, 디이플렉서들을 사용하는 RFFE(RF(radio frequency) front end) 모듈의 개략적인 다이어그램이다.

[0013] 도 2a는 본 개시내용의 양상에 따른, 디이플렉서 설계의 다이어그램이다.

[0014] 도 2b는 본 개시내용의 양상에 따른, RF(radio frequency) 프론트 엔드 모듈의 다이어그램이다.

[0015] 도 3a 내지 도 3e는 본 개시내용의 양상들에 따른, 레이어 전사 프로세스 동안의 집적 RF(radio frequency) 회로 구조의 단면도들을 도시한다.

[0016] 도 4는 본 개시내용의 양상들에 따른, 레이어 전사 프로세스를 사용하여 제작된 집적 RF(radio frequency) 회로 구조의 단면도이다.

[0017] 도 5a 및 도 5b는 본 개시내용의 양상들에 따른, 포스트-레이어 전사 프로세스(post-layer transfer process)가 능동 디바이스의 백사이드 용기 소스/드레인 구역들을 형성하는 집적 회로 구조들을 예시한다.

[0018] 도 6a 내지 도 6e는 본 개시내용의 양상들에 따른, 백사이드 용기 소스/드레인 구역들을 포함하는 집적 회로 구조를 제작하기 위한 프로세스를 예시하는 단면도들이다.

[0019] 도 7a 내지 도 7e는 본 개시내용의 양상들에 따른, 백사이드 연장 소스/드레인/바디 구역들을 포함하는 집적 회로 구조를 제작하기 위한 프로세스를 예시하는 단면도들이다.

[0020] 도 8a 내지 도 8e는 본 개시내용의 양상들에 따른, 능동 디바이스의 소스/드레인/바디 구역들과 이 능동 디바이스의 백사이드 연장 소스/드레인/바디 구역들 사이의 자가-정렬(self-alignment)을 위한 프로세스를 예시하는 단면도들이다.

[0021] 도 9는 본 개시내용의 양상에 따른, 백사이드 연장 소스/드레인/바디 구역들을 갖는 능동 디바이스를 포함하는 집적 회로 구조를 구성하는 방법을 예시하는 프로세스 흐름 다이어그램이다.

[0022] 도 10은 본 개시내용의 구성이 유리하게 사용될 수 있는 예시적인 무선 통신 시스템을 도시하는 블록 다이어그램이다.

[0023] 도 11은 일 구성에 따른, 반도체 컴포넌트의 회로, 레이아웃, 및 로직 설계를 위해 사용되는 설계 워크 스테이션을 예시하는 블록 다이어그램이다.

### 발명을 실시하기 위한 구체적인 내용

[0011]

[0024] 첨부된 도면들과 관련하여 아래에서 제시된 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명된 개념들이 실시될 수 있는 유일한 구성들을 표현하는 것으로 의도되지 않는다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하는 목적을 위해 특정 세부사항들을 포함한다. 그러나, 이를 개념들이 이를 특정 세부사항을 없이 실시될 수 있다는 것이 당업자들에게 명백할 것이다. 일부 사례들에서, 잘 알려진 구조들 및 컴포넌트들은 그러한 개념들을 불명료하게 하는 것을 방지하기 위하여 블록 다이어그램 형태로 도시된다.

본원에서 설명된 바와 같이, "및/또는"이란 용어의 사용은 "포함적 논리합(inclusive OR)"을 표현하는 것으로 의도되고, "또는"이란 용어의 사용은 "배타적 논리합(exclusive OR)"을 표현하는 것으로 의도된다.

[0012] [0025] 모바일 RF(radio frequency) 칩 설계들(예컨대, 모바일 RF 트랜시버들)은 비용 및 전력 소비 고려사항들에 기인하여 딥 서브-마이크론 프로세스 노드로 이동했다. 모바일 RF 트랜시버들의 설계 복잡성은 통신 인핸스먼트들, 이를테면 캐리어 애그리게이션을 지원하기 위한 부가 회로 기능들에 의해 추가로 복잡하게 된다. 모바일 RF 트랜시버들에 대한 추가적인 설계 난제들은 미스매치, 잡음 및 다른 성능 고려사항들을 포함하는 아날로그/RF 성능 고려사항들을 포함한다. 이들 모바일 RF 트랜시버들의 설계는, 예컨대 공진을 억제하고 그리고/또는 필터링, 바이패싱 및 커플링을 수행하기 위한 수동 디바이스들의 사용을 포함한다.

[0013] [0026] 최신 반도체 칩 제품들의 성공적인 제작은 사용되는 프로세스들과 재료들 사이의 상호작용(interplay)을 수반한다. 특히, 백 엔드 오브 라인(BEOL; back-end-of-line) 프로세스들에서 반도체 제작을 위한 전도성 재료 플레이팅의 형성은, 프로세스 흐름의 점점 더 도전적인 부분이다. 이는 특히, 작은 피처(feature) 크기를 유지하는 측면에서 그러하다. 작은 피처 크기를 유지하는 동일한 난제는 또한, POG(passive on glass) 기술에 적용되는데, 여기서, 고성능 커포넌트들, 이를테면 인더터들 및 커페시터들은, 모바일 RF 트랜시버 설계를 지원하기 위해 매우 낮은 손실을 또한 가질 수 있는 고절연성 기판 상에 만들어진다.

[0014] [0027] 이들 모바일 RF 트랜시버들의 설계는 SOI(silicon on insulator) 기술의 사용을 포함할 수 있다. SOI 기술은, 기생 디바이스 커페시턴스를 감소시키고 성능을 개선시키기 위해, 종래의 실리콘 기판들을 레이어드 실리콘-절연체-실리콘 기판들로 대체한다. SOI-기반 디바이스들은 종래의 실리콘으로 만들어진 디바이스들과는 상이한데, 그 이유는 실리콘 정션에 전기 절연체, 통상적으로 BOX(buried oxide) 레이어 – 이 BOX 레이어의 두께는 감소될 수 있음 – 위에 있기 때문이다. 그러나, 감소된 두께의 BOX 레이어는, BOX 레이어를 지지하는 기판과 실리콘 레이어 상의 능동 디바이스의 근접성에 의해 유발되는 기생 커페시턴스를 충분히 감소시키지 않을 수 있다. 부가하여, SOI 레이어 상의 능동 디바이스들은 CMOS(complementary metal oxide semiconductor) 트랜지스터를 포함할 수 있다.

[0015] [0028] 유감스럽게도, SOI 기술을 사용한 트랜지스터들의 성공적인 제작은 융기 소스/드레인 구역들의 사용을 수반할 수 있다. 종래에, 융기 소스/드레인은, 융기 소스/드레인 구역과 후속하는 금속배선 레이어들 사이의 콘택을 가능하게 한다. 부가하여, 융기 소스/드레인 구역은, 캐리어들이 이동하도록 하는 채널을 제공한다. 융기 소스/드레인 구역들을 갖는 종래의 트랜지스터들은 일반적으로, 융기 소스/드레인 구역 문제를 겪는다. 융기 소스/드레인 구역 문제는, 소스/드레인 구역들과 게이트 사이의 오버랩 커페시턴스와 프린지 커페시턴스 형태의 원치 않는 기생 커페시턴스에 의해 특성화된다. 부가하여, 종래의 CMOS 기술은 능동 디바이스들의 프론트-사이드 상에서의 에피택셜 성장으로 제한된다. 그 결과, 본 개시내용의 양상들은, 융기 소스/드레인 구역 문제를 제거하기 위해 백사이드 반도체 증착/성장을 가능하게 하는 포스트-레이어 전사 프로세스를 포함한다.

[0016] [0029] 본 개시내용의 다양한 양상들은, 백사이드 연장(융기) 소스/드레인/바디 구역들을 갖는 트랜지스터들을 포함하는 집적 회로 구조들에 대한 기법들을 제공한다. 집적 회로 구조의 반도체 제작을 위한 프로세스 흐름은 프론트 엔드 오브 라인(FEOL; front-end-of-line) 프로세스들, 미들 오브 라인(MOL; middle-of-line)(MEOL(middle end of line)로 또한 지칭됨) 프로세스들, 및 백 엔드 오브 라인(BEOL; back-end-of-line) 프로세스들을 포함할 수 있다. 프론트 엔드 오브 라인(front-end-of-line) 프로세스들은 능동 디바이스들, 이를테면 트랜지스터들, 커페시터들, 다이오드들을 형성하는 프로세스 단계들의 세트를 포함할 수 있다. FEOL 프로세스들은 이온 주입, 어닐(anneal)들, 산화, CVD(chemical vapor deposition), 또는 ALD(atomic layer deposition), 에칭, CMP(chemical mechanical polishing), 에피택시를 포함한다. 미들 오브 라인(middle-of-line) 프로세스들은, BEOL 인터커넥트에 대한 트랜지스터들의 연결을 가능하게 하는 프로세스 단계들의 세트를 포함할 수 있다. 이들 단계들은 실리시레이션(silicidation) 및 콘택 형성 뿐만 아니라 스트레스(stress) 유입을 포함한다. 백 엔드 오브 라인(back-end-of-line) 프로세스들은, 독립적인 트랜지스터들을 접합시키는(tie) 인터커넥트를 형성하고 회로들을 형성하는 프로세스 단계들의 세트를 포함할 수 있다. 현재, 구리와 알루미늄이 인터커넥트들을 제공하지만, 기술의 추가적인 발전에 따라 다른 전도성 재료가 사용될 수 있다.

[0017] [0030] "레이어"란 용어는 필름을 포함하고, 달리 진술되지 않는 한, 수직 또는 수평 두께를 표시하는 것으로 해석되지 않아야 한다는 것이 이해될 것이다. 본원에서 설명된 바와 같이, "기판"이란 용어는 다이싱된(diced) 웨이퍼의 기판을 지칭할 수 있거나 또는 다이싱되지 않은 웨이퍼의 기판을 지칭할 수 있다. 유사하게, 칩과 다른 용어들은, 논리에 맞는다면, 상호교환 가능하게 사용될 수 있다.

[0018] [0031] 본 개시내용의 양상들은, 고품질(Q)-팩터 RF 애플리케이션들을 위한 집적 RF(radio frequency) 회로 구

조들에서 안테나 스위치 트랜지스터들로서 사용될 수 있는, 백사이드 용기 소스/드레인/바디 구역들을 갖는 트랜지스터들을 포함하는 접적 회로 구조들을 설명한다. 일 구성에서, 포스트 레이어-전사 프로세스가 트랜지스터의 백사이드 용기 소스/드레인/바디 구역들을 형성한다. 포스트-레이어 전사 프로세스는 트랜지스터의 소스/드레인 구역들의 백사이드 상에 백사이드 반도체 레이어를 형성할 수 있다. 백사이드 반도체 레이어는 격리 레이어의 제1 표면으로부터 제2 표면으로 연장될 수 있는데, 여기서, 격리 레이어의 제1 표면은 트랜지스터를 지지한다.

[0019] [0032] 이 구성에서, 포스트-레이어 전사 프로세스는, 트랜지스터의 소스/드레인 구역들의 백사이드 상에 백사이드 반도체 레이어들을 형성하기 위한 포스트-레이어 성장 프로세스 또는 포스트-레이어 증착 프로세스를 포함할 수 있다. 용기 소스/드레인/바디 구역은 에피택셜하게 성장된 백사이드 반도체 재료로 구성된다. 대안적으로, 용기 소스/드레인 구역은, CVD(chemical vapor deposition), ALD(atomic layer deposition), 또는 다른 유사한 프론트 엔드 오브 라인 제작 프로세스를 사용하여 형성될 수 있다. 이 구성에서, 트랜지스터의 백사이드 용기 소스/드레인 구역들은, 종래의 CMOS 프로세스들을 사용하여 제작된 프론트-사이드 용기 소스/드레인 구역들과 연관된 기생 커패시턴스를 감소시킬 수 있다. 즉, 트랜지스터의 백사이드로의 소스/드레인 구역들의 연장은, 종래의 프론트-사이드 용기 소스/드레인 구역들과 트랜지스터의 바디 사이의 기생 커패시턴스의 형성을 방지하는 것을 돋는다.

[0020] [0033] 무선 통신 산업을 추진시키는 하나의 목적은, 증가된 대역폭을 소비자들에게 제공하는 것이다. 현세대 통신들에서의 캐리어 애그리게이션의 사용은, 이 목적을 달성하기 위한 하나의 가능한 솔루션을 제공한다. 캐리어 애그리게이션은, 특정 지리적 영역에서의 2개의 주파수 대역들(예컨대, 700 MHz와 2 GHz)에 대한 라이선스들을 갖는 무선 캐리어가, 단일 통신 스트림을 위해 주파수들 둘 모두를 동시에 사용함으로써 대역폭을 최대화하는 것을 가능하게 한다. 증가된 양(amount)의 데이터가 최종 사용자에게 제공되지만, 캐리어 애그리게이션 구현은, 데이터 송신을 위해 사용되는 주파수들에 기인하여 고조파 주파수들에서 생성되는 잡음에 의해 복잡하게 된다. 예컨대, 700 MHz 송신들은 2.1 GHz에서 고조파들을 생성할 수 있고, 이는 2 GHz 주파수들에서의 데이터 브로드캐스트를 간섭한다.

[0021] [0034] 무선 통신의 경우, 캐리어 애그리게이션 시스템에서 신호들을 프로세싱하기 위해 수동 디바이스들이 사용된다. 캐리어 애그리게이션 시스템들에서는, 고대역 주파수와 저대역 주파수 둘 모두를 이용하여 신호들이 통신된다. 칩셋에서는, 고성능을 보장하기 위해 튜너(또는 RF(radio frequency) 스위치)와 안테나 사이에 수동 디바이스(예컨대, 디아플렉서)가 대개 삽입된다. 대개, 디아플렉서 설계는 인더터들과 커패시터들을 포함한다. 디아플렉서들은, 고품질(Q)-팩터를 갖는 커패시터들과 인더터들을 사용함으로써 고성능에 이를 수 있다. 고성능 디아플렉서들은 또한, 컴포넌트들 사이의 전자기 커플링을 감소시킴으로써 –이는 컴포넌트들의 방향 및 기하학적 구조의 어레인지먼트를 통해 달성될 수 있음–, 이르게 될 수 있다.

[0022] [0035] 도 1a는 본 개시내용의 양상에 따른, 디아플렉서(200)를 사용하는 RFFE(RF(radio frequency) front end) 모듈(100)의 개략적인 디어그램이다. RF 프론트 엔드(front end) 모듈(100)은 전력 증폭기들(102), 듀플렉서/필터들(104), 및 RF(radio frequency) 스위치 모듈(106)을 포함한다. 전력 증폭기들(102)은 신호(들)를 송신을 위한 소정의 전력 레벨로 증폭시킨다. 듀플렉서/필터들(104)은, 주파수, 삽입 손실, 거부 또는 다른 유사한 파라미터들을 포함하는 다양한 상이한 파라미터들에 따라 입력/출력 신호들을 필터링한다. 부가하여, RF 스위치 모듈(106)은, RF 프론트 엔드 모듈(100)의 나머지에 전달되도록 입력 신호들의 소정의 부분들을 선택할 수 있다.

[0023] [0036] RF 프론트 엔드 모듈(100)은 또한, 튜너 회로(112)(예컨대, 제1 튜너 회로(112A) 및 제2 튜너 회로(112B)), 디아플렉서(200), 커패시터(116), 인더터(118), 접지 단자(115) 및 안테나(114)를 포함한다. 튜너 회로(112)(예컨대, 제1 튜너 회로(112A) 및 제2 튜너 회로(112B))는 컴포넌트들, 이를테면, 튜너, PDET(portable data entry terminal), 및 HKADC(house keeping analog to digital converter)를 포함한다. 튜너 회로(112)는 안테나(114)에 대한 임피던스 튜닝(예컨대, VSWR(voltage standing wave ratio) 최적화)을 수행할 수 있다. RF 프론트 엔드 모듈(100)은 또한, 무선 트랜시버(WTR; wireless transceiver)(120)에 커플링된 수동 컴바이너(108)를 포함한다. 수동 컴바이너(108)는, 제1 튜너 회로(112A)와 제2 튜너 회로(112B)로부터의 검출 전력을 결합한다. 무선 트랜시버(120)는 수동 컴바이너(108)로부터의 정보를 프로세싱하고, 이 정보를 모뎀(130)(예컨대, MSM(mobile station modem))에 제공한다. 모뎀(130)은 디지털 신호를 애플리케이션 프로세서(AP; application processor)(140)에 제공한다.

[0024] [0037] 도 1a에서 도시된 바와 같이, 디아플렉서(200)는 튜너 회로(112)의 튜너 컴포넌트와, 커패시터(116),

인덕터(118), 및 안테나(114) 사이에 있다.ダイフレックス(200)は、RFプロンチエンドモジュール(100)로부터高いシステム性能をもつ無線トランシーバ(120)、モデム(130)及びア�플리케이션プロセッサー(140)を含むチップセットで供給するため、アンテナ(114)とチューナーフィルタ(112)間に配置される。ダイフレックス(200)はまた、高周波周波数と低周波周波数の両方に対する周波数ドレインマルチplexingを実行する。ダイフレックス(200)が入力信号に対する自身の周波数ドレインマルチplexing機能を実行した後、ダイフレックス(200)の出力は、コアシーマ(116)及びインダクタ(118)を含むチップセットで選択されたLC(inductor/capacitor)ネットワークに接続される。LCネットワークは、有効なインピーダンスマッチコンポーネントを供給する。その後、特定の周波数に対する信号がアンテナ(114)に送信されるか、または送信されない。単一のコアシーマ及びインダクタが示されるが、複数のコンポーネントが示される。

[0025] 도 1b는 본 개시내용의 양상에 따른, 캐리어 애그리게이션을 제공하기 위한 칩셋(160)에 대한, 제1ダイフレックス(200-1)를 포함하는 무선 로컬 영역 네트워크(WLAN; wireless local area network)(예컨대, WiFi) 모듈(170) 및 제2ダイフレックス(200-2)를 포함하는 RF 프론트 엔드 모듈(150)의 개략적인 다이어그램이다. WiFi 모듈(170)은 안테나(192)를 무선 로컬 영역 네트워크 모듈(예컨대, WLAN 모듈(172))에 통신가능하게 커플링하는 제1ダイフレックス(200-1)를 포함한다. RF 프론트 엔드 모듈(150)은 안테나(194)를 듀플렉서(180)를 통해 무선 트랜시버(WTR)(120)에 통신가능하게 커플링하는 제2ダイフレックス(200-2)를 포함한다. WiFi 모듈(170)의 WLAN 모듈(172)과 무선 트랜시버(120)는 모뎀(MSM, 예컨대 베이스밴드 모뎀)(130)에 커플링되며, 이 모뎀(MSM, 예컨대 베이스밴드 모뎀)(130)은 전력 공급부(152)에 의해 PMIC(power management integrated circuit)(156)를 통해 전력을 공급받는다. 칩셋(160)은 또한, 신호 무결성을 제공하기 위해 인덕터(들)(166) 뿐만 아니라 커파시터들(162 및 164)을 포함한다. PMIC(156), 모뎀(130), 무선 트랜시버(120), 및 WLAN 모듈(172) 각각은 커파시터들(예컨대, 158, 132, 122, 및 174)을 포함하고, 클록(154)에 따라 동작한다. 칩셋(160)에서의 다양한 인덕터 및 커파시터 커뮤니케이션들의 기하학적 구조 및 어레이지먼트는 커뮤니케이션들 사이의 전자기 커플링을 감소시킬 수 있다.

[0026] 도 2a는 본 개시내용의 양상에 따른,ダイフレックス(200)의 다이어그램이다.ダイフレックス(200)는 고대역(HB; high band) 입력 포트(212), 저대역(LB; low band) 입력 포트(214), 및 안테나(216)를 포함한다.ダイフレックス(200)의 고대역 경로는 고대역 안테나 스위치(210-1)를 포함한다.ダイフレックス(200)의 저대역 경로는 저대역 안테나 스위치(210-2)를 포함한다. RF 프론트 엔드 모듈을 포함하는 무선 디바이스는 안테나 스위치들(210) 및ダイフレックス(200)를 사용하여, 무선 디바이스의 RF 입력 및 RF 출력을 위한 넓은 범위의 대역을 가능하게 할 수 있다. 부가하여, 안테나(216)는 다중 입력 다중 출력(MIMO; multiple input, multiple output) 안테나일 수 있다. 다중 입력 다중 출력 안테나들은 캐리어 애그리게이션과 같은 특징들을 지원하기 위해 무선 디바이스들의 RF 프론트 엔드에 대해 널리 사용될 것이다.

[0027] 도 2b는 본 개시내용의 양상에 따른, RF 프론트 엔드 모듈(250)의 다이어그램이다. RF 프론트 엔드 모듈(250)은, 도 2a에서 주목된 넓은 범위의 대역을 가능하게 하기 위해ダイフレックス(200)(또는 트리플렉서(triplexer))와 안테나 스위치(ASW; antenna switch)(210)를 포함한다. 부가하여, RF 프론트 엔드 모듈(250)은 기판(202)에 의해 지지되는 필터들(230), RF 스위치(220) 및 전력 증폭기들(218)을 포함한다. 필터들(230)은,ダイフレックス, 트리플렉서, 로우 패스 필터들, 밸룬(balun) 필터들, 및/또는 RF 프론트 엔드 모듈(250)에서 고차 고조파들을 방지하기 위한 노치 필터들을 형성하기 위한, 기판(202)을 따라 배열된 인덕터들(L) 및 커파시터들(C)을 갖는 다양한 LC 필터들을 포함할 수 있다.ダイフレックス(200)는 시스템 보드(201)(예컨대, PCB(printed circuit board) 또는 패키지 기판) 상의 SMD(surface mount device)로서 구현될 수 있다. 대안적으로,ダイフレックス(200)는 기판(202) 상에 구현될 수 있다.

[0028] 이 구성에서, RF 프론트 엔드 모듈(250)은 SOI(silicon on insulator) 기술을 사용하여 구현되며, 이 SOI 기술은 RF 프론트 엔드 모듈(250)에서 고차 고조파들을 감소시키는 것을 돋는다. SOI 기술은, 기생 디바이스 커뮤니케이션들을 감소시키고 성능을 개선시키기 위해, 종래의 실리콘 기판들을 레이어드 실리콘-절연체-실리콘 기판으로 대체한다. SOI-기반 디바이스들은 종래의 실리콘으로 만들어진 디바이스들과는 상이한데, 그 이유는 실리콘 정선이 전기 절연체, 통상적으로 BOX(buried oxide) 레이어 위에 있기 때문이다. 그러나, 감소된 두께의 BOX 레이어는, BOX 레이어를 지지하는 기판과 (실리콘 레이어 상의) 능동 디바이스 사이의 근접성에 의해 유발되는 기생 커뮤니케이션들을 충분히 감소시키지 않을 수 있다. 그 결과, 본 개시내용의 양상들은, 도 3a 내지 도 3e에서 도시된 바와 같이, 기판과 능동 디바이스를 추가로 분리시키기 위한 레이어 전사 프로세스를 포함한다.

[0029] 도 3a 내지 도 3e는 본 개시내용의 양상들에 따른, 레이어 전사 프로세스 동안의 접적 RF(radio frequency) 회로 구조(300)의 단면도들을 도시한다. 도 3a에서 도시된 바와 같이, RF SOI(silicon on insulator) 디바이스는, 기생 기판(301)(예컨대, 벌크 웨이퍼)에 의해 지지되는 BOX(buried oxide) 레이어

(320) 상의 능동 디바이스(310)를 포함한다. RF SOI 디바이스는 또한, 제1 유전체 레이어(306) 내에서 능동 디바이스(310)에 커플링된 인터커넥트들(350)을 포함한다. 도 3b에서 도시된 바와 같이, RF SOI 디바이스의 제1 유전체 레이어(306)에 핸들 기판(302)이 본딩된다. 부가하여, 희생 기판(301)은 제거된다. 레이어 전사 프로세스를 사용한 희생 기판(301)의 제거는, 유전체 두께를 증가시킴으로써 고-성능 저-기생 RF 디바이스들을 가능하게 한다. 즉, RF SOI 디바이스의 기생 커패시턴스는, 능동 디바이스(310)와 핸들 기판(302) 사이의 거리를 결정하는 유전체 두께에 비례한다.

[0030] [0043] 도 3c에서 도시된 바와 같이, 일단 핸들 기판(302)이 고정되고 희생 기판(301)이 제거되면, RF SOI 디바이스는 플리핑된다(flipped). 도 3d에서 도시된 바와 같이, 예컨대 규칙적 CMOS(complementary metal oxide semiconductor) 프로세스를 사용하여, 포스트 레이어 전사 금속배선 프로세스가 수행된다. 도 3e에서 도시된 바와 같이, 시스템 보드(예컨대, PCB(printed circuit board))에 대한 접적 RF 회로 구조(300)의 본딩을 가능하게 하기 위해, 패시베이션 레이어를 증착하고, 본드 패드들을 개방하고, 재분배(redistribution) 레이어를 증착하고, 그리고 전도성 범프들/필러(pillar)들을 형성함으로써, 접적 RF 회로 구조(300)가 완성된다.

[0031] [0044] 도 3a를 다시 참조하면, RF SOI 디바이스는 희생 기판(301)과 BOX 레이어(320) 사이에 트랩 리치(trap rich) 레이어를 포함할 수 있다. 부가하여, 희생 기판(301)은 핸들 기판으로 대체될 수 있으며, 고조파들을 개선시키기 위해 BOX 레이어(320)의 두께가 증가될 수 있다. RF SOI 디바이스의 이러한 어레인지먼트가 순수 실리콘 또는 SOI 구현에 비하여 개선된 고조파들을 제공할 수 있지만, RF SOI 디바이스는, 특히 실리콘 핸들 기판이 사용될 때, 핸들 기판으로부터의 비-선형 응답들에 의해 제한된다. 즉, 도 3a에서, BOX 레이어(320)의 증가된 두께는, 도 3b 내지 도 3e에서 도시된 구성들에 비하여 능동 디바이스(310)와 희생 기판(301) 사이의 충분한 거리를 제공하지 않는다. 게다가, RF SOI 디바이스에서의 능동 디바이스(310)의 바디가 접합되지 않을 수 있다.

[0032] [0045] 도 4는 본 개시내용의 양상들에 따른, 레이어 전사 프로세스를 사용하여 제작된 접적 RF 회로 구조(400)의 단면도이다. 대표적으로, 접적 RF 회로 구조(400)는, 격리 레이어(420) 상에 형성되는 게이트, 바디, 및 소스/드레인 구역들을 갖는 능동 디바이스(410)를 포함한다. SOI(silicon on insulator) 구현들에서, 격리 레이어(420)는 BOX(buried oxide) 레이어이며, 바디 및 소스/드레인 구역들은 BOX 레이어에 의해 지지되는 STI(shallow trench isolation) 구역들을 포함하는 SOI 레이어로부터 형성된다.

[0033] [0046] 접적 RF 회로 구조(400)는 또한, 능동 디바이스(410)의 소스/드레인 구역들에 커플링된 MEOL(middle-end-of-line)/BEOL(back-end-of-line) 인터커넥트들을 포함한다. 본원에서 설명된 바와 같이, MEOL/BEOL 레이어들은 프론트-사이드 레이어들로 지칭된다. 그에 반해서, 격리 레이어(420)를 지지하는 레이어들은 백사이드 레이어들로 본원에서 지칭될 수 있다. 이 명명법에 따라, 프론트-사이드 인터커넥트(450)가 프론트-사이드 콘택(412)을 통해 능동 디바이스(410)의 소스/드레인 구역들에 커플링되고, 프론트-사이드 유전체 레이어(406)에 배열된다. 부가하여, 핸들 기판(402)이 프론트-사이드 유전체 레이어(406)에 직접적으로 커플링된다. 이 구성에서, 백사이드 유전체(440)가 격리 레이어(420)에 인접하고, 가능하게는 이 격리 레이어(420)를 지지한다. 부가하여, 백사이드 금속배선(430)이 프론트-사이드 인터커넥트(450)에 커플링된다.

[0034] [0047] 도 4에서 도시된 바와 같이, 레이어 전사 프로세스는, 접적 RF 회로 구조(400)의 고조파들을 개선시키기 위해 능동 디바이스(410)와 핸들 기판(402) 사이의 증가된 분리를 제공한다. 레이어 전사 프로세스가 고-성능 저-기생 RF 디바이스들을 가능하게 하지만, 접적 RF 회로 구조(400)는 플로팅 바디 효과(floating body effect)를 겪을 수 있다. 그에 따라서, 접적 RF 회로 구조(400)의 성능은, 능동 디바이스(410)의 백사이드에 대한 액세스를 제공하여 능동 디바이스(410)의 바디 구역을 접합시키기 위해 전사후 금속배선(post transfer metallization)을 사용함으로써, 추가로 개선될 수 있다.

[0035] [0048] 본 개시내용의 다양한 양상들은, 접적 RF(radio frequency) 회로 구조의 능동 디바이스들의 백사이드 상에서의 포스트 레이어 전사 증착/성장 프로세스를 위한 기법들을 제공한다. 그에 반해서, FEOL(front-end-of-line) 프로세스 동안 형성된 능동 디바이스들에 대한 액세스는 종래에는, BEOL(back-end-of-line) 인터커넥트 레이어들(예컨대, M1, M2 등)과 능동 디바이스들의 게이트들 및 소스/드레인 구역들 사이의 콘택들을 제공하는 MEOL(middle-end-of-line) 프로세싱 동안 제공된다. 본 개시내용의 양상들은, 고품질(Q)-팩터 RF 애플리케이션들을 위한 접적 RF(radio frequency) 회로 구조들에서 안테나 스위치 트랜지스터들로서 사용될 수 있는 트랜지스터들의 백사이드 연장(융기) 소스/드레인/바디 구역들을 형성하기 위한 포스트 레이어 전사 성장/증착 프로세스를 수반한다. 다른 애플리케이션들은, 저전력 증폭기 모듈, 저잡음 증폭기, 및 안테나 다이버시티 스위치에서의 능동 디바이스를 포함한다.

- [0036] [0049] 도 5a는 본 개시내용의 양상들에 따른, 포스트-레이어 전사 프로세스가 능동 디바이스(예컨대, 트랜지스터)의 소스/드레인(S/D) 구역들의 백사이드 상에 수행되는 접적 회로 구조(500)의 단면도이다. 대표적으로, 접적 회로 구조(500)는, 격리 레이어(520) 상에 형성되는 게이트, 바디, 및 소스/드레인(S/D) 구역들을 갖는 능동 디바이스(510)를 포함한다. 격리 레이어(520)는, 바디 및 소스/드레인 구역들이 SOI(silicon on insulator) 레이어로부터 형성되는 SOI 구현을 위한 BOX(buried oxide) 레이어일 수 있다. 이 구성에서, STI(shallow trench isolation) 구역들이 또한, BOX 레이어에 의해 지지된다.
- [0037] [0050] 접적 RF 회로 구조(500)는 프론트-사이드 유전체 레이어(506)에 배열된 프론트-사이드 금속배선(570) (예컨대, 제1 BEOL 인터커넥트(M1))을 포함한다. 프론트-사이드 금속배선은 비아(560)를 통해 백사이드 금속배선(550)의 제3 부분(550-3)에 커플링되는데, 여기서, 백사이드 금속배선(550)은 백사이드 유전체 레이어(540)에 배열된다. 부가하여, 능동 디바이스(510)의 게이트는, 프론트-사이드 실리사이드(silicide) 레이어로 구성될 수 있는 게이트 콘택(512)을 포함한다. 부가하여, 핸들 기판(502)이 프론트-사이드 유전체 레이어(506)에 커플링된다. 백사이드 유전체 레이어(540)는 격리 레이어(520)에 인접하고, 가능하게는 이 격리 레이어(520)를 지지한다. 이 구성에서, 포스트 레이어 전사 금속배선 프로세스가 백사이드 금속배선(550)을 형성한다.
- [0038] [0051] 본 개시내용의 양상들에서, 능동 디바이스(510)의 소스/드레인 구역들의 백사이드 상에 백사이드 반도체 레이어를 제공하기 위해 포스트 레이어 전사 프로세스가 사용된다. 본 개시내용의 양상들에서, 백사이드 반도체 레이어는 비정질 반도체 레이어로서 증착될 수 있다. 대안적으로, 백사이드 반도체 레이어는 포스트 레이어 전사 성장 프로세스의 일부로서 에피택셜하게 성장될 수 있다. 일단 형성되면, 백사이드 반도체 레이어는 선택적으로, 용기 소스/드레인(S/D) 구역들(530)을 형성하기 위한 증착후 어닐 프로세스(post deposition anneal process)(예컨대, 저온 또는 쇼트 로컬(short local) 레이저 어닐)를 겪을 수 있다. 이 구성에서, 백사이드 용기 소스/드레인 구역들(530)은 능동 디바이스(510)의 소스/드레인 구역들의 백사이드로부터 격리 레이어(520)로 연장된다. 일단 형성되면, 소스/드레인 구역들의 프론트-사이드로부터 면 쪽의 백사이드 용기 소스/드레인 구역들(530) 상에 백사이드 콘택(532)(예컨대, 백사이드 실리사이드 레이어)이 증착될 수 있다. 그런 다음, 능동 디바이스(510)의 백사이드 용기 소스/드레인 구역들(530)의 백사이드 콘택들(532)에 백사이드 금속배선(550)의 제1 부분(550-1) 및 제2 부분(550-2)을 커플링하기 위해 포스트-레이어 전사 금속배선 프로세스가 수행된다. 도 5a에서 도시된 바와 같이, 백사이드 금속배선(550)으로부터 면 쪽에 프론트-사이드 금속배선(570)이 배열된다.
- [0039] [0052] 도 5b는 본 개시내용의 양상들에 따른, 포스트-레이어 전사 프로세스가 능동 디바이스(510)(예컨대, 트랜지스터)의 소스/드레인(S/D) 구역(516)의 백사이드 상에 또한 수행되는 접적 회로 구조(580)의 단면도이다. 인식될 바와 같이, 접적 회로 구조(580)의 구성은 도 5a의 접적 회로 구조(500)의 구성과 유사하다. 그러나, 도 5b에서 도시된 구성에서, 능동 디바이스(510)는 백사이드 용기 소스/드레인 구역들(530) 중 단 한 개만을 포함한다. 대신에, 능동 디바이스(510)의 소스/드레인 구역(516)의 백사이드 상에 직접적으로 백사이드 콘택(582)이 있다. 부가하여, 백사이드 금속배선(550)의 제2 부분(550-2)은 능동 디바이스(510)의 소스/드레인 구역(516)의 백사이드 콘택(582)에 커플링된다.
- [0040] [0053] 도 5a를 다시 참조하면, 백사이드 용기 소스/드레인 구역들(530)은 격리 레이어(520)에 제공되고, 백사이드 금속배선(550)과의 콘택을 가능하게 하도록 배열된다. 능동 디바이스(510)의 소스/드레인 구역들의 연장은, 종래의 프론트-사이드 용기 소스/드레인 구역들과 능동 디바이스(510)의 바디 사이의 기생 커패시턴스의 형성을 방지하는 것을 돋는다. 이 구성에서, 포스트-레이어 전사 프로세스는, 백사이드 용기 소스/드레인 구역들(530)을 형성하기 위한 포스트-레이어 성장 프로세스 또는 포스트-레이어 증착 프로세스를 포함할 수 있다. 이 구성에서, 백사이드 용기 소스/드레인 구역들(530)은, 종래의 CMOS 프로세스들을 사용하여 제작된 용기 소스/드레인 구역들과 연관된 기생 커패시턴스를 감소시킬 수 있다.
- [0041] [0054] 본 개시내용의 양상들에 따라, 핸들 기판(502)은 반도체 재료, 이를테면 실리콘으로 구성될 수 있다. 이 구성에서, 핸들 기판(502)은 적어도 하나의 다른 능동 디바이스를 포함할 수 있다. 대안적으로, 핸들 기판(502)은, 기생 커패시턴스를 감소시킴으로써 고조파들을 추가로 개선시키기 위한 수동 기판일 수 있다. 이 구성에서, 핸들 기판(502)은 적어도 하나의 다른 수동 디바이스를 포함할 수 있다. 본원에서 설명된 바와 같이, "수동 기판"이란 용어는 다이싱된 웨이퍼 또는 패널의 기판을 지칭할 수 있거나 또는 다이싱되지 않은 웨이퍼/패널의 기판을 지칭할 수 있다. 일 구성에서, 수동 기판은 유리, 공기, 석영, 사파이어, 고-저항률 실리콘, 또는 다른 유사한 수동 재료로 구성된다. 수동 기판은 또한, 코어리스(coreless) 기판일 수 있다.
- [0042] [0055] 도 6a 내지 도 6e는 본 개시내용의 양상들에 따른, 백사이드 연장 소스/드레인 구역들을 포함하는 접적

회로 구조의 제작을 위한 프로세스를 예시하는 단면도들이다. 도 6a에서 도시된 바와 같이, 도 5a에서 도시된 접적 회로 구조(500)의 구성과 유사한 구성의 접적 회로 구조(600)가 도시된다. 그러나, 도 6a에서 도시된 구성에서, 능동 디바이스들(510)(510-1, 및 510-2)의 형성 후에 프론트-사이드 유전체 레이어(506)에 핸들 기판(502)을 본딩하기 위해 레이어 전사 프로세스가 수행된다. 도 6b에서 도시된 바와 같이, 포스트-레이어 전사 프로세스는 백사이드 유전체 레이어(540)의 중착으로 시작한다. 단일 레이어가 도시되지만, 다수의 유전체 레이어들이 중착될 수 있다는 것이 인식되어야 한다.

[0043]

[0056] 도 6c에서 도시된 바와 같이, 포스트-레이어 전사 프로세스는, 능동 디바이스들(510)의 소스/드레인 구역들의 백사이드를 노출시키기 위한 백사이드 유전체 레이어(540) 및 격리 레이어(520)의 패터닝 및 에칭으로 계속된다. 도 6d에서, 백사이드 용기 소스/드레인 구역들(530)을 제작하기 위해 포스트-레이어 전사 중착/성장 프로세스가 수행된다. 도 6e에서, 백사이드 콘택들(532)을 통해 백사이드 용기 소스/드레인 구역들(530)에 백사이드 금속배선(550)을 커플링하기 위해 포스트-레이어 전사 금속배선 프로세스가 수행된다. 부가하여, 비아(560)를 통해 프론트-사이드 금속배선(570)에 백사이드 금속배선(550)의 제5 부분(550-5)에 커플링된다. 이 구성에서, 백사이드 금속배선(550)의 제3 부분(550-3)은 백사이드 용기 소스/드레인 구역들(530) 중 하나의 백사이드 용기 소스/드레인 구역의 백사이드 콘택(532)에 커플링되고, 백사이드 금속배선(550)의 제4 부분(550-4)은 제2 능동 디바이스(510-2)의 백사이드 용기 소스/드레인 구역들(530) 중 하나의 백사이드 용기 소스/드레인 구역의 백사이드 콘택(532)에 커플링된다.

[0044]

[0057] 능동 디바이스들에 스트레스를 가하기 위해 성장 프로세스에서 상이한 재료들이 사용될 수 있다. 예컨대, 일 구성에서 40%까지 저마늄(Germanium) 성장을 이용하여 PFET 디바이스들이 스트레스를 받을 수 있다. NMOS 디바이스들은, 예컨대, 카본-도핑된 실리콘을 사용하여 스트레스를 받을 수 있는데, 카본의 비율은 3% 내지 4 퍼센트를 초과하지 않는다. 카본의 이 비율은 실리콘에서의 전위(dislocation)들을 방지한다. 용기 바디 구역이 또한, 스트레서들을 포함할 수 있다는 것이 인식되어야 한다.

[0045]

[0058] 도 7a 내지 도 7e는 본 개시내용의 양상들에 따른, 백사이드 연장 소스/드레인/바디 구역들을 포함하는 접적 회로 구조의 제작을 위한 프로세스를 예시하는 단면도들이다. 도 7a에서 도시된 바와 같이, 도 5a에서 도시된 접적 회로 구조(500)의 구성과 유사한 구성의 접적 회로 구조(700)가 도시된다. 그러나, 도 7a에서 도시된 구성에서, 능동 디바이스들(510)(510-1, 및 510-2)의 형성 후에 프론트-사이드 유전체 레이어(506)에 핸들 기판(502)을 본딩하기 위해 레이어 전사 프로세스가 수행된다. 부가하여, 프론트-사이드 금속배선(570)의 제1 부분(570-1)은 제1 능동 디바이스(510-1)의 소스/드레인 구역의 프론트-사이드 콘택(514)을 제2 능동 디바이스(510-2)의 게이트 콘택(512)에 커플링한다. 또한, 프론트-사이드 금속배선(570)의 제2 부분(570-2)은 제2 능동 디바이스(510-2)의 소스/드레인 구역의 프론트-사이드 콘택(514)을 비아(560)에 커플링한다.

[0046]

[0059] 도 7b에서 도시된 바와 같이, 포스트-레이어 전사 프로세스는 또한, 백사이드 유전체 레이어(540)의 중착으로 시작한다. 도 7c에서 도시된 바와 같이, 포스트-레이어 전사 프로세스는 또한, 제1 능동 디바이스(510-1)의 소스/드레인 구역의 백사이드를 노출시키기 위한 백사이드 유전체 레이어(540) 및 격리 레이어(520)의 패터닝 및 에칭으로 계속된다. 본 개시내용의 이 양상에서, 포스트 레이어 전사 프로세스는 제2 능동 디바이스(510-2)의 바디를 노출시킨다. 도 7d에서, 백사이드 용기 소스/드레인 구역(530) 및 백사이드 용기 바디 구역(590)을 제작하기 위해 포스트-레이어 전사 중착/성장 프로세스가 수행된다.

[0047]

[0060] 도 7e에서, 백사이드 콘택들(532)을 통해 백사이드 용기 소스/드레인 구역들(530)에 백사이드 금속배선(550)을 커플링하기 위해 포스트-레이어 전사 금속배선 프로세스가 수행된다. 부가하여, 비아(560)를 통해 프론트-사이드 금속배선(570)의 제2 부분에 백사이드 금속배선(550)의 제4 부분(550-4)이 커플링된다. 이 구성에서, 백사이드 금속배선(550)의 제3 부분(550-3)이 백사이드 용기 바디 구역(590)의 백사이드 콘택(592)에 커플링된다. 본 개시내용의 이 양상에서, 백사이드 용기 바디 구역(590)은 백사이드 용기 소스/드레인 구역들(530)의 도편트와는 상이한 도편트로 도핑된다. 부가하여, 제1 능동 디바이스(510-1)의 백사이드 용기 바디 구역(590)은 제2 능동 디바이스(510-2)의 백사이드 용기 바디 구역(590)의 도편트와는 상이한 도편트로 도핑된다.

[0048]

[0061] 도 8a 내지 도 8e는 본 개시내용의 양상들에 따른, 능동 디바이스의 소스/드레인/바디 구역들과 이 능동 디바이스의 백사이드 연장 소스/드레인/바디 구역들 사이의 자가-정렬을 위한 프로세스를 예시하는 단면도들이다. 도 8a에서 도시된 바와 같이, 도 7a에서 도시된 접적 회로 구조(700)의 구성과 유사한 구성의 접적 회로 구조(800)가 도시된다. 그러나, 도 8a에서 도시된 구성에서, 능동 디바이스들(510)(510-1, 및 510-2)의 형성 후에 프론트-사이드 유전체 레이어(506)에 핸들 기판(502)을 본딩하기 위한 레이어 전사 프로세스는 도시되지 않는다. 부가하여, 도 8d에서 도시된 접적 회로 구조의 구성은 또한, 제1 능동 디바이스(510-1)의 소스/드레인

구역의 프론트-사이드 콘택(514)을 제2 능동 디바이스(510-2)의 게이트 콘택(512)에 커플링하는, 프론트-사이드 금속배선(570)의 제1 부분(570-1)을 포함한다. 또한, 프론트-사이드 금속배선(570)의 제2 부분(570-2)은 제2 능동 디바이스(510-2)의 소스/드레인 구역의 프론트-사이드 콘택(514)을 비아(560)에 커플링한다.

[0049] [0062] 도 8b에서 도시된 바와 같이, 백사이드 유전체 레이어(540) 및 격리 레이어(520)에 이온들을 주입함으로써 백사이드 유전체 레이어(540)에 불순물들을 주입하기 위한 이온 주입 프로세스가 수행된다. 주입은 집적 회로 구조(800)의 프론트-사이드로부터 수행된다. 매립 산화물 레이어를 손상시키기(매립 산화물 레이어에서 결함들을 생성하기) 위해 특정 도편트들, 예컨대 높은 용량(dose)의 보론이 사용될 수 있다. 도 8c에서 도시된 바와 같이, 이온 주입 프로세스는 능동 디바이스들(510)의 게이트들에 의해 차단된다. 그 결과, 주입된 결함들은 일반적으로, 능동 디바이스들(510)의 소스/드레인 구역들에 근접한, 백사이드 유전체 레이어(540) 및 격리 레이어 내의 영역들로 국한된다.

[0050] [0063] 도 8d에서 도시된 바와 같이, 포토레지스트(594)를 중착시키고, 예컨대 파소 에칭된(under etched) 반도체(예컨대, 실리콘(Si)) 레이어 내의 주입된 결함들을 노출시킴으로써, 포스트-레이어 전사 마스크 프로세스가 수행된다. 도 8e에서 도시된 바와 같이, 이 프로세스는, 제1 능동 디바이스(510-1)의 소스/드레인 구역의 백사이드 및 제2 능동 디바이스(510-2)의 소스/드레인 구역들의 백사이드를 노출시키기 위한 백사이드 유전체 레이어(540) 및 격리 레이어(520)의 에칭으로 계속된다. 본 개시내용의 이 양상에서, 주입된 결함들은 능동 디바이스들(510)의 소스/드레인/바디 구역들과 백사이드 연장 소스/드레인/바디 구역들 사이의 자가-정렬을 가능하게 한다. 즉, 백사이드 에칭은 게이트들에 도달하지 않는다. 대안적으로, 주입된 결함들은 에치(etch) 정지 레이어를 제공하며, 백사이드 용기 소스/드레인/바디 구역들을 지지하기 위해 에치 레이트를 감소시킬 수 있다.

[0051] [0064] 도 9는 본 개시내용의 양상에 따른, 백사이드 연장 소스/드레인/바디 구역들을 갖는 능동 디바이스를 포함하는 집적 회로 구조를 구성하는 방법(900)을 예시하는 프로세스 흐름 다이어그램이다. 블록(902)에서, 격리 레이어에 의해 지지되는 프론트-사이드 반도체 레이어를 사용하여 트랜지스터가 제작된다. 예컨대, 도 6a에서 도시된 바와 같이, 능동 디바이스(310)는, 격리 레이어(예컨대, BOX(buried oxide) 레이어)에 의해 지지되는 프론트-사이드 반도체 레이어(예컨대, SOI(silicon on insulator) 레이어)를 사용하여 제작된다. 도 6a 내지 도 6e에서 도시된 구성에서, 능동 디바이스 상의 프론트-사이드 유전체 레이어에 프론트-사이드 금속배선이 제작된다. 예컨대, 도 6a에서 도시된 바와 같이, STI(shallow trench isolation) 구역 및 격리 레이어(520)를 통해 연장되는 프론트-사이드 비아(560)에 프론트-사이드 금속배선(570)이 커플링된다. 트랜지스터를 제작하기 위한 프로세스의 이 부분은 레이어 전사 프로세스 전에 수행된다.

[0052] [0065] 예컨대, 도 6a에서 도시된 바와 같이, 프론트-사이드 유전체 레이어(506)에 핸들 기판(502)이 본딩되는 레이어 전사 프로세스가 수행된다. 레이어 전사 프로세스는 또한, 희생 기판의 제거를 포함한다. 도 3b에서 도시된 바와 같이, 레이어-전사 프로세스는 희생 기판(301)의 제거를 포함한다. 본 개시내용의 이 양상에서, 용기 백사이드 소스/드레인/바디 구역들의 제작은 포스트 레이어-전사 프로세스의 일부로서 수행된다.

[0053] [0066] 다시 도 9를 참조하면, 블록(904)에서, 트랜지스터의 제1 소스/드레인/바디 구역의 백사이드가 노출된다. 예컨대, 도 6b에서 도시된 바와 같이, 포스트-레이어 전사 용기 소스/드레인/바디 형성 프로세스는 격리 레이어(520) 상의 백사이드 유전체 레이어(540)의 중착으로 시작할 수 있다. 도 6c에서 도시된 바와 같이, 능동 디바이스들(510)의 소스/드레인 구역들의 백사이드가 노출된다. 블록(906)에서, 용기 소스/드레인/바디 구역이 제작된다. 예컨대, 도 6d에서 도시된 바와 같이, 용기 소스/드레인(S/D) 구역들은 능동 디바이스(510)의 소스/드레인 구역들의 백사이드에 커플링된다. 용기 소스/드레인 구역들은 소스/드레인 구역들의 백사이드로부터 격리 레이어(520)를 지지하는 백사이드 유전체 레이어(540) 쪽으로 연장될 수 있다. 대안적으로, 다른 용기 소스/드레인/바디 구역의 형성을 가능하게 하기 위해 제2 소스/드레인/바디 구역의 백사이드가 노출될 수 있다.

[0054] [0067] 본 개시내용의 양상들에 따라, 용기 소스/드레인/바디 구역들은 비정질 중착 프로세스의 일부로서 에피택셜하게 성장하거나 또는 제작될 수 있다. 예컨대, 도 6d에서 도시된 바와 같이, 에피택셜 성장 프로세스는 능동 디바이스들(510)의 용기 소스/드레인 구역들의 노출된 백사이드 상에 백사이드 반도체 레이어를 선택적으로 성장시키는 것을 포함할 수 있다. 이 에피택셜 성장 프로세스는 또한, 용기 소스/드레인 구역들을 형성하기 위해 백사이드 반도체 레이어가 어닐 프로세스를 겪게 하는 것을 포함한다. 일단 용기 소스/드레인 구역들이 형성되면, 능동 디바이스들(510)의 용기 소스/드레인 구역들 및/또는 백사이드 유전체 레이어(540)의 표면의 에칭이 수행된다. 집적 회로 구조(500)의 프론트-사이드로부터 멀리 연장되는 백사이드 용기 소스/드레인 구역들을 제공함으로써, 종래의 용기 소스/드레인 구역들과 트랜지스터 게이트 사이의 기생 커패시턴스가 회피된다.

[0055] [0068] 본 개시내용의 양상들에 따라, 백사이드 용기 소스/드레인/바디 구역들의 형성을 위한 포스트-레이어

전사 성장/증착 프로세스가 설명된다. 포스트-레이어 전사 성장 프로세스는 예비-세정 부분, 성장 부분, 및 증착후 어닐을 수반할 수 있다. 증착후 어닐은 저온 어닐(예컨대, 350° 아래) 또는 쇼트-로컬 레이저 어닐일 수 있다. 부가하여, 백사이드 용기 소스/드레인/바디 구역은 단결정(single crystal) 구조를 가질 수 있거나 또는 단결정 구조를 갖지 않을 수 있다. 예컨대, 단결정 구조를 형성하기 위해, 백사이드 용기 소스/드레인/바디 구역은, 완전 비정질 증착(fully amorphous deposition) 후에 고체상 에피택시 어닐에 의해 형성될 수 있다. 대안적으로, 단결정질(mono crystalline) 재료가 원해지지 않을 때의 경우들에서, 백사이드 반도체 레이어를 제공하기 위해 폴리 실리콘, 실리콘 합금, 또는 다른 유사한 반도체 화합물이 증착될 수 있다.

[0056] [0069] 백사이드 반도체 레이어를 형성하기 위해 에피택셜 성장 프로세스가 사용될 때, 트리실란(trisilane)을 사용하여 저온 에피택셜 성장이 수행될 수 있다. 트리실란은, H(hydrogen) 탈착을 향상시키기 위한 특정 성장 메커니즘에 기인하여 350°C 아래의 더 낮은 온도들에서 백사이드 반도체 레이어(예컨대, 실리콘)의 성장을 허용할 수 있다. 그에 반해서, 사용되는 캐리어 가스, 압력 및 전구체 흐름에 관계없이, 500°C보다 더 낮은 온도들에서 성장된 종래의 반도체 레이어들은 결함이 있다. 부가하여, 에피택셜하게 성장된 백사이드 반도체 레이어의 두께는, 레이어가 성장되는 웨이퍼의 표면보다 더 두껍거나 또는 더 얕을 수 있다.

[0057] [0070] 도 9의 블록(908)에서, 백사이드 금속배선이 용기 소스/드레인 구역들에 커플링되도록 제작된다. 도 6e에서 도시된 바와 같이, 백사이드 용기 소스/드레인 구역들(530) 상에 백사이드 콘택(532)이 증착된다. 부가하여, 백사이드 콘택(532) 및 제1 백사이드 유전체 레이어(540-1) 상에 제2 백사이드 유전체 레이어(540-2)가 증착된다. 일단 증착되면, 제2 백사이드 유전체 레이어(540-2)는 백사이드 콘택(532)에 따라 패터닝된다. 다음 차례로, 백사이드 콘택(532)의 일부분을 노출시키기 위해 제2 백사이드 유전체 레이어(540-2)는 에칭된다(예컨대, 건식 플라즈마 에칭 및 세정 프로세스). 그런 다음, 능동 디바이스들(510)의 소스/드레인 구역들에 콘택하도록 백사이드 콘택(532)의 노출된 부분 상에 백사이드 금속배선(550)이 증착된다.

[0058] [0071] 본 개시내용의 추가적인 양상에 따라, 격리 레이어에 의해 지지되는 프론트-사이드 반도체 레이어 상의 트랜지스터를 포함하는 집적 회로 구조가 설명된다. 트랜지스터는 제1 소스/드레인/바디 구역을 포함한다. 집적 회로 구조는 또한, 격리 레이어로부터 격리 레이어를 지지하는 백사이드 유전체 레이어 쪽으로 트랜지스터의 제1 소스/드레인/바디 구역의 백사이드를 연장시키기 위한 수단을 포함할 수 있다. 집적 회로 구조는, 연장 수단을 통해 제1 소스/드레인/바디 구역의 백사이드에 커플링된 백사이드 금속배선을 더 포함할 수 있다. 연장 수단은 도 5a 및 도 5b에서 도시된 용기 소스/드레인 구역일 수 있다. 연장 수단은 또한, 도 7d 및 도 7e에서 도시된 용기 바디 구역일 수 있다. 다른 양상에서, 전술된 수단은, 전술된 수단에 의해 인용된 기능들을 수행하도록 구성된 임의의 모듈 또는 임의의 장치일 수 있다.

[0059] [0072] 유감스럽게도, SOI(silicon on insulator) 기술을 사용한 트랜지스터들의 성공적인 제작은 용기 소스/드레인 구역들의 사용을 수반할 수 있다. 종래에, 용기 소스/드레인은, 용기 소스/드레인 구역과 후속하는 금속배선 레이어들 사이의 콘택을 가능하게 한다. 부가하여, 용기 소스/드레인 구역은, 캐리어들이 이동하도록 하는 채널을 제공한다. 유감스럽게도, 용기 소스/드레인 구역들을 갖는 종래의 트랜지스터들은 일반적으로, 용기 소스/드레인 구역 문제를 겪는다. 부가하여, 종래의 CMOS 기술은 능동 디바이스들의 프론트-사이드 상에서의 에피택셜 성장으로 계한된다. 그 결과, 본 개시내용의 양상들은, 용기 소스/드레인 구역 문제를 제거하기 위해 백사이드 반도체 증착/성장을 가능하게 하는 포스트-레이어 전사 프로세스를 포함한다.

[0060] [0073] 본 개시내용의 양상들은, 고품질(Q)-팩터 RF 애플리케이션들을 위한 집적 RF(radio frequency) 회로 구조들에서 안테나 스위치 트랜지스터들로서 사용될 수 있는, 백사이드 용기 소스/드레인/바디 구역들을 갖는 트랜지스터들을 포함하는 집적 회로 구조들을 설명한다. 일 구성에서, 트랜지스터의 백사이드 용기 소스/드레인/바디 구역들을 형성하기 위해 포스트 레이어-전사 금속배선이 사용된다. 포스트-레이어 전사 프로세스는 트랜지스터의 소스/드레인 구역들의 백사이드 상에 백사이드 반도체 레이어를 형성할 수 있다. 백사이드 반도체 레이어는 격리 레이어의 제1 표면으로부터 제2 표면으로 연장될 수 있는데, 여기서, 격리 레이어의 제1 표면은 트랜지스터를 지지한다.

[0061] [0074] 이 구성에서, 포스트-레이어 전사 프로세스는, 트랜지스터의 소스/드레인 구역들의 백사이드 상에 백사이드 반도체 레이어들을 형성하기 위한 포스트-레이어 성장 프로세스 또는 포스트-레이어 증착 프로세스를 포함할 수 있다. 트랜지스터의 백사이드 용기 소스/드레인 구역들을 형성하기 위해, 후속하는 어닐 프로세스가 반도체 레이어들에 적용된다. 이 구성에서, 트랜지스터의 백사이드 용기 소스/드레인 구역들은, 종래의 CMOS 프로세스들을 사용하여 제작된 프론트-사이드 용기 소스/드레인 구역들과 연관된 기생 커페시턴스를 감소시킬 수 있다. 즉, 트랜지스터의 백사이드로의 소스/드레인 구역들의 연장은, 종래의 프론트-사이드 용기 소스/드레인

구역들과 트랜지스터의 바디 사이의 기생 커패시턴스의 형성을 방지하는 것을 돋는다.

[0062]

[0075] 도 10은 본 개시내용의 양상이 유리하게 사용될 수 있는 예시적인 무선 통신 시스템(1000)을 도시하는 블록 다이어그램이다. 예시의 목적들을 위해, 도 10은 3개의 원격 유닛들(1020, 1030, 및 1050) 그리고 2개의 기지국들(1040)을 도시한다. 무선 통신 시스템들이 더욱 많은 원격 유닛들 및 기지국들을 가질 수 있다는 것이 인식될 것이다. 원격 유닛들(1020, 1030, 및 1050)은, 개시된 백사이드 반도체 성장을 포함하는 IC 디바이스들(1025A, 1025C, 및 1025B)을 포함한다. 다른 디바이스들이 또한, 기지국들, 스위칭 디바이스들, 및 네트워크 장비와 같은 개시된 백사이드 반도체 성장을 포함할 수 있다는 것이 인식될 것이다. 도 10은 기지국(1040)으로부터 원격 유닛들(1020, 1030, 및 1050)로의 순방향 링크 신호들(1080) 및 원격 유닛들(1020, 1030, 및 1050)로부터 기지국들(1040)로의 역방향 링크 신호들(1090)을 도시한다.

[0063]

[0076] 도 10에서, 원격 유닛(1020)은 모바일 전화로서 도시되고, 원격 유닛(1030)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(1050)은 무선 로컬 루프 시스템의 고정 위치 원격 유닛으로서 도시된다. 예컨대, 원격 유닛들은, 모바일 폰, 핸드-헬드 PCS(personal communication systems) 유닛, PDA(personal digital assistant)와 같은 휴대용 데이터 유닛, GPS 가능 디바이스, 내비게이션 디바이스, 셋톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 계량 판독 장비와 같은 고정 위치 데이터 유닛, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 또는 리트리빙하는 다른 통신 디바이스, 또는 이들의 결합들일 수 있다. 도 10이 본 개시내용의 양상들에 따른 원격 유닛들을 예시하지만, 본 개시내용은 이들 예시적인 예시된 유닛들로 제한되지 않는다. 본 개시내용의 양상들은, 개시된 RF 디바이스들을 포함하는 많은 디바이스들에서 적절하게 사용될 수 있다.

[0064]

[0077] 도 11은 반도체 컴포넌트, 이를테면 위에서 개시된 RF 디바이스들의 회로, 레이아웃, 및 로직 설계를 위해 사용되는 설계 워크스테이션을 예시하는 블록 다이어그램이다. 설계 워크스테이션(1100)은 운영체제 소프트웨어, 지원 파일들, 및 설계 소프트웨어, 이를테면 Cadence 또는 OrCAD를 포함하는 하드 디스크(1101)를 포함한다. 설계 워크스테이션(1100)은 또한, 반도체 컴포넌트(1112), 이를테면 RF 디바이스 또는 회로(1110)의 설계를 용이하게 하기 위해 디스플레이(1102)를 포함한다. 회로 설계(1110) 또는 반도체 컴포넌트(1112)를 유형으로 저장하기 위한 저장 매체(1104)가 제공된다. 회로 설계(1110) 또는 반도체 컴포넌트(1112)는 GDSII 또는 GERBER과 같은 파일 포맷으로 저장 매체(1104) 상에 저장될 수 있다. 저장 매체(1104)는 CD-ROM, DVD, 하드 디스크, 플래시 메모리, 또는 다른 적절한 디바이스일 수 있다. 또한, 설계 워크스테이션(1100)은, 저장 매체(1104)로부터 입력을 수용하거나 또는 저장 매체(1104)에 출력을 기록하기 위한 드라이브 장치(1103)를 포함한다.

[0065]

[0078] 저장 매체(1104) 상에 레코딩되는 데이터는 로직 회로 구성들, 포토리소그래피 마스크들에 대한 패턴 데이터, 또는 전자 빔 리소그래피와 같은 직렬 기록 툴들에 대한 마스크 패턴 데이터를 특정할 수 있다. 데이터는, 로직 시뮬레이션들과 연관된 넷(net) 회로들 또는 타이밍 다이어그램들과 같은 로직 검증 데이터를 더 포함할 수 있다. 저장 매체(1104) 상에 데이터를 제공하는 것은, 반도체 웨이퍼들을 설계하기 위한 프로세스들의 수를 감소시킴으로써 회로 설계(1110) 또는 반도체 컴포넌트(1112)의 설계를 용이하게 한다.

[0066]

[0079] 펌웨어 및/또는 소프트웨어 구현의 경우, 방법론들은, 본원에서 설명된 기능들을 수행하는 모듈들(예컨대, 프로시저들, 함수들 등)을 이용하여 구현될 수 있다. 본원에서 설명된 방법론들을 구현할 때, 명령들을 유형으로 구현하는 머신-판독가능 매체가 사용될 수 있다. 예컨대, 소프트웨어 코드들은 메모리에 저장되며, 프로세서 유닛에 의해 실행될 수 있다. 메모리는, 프로세서 유닛 내부 또는 프로세서 유닛 외부에 구현될 수 있다. 본원에서 사용된 바와 같이, "메모리"란 용어는 장기, 단기, 휴발성, 비휘발성, 또는 다른 메모리의 타입들을 지칭하며, 특정 타입의 메모리 또는 메모리들의 수, 또는 메모리가 저장되는 매체의 타입으로 제한되지 않아야 한다.

[0067]

[0080] 펌웨어 및/또는 소프트웨어로 구현되면, 기능들은 컴퓨터-판독가능 매체 상의 하나 또는 그 초과의 명령들 또는 코드로서 저장될 수 있다. 예들은, 데이터 구조로 인코딩된 컴퓨터-판독가능 매체, 및 컴퓨터 프로그램으로 인코딩된 컴퓨터-판독가능 매체를 포함한다. 컴퓨터-판독가능 매체는 물리적 컴퓨터 저장 매체를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 이용가능한 매체일 수 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하기 위해 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 다른 매체를 포함할 수 있으며; 본원에서 사용된 바와 같이, 디스크(disk) 및 디스크(disc)는, 컴팩트 디스크(CD; compact disc), 레이저 디스크(disc), 광학 디스크(disc), 디지털 다기능 디스크(DVD; digital versatile disc), 플로피 디스크(disk) 및 블루-레이 디스크

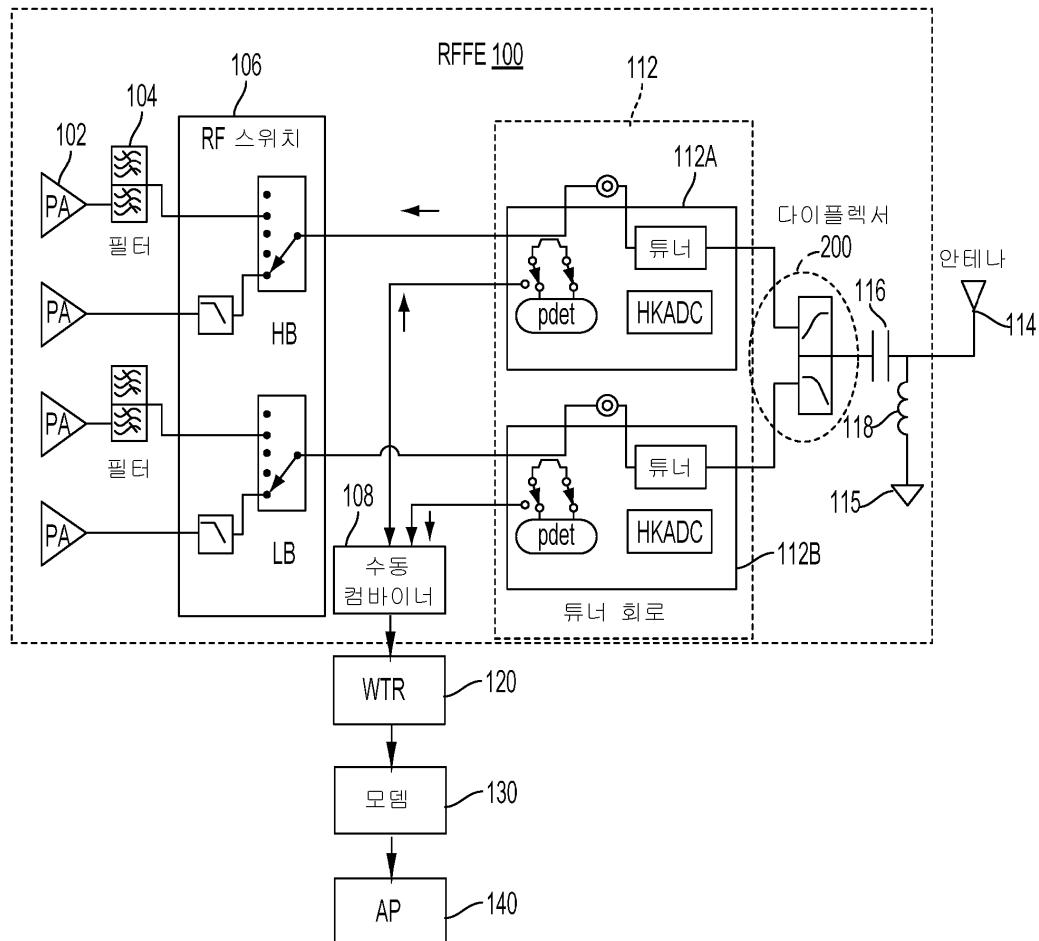
(disc)를 포함하는데, 여기서, 디스크(disk)들은 대개 자기적으로 데이터를 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 이들의 결합들이 또한, 컴퓨터-판독가능 매체의 범위 내에 포함되어야 한다.

[0068] [0081] 컴퓨터 판독가능 매체 상의 저장에 부가하여, 명령들 및/또는 데이터는 통신 장치에 포함된 송신 매체 상의 신호들로서 제공될 수 있다. 예컨대, 통신 장치는, 명령들 및 데이터를 표시하는 신호들을 갖는 트랜시버를 포함할 수 있다. 명령들 및 데이터는, 하나 또는 그 초과의 프로세서들로 하여금, 청구항들에서 개설된 기능들을 구현하게 하도록 구성된다.

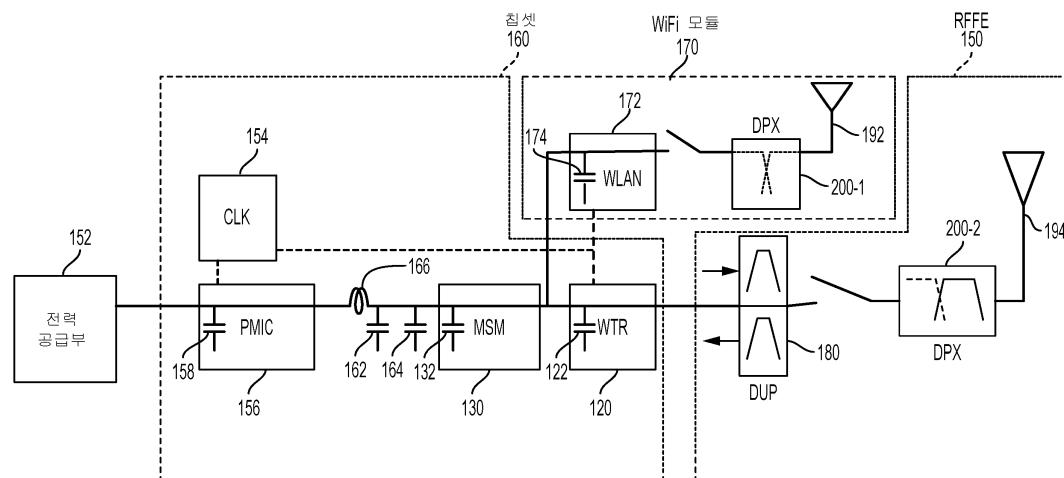
[0069] [0082] 본 개시내용 및 본 개시내용의 장점들이 상세히 설명되었지만, 첨부된 청구항들에 의해 정의된 본 개시 내용의 기술을 벗어나지 않으면서, 다양한 변화들, 치환들 및 변경들이 본원에서 이루어질 수 있다는 것이 이해되어야 한다. 예컨대, "위" 및 "아래"와 같은 관계 용어들이 기판 또는 전자 디바이스에 대해 사용된다. 물론, 기판 또는 전자 디바이스가 반전되면, 위는 아래가 되고, 그 반대로도 마찬가지이다. 부가적으로, 옆으로 배향되면, 위와 아래는 기판 또는 전자 디바이스의 사이드들을 지칭할 수 있다. 게다가, 본 출원의 범위는, 본 명세서에서 설명된 프로세스, 머신, 제조(manufacture), 그리고 물질의 조성, 수단, 방법들 및 단계들의 특정 구성들로 제한되는 것으로 의도되지 않는다. 당업자가 본 개시내용으로부터 용이하게 인식할 바와 같이, 본원에서 설명된 대응하는 구성들과 실질적으로 동일한 기능을 수행하거나 또는 실질적으로 동일한 결과를 달성하는, 현재 존재하거나 또는 추후에 개발될 프로세스들, 머신들, 제조, 물질의 조성들, 수단, 방법들, 또는 단계들은 본 개시내용에 따라 활용될 수 있다. 그에 따라서, 첨부된 청구항들은 그러한 프로세스들, 머신들, 제조, 물질의 조성들, 수단, 방법들, 또는 단계들을 이러한 청구항들의 범위 내에 포함하는 것으로 의도된다.

## 도면

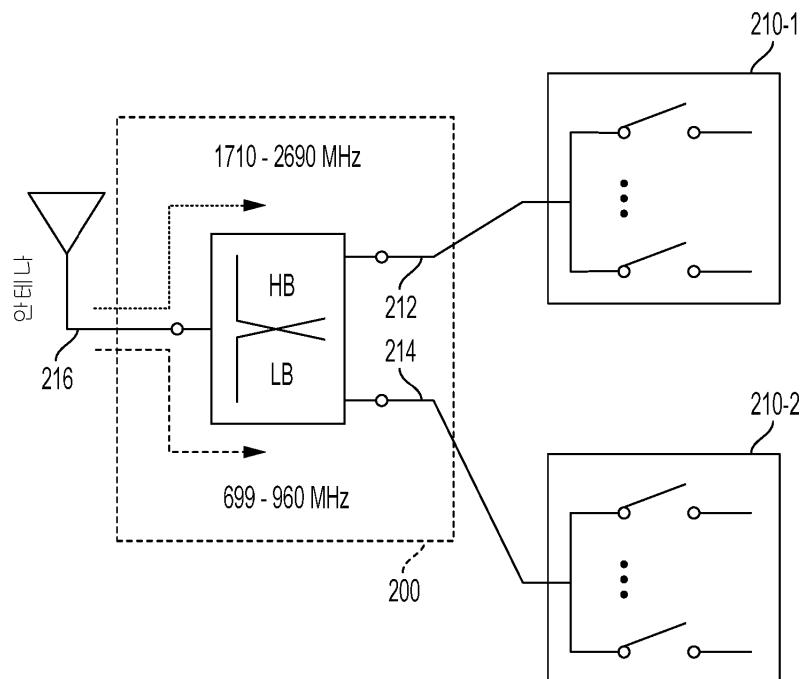
### 도면 1a



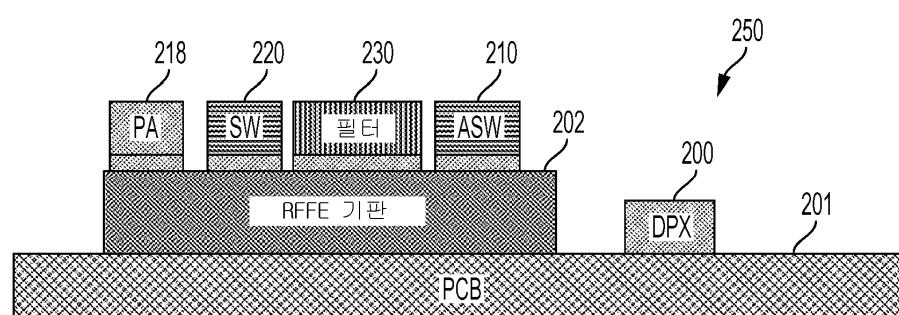
## 도면1b



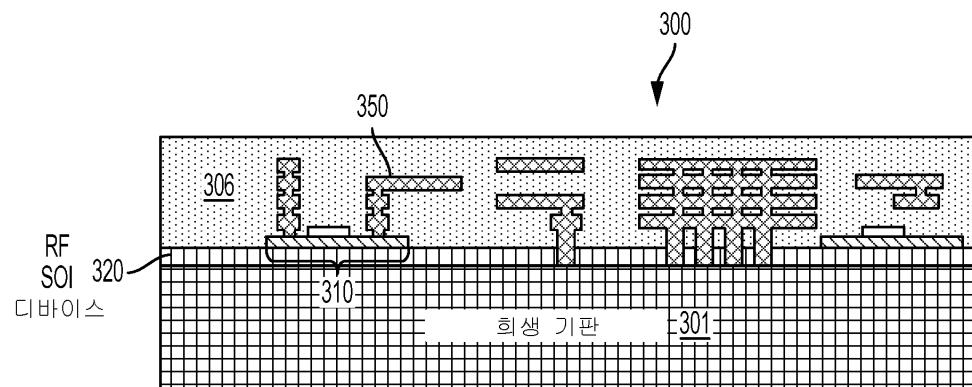
## 도면2a



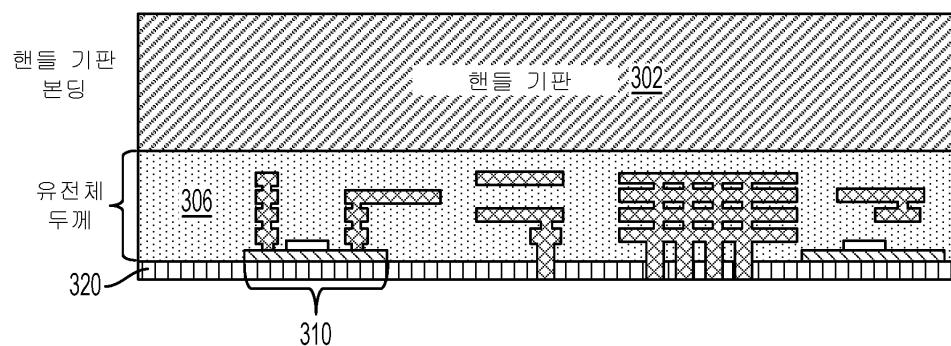
## 도면2b



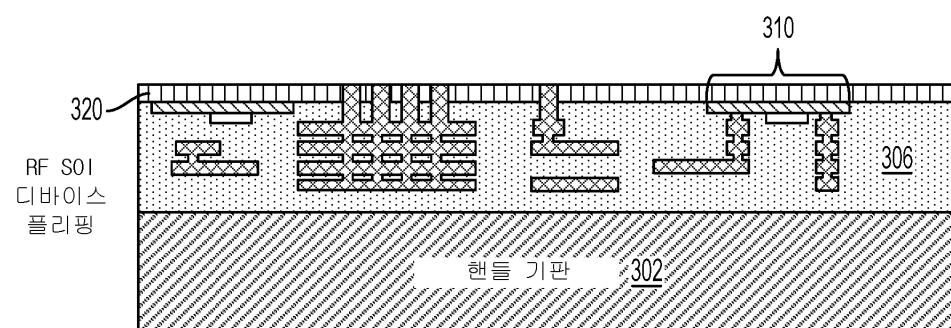
도면3a



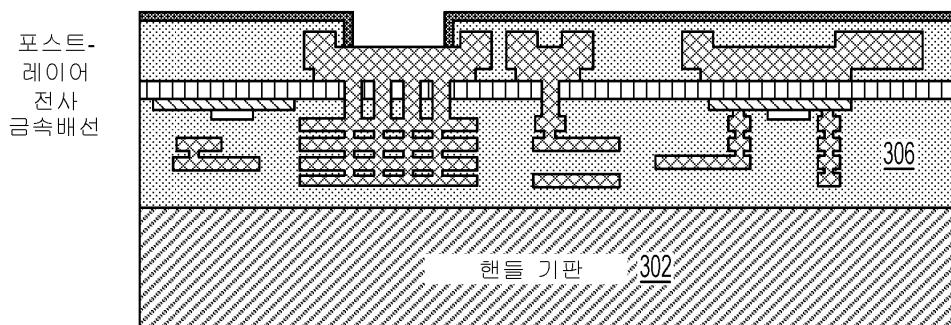
도면3b



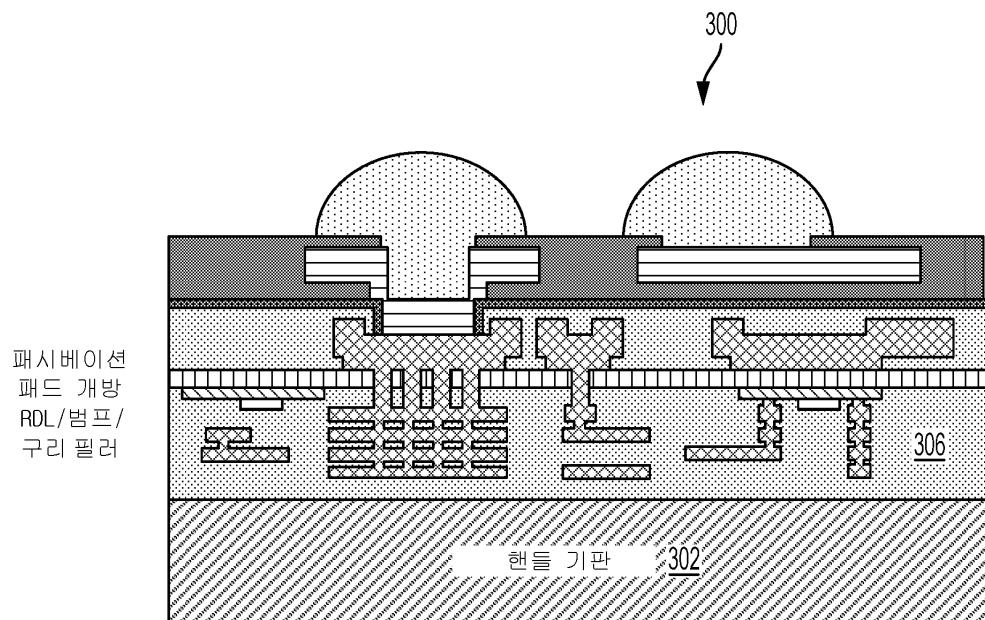
도면3c



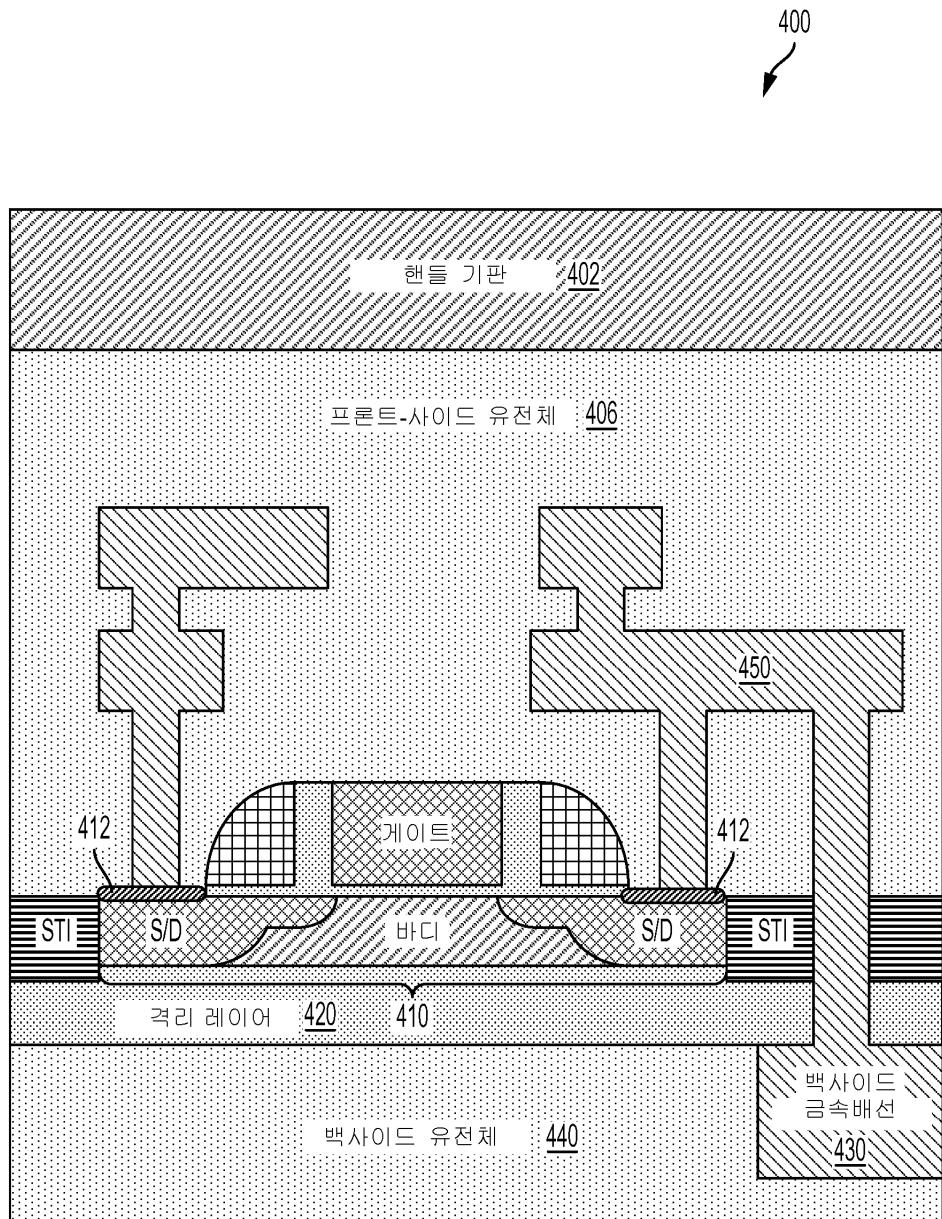
도면3d



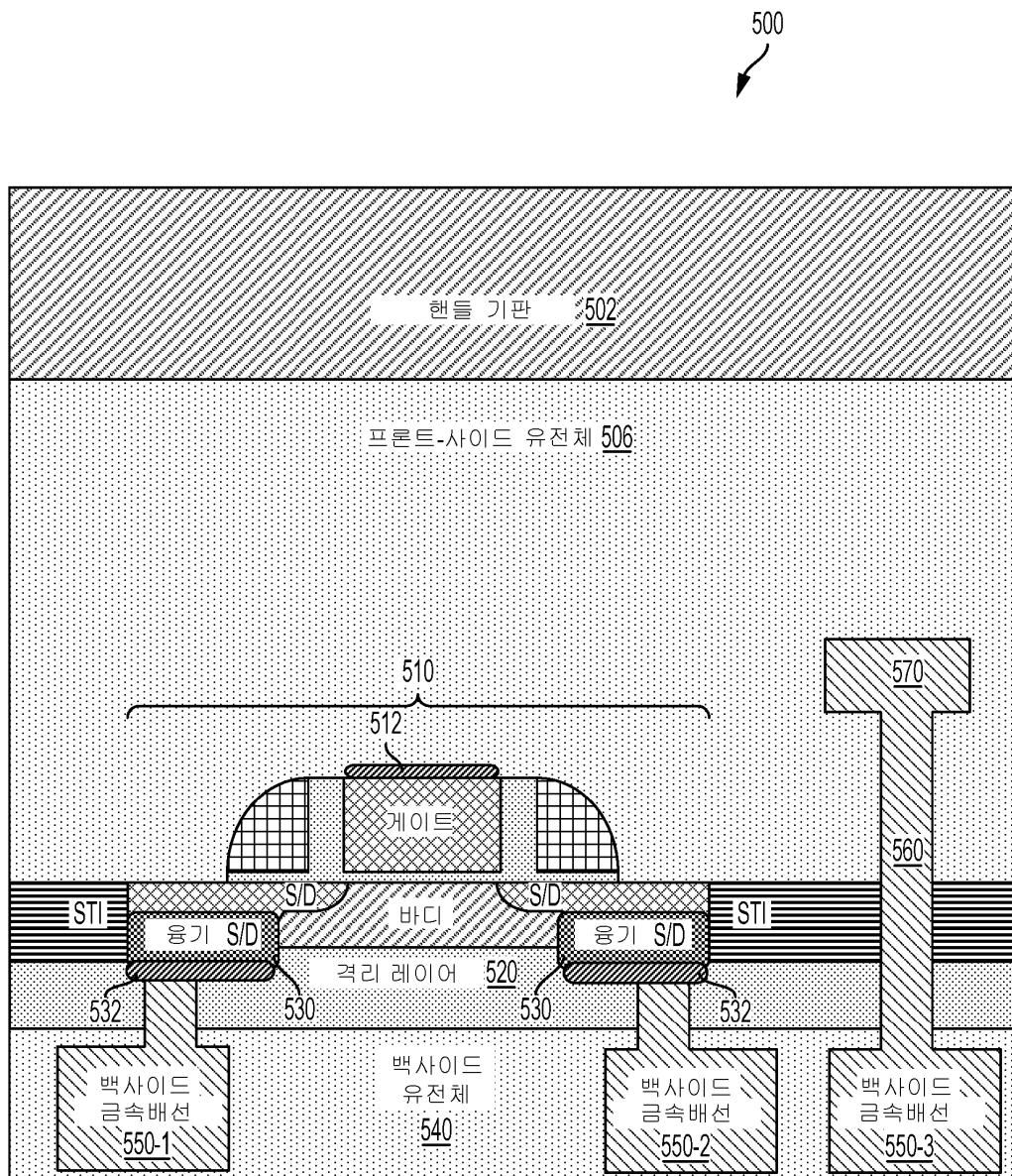
도면3e



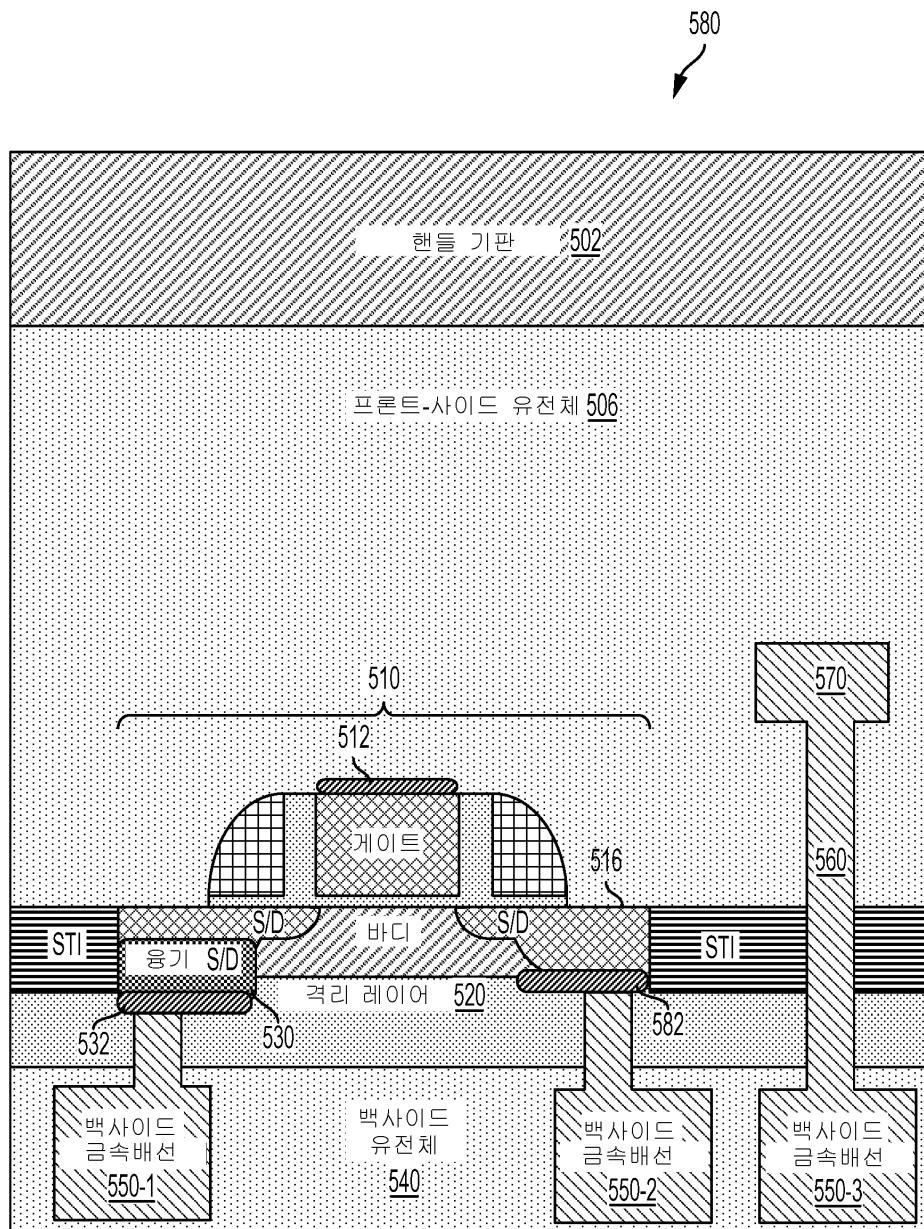
## 도면4



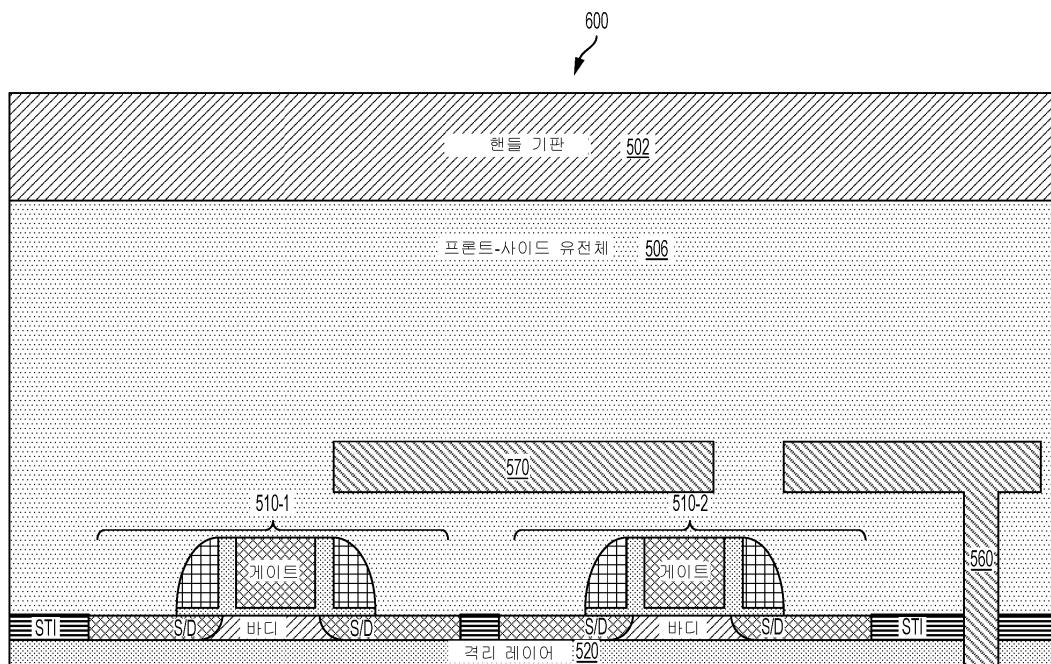
도면5a



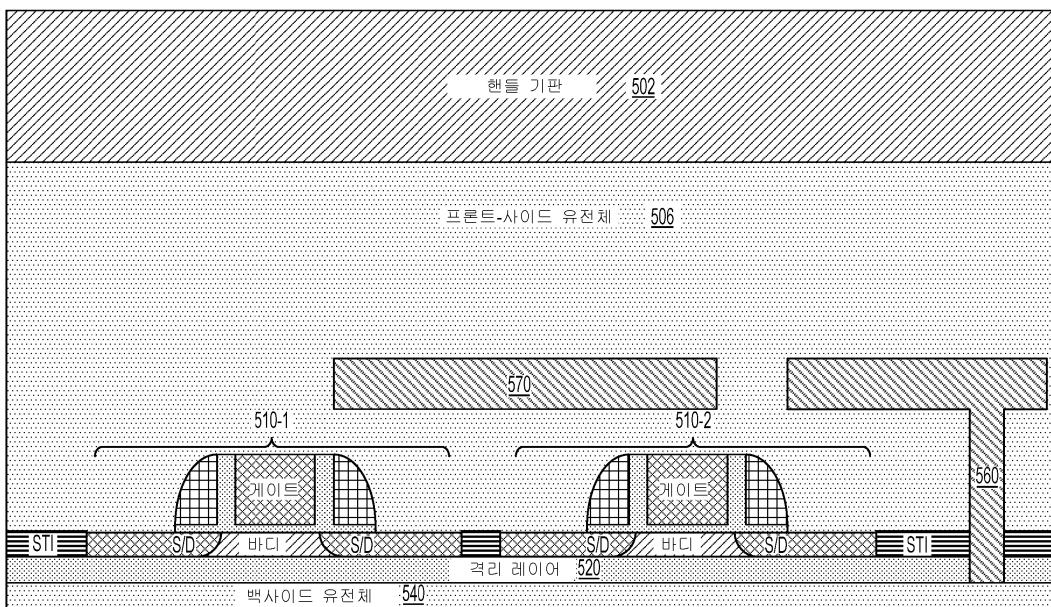
도면5b



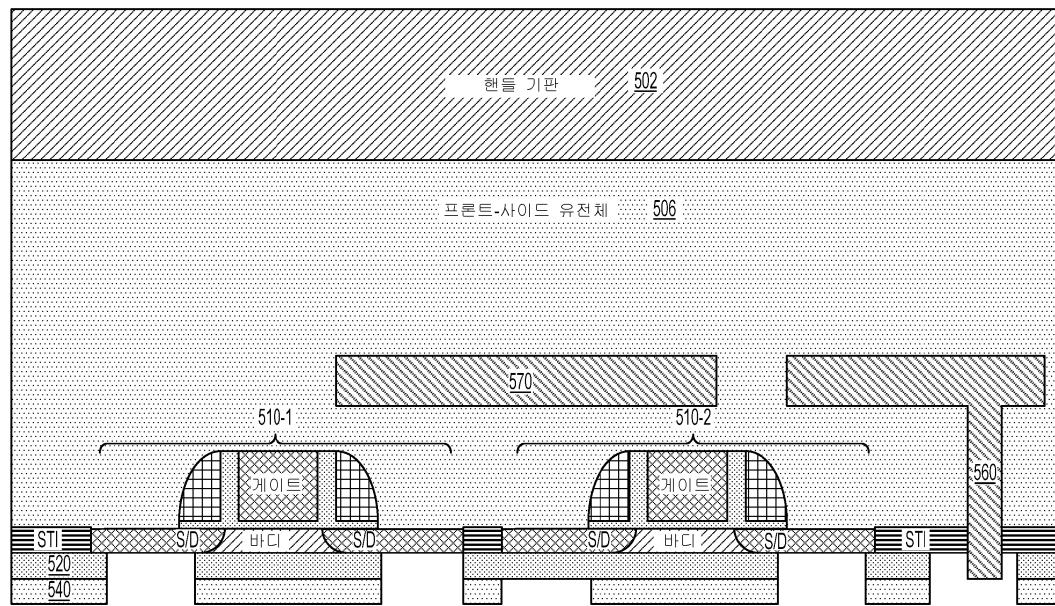
도면6a



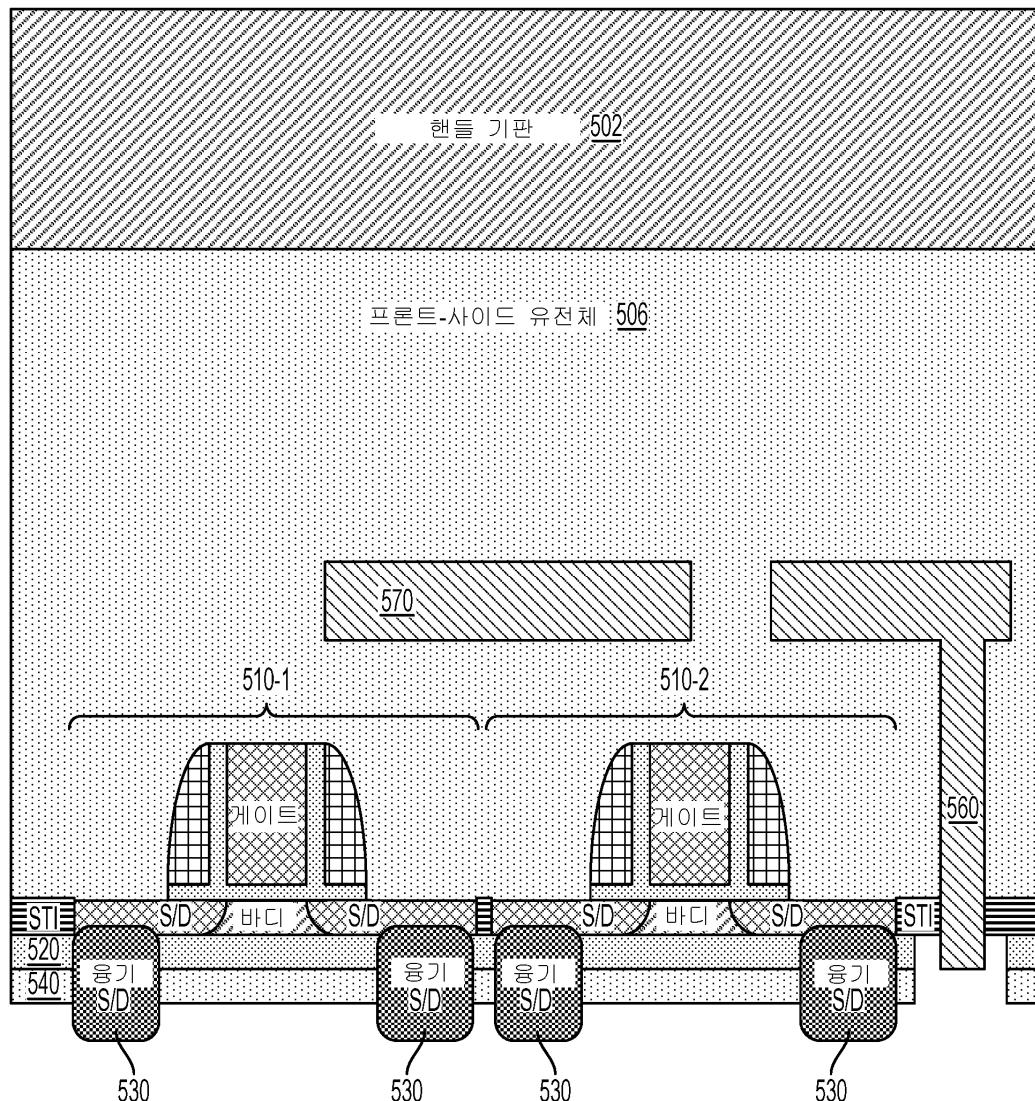
도면6b



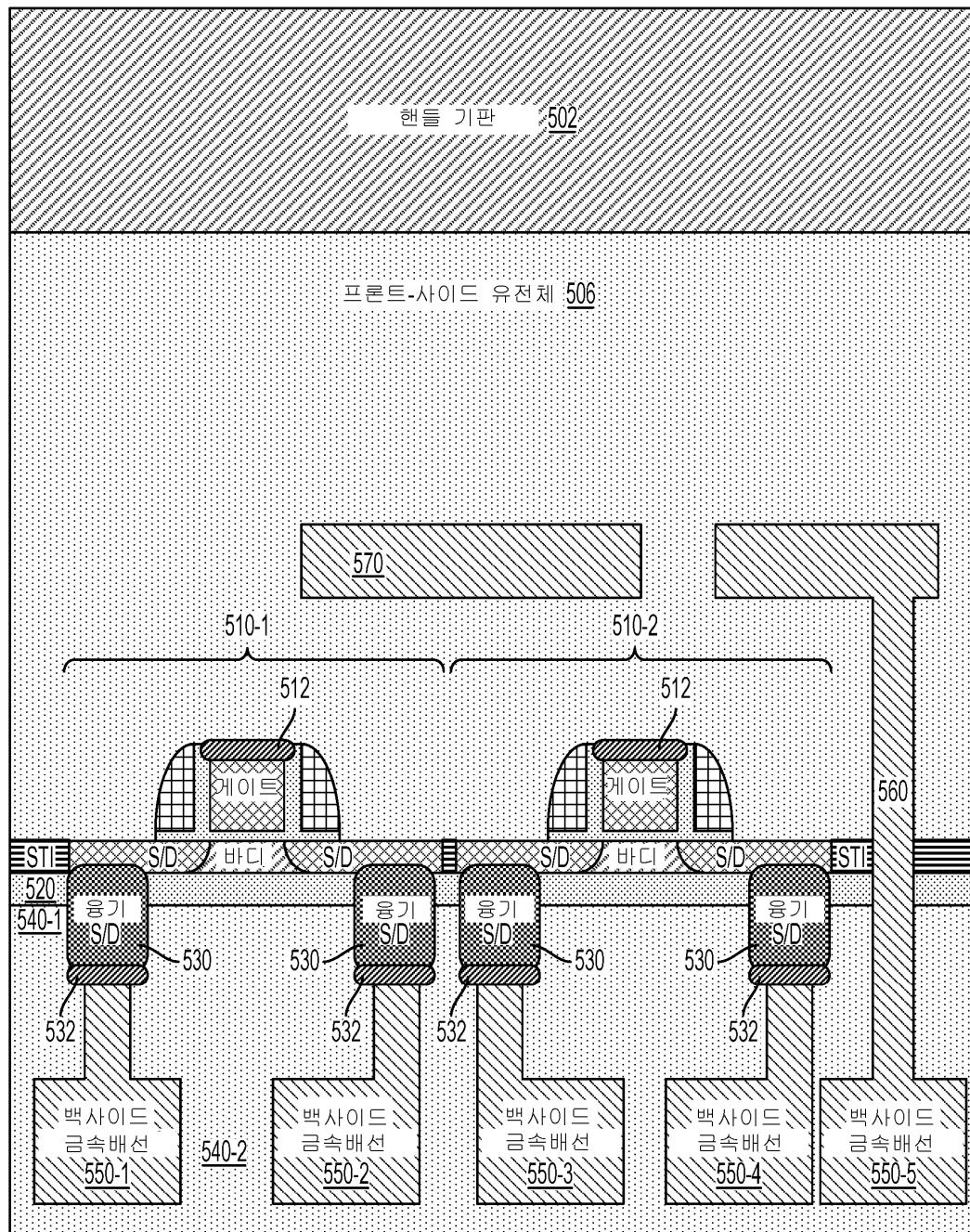
도면6c



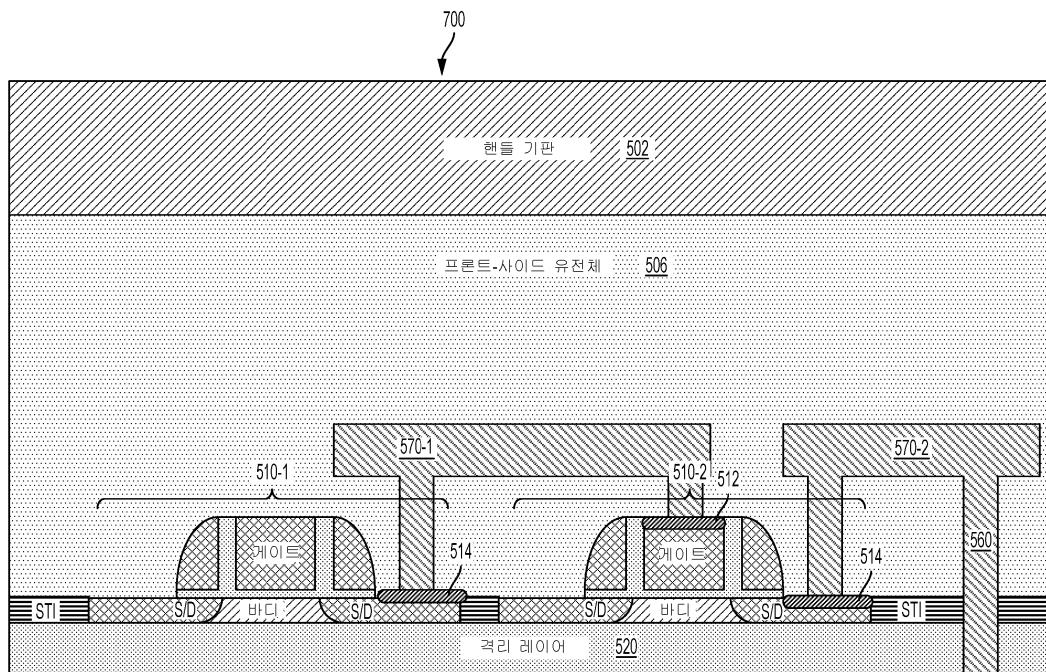
## 도면 6d



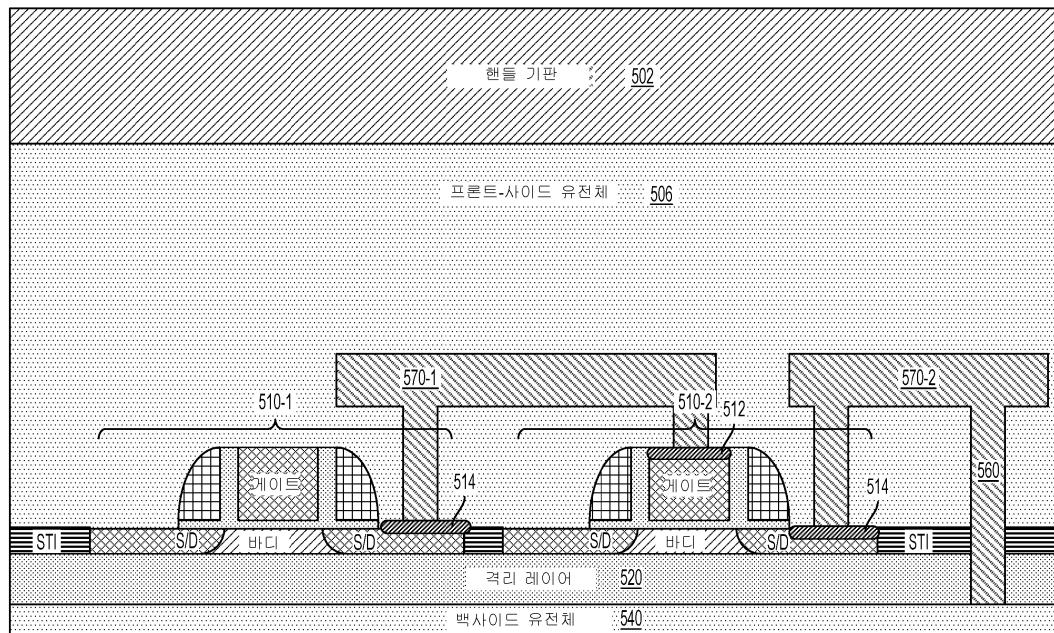
## 도면6e



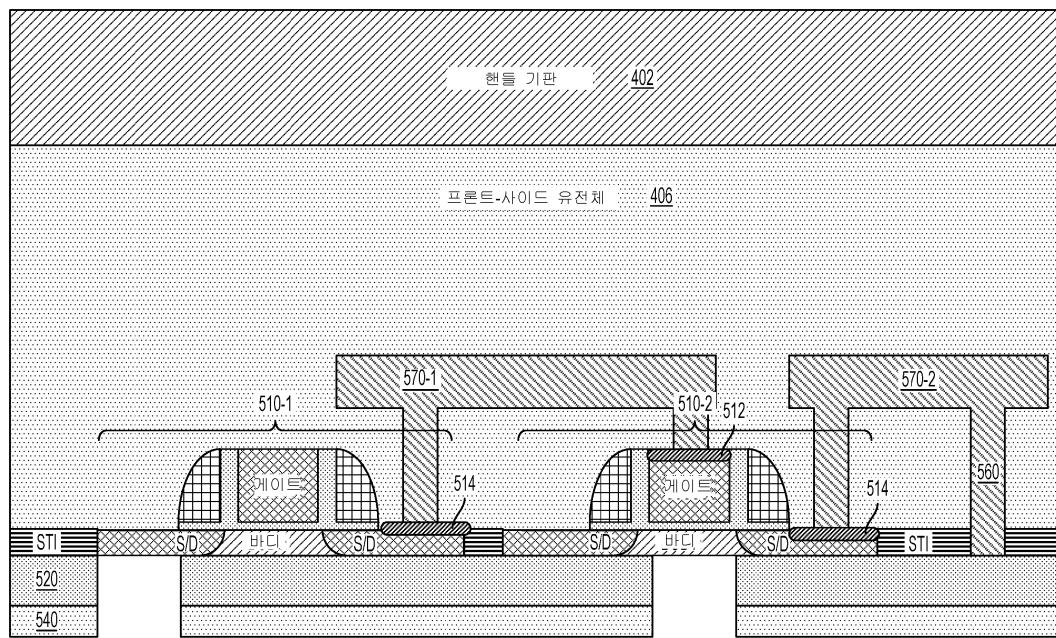
도면7a



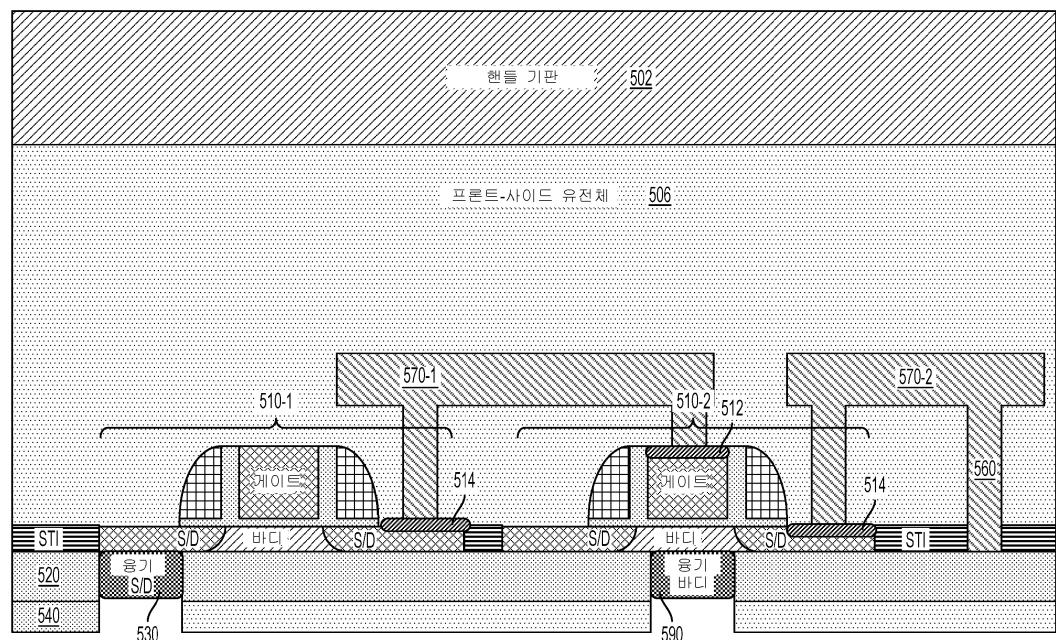
도면7b



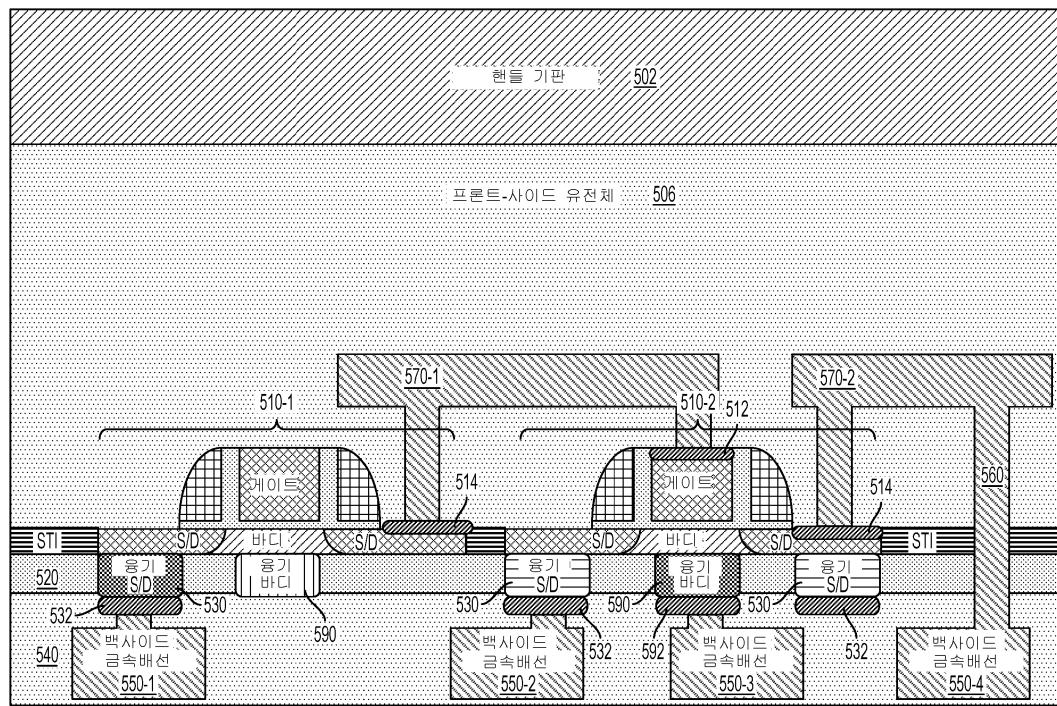
도면7c



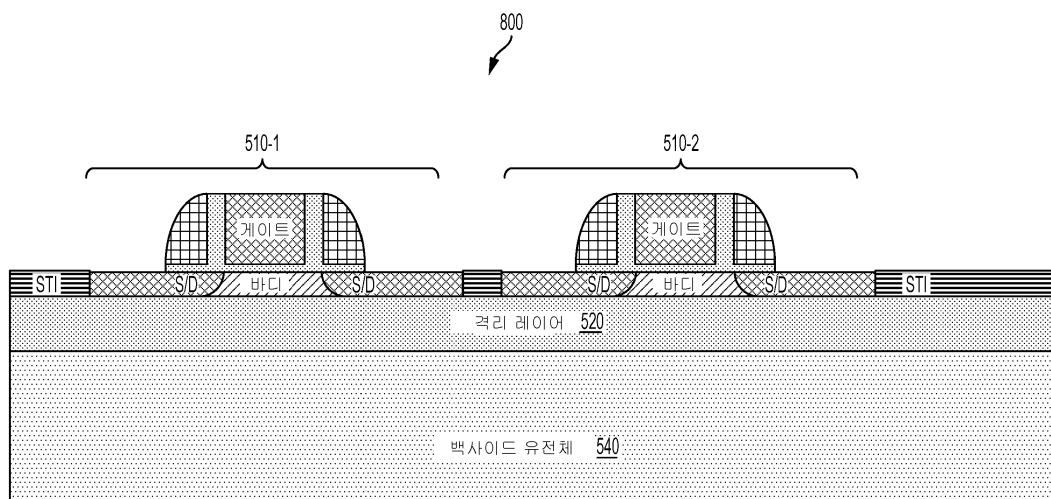
도면7d



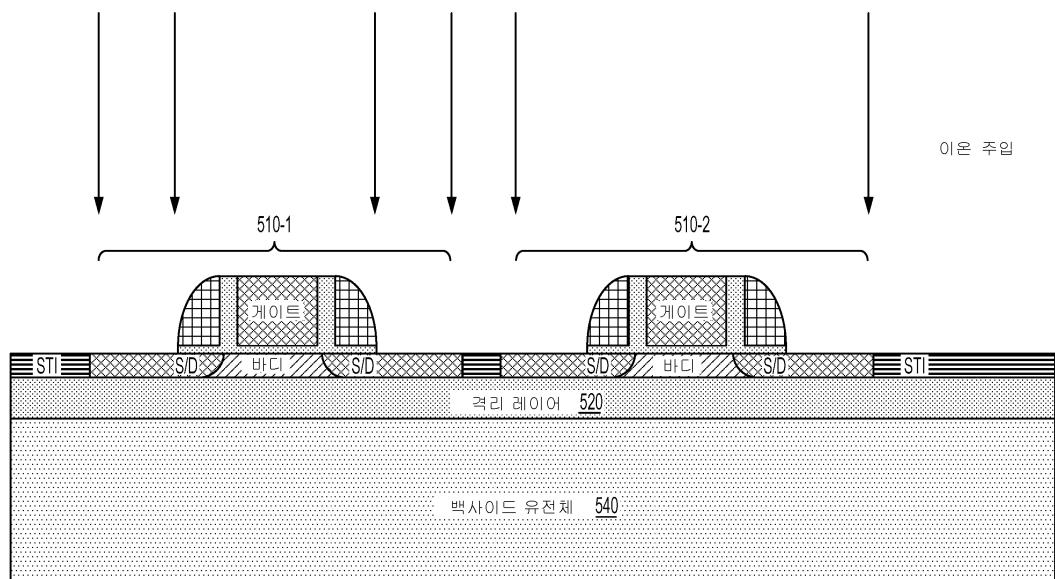
도면7e



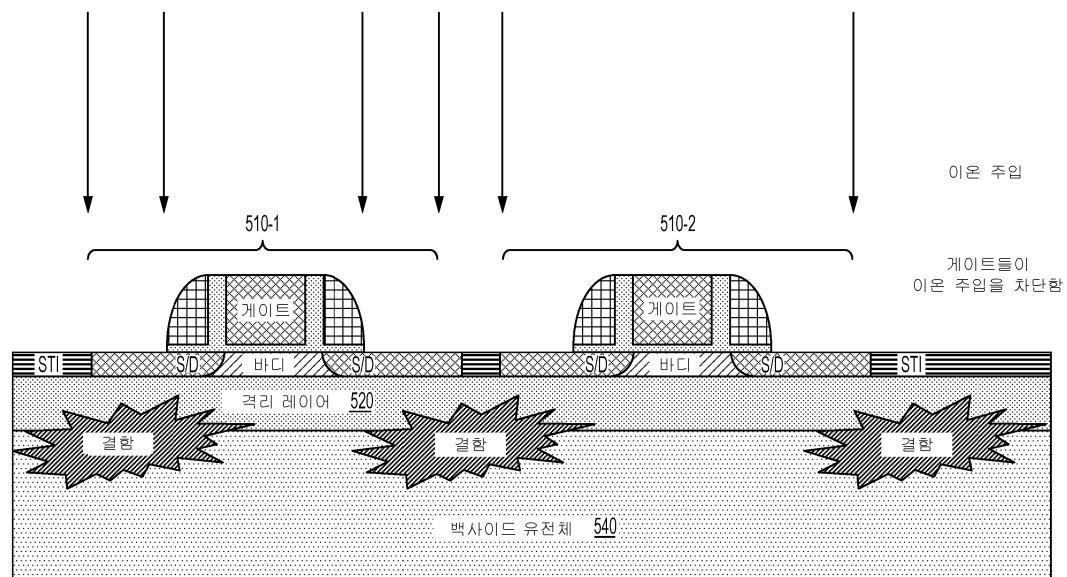
도면8a



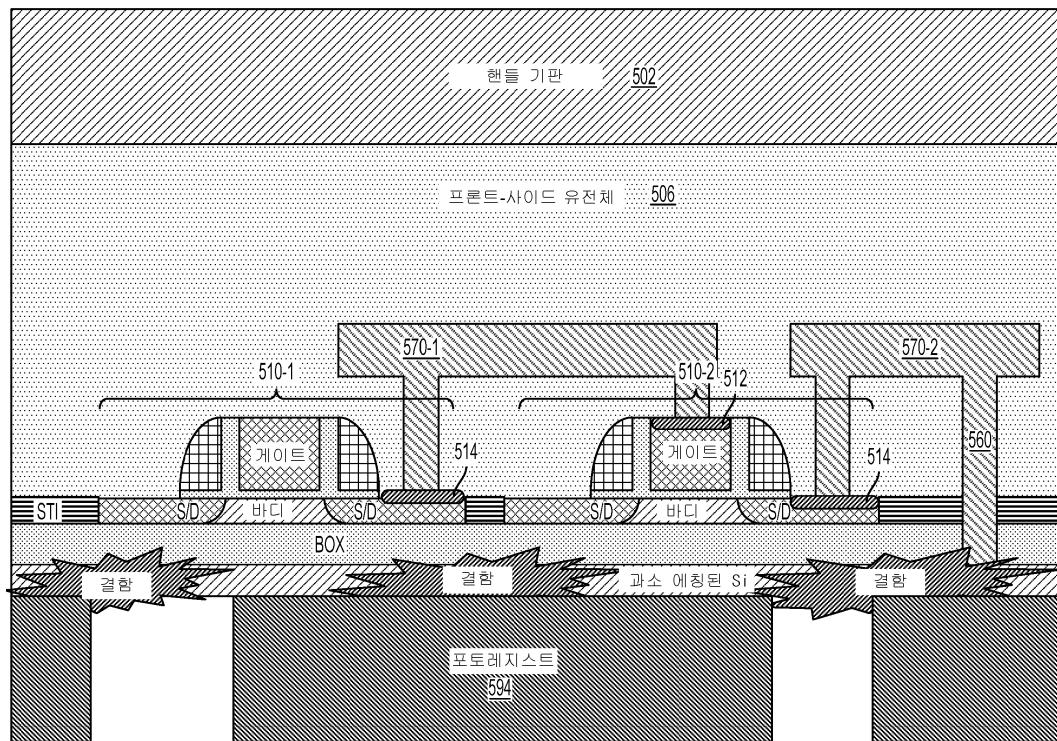
도면8b



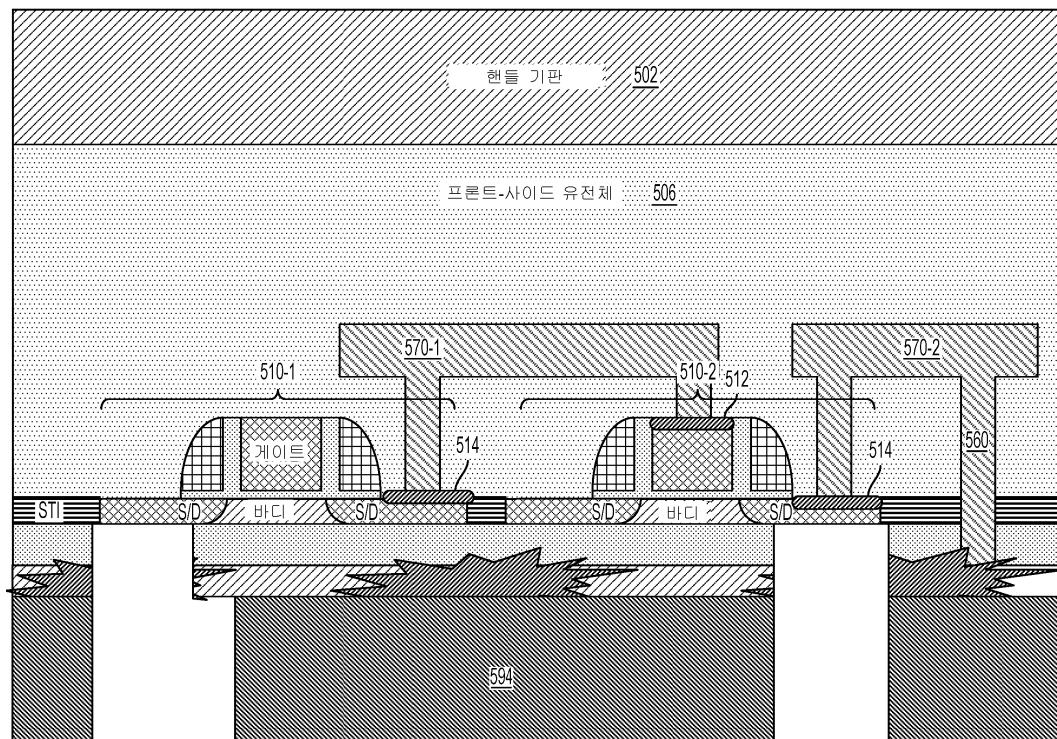
도면8c



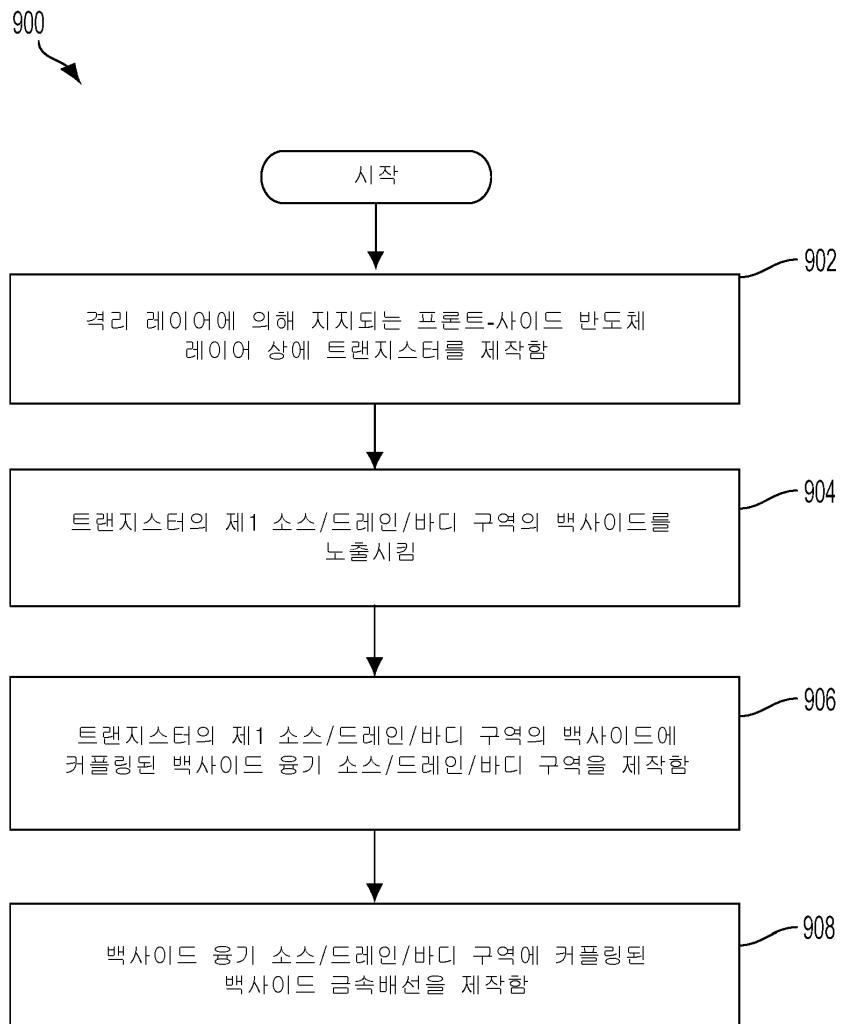
도면8d



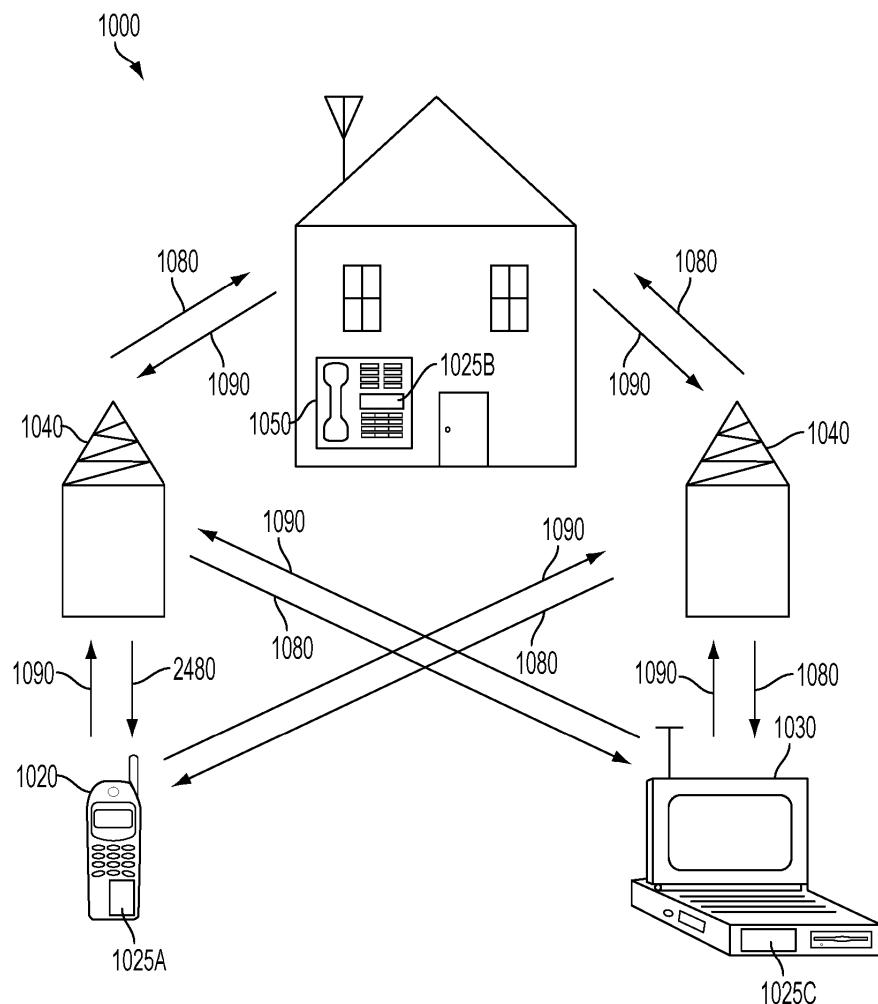
도면8e



## 도면9



도면10



도면11

