

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/116593 A1

PCT

(43) 国際公開日

2010 年 10 月 14 日(14.10.2010)

- (51) 国際特許分類:
H03M 1/10 (2006.01) H03M 1/50 (2006.01)
- (21) 国際出願番号: PCT/JP2010/001251
- (22) 国際出願日: 2010 年 2 月 24 日(24.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-083483 2009 年 3 月 30 日(30.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 Tokyo (JP). 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加藤 秀一 (KATO, Shuichi) [JP/JP]; 〒1510072 東京都渋谷区

幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内 Tokyo (JP).

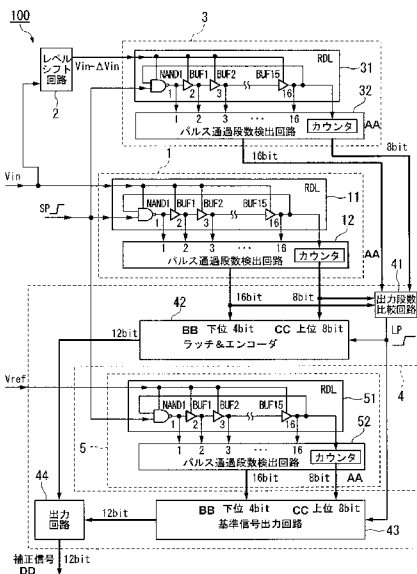
- (74) 代理人: 棚井 澄雄, 外 (TANAI, Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: CORRECTION SIGNAL GENERATOR AND ANALOG-TO-DIGITAL CONVERTER

(54) 発明の名称: 補正信号生成装置および A/D 変換装置

[図 1]



- 2 Level Shift Circuit
12,32,52 Pulse Transit Stage Count Detection Circuit
41 Output Stage Count Comparison Circuit
42 Latch and Encoder
43 Reference Signal Output Circuit
44 Output Circuit
AA Counter
BB Low-order
CC High-order
DD Correction Signal

(57) Abstract: A correction signal generator generates a correction signal for correcting a digital signal obtained from an analog input voltage. The correction signal generator has a correction signal output circuit which holds the number of transit stages of delay units detected by a first stage count detection circuit and a third stage count detection circuit at the timing corresponding to the difference in the number of stages between the number of transit stages of delay units detected by the first stage count detection circuit and the number of transit stages of delay units detected by a second stage count detection circuit, and outputs the difference between the number of stages from the first stage count detection circuit and the number of stages from the third stage count detection circuit, which were held, as the correction signal.

(57) 要約: 補正信号生成装置は、アナログ入力電圧から得られるデジタル信号を補正するための補正信号を生成する。補正信号生成装置は、第 1 の段数検出回路が検出した遅延ユニットの通過段数と第 2 の段数検出回路が検出した遅延ユニットの通過段数との段数差に応じたタイミングで、前記第 1 の段数検出回路と第 3 の段数検出回路が検出した遅延ユニットの通過段数を保持し、保持された前記第 1 の段数検出回路の段数と前記第 3 の段数検出回路の段数の差を補正信号として出力する補正信号出力回路を有する。

WO 2010/116593 A1



(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 補正信号生成装置およびA／D変換装置

技術分野

[0001] 本発明は、A／D変換装置の直線性を補正するための補正信号を出力する補正信号生成装置、および該補正信号を用いて直線性を補正するA／D変換装置に関する。

本願は、2009年3月30日に日本国に出願された特願2009-083483号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来、簡単な構成で高分解能のデジタル値が得られるA／D変換装置として、図9に示す構成のものが知られている（特許文献1参照）。

図9のA／D変換装置300において、パルス遅延回路81は、それぞれが各種ゲート回路からなる複数の遅延ユニット（NAND1, BUF1, ・ ・ ・, BUF15）をリング状に接続した構成を有し、この各遅延ユニットの電源電圧として、A／D変換の対象となるアナログ入力信号（電圧） V_{in} が供給される。

このパルス遅延回路81に周回パルスSPを入力すると、周回パルスSPは各遅延ユニットを上記電源電圧に応じた遅延時間を持って順次通過し、パルス遅延回路81内を周回する。

周回パルスSPが通過した遅延ユニットの段数は、遅延ユニットの遅延時間、すなわち、電源電圧として供給されたアナログ入力信号 V_{in} によって決まる。パルス通過段数検出回路82は、この段数（および周回数）を検出する。

ラッチ&エンコーダ83は、周回パルスSPの入力が開始してからA／D変換のサンプリング時間が経過した後にラッチパルスLPが入力されるタイミングでパルス通過段数検出回路82の検出結果を取り込み、その時の周回パルスSPの通過段数をエンコードした値を、A／D変換後のデジタル値C

o u tとして出力する。

- [0003] ここで、上記のA/D変換装置300では、遅延ユニットの遅延時間と電源電圧の関係が一次関数で表せないため、アナログ入力信号V_{in}とA/D変換の結果であるデジタル値C o u tとの関係を示す入出力特性が曲線になってしまう。そこで、入出力特性を理想的な直線に近づける方法として、予めA/D変換の対象であるアナログ入力信号の電圧範囲を複数の領域に分割してA/D変換の結果を得ておく。そして、得られたA/D変換結果の値同士を直線で結んだ近似式を求めておき、この近似式より得られる座標点から実際にA/D変換してられたデジタル値を補正することが提案されている（特許文献2参照）。

先行技術文献

特許文献

- [0004] 特許文献1：特開平5-259907号公報
特許文献2：特開2004-274157号公報

発明の概要

発明が解決しようとする課題

- [0005] しかしながら、A/D変換後のデータを近似補正するための変換式を求めるためには、多数の基準電圧を実際にA/D変換し、各基準電圧に対応した座標点でのA/D変換データを求め、求められた多数のA/D変換データを用いて変換式を設定する必要があったため、変換式を設定するのが煩雑であるという問題がある。
- [0006] 本発明は、上記の課題認識に基づいてなされたものであり、A/D変換装置の入出力特性を補正する補正信号を生成することによって、多数の基準電圧を実際にA/D変換することなく、容易にA/D変換装置の入出力特性を補正することができる補正信号生成装置を提供することを目的としている。
- また、この補正信号を用いてA/D変換後のデジタル値を補正することによって、理想的な直線に近い入出力特性が得られるA/D変換装置を提供す

ることを目的としている。

課題を解決するための手段

[0007] 本発明に係る補正信号生成装置は、アナログ入力電圧から得られるデジタル信号を補正するための補正信号を生成する補正信号生成装置であって、前記アナログ入力電圧の大きさに応じた遅延時間で第1のパルス信号を遅延させる遅延ユニットを複数段接続した第1のパルス遅延回路と、前記第1のパルス信号が前記第1のパルス遅延回路内の遅延ユニットを通過した段数を検出する第1のパルス通過段数検出回路とを有する第1の段数検出回路と、前記アナログ入力電圧の電圧レベルをシフトさせたアナログ電圧を出力するレベルシフト回路と、前記レベルシフト回路によって電圧レベルがシフトされたアナログ電圧の大きさに応じた遅延時間で第2のパルス信号を遅延させる遅延ユニットを複数段接続した第2のパルス遅延回路と、前記第2のパルス信号が前記第2のパルス遅延回路内の遅延ユニットを通過した段数を検出する第2のパルス通過段数検出回路とを有する第2の段数検出回路と、予め定められた電圧値であるアナログ基準電圧の大きさに応じた遅延時間で第3のパルス信号を遅延させる遅延ユニットを複数段接続した第3のパルス遅延回路と、前記第3のパルス信号が前記第3のパルス遅延回路内の遅延ユニットを通過した段数を検出する第3のパルス通過段数検出回路とを有する第3の段数検出回路と、前記第1の段数検出回路が検出した遅延ユニットの通過段数と前記第2の段数検出回路が検出した遅延ユニットの通過段数との段数差に応じたタイミングで、前記第1の段数検出回路と前記第3の段数検出回路が検出した遅延ユニットの通過段数を保持し、保持された前記第1の段数検出回路の段数と前記第3の段数検出回路の段数の差を補正信号として出力する補正信号出力回路と、を有する。

[0008] また、本発明の前記補正信号出力回路は、前記第1の段数検出回路が検出した遅延ユニットの通過段数と前記第2の段数検出回路が検出した遅延ユニットの通過段数との段数差が、予め定められた段数差となるタイミングで、前記第1の段数検出回路が検出した遅延ユニットの通過段数を保持してもよ

い。

[0009] また、本発明のA/D変換装置は、アナログ入力電圧をデジタル信号に変換するA/D変換装置であって、前記アナログ入力電圧の大きさに応じた遅延時間で第4のパルス信号を遅延させる遅延ユニットを複数段接続した第4のパルス遅延回路と、前記第4のパルス信号が前記第4のパルス遅延回路内の遅延ユニットを所定時間に通過した段数を検出する第4のパルス通過段数検出回路とを有する第4の段数検出回路と、予め定められた第2の電圧値である第2のアナログ基準電圧の大きさに応じた遅延時間で第5のパルス信号を遅延させる遅延ユニットを複数段接続した第5のパルス遅延回路と、前記第5のパルス信号が前記第5のパルス遅延回路内の遅延ユニットを前記所定時間に通過した段数を検出する第5のパルス通過段数検出回路とを有する第5の段数検出回路と、前記第4の段数検出回路が検出した遅延ユニットの通過段数から、前記第5の段数検出回路が検出した遅延ユニットの通過段数を減算し、該減算した遅延ユニットの通過段数を、デジタル信号として出力する出力回路と、前記補正信号生成装置と、前記補正信号生成装置から出力された補正信号に基づいて、前記出力回路から出力されたデジタル信号を補正し、該補正したデジタル信号を出力する補正回路と、を有する。

[0010] また、本発明の前記補正回路は、前記補正信号生成装置から出力された補正信号と、前記出力回路から出力されたデジタル信号とを加算平均し、該加算平均したデジタル信号を出力してもよい。

[0011] また、本発明のA/D変換装置は、前記第2のアナログ基準電圧と前記アナログ基準電圧とが同一であってもよい。

[0012] また、本発明のA/D変換装置は、前記第2のアナログ基準電圧と前記アナログ基準電圧と前記アナログ入力電圧とが同一である場合に、前記第5の段数検出回路が検出する遅延ユニットの通過段数が、前記補正信号出力回路で保持された前記第3の段数検出回路の段数と、略同一になるように前記所定時間を設定するタイマー回路、を更に有してもよい。

発明の効果

[0013] 本発明によれば、A/D変換装置の入出力特性の曲がり（非直線性）を補正するための補正信号を生成する補正信号生成装置を提供することができ、この補正信号に基づいてA/D変換後のデジタル信号出力値を補正することによって、従来のA/D変換装置の入出力特性を理想的な直線に近い特性に容易に変換することができる。

図面の簡単な説明

[0014] [図1]本発明の実施形態による補正信号生成装置の構成を示したブロック図である。

[図2]本発明の実施形態による補正信号生成装置における処理手順を示したフローチャートである。

[図3]本発明の実施形態による補正信号生成装置の入出力特性の一例を示したグラフである。

[図4]本発明の実施形態による補正信号生成装置の入出力特性の詳細例を示したグラフである。

[図5]本発明の実施形態によるA/D変換装置の構成を示したブロック図である。

[図6]本発明の実施形態による補正信号生成装置における処理手順を示したフローチャートである。

[図7]本発明の実施形態によるA/D変換装置の入出力特性の一例を示したグラフである。

[図8]本発明の実施形態によるA/D変換装置の入出力特性の詳細例を示したグラフである。

[図9]従来のA/D変換装置の構成を示したブロック図である。

発明を実施するための形態

[0015] 以下、図面を参照しつつ、本発明の好適な実施形態について説明する。ただし、本発明は以下の各実施形態に限定されるものではなく、例えばこれら実施形態の構成要素同士を適宜組み合わせてもよい。

[0016] <第1実施形態>

図 1 は、本実施形態による補正信号生成装置の構成を示したブロック図である。図 1 において、補正信号生成装置 100 は、段数検出回路 1、レベルシフト回路 2、段数検出回路 3、補正信号出力回路 4、段数検出回路 5 から構成される。また、段数検出回路 1 は、パルス遅延回路 11、パルス通過段数検出回路 12 から構成される。段数検出回路 3 は、パルス遅延回路 31、パルス通過段数検出回路 32 から構成される。補正信号出力回路 4 は、出力段数比較回路 41、ラッチ & エンコーダ 42、基準信号出力回路 43、出力回路 44 から構成される。段数検出回路 5 は、パルス遅延回路 51、パルス通過段数検出回路 52 から構成される。

[0017] 段数検出回路 1 は、アナログ入力電圧 V_{in} の電圧レベル（電圧値）に応じた周回パルス SP の遅延時間を表す信号を出力する。

パルス遅延回路 11 は、電源電圧に応じた遅延量を持った 16 段のゲート回路（以下、「遅延ユニット」という）がリング状に接続された構成を有し、この構成により周回パルス SP を周回させるリングディレイライン（ RDL ）である。

初段の遅延ユニット $NAND1$ は、一方の入力端子に周回パルス SP を入力し、もう一方の入力端子に 16 段目の遅延ユニット $BUF15$ の出力を入力して、パルス遅延回路 11 が動作している時は常に 16 段目の遅延ユニット $BUF15$ の出力を論理反転するゲート回路（例えば、否定論理積回路： $NAND$ ゲート）で構成されている。

また、2 段目の遅延ユニット $BUF1$ から 16 段目の遅延ユニット $BUF15$ は、入力端子に入力された値を出力端子に出力するゲート回路（例えば、否定回路： NOT ゲートを 2 段接続したバッファ回路）で構成されている。

[0018] 遅延ユニット（ $NAND1$ 、 $BUF1$ 、 $\dots$ 、 $BUF15$ ）には、アナログ入力電圧 V_{in} が電源電圧として印加される。各遅延ユニットは、それぞれ前段の遅延ユニットから入力された周回パルス SP を電源電圧（アナログ入力電圧 V_{in} ）の電圧レベルに応じた遅延時間をもって次段の遅延ユニ

ットに出力する。リング状に接続された各遅延ユニットが同様に動作し、周回パルス S P が前段から後段の遅延ユニットへ順次伝達されることにより、周回パルス S P がパルス遅延回路 1 1 内を周回する。

[0019] 周回パルス S P がパルス遅延回路 1 1 内を周回する過程を具体的に説明すると次の通りである。

周回パルス S P が初段の遅延ユニット N A N D 1 の一方の入力端子に入力されていない時（周回パルス S P が “L” レベルの時）、遅延ユニット N A N D 1 の出力端子は、もう一方の入力端子の入力によらず、“H” レベルになり、2 段目の遅延ユニット B U F 1 以降の各遅延ユニットの出力端子も “H” レベルになる。

[0020] 周回パルス S P が遅延ユニット N A N D 1 の一方の入力端子に入力される（周回パルス S P が “H” レベルになる）と、遅延ユニット N A N D 1 の出力端子は、もう一方の入力端子に最終段の遅延ユニット B U F 1 5 から出力された “H” レベルが入力されているため、周回パルス S P の入力によって電源電圧（アナログ入力電圧 V_{in} ）の電圧レベルに応じた遅延時間をもって “L” レベルに切り替わる。その後、2 段目の遅延ユニット B U F 1 以降の各遅延ユニットの出力端子も電源電圧（アナログ入力電圧 V_{in} ）の電圧レベルに応じた遅延時間をもって順次 “L” レベルに切り替わる。

[0021] 最終段の遅延ユニット B U F 1 5 の出力端子が “L” レベルに切り替わると、初段の遅延ユニット N A N D 1 の出力端子は、入力端子に最終段の遅延ユニット B U F 1 5 の出力が入力されているため、電源電圧（アナログ入力電圧 V_{in} ）の電圧レベルに応じた遅延時間をもって “H” レベルに切り替わる。その後、2 段目の遅延ユニット B U F 1 以降の各遅延ユニットの出力端子も電源電圧（アナログ入力電圧 V_{in} ）の電圧レベルに応じた遅延時間をもって順次 “H” レベルに切り替わる。

[0022] 最終段の遅延ユニット B U F 1 5 の出力端子が “H” レベルに切り替わると、次の周回で初段の遅延ユニット N A N D 1 の出力端子が “L” レベルに切り替わる。その後、2 段目の遅延ユニット B U F 1 以降の各遅延ユニット

の出力端子も順次“L”レベルに切り替わる。

以降、周回パルスSPが入力されている間、最終段の遅延ユニットBUF 15の出力端子の切り替わりで初段の遅延ユニットNAND 1から、遅延ユニット（BUF 1, . . . , BUF 15）の出力端子が、順次逆の出力レベルに切り替わるという動作が繰り返し行われ、その結果、周回パルスSPがパルス遅延回路11内を周回し続けることとなる。

[0023] 各遅延ユニットの入力端子レベルが切り替わってから出力端子レベルが切り替わるまでの遅延時間は、各遅延ユニットの電源電圧であるアナログ入力電圧 V_{in} に応じた時間であるため、ある所定の時間内にパルス遅延回路11内を周回する周回パルスSPが通過する遅延ユニットの段数は、アナログ入力電圧 V_{in} に依存することとなる。

[0024] パルス通過段数検出回路12は、周回パルスSPがパルス遅延回路11内の遅延ユニットを通過した段数を検出する回路である。

パルス通過段数検出回路12には、パルス遅延回路11の各遅延ユニットの出力信号が入力される。

パルス通過段数検出回路12は、パルス遅延回路11内の16段目の遅延ユニットBUF 15の出力端子が“H”レベルから“L”レベル、または“L”レベルから“H”レベルに切り替わる回数をカウンタがカウントした結果を8ビットのカウント値として出力するとともに、パルス遅延回路11の16段の各遅延ユニットから入力された“H”レベルまたは“L”レベルのそれぞれの状態を表す16ビットのデータを出力する。

[0025] ここでパルス通過段数検出回路12から出力される上記の8ビットのカウント値と16ビットのデータは、周回パルスSPがパルス遅延回路11内を何周周回して何段目の遅延ユニットまで進んだかを示している。

例えば、上記カウント値が4回であり、5段目の遅延ユニットBUF 4の出力が“L”レベル、6段目の遅延ユニットBUF 5の出力が“H”レベルであった場合、遅延ユニットを通過した段数は、16段×4回+5段=69段となる。

このように、段数検出回路 1 は、周回パルス SP が、アナログ入力電圧 V_{in} を電源電圧とするパルス遅延回路 11 内の遅延ユニットを通過した段数を、8 ビット + 16 ビットのデジタルデータ（以下、「第 1 の通過段数データ」という）として出力する。

[0026] レベルシフト回路 2 は、アナログ入力電圧 V_{in} を予め定められた一定の微少な電圧値 (ΔV_{in}) だけレベルシフトさせたレベルシフト電圧 ($V_{in} - \Delta V_{in}$) を出力する。このレベルシフト電圧は、段数検出回路 3 における遅延ユニットの電源電圧となる。

なお、本実施形態では、レベルシフト電圧を、アナログ入力電圧 V_{in} よりも予め定められた一定の微少な電圧値 ΔV_{in} だけ小さい電圧としているが、レベルシフト電圧を、アナログ入力電圧 V_{in} よりも予め定められた一定の微少な電圧値 ΔV_{in} だけ大きい電圧 ($V_{in} + \Delta V_{in}$) としてもよい。

[0027] 段数検出回路 3 は、レベルシフト回路 2 からのレベルシフト電圧 $V_{in} - \Delta V_{in}$ の電圧レベルに応じて、周回パルス SP が周回する遅延ユニットの通過段数を、8 ビット + 16 ビットのデジタルデータ（以下、「第 2 の通過段数データ」という）として出力する。

なお、段数検出回路 3 は、パルス遅延回路 31 の電源電圧がレベルシフト電圧 $V_{in} - \Delta V_{in}$ となっている以外は、段数検出回路 1 と同じ構成であり、同様の動作をする。

従って、段数検出回路 1 が出力する第 1 の通過段数データと、段数検出回路 3 が出力する第 2 の通過段数データとは、予め定められた一定の微少な電圧値 (ΔV_{in}) による遅延ユニットの通過段数に相当する値だけ異なる。

[0028] 段数検出回路 5 は、予め定められた一定の電圧レベルであるアナログ基準電圧 V_{ref} の電圧レベルに応じて、周回パルス SP が周回する遅延ユニットの通過段数を、8 ビット + 16 ビットのデジタルデータ（以下、「第 3 の通過段数データ」という）として出力する。なお、段数検出回路 5 は、パルス遅延回路 51 の電源電圧がアナログ基準電圧 V_{ref} となっている以外は

、段数検出回路 1 および段数検出回路 3 と同じ構成であり、同様の動作をする。

[0029] 補正信号出力回路 4 は、第 1 の通過段数データと、第 2 の通過段数データとの差が予め定められた値となったタイミングで、第 1 の通過段数データと第 3 の通過段数データの差を補正信号として出力する。

具体的に説明すると、出力段数比較回路 4 1 は、段数検出回路 1 から出力される第 1 の通過段数データと、段数検出回路 3 から出力される第 2 の通過段数データとの差を比較し、その差が予め定められた差（遅延ユニットの通過段数の差）となったときに、ラッチパルス LP を出力する。このラッチパルス LP は、ラッチ&エンコーダ 4 2 が第 1 の通過段数データを、基準信号出力回路 4 3 が第 3 の通過段数データをそれぞれ保持（ラッチ）するタイミングを表す。

[0030] ラッチ&エンコーダ 4 2 は、出力段数比較回路 4 1 から入力されたラッチパルス LP のタイミングで第 1 の通過段数データをラッチし、このラッチした第 1 の通過段数データを 12 ビットのデジタル信号にエンコードした後に、検出信号として出力する。

[0031] 基準信号出力回路 4 3 は、出力段数比較回路 4 1 から入力されたラッチパルス LP のタイミングで第 3 の通過段数データをラッチし、このラッチした第 3 の通過段数データを 12 ビットのデジタル信号にエンコードした後に、基準信号として出力する。なお、基準信号出力回路 4 3 は、ラッチするデジタル信号が第 3 の通過段数データとなっている以外は、ラッチ&エンコーダ 4 2 と同じ構成であり、同様の動作をする。

[0032] 出力回路 4 4 は、ラッチ&エンコーダ 4 2 が出力した検出信号から、基準信号出力回路 4 3 が出力した基準信号を減算し、この減算した信号を補正信号として出力する。

[0033] なお、本実施形態の補正信号生成装置 100 において、アナログ基準電圧 V_{ref} の電圧レベル（一定の電圧値）には特別な制限はないが、アナログ入力電圧 V_{in} の入力電圧範囲の最小電圧値と同一、または近い電圧レベル

にアナログ基準電圧 V_{ref} を設定することが望ましい。何故なら、このアナログ基準電圧 V_{ref} の電圧レベルは、本実施形態の補正信号生成装置 100 がアナログ入力電圧 V_{in} に応じて出力する補正信号の基準となる電圧であり、このアナログ基準電圧 V_{ref} の電圧レベルによって、補正信号の原点（アナログ入力電圧 V_{in} がアナログ基準電圧 V_{ref} と同じ電圧レベルであるときの出力データが“0”となる点：後述する図3および図7におけるグラフの原点）を決定することができ、このアナログ基準電圧 V_{ref} の電圧レベルをアナログ入力電圧 V_{in} の入力電圧範囲の最小電圧値に近づけるほどアナログ入力電圧 V_{in} の入力電圧範囲を広く確保できるからである。尚、以降の説明においては、アナログ基準電圧 V_{ref} の電圧レベルが、アナログ入力電圧 V_{in} の入力電圧範囲の最小電圧値であるとして説明する。また、以降の説明においては、「アナログ基準電圧 V_{ref} の電圧レベルを基準とする」ことを、「原点基準とする」ということとする。

[0034] 次に、補正信号生成装置の処理手順について説明する。図2は、本実施形態による補正信号生成装置 100 における処理手順を示したフローチャートである。

[0035] まず、ステップ S1 において、パルス遅延回路 11 およびレベルシフト回路 2 にアナログ入力電圧 V_{in} が入力される。このことにより、パルス遅延回路 31 にはレベルシフト電圧 $V_{in} - \Delta V_{in}$ が入力される。また、パルス遅延回路 51 には、アナログ基準電圧 V_{ref} が入力される。

[0036] 続いて、ステップ S2 において、パルス遅延回路 11、パルス遅延回路 31、およびパルス遅延回路 51 に周回パルス SP が入力される。このことにより、周回パルス SP は、パルス遅延回路 11 とパルス遅延回路 31 とパルス遅延回路 51 とでそれぞれ異なる遅延時間（パルス遅延回路 11 はアナログ入力電圧 V_{in} の電圧レベルに応じた遅延時間、パルス遅延回路 31 はレベルシフト電圧 $V_{in} - \Delta V_{in}$ の電圧レベルに応じた遅延時間、パルス遅延回路 51 はアナログ基準電圧 V_{ref} の電圧レベルに応じた遅延時間）で、それぞれの遅延ユニットを周回する。そして、パルス通過段数検出回路 1

2、パルス通過段数検出回路32、およびパルス通過段数検出回路52は、周回パルスSPがそれぞれの遅延ユニットを通過する段数を検出し、それぞれ、第1の通過段数データ、第2の通過段数データ、および第3の通過段数データとして出力する。

[0037] 続いて、出力段数比較回路41は、ステップS3において、パルス通過段数検出回路12とパルス通過段数検出回路32から出力された第1の通過段数データと第2の通過段数データとの差（遅延ユニットの通過段数の差）を比較し、その差が予め設定された値（設定値）となったか否かを判断する。通過段数データの差が設定値となった場合は、ステップS4において、ラッチ&エンコーダ42が第1の通過段数データを、基準信号出力回路43が第3の通過段数データをラッチするためのラッチパルスLPを出力段数比較回路41が出力する。また、通過段数データの差が設定値となっていない場合は、ステップS3を繰り返す。

[0038] 続いて、ステップS5において、ラッチ&エンコーダ42は、出力段数比較回路41から入力されたラッチパルスLPに従って、第1の通過段数データをラッチして、12ビットのデジタル信号にエンコードし、検出信号として出力する。また、ステップS5において、基準信号出力回路43は、出力段数比較回路41から入力されたラッチパルスLPに従って、第3の通過段数データをラッチして、12ビットの基準信号にエンコードして出力する。

[0039] 続いて、ステップS6において、出力回路44は、ラッチ&エンコーダ42から出力された検出信号から、基準信号出力回路43から出力された基準信号を減算した補正信号を出力して、処理を完了する。

[0040] 次に、上述した構成による補正信号生成装置の入出力特性について説明する。図3は、本実施形態による補正信号生成装置100の入出力特性の一例を、図9に示した従来の補正前のA/D変換装置300の入出力特性の一例と共に示したグラフである。図3において、X軸はアナログ入力電圧 V_{in} を示し、Y軸は補正信号生成装置100および従来のA/D変換装置300から出力されるデジタル信号を示す。また、図3において、A1曲線は、補

正信号生成装置 100 の入出力特性（補正信号）、B1 曲線は、従来の A/D 変換装置 300 の入出力特性（図 9 におけるデジタル値 C_{out} ）を表している。また、図 3 に示した C1 直線は、A1 曲線の補正信号と B1 曲線のデジタル値 C_{out} を加算平均したデータを表している。

[0041] 図 3 に示すように、従来の A/D 変換装置 300 の入出力特性は、アナログ入力電圧 V_{in} に応じた直線ではなく、B1 曲線に示すような曲線である。これは、アナログ入力電圧 V_{in} の電圧レベルの変化に対して、一定時間にパルス遅延回路 81 内を周回する周回パルス SP が通過する遅延ユニットの段数の変化が少なくなるため、出力されるデジタル値 C_{out} の変化が小さくなるからである。

[0042] また、本実施形態による補正信号生成装置 100 の入出力特性は、A1 曲線に示すように従来の A/D 変換装置 300 の入出力特性に対して、曲がる方向が逆の特性となっている。これは、補正信号生成装置 100 では、アナログ入力電圧 V_{in} とレベルシフト電圧 $V_{in} - \Delta V_{in}$ との差である一定の電圧レベル（ ΔV_{in} ）に対するパルス遅延回路 11 内を周回する周回パルス SP が通過する遅延ユニットの段数の差（ ΔC_{out} ）を一定にすることによって、入力電圧に対する微小な電圧範囲における傾き（レベルシフト電圧 $V_{in} - \Delta V_{in}$ からアナログ入力電圧 V_{in} にかけての傾き）を一定にし、従来の A/D 変換装置 300 の入出力特性 B1 の傾きが小さくなる程、ラッチパルス LP を出力するタイミングを遅く（サンプリング時間を長く）しているからである。

[0043] ここで、補正信号生成装置 100 の入出力特性について、図 4 を用いて更に詳しく説明する。図 4 において、D 直線は、一定の傾き a_D （ $\Delta C_{out} / \Delta V_{in}$ ）を表している。また、B1__ V_{in4} 曲線は、従来の A/D 変換装置 300 において、サンプリング時間を、アナログ入力電圧 $V_{in} = V_{in4}$ のときに傾きが a_D になる時間としたときの入出力特性を原点基準とした曲線である。同様に B1__ V_{in3} 曲線は、従来の A/D 変換装置 300 において、サンプリング時間を、アナログ入力電圧 $V_{in} = V_{in3}$

のときに傾きが a_D になる時間としたときの入出力特性を原点基準とした曲線、 $B1_Vin2$ 曲線は、従来の A/D 変換装置 300 において、サンプリング時間を、アナログ入力電圧 $Vin=Vin2$ のときに傾きが a_D になる時間としたときの入出力特性を原点基準とした曲線、 $B1_Vin1$ 曲線は、従来の A/D 変換装置 300 において、サンプリング時間を、アナログ入力電圧 $Vin=Vin1$ のときに傾きが a_D になる時間としたときの入出力特性を原点基準とした曲線である。

[0044] つまり、補正信号生成装置 100 の入出力特性は、原点、 $B1_Vin1$ 曲線においてアナログ入力電圧 $Vin=Vin1$ となる点 $a1$ 、 $B1_Vin2$ 曲線においてアナログ入力電圧 $Vin=Vin2$ となる点 $a2$ 、 $B1_Vin3$ 曲線においてアナログ入力電圧 $Vin=Vin3$ となる点 $a3$ 、 $B1_Vin4$ 曲線においてアナログ入力電圧 $Vin=Vin4$ となる点 $a4$ 、を通過した $A1$ 曲線に示すような曲線となる。

このように、補正信号生成装置 100 の入出力特性は、従来の A/D 変換装置 300 の入出力特性を原点基準とし、更に、そのサンプリング時間を、入力電圧の大きさによって異なる時間とすることにより、従来の A/D 変換装置 300 の入出力特性に対して、曲がる方向が逆の特性となる。

[0045] その結果、 $B1$ 曲線に示した従来の A/D 変換装置 300 の入出力特性を、 $A1$ 曲線に示した補正信号生成装置 100 が出力する入出力特性（補正信号）を用いて補正（図 3 においては、加算平均）することにより、図 3 の $C1$ 直線に示すような A/D 変換装置に求められる理想的な直線に近い入出力特性の結果を得ることができる。

[0046] 上記に述べたとおり、本実施形態の補正信号生成装置によれば、アナログ入力電圧の大きさに応じた遅延時間で周回パルスを遅延させるパルス遅延回路を用いてアナログ入力電圧をデジタルデータに変換する従来の A/D 変換装置の入出力特性に対して、曲がる方向が逆の入出力特性である補正信号を生成することができる。この生成した補正信号を用いることによって、A/D 変換装置が出力するデジタルデータを容易に補正することができ、直線性

の良い入出力特性をもったA/D変換装置を実現することができる。

[0047] また、従来のA/D変換装置では、周回パルスSPが入力されてから外部から入力するラッチパルスLPを入力するまでの時間（サンプリング時間）を高精度に定める必要があったが、本実施形態の補正信号生成装置では、ラッチパルスLPが自動で生成されるため、外部から高精度なパルス信号を入力する必要がなく、容易に高精度なA/D変換装置を実現することが可能となる。

[0048] <第2実施形態>

以下、本発明の第2の実施形態について、図面を参照して説明する。図5は、本実施形態によるA/D変換装置の構成を示したブロック図である。図5において、A/D変換装置200は、段数検出回路8、段数検出回路9、出力回路10、補正信号生成装置100、補正回路11、タイマー回路12から構成される。なお、補正信号生成装置100は、上述した第1実施形態に示した補正信号生成装置100である。また、段数検出回路8は、パルス遅延回路81、パルス通過段数検出回路82、ラッチ&エンコーダ83から構成される。段数検出回路9は、パルス遅延回路91、パルス通過段数検出回路92、ラッチ&エンコーダ93から構成される。

なお、本実施形態のA/D変換装置200におけるアナログ基準電圧 V_{ref} は、このアナログ基準電圧 V_{ref} が入力されている全ての回路で同じ電圧レベルであり、その電圧値は、アナログ入力電圧 V_{in} の入力電圧範囲の最小電圧値であるとして説明する。また、同様にアナログ入力電圧 V_{in} も、このアナログ入力電圧 V_{in} が入力されている全ての回路で同じであるとして説明する。

[0049] 段数検出回路8は、アナログ入力電圧 V_{in} の電圧レベルに応じて、周回パルスSPが周回する遅延ユニットの通過段数を表すデジタルデータ（以下、「第4の通過段数データ」という）を、12ビットのデジタル信号にエンコードし、第1の出力信号 C_{out1} として出力する。なお、段数検出回路8のパルス遅延回路81とパルス通過段数検出回路82とラッチ&エンコー

ダ 8 3 とは、それぞれ、図 1 に示したパルス遅延回路 1 1 とパルス通過段数検出回路 1 2 とラッチ & エンコーダ 4 2 と同じ構成であり、パルス通過段数検出回路 8 2 がパルス遅延回路 8 1 内の遅延ユニットの通過段数をラッチパルス LP 2 のタイミングでラッチする以外は、同じ動作をする。ここで、ラッチパルス LP 2 は、アナログ入力電圧 V_{in} に依存せず、周回パルス SP が入力されてから一定時間後に出力されるパルス信号である。

なお、段数検出回路 8 は、図 9 に示した従来の A/D 変換装置 3 0 0 と同じ機能であり、第 1 の出力信号 Cout 1 は、従来の A/D 変換装置 3 0 0 においてデジタル変換されたデジタル値 Cout と同じ値である。

[0050] 段数検出回路 9 は、アナログ基準電圧 V_{ref} の電圧レベルに応じて、周回パルス SP が周回する遅延ユニットの通過段数を表すデジタルデータ（以下、「第 5 の通過段数データ」という）を 1 2 ビットのデジタル信号にエンコードし、第 2 の基準信号として出力する。なお、段数検出回路 9 は、パルス遅延回路 8 1 の電源電圧がアナログ基準電圧 V_{ref} となっている以外は、段数検出回路 8 と同じ構成であり、同様の動作をする。

[0051] タイマー回路 1 2 は、周回パルス SP が入力されてから一定時間後にラッチパルス LP 2 を出力する。

[0052] タイマー回路 1 2 は、例えば、図 5 に示すように、レベルシフト回路 1 2 1、パルス遅延回路 1 2 2、パルス通過段数検出回路 1 2 3、パルス遅延回路 1 2 4、パルス通過段数検出回路 1 2 5、出力段数比較回路 1 2 6 から構成される。以下、パルス通過段数検出回路 1 2 3 が検出した遅延ユニットの通過段数を表すデジタルデータを「第 6 の通過段数データ」という。また、パルス通過段数検出回路 1 2 5 が検出した遅延ユニットの通過段数を表すデジタルデータを「第 7 の通過段数データ」という。この場合、レベルシフト回路 1 2 1 とパルス遅延回路 1 2 2 とパルス通過段数検出回路 1 2 3 とパルス遅延回路 1 2 4 とパルス通過段数検出回路 1 2 5 と出力段数比較回路 1 2 6 は、それぞれ、図 1 に示したレベルシフト回路 2 とパルス遅延回路 3 1 とパルス通過段数検出回路 3 2 とパルス遅延回路 1 1 とパルス通過段数検出回

路 1 2 と出力段数比較回路 4 1 と同じ構成であり、レベルシフト回路 1 2 1 とパルス遅延回路 1 2 4 に入力される電圧が、アナログ基準電圧 V_{ref} であること以外は、同じ動作をする。

[0053] レベルシフト回路 1 2 1 は、アナログ基準電圧 V_{ref} を予め定められた一定の微少な電圧値 (ΔV_{ref} : ただし、 $\Delta V_{ref} = \Delta V_{in}$) だけレベルシフトさせたレベルシフト基準電圧 ($V_{ref} - \Delta V_{ref}$) を出力する。すなわち、アナログ基準電圧 V_{ref} は一定の電圧レベルであるため、レベルシフト基準電圧 $V_{ref} - \Delta V_{ref}$ も一定の電圧レベルとなる。

従って、パルス通過段数検出回路 1 2 3 が出力する第 6 の通過段数データと、パルス通過段数検出回路 1 2 5 が出力する第 7 の通過段数データとは、予め定められた一定の微少な電圧値 (ΔV_{ref}) による遅延ユニットの通過段数に相当する一定の値だけ異なることとなる。

このことにより、出力段数比較回路 1 2 6 から出力されるラッチパルス LP_2 は、周回パルス SP が入力されてから一定時間（例えば、出力段数比較回路 4 1 に設定した遅延ユニットの通過段数の差と同じ値となる時間）後に出力されるパルス信号となる。

[0054] 出力回路 1 0 は、段数検出回路 8 が出力した第 1 の出力信号 C_{out1} から、段数検出回路 9 が出力した第 2 の基準信号を減算し、この減算した出力信号を本実施形態の A/D 変換装置 2 0 0 がアナログ入力電圧 V_{in} に応じて変換した第 2 の出力信号として出力する。なお、第 1 実施形態における出力回路 4 4 の説明と同様に、出力回路 1 0 が出力する第 2 の出力信号は、段数検出回路 8 が出力した第 1 の出力信号 C_{out1} を、原点基準とした 1 2 ビットの出力信号となる。

また、出力回路 1 0 が出力する第 2 の出力信号は、図 9 に示した従来の A/D 変換装置 3 0 0 においてデジタル変換されたデジタル値 C_{out} を原点基準としたデジタル値であるとも言える。

[0055] 補正回路 1 1 は、補正信号生成装置 1 0 0 から出力された補正信号と、出力回路 1 0 から出力された第 2 の出力信号とを加算平均し、この加算平均し

た出力信号を本実施形態のA/D変換装置200においてデジタル変換された最終的な12ビットのデジタル値（A/D変換出力信号）として出力する。

[0056] 次に、A/D変換装置の処理手順について説明する。図6は、本実施形態によるA/D変換装置200における処理手順を示したフローチャートである。なお、本実施形態によるA/D変換装置200における処理手順において、補正信号生成装置100からは、補正信号が出力されるが、この補正信号生成装置100における処理手順は、第1実施形態において、図2を用いて説明した処理手順と同様であるため、本実施形態においての説明を省略する。

[0057] まず、ステップS10において、パルス遅延回路81にアナログ入力電圧 V_{in} が入力される。また、パルス遅延回路91およびタイマー回路12には、アナログ基準電圧 V_{ref} が入力される。このことにより、パルス遅延回路124およびレベルシフト回路121にはアナログ基準電圧 V_{ref} が入力される。また、パルス遅延回路122にはアナログ基準電圧 V_{ref} を予め定められた一定の微少な電圧値（ ΔV_{ref} ：ただし、 $\Delta V_{ref} = \Delta V_{in}$ ）だけレベルシフトさせたレベルシフト基準電圧（ $V_{ref} - \Delta V_{ref}$ ）が入力される。

[0058] 続いて、ステップS20において、パルス遅延回路81、パルス遅延回路91、パルス遅延回路122、およびパルス遅延回路124に周回パルスSPが入力される。このことにより、周回パルスSPは、パルス遅延回路81と、パルス遅延回路91と、パルス遅延回路122と、パルス遅延回路124とでそれぞれ異なる遅延時間（パルス遅延回路81はアナログ入力電圧 V_{in} の電圧レベルに応じた遅延時間、パルス遅延回路91とパルス遅延回路124はアナログ基準電圧 V_{ref} の電圧レベルに応じた遅延時間、パルス遅延回路122はレベルシフト基準電圧 $V_{ref} - \Delta V_{ref}$ の電圧レベルに応じた遅延時間）で、それぞれの遅延ユニットを周回する。そして、パルス通過段数検出回路82、パルス通過段数検出回路92、パルス通過段数検

出回路 1 2 3、およびパルス通過段数検出回路 1 2 5 は、周回パルス S P がそれぞれの遅延ユニットを通過する段数を検出し、それぞれ、第 4 の通過段数データ、第 5 の通過段数データ、第 6 の通過段数データ、および第 7 の通過段数データとして出力する。

[0059] 続いて、出力段数比較回路 1 2 6 は、ステップ S 3 0 において、パルス通過段数検出回路 1 2 3 とパルス通過段数検出回路 1 2 5 から出力された第 6 の通過段数データと第 7 の通過段数データとの差（遅延ユニットの通過段数の差）を比較し、その差が予め設定された値（設定値）となったか否かを判断する。通過段数データの差が設定値（例えば、出力段数比較回路 4 1 に設定した遅延ユニットの通過段数の差と同じ値）となった場合は、ステップ S 4 0 において、ラッチ&エンコーダ 8 3 が第 4 の通過段数データを、ラッチ&エンコーダ 9 3 が第 5 の通過段数データをラッチするためのラッチパルス L P 2 を出力段数比較回路 1 2 6 が出力する。また、通過段数データの差が設定値となっていない場合は、ステップ S 3 0 を繰り返す。

[0060] 続いて、ステップ S 5 0 において、ラッチ&エンコーダ 8 3 は、出力段数比較回路 1 2 6 から入力されたラッチパルス L P 2 に従って、第 4 の通過段数データをラッチして、12ビットの第 1 の出力信号 C o u t 1 にエンコードして出力する。また、ステップ S 5 0 において、ラッチ&エンコーダ 9 3 は、出力段数比較回路 1 2 6 から入力されたラッチパルス L P 2 に従って、第 5 の通過段数データをラッチして、12ビットの第 2 の基準信号にエンコードして出力する。

[0061] 続いて、ステップ S 6 0 において、出力回路 1 0 は、ラッチ&エンコーダ 8 3 から出力された第 1 の出力信号 C o u t 1 から、ラッチ&エンコーダ 9 3 から出力された第 2 の基準信号を減算した 12ビットの第 2 の出力信号を出力する。

[0062] 続いて、ステップ S 7 0 において、補正回路 1 1 は、出力回路 1 0 から出力された第 2 の出力信号と、補正信号生成装置 1 0 0 から出力された補正信号とを加算平均し、A/D変換装置 2 0 0 がデジタル変換した最終的な 12

ビットのA/D変換出力信号を出力して、処理を完了する。

[0063] 次に、上述した構成によるA/D変換装置の入出力特性について説明する。図7は、本実施形態によるA/D変換装置200の入出力特性の一例を、図9に示した従来の補正前のA/D変換装置300の入出力特性の一例と共に示したグラフである。図7において、X軸はアナログ入力電圧 V_{in} を示し、Y軸はA/D変換装置200から出力されるデジタル値を示す。また、図7において、A2曲線は、補正信号生成装置100の入出力特性（補正信号）を表し、B2曲線は、アナログ入力電圧 V_{in} に対する出力回路10の出力特性（第2の出力信号）を表している。また、図7に示したC2直線が、アナログ入力電圧 V_{in} に対する補正回路11の出力特性、すなわち、本実施形態によるA/D変換装置200の入出力特性を表している。

[0064] なお、B2曲線は、図9に示した従来のA/D変換装置300におけるデジタル変換されたデジタル値 C_{out} を原点基準としたデジタル値と同じであるが、この理由は以下の通りである。

アナログ基準電圧 V_{ref} が一定であり、かつ、アナログ基準電圧 V_{ref} とレベルシフト基準電圧 $V_{ref} - \Delta V_{ref}$ との電圧レベルの差（ ΔV_{ref} ）も一定であるため、パルス遅延回路124およびパルス遅延回路122内を周回する周回パルスSPが通過する遅延ユニットの段数の差が予め設定された値となるタイミングは一定である。このことによって、ラッチパルスLP2は、従来のA/D変換装置300において、一定のタイミングで入力されるラッチパルスLPと同様に、一定のタイミングで出力される。従って、アナログ入力電圧 V_{in} に対する段数検出回路8の出力特性を示す曲線の傾きの変化は、従来のA/D変換装置300の入出力特性を示す曲線の傾きの変化と同様となる。よって、アナログ入力電圧 V_{in} に対する出力回路10の出力特性は、従来のA/D変換装置300の入出力特性を原点基準とした特性となる。

[0065] 次に、A2曲線で示した補正信号について、図8を用いて更に詳しく説明する。図8において、D直線は、一定の傾き a_D （ $\Delta C_{out} / \Delta V_{in}$

）を表している。また、 $B2_Vin4$ 曲線は、第2の出力信号のサンプリング時間を、アナログ入力電圧 $Vin = Vin4$ のときに傾きが a_D になる時間としたときの入出力特性である。同様に、 $B2_Vin3$ 曲線は、第2の出力信号のサンプリング時間を、アナログ入力電圧 $Vin = Vin3$ のときに傾きが a_D になる時間としたときの入出力特性、 $B2_Vin2$ 曲線は、第2の出力信号のサンプリング時間を、アナログ入力電圧 $Vin = Vin2$ のときに傾きが a_D になる時間としたときの入出力特性、 $B2_Vin1$ 曲線は、第2の出力信号のサンプリング時間を、アナログ入力電圧 $Vin = Vin1$ のときに傾きが a_D になる時間としたときの入出力特性である。

[0066] つまり、補正信号の入出力特性は、原点、 $B2_Vin1$ 曲線においてアナログ入力電圧 $Vin = V1$ となる点 $a1$ 、 $B2_Vin2$ 曲線においてアナログ入力電圧 $Vin = V2$ となる点 $a2$ 、 $B2_Vin3$ 曲線においてアナログ入力電圧 $Vin = V3$ となる点 $a3$ 、 $B2_Vin4$ 曲線においてアナログ入力電圧 $Vin = V4$ となる点 $a4$ 、を通過した $A2$ 曲線に示すような曲線となる。

[0067] このことから、 A/D 変換装置 200 は、従来の A/D 変換装置 300 の入出力特性を原点基準とした第2の出力信号と、この第2の出力信号に対して曲がる方向が逆の入出力特性を持つ補正信号とを加算平均することにより、直線性の良い入出力特性を得ることができる。

[0068] 本実施形態の A/D 変換装置 200 においては、アナログ基準電圧 $Vref$ が全ての回路で同じ電圧レベルである。このことにより、段数検出回路 9 内のパルス遅延回路 91 に入力されるアナログ基準電圧 $Vref$ と、補正信号生成装置 100 内のパルス遅延回路 51 に入力されるアナログ基準電圧 $Vref$ とが、同じ電圧レベルとなる。その結果、図 7 に示すように、出力回路 10 から出力される第2の出力信号を示す $B2$ 曲線と、補正信号生成装置 100 から出力される補正信号を示す $A2$ 曲線とは、アナログ入力電圧 Vin がアナログ基準電圧 $Vref$ と同じ電圧レベルであるときの出力データが

“0”となる原点で交わることになる。

[0069] 以上より、補正回路11において図7に示したA2曲線とB2曲線とを加算平均することによってC2直線に示すようなA/D変換装置に求められる理想的な直線に近い入出力特性の結果を得ることができる。

[0070] なお、図7に示したA2曲線とB2曲線とを加算平均することによって得られるC2直線も原点を通る入出力特性となる。このC2直線は、アナログ入力電圧 V_{in} に対するA/D変換後のデジタル信号出力値を絶対値で示していると言することができる。

原点を通らない入出力特性は、例えば、補正信号生成装置100から出力される補正信号を用いて、従来のA/D変換装置300から出力されたデジタル値 C_{out} を補正する場合を例とすると、図3に示したC1直線のような入出力特性である。すなわち、C1直線では、入力信号に対して基準となる値がないため、特定の1つのデジタル信号出力値ともう1つのデジタル信号出力値との関係は、これらの2つのデジタル信号出力値同士の差という相対的な結果のみでしか、デジタル信号出力値を表すことができない。

一方、本実施形態のA/D変換装置200においては、アナログ基準電圧 V_{ref} の電圧レベルを基準として、デジタル信号出力値を絶対値で特定することができる。

[0071] また、アナログ入力電圧 V_{in} の電圧レベルと、アナログ基準電圧 V_{ref} の電圧レベルとが同じ電圧レベルであった場合（図7における原点）では、補正信号生成装置100内の出力段数比較回路41が出力するラッチパルスLPが出力されるタイミングと、タイマー回路12内の出力段数比較回路126が出力するラッチパルスLP2が出力されるタイミングとは、同じタイミングとなる。これは、補正信号生成装置100内のレベルシフト回路2によってレベルシフトされる電圧（ ΔV_{in} ）と、タイマー回路12内のレベルシフト回路121によってレベルシフトされる電圧（ ΔV_{ref} ）とは、予め定められた同じ電圧値であるため、およびそれぞれのラッチパルスを出力する回路が同じ回路となるためである。その結果、補正信号生成装置1

00から出力される検出信号と、第1の出力信号C o u t 1とは同じ値のデジタル信号となるからである。

更に、補正信号生成装置100内において基準信号を出力する段数検出回路5と基準信号出力回路43とを合わせた回路は、段数検出回路9と同じ回路であり、入力されるアナログ基準電圧V r e f も同じであるため、補正信号生成装置100内の基準信号と第2の基準信号とは同じ値のデジタル信号となる。

その結果、アナログ入力電圧V i nの電圧レベルと、アナログ基準電圧V r e fの電圧レベルとが同じ電圧レベルである場合には、補正信号生成装置100から出力される補正信号（図7に示したA2曲線）と、出力回路10から出力される第2の出力信号（図7に示したB2曲線）とは、同じ値のデジタル信号となる。

このことから、図7からもわかるように、アナログ入力電圧V i nとアナログ基準電圧V r e fとがほぼ一致している領域、すなわち、アナログ入力電圧V i nが図7に示した原点付近の電圧レベルである領域では、B2曲線とA2曲線の傾きはほぼ一致し、原点から離れるほどB2曲線とA2曲線の傾きはC2直線を中心に乖離することになる。

これにより、B2曲線とA2曲線を加算平均した補正後のA/D変換装置の入出力特性は、よりC2に近づき、さらに直線性が改善される。

[0072] 上記に述べたとおり、本実施形態のA/D変換装置によれば、アナログ入力電圧の大きさに応じた遅延時間で周回パルスが遅延させるパルス遅延回路を用いてアナログ入力電圧をデジタルデータに変換する際に、出力するA/D変換後のデジタル信号出力値を補正信号によって補正することができ、直線性の良い入出力特性をもったA/D変換装置を実現することができる。

[0073] 上記に述べたとおり、本発明を実施するための形態によれば、従来の入出力特性の曲がり（非直線性）を補正するための補正信号を生成することができ、入出力特性を直線近似するために多数の基準電圧を実際にA/D変換するというような煩雑な設定をすることなく、容易に補正することができる補

正信号生成装置を提供することが可能となる。

[0074] また、この補正信号生成装置をA/D変換装置に組み込み、生成した補正信号に基づいてA/D変換後のデジタル信号出力値を補正することによって、理想的な直線に近い入出力特性が得られるA/D変換装置を提供することが可能となる。

[0075] なお、第2実施形態のA/D変換装置の回路構成において、第1実施形態の補正信号生成装置と重複する回路、例えば、補正信号生成装置100内の段数検出回路1と、A/D変換装置200内のパルス遅延回路81とパルス通過段数検出回路82とを合わせた回路、また、例えば、補正信号生成装置100内の段数検出回路5と、A/D変換装置200内のパルス遅延回路91とパルス通過段数検出回路92とを合わせた回路を共通化しない回路構成で説明を行ったが、重複する回路を共通で使用するにより、A/D変換装置200の回路規模を削減することができる。

また、第2実施形態のA/D変換装置内の回路構成においても重複する回路、例えば、パルス遅延回路91とパルス通過段数検出回路92とを合わせた回路と、パルス遅延回路124と第7パルス通過段数検出回路とを合わせた回路を共通化しない回路構成で説明を行ったが、重複する回路を共通で使用するにより、更に、A/D変換装置200の回路規模を削減することができる。

[0076] 以上、本発明の実施形態について、図面を参照して説明してきたが、具体的な構成はこの実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲においての種々の変更も含まれる。

産業上の利用可能性

[0077] 本発明は、A/D変換装置の入出力特性の曲がり（非直線性）を補正するための補正信号を生成する補正信号生成装置の提供を可能とする。

符号の説明

[0078] 100 補正信号生成装置
 200 A/D変換装置

- 1 段数検出回路（第 1 の段数検出回路）
 - 1 1 パルス遅延回路（第 1 のパルス遅延回路）
 - 1 2 パルス通過段数検出回路（第 1 のパルス通過段数検出回路）
- 2 レベルシフト回路
- 3 段数検出回路（第 2 の段数検出回路）
 - 3 1 パルス遅延回路（第 2 のパルス遅延回路）
 - 3 2 パルス通過段数検出回路（第 2 のパルス通過段数検出回路）
- 4 補正信号出力回路
 - 4 1 出力段数比較回路（補正信号出力回路）
 - 4 2 ラッチ&エンコーダ（補正信号出力回路）
 - 4 3 基準信号出力回路（補正信号出力回路）
 - 4 4 出力回路（補正信号出力回路）
- 5 段数検出回路（第 3 の段数検出回路）
 - 5 1 パルス遅延回路（第 3 のパルス遅延回路）
 - 5 2 パルス通過段数検出回路（第 3 のパルス通過段数検出回路）
- 8 段数検出回路（第 4 の段数検出回路）
 - 8 1 パルス遅延回路（第 4 のパルス遅延回路）
 - 8 2 パルス通過段数検出回路（第 4 のパルス通過段数検出回路）
 - 8 3 ラッチ&エンコーダ（第 4 の段数検出回路）
- 9 段数検出回路（第 5 の段数検出回路）
 - 9 1 パルス遅延回路（第 5 のパルス遅延回路）
 - 9 2 パルス通過段数検出回路（第 5 のパルス通過段数検出回路）
 - 9 3 ラッチ&エンコーダ（第 5 の段数検出回路）
- 1 0 出力回路
- 1 1 補正回路
- 1 2 タイマー回路
 - 1 2 1 レベルシフト回路（タイマー回路）
 - 1 2 2 パルス遅延回路（タイマー回路）

- 1 2 3 パルス通過段数検出回路（タイマー回路）
- 1 2 4 パルス遅延回路（タイマー回路）
- 1 2 5 パルス通過段数検出回路（タイマー回路）
- 1 2 6 出力段数比較回路（タイマー回路）

請求の範囲

[請求項1]

アナログ入力電圧から得られるデジタル信号を補正するための補正信号を生成する補正信号生成装置であって、

前記アナログ入力電圧の大きさに応じた遅延時間で第1のパルス信号を遅延させる遅延ユニットを複数段接続した第1のパルス遅延回路と、前記第1のパルス信号が前記第1のパルス遅延回路内の遅延ユニットを通過した段数を検出する第1のパルス通過段数検出回路とを有する第1の段数検出回路と、

前記アナログ入力電圧の電圧レベルをシフトさせたアナログ電圧を出力するレベルシフト回路と、

前記レベルシフト回路によって電圧レベルがシフトされたアナログ電圧の大きさに応じた遅延時間で第2のパルス信号を遅延させる遅延ユニットを複数段接続した第2のパルス遅延回路と、前記第2のパルス信号が前記第2のパルス遅延回路内の遅延ユニットを通過した段数を検出する第2のパルス通過段数検出回路とを有する第2の段数検出回路と、

予め定められた電圧値であるアナログ基準電圧の大きさに応じた遅延時間で第3のパルス信号を遅延させる遅延ユニットを複数段接続した第3のパルス遅延回路と、前記第3のパルス信号が前記第3のパルス遅延回路内の遅延ユニットを通過した段数を検出する第3のパルス通過段数検出回路とを有する第3の段数検出回路と、

前記第1の段数検出回路が検出した遅延ユニットの通過段数と前記第2の段数検出回路が検出した遅延ユニットの通過段数との段数差に応じたタイミングで、前記第1の段数検出回路と前記第3の段数検出回路が検出した遅延ユニットの通過段数を保持し、保持された前記第1の段数検出回路の段数と前記第3の段数検出回路の段数の差を補正信号として出力する補正信号出力回路と、

を有する補正信号生成装置。

[請求項2] 前記補正信号出力回路は、

前記第1の段数検出回路が検出した遅延ユニットの通過段数と前記第2の段数検出回路が検出した遅延ユニットの通過段数との段数差が、予め定められた段数差となるタイミングで、前記第1の段数検出回路が検出した遅延ユニットの通過段数を保持する、

請求項1に記載の補正信号生成装置。

[請求項3] アナログ入力電圧をデジタル信号に変換するA/D変換装置であって、

前記アナログ入力電圧の大きさに応じた遅延時間で第4のパルス信号を遅延させる遅延ユニットを複数段接続した第4のパルス遅延回路と、前記第4のパルス信号が前記第4のパルス遅延回路内の遅延ユニットを所定時間に通過した段数を検出する第4のパルス通過段数検出回路とを有する第4の段数検出回路と、

予め定められた第2の電圧値である第2のアナログ基準電圧の大きさに応じた遅延時間で第5のパルス信号を遅延させる遅延ユニットを複数段接続した第5のパルス遅延回路と、前記第5のパルス信号が前記第5のパルス遅延回路内の遅延ユニットを前記所定時間に通過した段数を検出する第5のパルス通過段数検出回路とを有する第5の段数検出回路と、

前記第4の段数検出回路が検出した遅延ユニットの通過段数から、前記第5の段数検出回路が検出した遅延ユニットの通過段数を減算し、該減算した遅延ユニットの通過段数を、デジタル信号として出力する出力回路と、

請求項1に記載の補正信号生成装置と、

前記補正信号生成装置から出力された補正信号に基づいて、前記出力回路から出力されたデジタル信号を補正し、該補正したデジタル信号を出力する補正回路と、

を有するA/D変換装置。

[請求項4] 前記補正回路は、

前記補正信号生成装置から出力された補正信号と、前記出力回路から出力されたデジタル信号とを加算平均し、該加算平均したデジタル信号を出力する、

請求項3に記載のA/D変換装置。

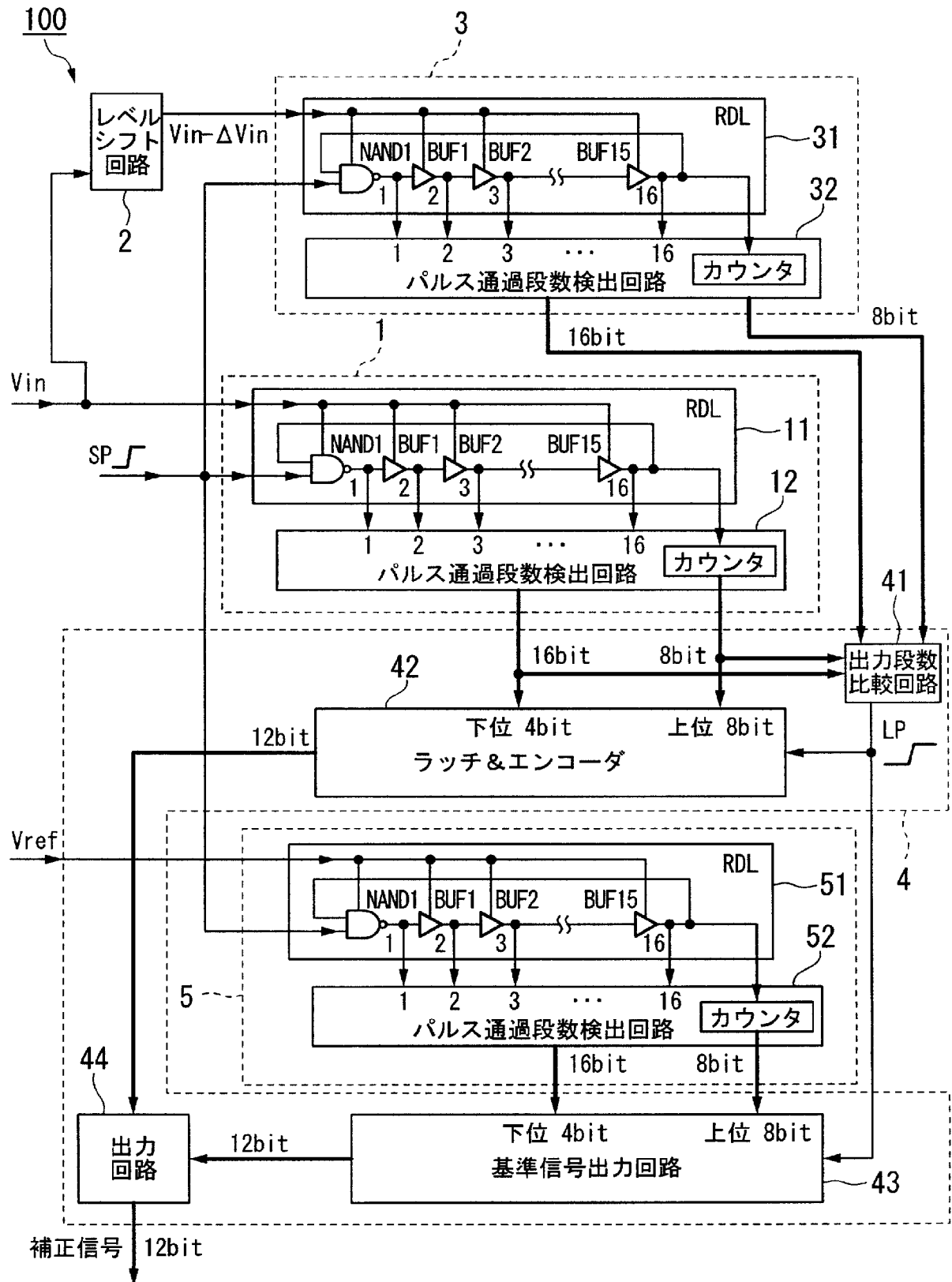
[請求項5] 前記第2のアナログ基準電圧と請求項1に記載のアナログ基準電圧とが同一である、

請求項3に記載のA/D変換装置。

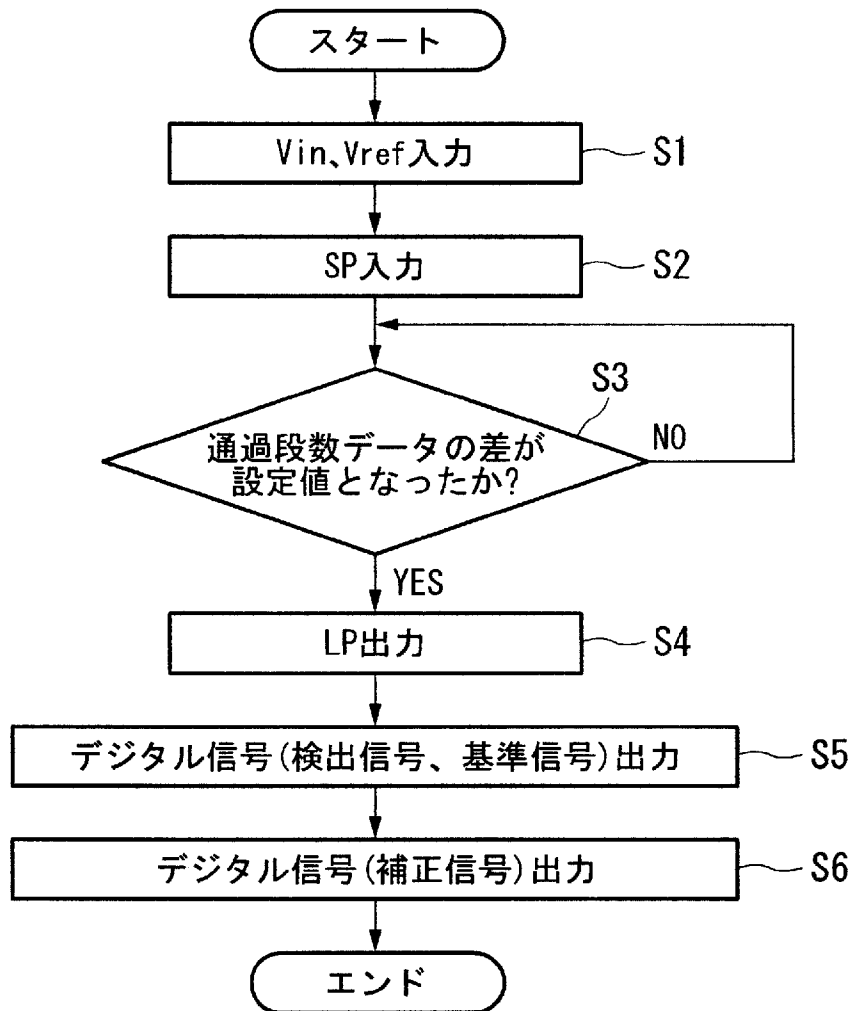
[請求項6] 前記第2のアナログ基準電圧と請求項1に記載のアナログ基準電圧と前記アナログ入力電圧とが同一である場合に、前記第5の段数検出回路が検出する遅延ユニットの通過段数が、前記補正信号出力回路で保持された前記第3の段数検出回路の段数と、略同一になるように前記所定時間を設定するタイマー回路、

を更に有する、請求項3に記載のA/D変換装置。

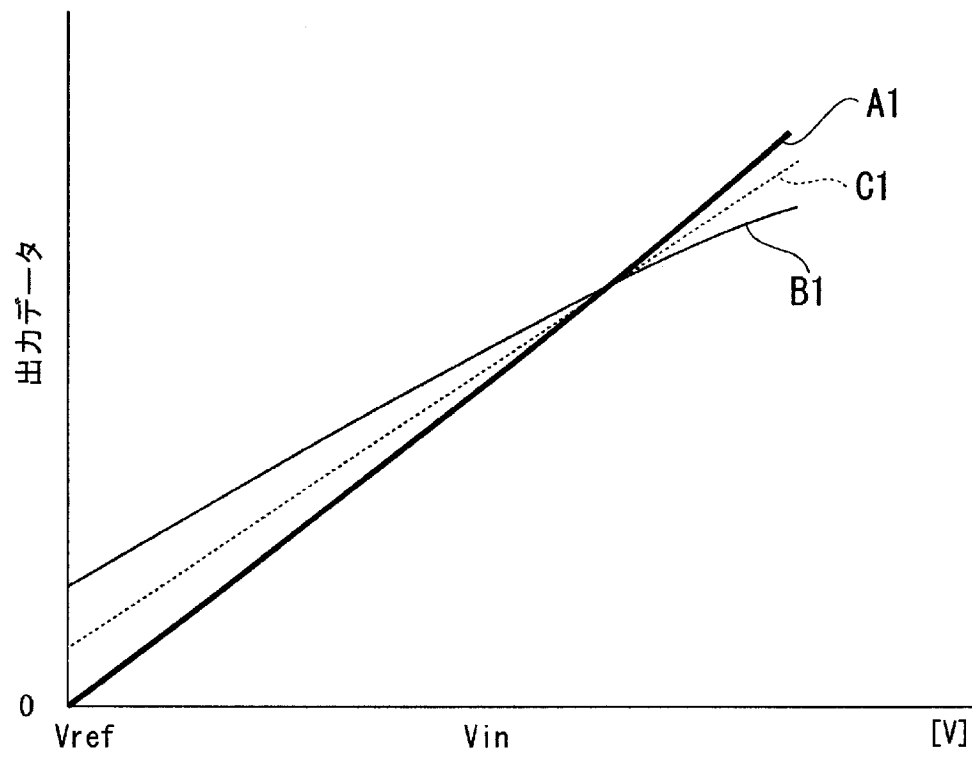
[図1]



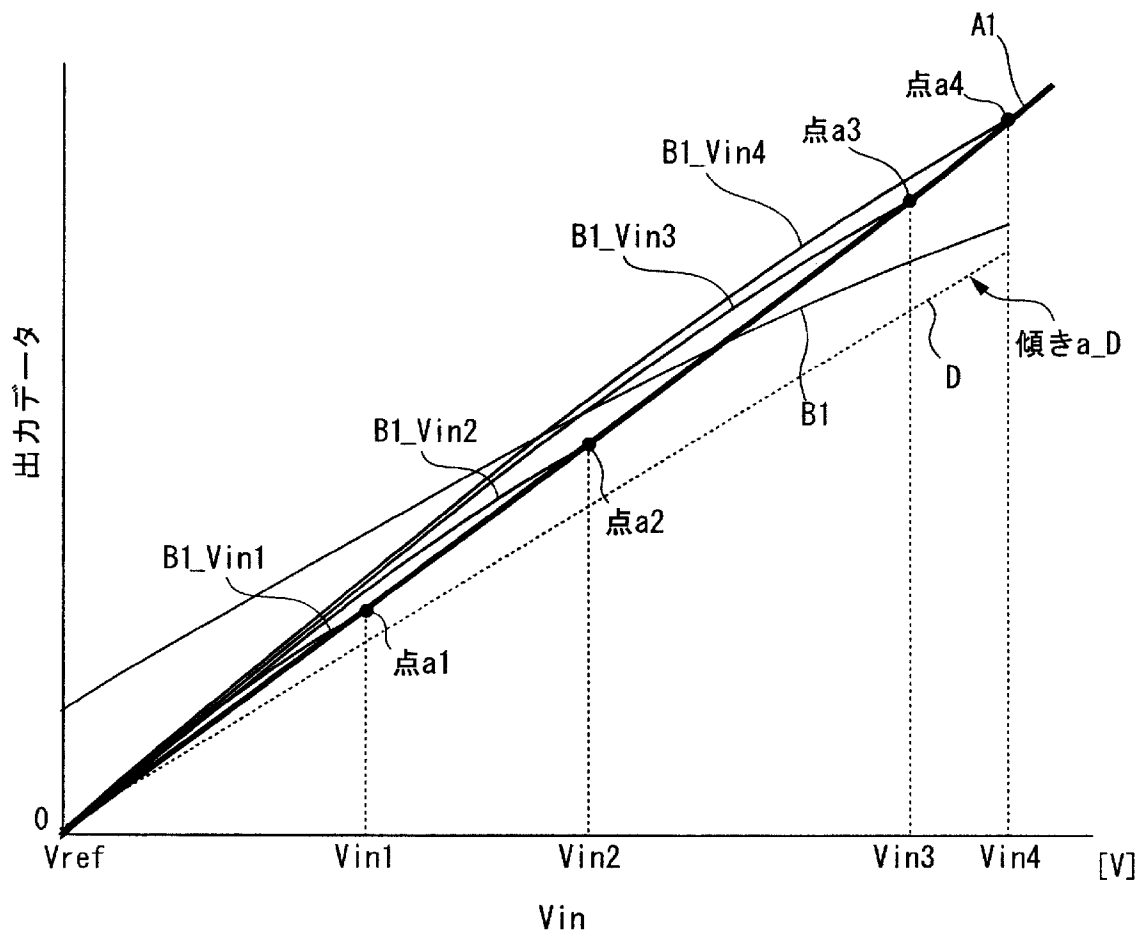
[図2]



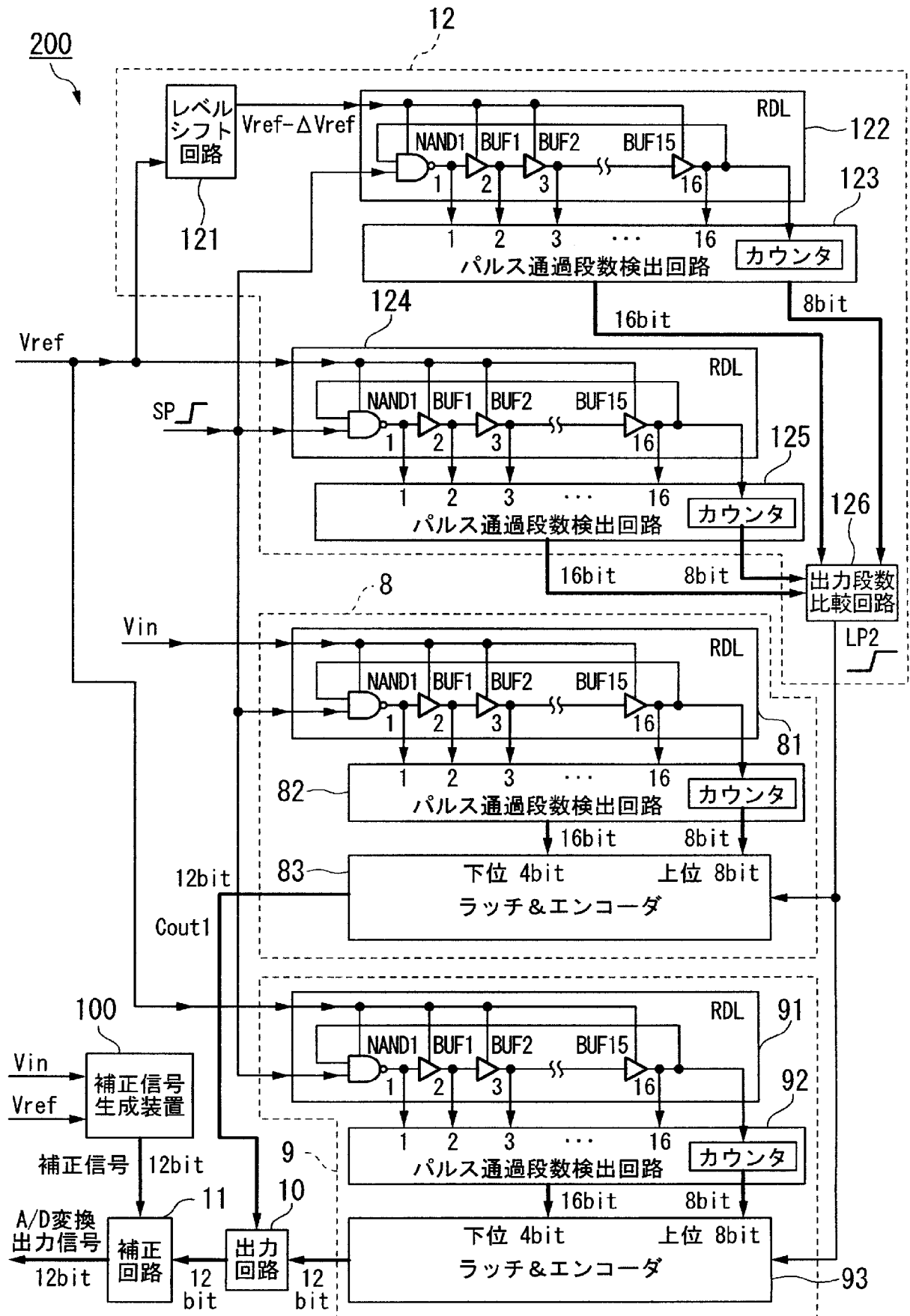
[図3]



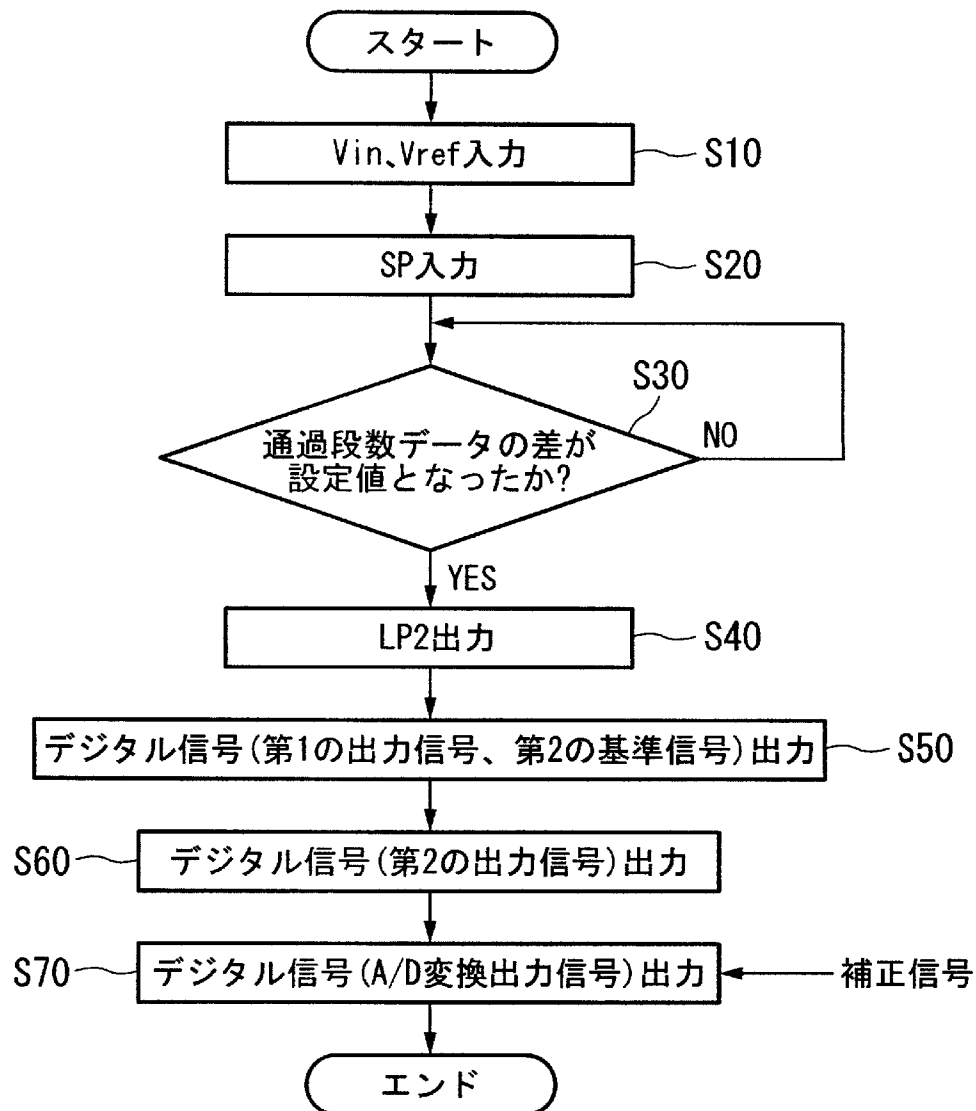
[図4]



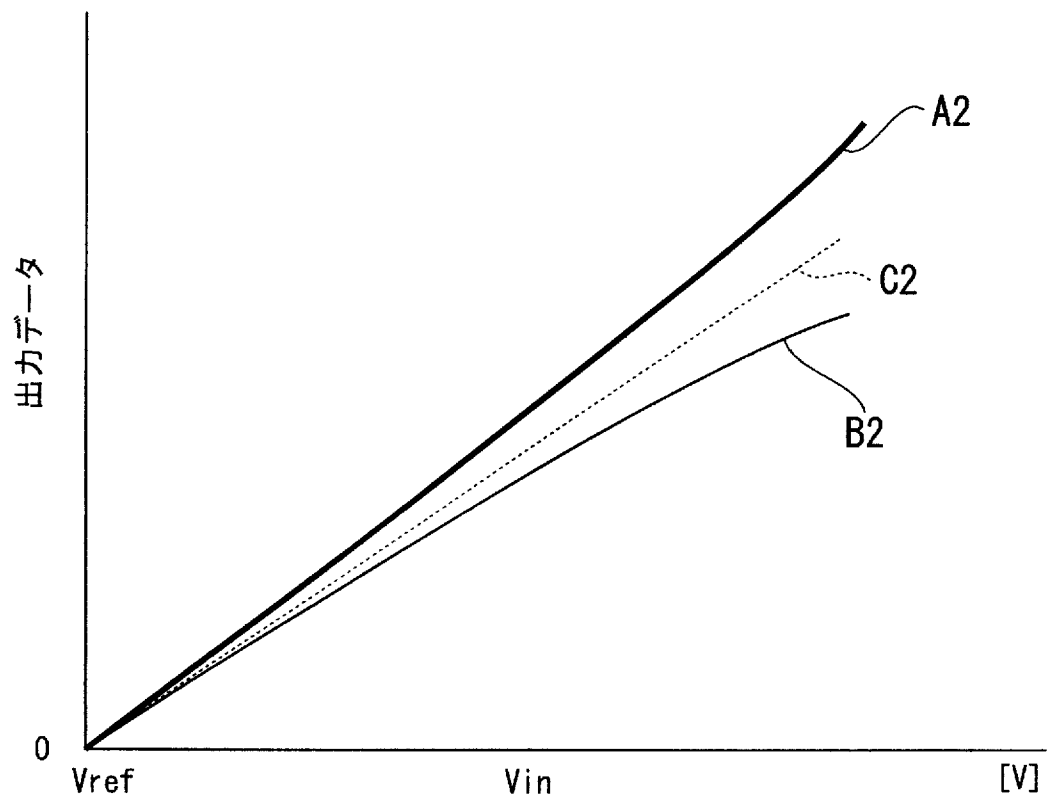
[図5]



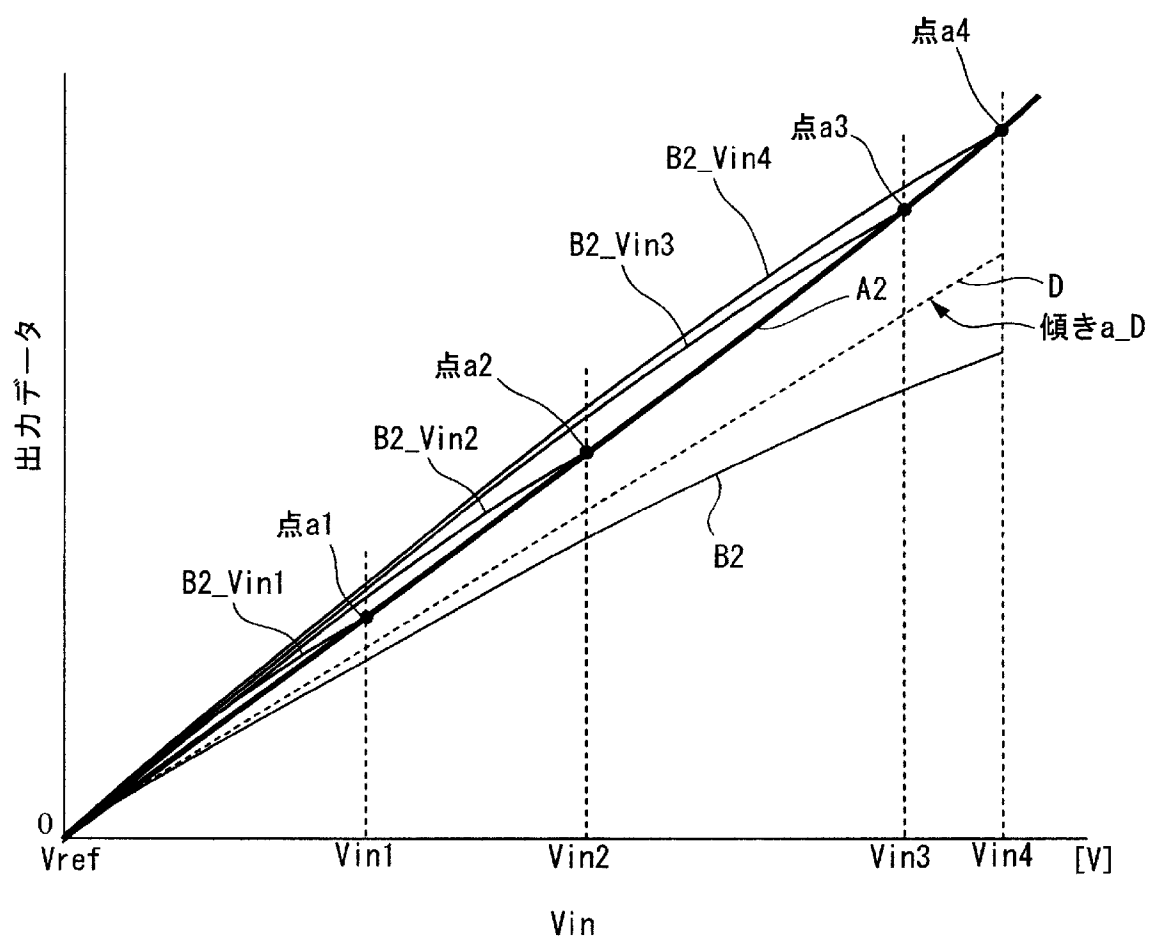
[図6]



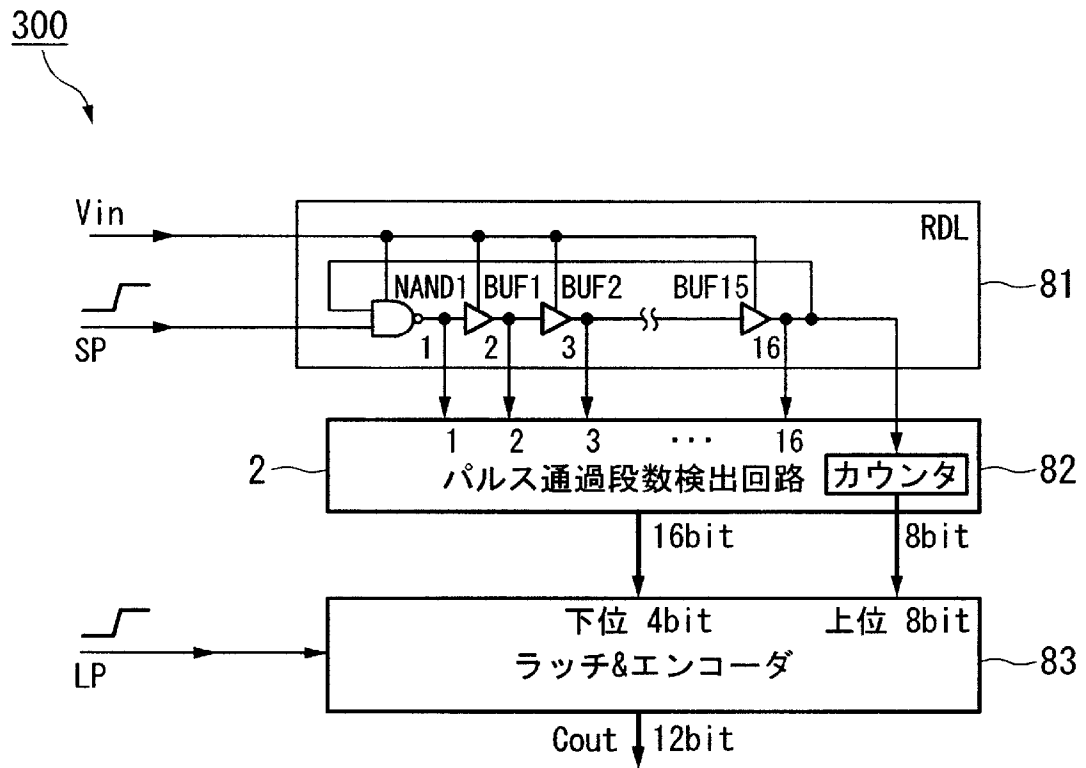
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001251

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/10(2006.01) i, H03M1/50(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/10, H03M1/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-312184 A (Denso Corp.), 25 December 2008 (25.12.2008), entire text; all drawings & US 2008/0284633 A1 & EP 1995874 A1	1-6
A	JP 2008-271489 A (Denso Corp.), 06 November 2008 (06.11.2008), entire text; all drawings & US 2008/0238738 A1	1-6
A	JP 2006-148678 A (Denso Corp.), 08 June 2006 (08.06.2006), entire text; all drawings (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01 April, 2010 (01.04.10)

Date of mailing of the international search report
13 April, 2010 (13.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M1/10(2006.01)i, H03M1/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M1/10, H03M1/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-312184 A (株式会社デンソー) 2008.12.25, 全文, 全図 & US 2008/0284633 A1 & EP 1995874 A1	1 - 6
A	JP 2008-271489 A (株式会社デンソー) 2008.11.06, 全文, 全図 & US 2008/0238738 A1	1 - 6
A	JP 2006-148678 A (株式会社デンソー) 2006.06.08, 全文, 全図 (ファミリーなし)	1 - 6

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 4 . 2 0 1 0

国際調査報告の発送日

1 3 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗栖 正和

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

3 9 8 7