

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5230542号
(P5230542)

(45) 発行日 平成25年7月10日 (2013. 7. 10)

(24) 登録日 平成25年3月29日 (2013. 3. 29)

(51) Int. Cl.

F I

H O 1 L 23/532 (2006. 01)

H O 1 L 21/88

R

H O 1 L 21/768 (2006. 01)

H O 1 L 21/90

A

H O 1 L 21/3205 (2006. 01)

請求項の数 16 (全 17 頁)

(21) 出願番号 特願2009-148054 (P2009-148054)
 (22) 出願日 平成21年6月22日 (2009. 6. 22)
 (65) 公開番号 特開2011-3859 (P2011-3859A)
 (43) 公開日 平成23年1月6日 (2011. 1. 6)
 審査請求日 平成22年8月31日 (2010. 8. 31)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 110001427
 特許業務法人前田特許事務所
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板の上に第1の絶縁膜を形成する工程 (a) と、
 前記第1の絶縁膜に配線溝を形成する工程 (b) と、
 前記配線溝に第1の配線を形成する工程 (c) と、
 前記第1の絶縁膜及び第1の配線の上に保護膜を形成する工程 (d) と、
 前記工程 (d) よりも後に、前記保護膜の表面に反応性ガスを暴露することにより、前記第1の配線と前記保護膜との界面に反応層を形成する工程 (e) とを備え、
 前記工程 (e) は、シリコン化合物又はゲルマニウム化合物を前記保護膜の表面に暴露することにより行われることを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記工程 (e) は、反応性ガスを化学的に活性化する工程を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記工程 (e) において、前記反応性ガスをイオン化することにより化学的に活性化することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記工程 (e) は、反応性ガスを物理的に活性化する工程を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】

20

前記工程（e）において、前記反応性ガスに運動エネルギーを付与することにより物理的に活性化することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】

前記保護膜の上に第2の絶縁膜を形成する工程（f）と、

前記第2の絶縁膜の内部にビアホールを形成する工程（g）と、

前記ビアホールと接続するように第2の配線を形成する工程（h）とをさらに備えていることを特徴とする請求項1～5のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項7】

前記保護膜は、シリコン炭窒化膜であることを特徴とする請求項1～6のうちのいずれか1項に記載の半導体装置の製造方法。

10

【請求項8】

前記工程（c）と前記工程（d）との間に、前記第1の配線の上に被覆層を形成する工程（c1）をさらに備えていることを特徴とする請求項1～7のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項9】

前記被覆層の主たる構成材料は、ニッケル、ニッケル合金、コバルト及びコバルト合金のうちのいずれかであることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】

前記工程（e）よりも後に、前記保護膜の表面をプラズマに暴露する工程（e1）をさらに備えていることを特徴とする請求項1～9のうちのいずれか1項に記載の半導体装置の製造方法。

20

【請求項11】

前記プラズマは、窒素化合物を含む雰囲気中において発生させることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

前記工程（e）よりも後に、前記保護膜の表面を紫外光に暴露する工程（e2）をさらに備えていることを特徴とする請求項1～9のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項13】

前記工程（e）よりも後に、前記保護膜の上にストッパ膜を形成する工程（e3）をさらに備えていることを特徴とする請求項1～12のうちのいずれか1項に記載の半導体装置の製造方法。

30

【請求項14】

前記ストッパ膜は、酸素添加シリコン炭化膜又はシリコン窒化膜であることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】

前記反応層は、シリコン化合物層又はゲルマニウム化合物層であることを特徴とする請求項1～14のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項16】

前記第1の配線の主たる構成材料は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金及び金合金のうちのいずれかであることを特徴とする請求項1～15のうちのいずれか1項に記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、埋め込み型の配線構造を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、半導体集積回路装置において、装置の微細化に伴い、装置内の配線を流れる電流

50

が増大するため、エレクトロマイグレーションに起因する故障が深刻化している。

【0003】

エレクトロマイグレーションを防止するには、配線とその周囲の膜との密着性を向上させる必要がある。これまでに、銅(Cu)からなる配線の表面をシラン(SiH₄)等のシリコン化合物に暴露してケイ化銅(CuSi_x)層を形成することにより、配線とその周囲の膜との密着性を向上させる方法が特許文献1等に提示されている。

【0004】

図11(a)~(d)及び図12(a)~(c)は、従来の配線とその周囲の膜との密着性を向上させる半導体装置の製造方法を工程順に示している。

【0005】

まず、図11(a)に示すように、半導体基板101の上に、第1の絶縁膜102を形成し、リソグラフィ法及びドライエッチング法を用いて、第1の絶縁膜102の上部に第1の配線溝103を形成する。

【0006】

次に、図11(b)に示すように、第1の絶縁膜102の上並びに第1の配線溝103の側壁上及び底面上に第1のバリア膜104及び第1の銅(Cu)膜105を順次形成することにより第1の配線溝103を埋め込む。続いて、第1の配線溝103の外部に形成された第1のバリア膜104及び第1のCu膜105を化学機械研磨(Chemical Mechanical Polishing: CMP)法により除去して、下部配線106を形成する。

【0007】

次に、図11(c)に示すように、半導体基板101を加熱し、SiH₄等のシリコン化合物に暴露することにより、第1のCu膜105の上部に反応層であるケイ化銅(CuSi_x)層107を形成する。

【0008】

次に、図11(d)に示すように、半導体基板101の上をアンモニア(NH₃)等の窒素化合物のプラズマに暴露することにより、CuSi_x層107の上部を窒化して、窒化シリコン(SiN)層108を形成する。

【0009】

次に、図12(a)に示すように、第1の絶縁膜102、第1のバリア膜104及びSiN膜108を覆うように第2の絶縁膜109を形成し、リソグラフィ法及びドライエッチング法により、第2の絶縁膜109に下部配線106を露出するビアホール110を形成する。

【0010】

次に、図12(b)に示すように、第2の絶縁膜109の上部に複数の第2の配線溝111を形成する。複数の第2の配線溝111の一部は、下部配線106を露出するビアホール110を有する。

【0011】

次に、図12(c)に示すように、第2の絶縁膜109の上、ビアホール110の側壁上及び底面上並びに第2の配線溝111の側壁上及び底面上に第2のバリア膜112及び第2のCu膜113を順次形成することにより、ビアホール110及び第2の配線溝111を埋め込む。続いて、ビアホール110及び第2の配線溝111の外部に形成された第2のバリア膜112及び第2のCu膜113をCMP法により除去して、上部配線114を形成することによって、2層の配線を備える半導体装置が完成する。また、この後、図11(c)~図12(c)に示す工程を繰り返すことにより、任意の層数の配線を備える半導体装置を製造することができる。

【0012】

このようにすると、第1のCu膜105とSiN膜108との間にCuSi_x層107が介在する半導体装置が得られ、CuSi_x層107により、第1のCu膜105とSiN膜108との密着性を改善できる。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0013】

【特許文献1】特開平10-189604号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

しかしながら、前記従来の半導体装置の製造方法には、以下のような問題がある。

【0015】

従来の半導体装置の製造方法は、反応層である $CuSi_x$ 層を形成する際に、 Cu 膜の表面温度及び結晶状態のばらつきにより、 Cu 膜と SiH_4 との反応が想定以上に進行して、想定よりも厚い $CuSi_x$ 層が形成されることがある。この結果、配線の抵抗が増大し、半導体装置の動作速度が低下する。特に、最小線幅が $100nm$ 以下である微細な半導体装置においては、配線の抵抗の増大による動作速度の低下は、深刻な問題となる。

10

【0016】

上記の問題を回避するため、半導体基板を加熱する温度を低く設定することが考えられる。しかしながら、この方法では、 Cu 膜と SiH_4 とが反応することにより生成する $CuSi_x$ 層の厚さが薄くなるため、 Cu 膜と Cu 膜の周囲の膜との密着性が低下するので、エレクトロマイグレーション耐性が劣化してしまう。

【0017】

本発明は、前記従来の問題に鑑み、その目的は、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得られるようにすることにある。

20

【課題を解決するための手段】

【0018】

前記の目的を達成するために、本発明は、半導体装置の製造方法を、配線と保護膜との界面に反応層を形成する構成とする。

【0019】

具体的に、本発明に係る第1の半導体装置の製造方法は、半導体基板の上に第1の絶縁膜を形成する工程(a)と、第1の絶縁膜に配線溝を形成する工程(b)と、配線溝に第1の配線を形成する工程(c)と、第1の絶縁膜及び第1の配線の上に保護膜を形成する工程(d)と、工程(d)よりも後に、第1の配線と保護膜との界面に反応層を形成する工程(e)とを備えていることを特徴とする。

30

【0020】

本発明に係る第1の半導体装置の製造方法によると、第1の絶縁膜及び第1の配線の上に保護膜を形成し、第1の配線と保護膜との界面に反応層を形成するため、反応層の厚さを精度良く制御することが可能となるので、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

【0021】

本発明に係る第1の半導体装置の製造方法において、工程(e)は、シリコン化合物又はゲルマニウム化合物を保護膜の表面に暴露することにより行われることが好ましい。

【0022】

40

本発明に係る第1の半導体装置の製造方法において、工程(e)は、反応性ガスを化学的に活性化する方法を備えていることが好ましい。

【0023】

この場合、工程(e)において、反応性ガスをイオン化することにより化学的に活性化することが好ましい。

【0024】

本発明に係る第1の半導体装置の製造方法において、工程(e)は、反応性ガスを物理的に活性化する方法を備えていることが好ましい。

【0025】

この場合、工程(e)において、反応性ガスに運動エネルギーを付与することにより物

50

理的に活性化することが好ましい。

【 0 0 2 6 】

本発明に係る第 1 の半導体装置の製造方法は、保護膜の上に第 2 の絶縁膜を形成する工程 (f) と、第 2 の絶縁膜の内部にビアホールを形成する工程 (g) と、ビアホールと接続するように第 2 の配線を形成する工程 (h) とをさらに備えていてもよい。

【 0 0 2 7 】

本発明に係る第 1 の半導体装置の製造方法において、保護膜は、シリコン炭窒化膜であることが好ましい。

【 0 0 2 8 】

本発明に係る第 1 の半導体装置の製造方法は、工程 (c) と工程 (d) との間に、第 1 の配線の上に被覆層を形成する工程 (c 1) をさらに備えていることが好ましい。

10

【 0 0 2 9 】

この場合、被覆層の主たる構成材料は、ニッケル、ニッケル合金、コバルト及びコバルト合金のうちのいずれかであることが好ましい。

【 0 0 3 0 】

本発明に係る第 1 の半導体装置の製造方法は、工程 (e) よりも後に、保護膜の表面をプラズマに暴露する工程 (e 1) をさらに備えていることが好ましい。

【 0 0 3 1 】

この場合、プラズマは、窒素化合物を含む雰囲気中において発生させることが好ましい。

20

【 0 0 3 2 】

本発明に係る第 1 の半導体装置の製造方法は、工程 (e) よりも後に、保護膜の表面を紫外光に暴露する工程 (e 2) をさらに備えていることが好ましい。

【 0 0 3 3 】

本発明に係る第 1 の半導体装置の製造方法は、工程 (e) よりも後に、保護膜の上にストッパ膜を形成する工程 (e 3) をさらに備えていることが好ましい。

【 0 0 3 4 】

この場合、ストッパ膜は、酸素添加シリコン炭化膜又はシリコン窒化膜であることが好ましい。

【 0 0 3 5 】

本発明に係る第 1 の半導体装置の製造方法において、反応層は、シリコン化合物層又はゲルマニウム化合物層であることが好ましい。

30

【 0 0 3 6 】

本発明に係る第 1 の半導体装置の製造方法において、第 1 の配線の主たる構成材料は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金及び金合金のうちのいずれかであることが好ましい。

【 0 0 3 7 】

本発明に係る第 2 の半導体装置の製造方法は、半導体基板の上に第 1 の絶縁膜を形成する工程と、第 1 の絶縁膜に配線溝を形成する工程と、配線溝に第 1 の配線を形成する工程と、第 1 の配線の上部に反応層を形成する工程とを備え、前記反応層は、供給律速の条件により形成することを特徴とする。

40

【 0 0 3 8 】

本発明に係る第 2 の半導体装置の製造方法によると、反応層は、供給律速の条件により形成するため、反応層の厚さを精度良く制御することが可能となるので、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

【 0 0 3 9 】

本発明に係る第 2 の半導体装置の製造方法において、反応層は、シリコン化合物層又はゲルマニウム化合物層であることが好ましい。

【 0 0 4 0 】

本発明に係る半導体装置は、半導体基板の上に形成された第 1 の絶縁膜と、第 1 の絶縁

50

膜に形成された第１の配線と、第１の絶縁膜及び第１の配線の上に形成された保護膜と、第１の配線と保護膜との界面に形成された反応層とを備えていることを特徴とする。

【００４１】

本発明に係る半導体装置によると、第１の絶縁膜及び第１の配線の上に形成された保護膜と、第１の配線と保護膜との界面に形成された反応層とを備えているため、反応層の膜厚を精度良く制御することが可能となるので、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができる。

【００４２】

本発明に係る半導体装置は、保護膜の上に形成された第２の絶縁膜と、第１の配線の上に、保護膜及び第２の絶縁膜を貫通するように形成されたビアホールと、ビアホールと接

10

【００４３】

続するように形成された第２の配線とをさらに備えていてもよい。

本発明に係る半導体装置は、保護膜の上に形成されたストッパ膜と、ストッパ膜の上に形成された第２の絶縁膜と、第１の配線の上に、保護膜、ストッパ膜及び第２の絶縁膜を貫通するように形成されたビアホールと、ビアホールと接続するように形成された第２の配線とをさらに備えていることが好ましい。

【００４４】

本発明に係る半導体装置において、保護膜は、シリコン炭窒化膜であることが好ましい。

【００４５】

本発明に係る半導体装置において、ストッパ膜は、酸素添加シリコン炭化膜又はシリコン窒化膜であることが好ましい。

20

【００４６】

本発明に係る半導体装置において、反応層は、シリコン化合物層又はゲルマニウム化合物層であることが好ましい。

【００４７】

この場合、反応層は、ニッケル又はコバルトを含むことが好ましい。

【００４８】

本発明に係る半導体装置において、第１の配線の主たる構成材料は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金及び金合金のうちのいずれかであることが

30

【発明の効果】

【００４９】

本発明に係る半導体装置及びその製造方法によると、反応層の膜厚を精度良く制御することが可能となるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

【図面の簡単な説明】

【００５０】

【図１】本発明の第１の実施形態に係る半導体装置を示す断面図である。

【図２】（ａ）～（ｄ）は本発明の第１の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

40

【図３】（ａ）～（ｃ）は本発明の第１の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図４】本発明の第１の実施形態の第１の変形例に係る半導体装置を示す断面図である。

【図５】（ａ）～（ｃ）は本発明の第１の実施形態の第１の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図６】（ａ）～（ｃ）は本発明の第１の実施形態の第１の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図７】（ａ）～（ｄ）は本発明の第１の実施形態の第２の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

50

【図 8】本発明の第 2 の実施形態に係る半導体装置を示す断面図である。

【図 9】(a) ~ (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 10】(a) ~ (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 11】(a) ~ (d) は従来の半導体装置の製造方法を工程順に示す断面図である。

【図 12】(a) ~ (c) は従来の半導体装置の製造方法を工程順に示す断面図である。

【発明を実施するための形態】

【0051】

(第 1 の実施形態)

本発明の第 1 の実施形態に係る半導体装置について、図 1 を参照しながら説明する。

【0052】

なお、以下に示す各図並びに種々の構成要素の形状、材料及び寸法等はいずれも望ましい例を挙げるものであり、示した内容に限定されない。発明の趣旨を逸脱しない範囲であれば、記載内容に限定されることなく適宜変更可能である。

【0053】

図 1 に示すように、半導体基板 1 の上には、炭素添加シリコン酸化膜 (SiOC 膜) である第 1 の絶縁膜 2 が形成され、第 1 の絶縁膜 2 の上部には、第 1 の配線溝 3 が形成されている。第 1 の配線溝 3 の側壁上及び底面上には、第 1 のバリア膜 4 が形成され、第 1 のバリア膜 4 の上には、第 1 の配線溝 3 を埋め込むように第 1 の銅 (Cu) 膜 5 が形成されて、下部配線 6 が形成されている。第 1 の Cu 膜 5 の上には、反応層であるケイ化銅 (CuSi_x) 層 8 が形成され、第 1 の絶縁膜 2、第 1 のバリア膜 4 及び CuSi_x 層 8 を覆うように、膜厚が約 10 nm のシリコン炭窒化膜 (SiCN 膜) である保護膜 7 が形成されている。保護膜 7 の上には、SiOC 膜である第 2 の絶縁膜 9 が形成されている。一部の CuSi_x 層 8 及びその周辺に形成されている第 1 のバリア膜 4 の上には、第 2 の絶縁膜 9 及び保護膜 7 を貫通し、下部配線 6 を露出するビアホール 10 が形成され、第 2 の絶縁膜 9 の上部には、複数の第 2 の配線溝 11 が形成されている。複数の第 2 の配線溝 11 の一部は、下部配線 6 を露出するビアホール 10 を有する。ビアホール 10 及び第 2 の配線溝 11 の側壁上及び底面上には、第 2 のバリア膜 12 が形成され、第 2 のバリア膜 12 の上には、ビアホール 10 及び第 2 の配線溝 11 を埋め込むように第 2 の Cu 膜 13 が形成されて、ビア及び上部配線 14 が形成されている。ここで、下部配線 6 と上部配線 14 とをビアが接続している。

【0054】

本発明の第 1 の実施形態に係る半導体装置によると、配線の抵抗の増大を抑制すると共に、配線と周囲の膜との密着性を向上させるのに必要な厚さを有する反応層を備えるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができる。

【0055】

次に、本発明の第 1 の実施形態に係る半導体装置の製造方法について、図 2 (a) ~ (d) 及び図 3 (a) ~ (c) を参照しながら説明する。

【0056】

まず、図 2 (a) に示すように、半導体基板 1 の上に SiOC 膜である第 1 の絶縁膜 2 を形成し、リソグラフィ法及びドライエッチング法により、第 1 の絶縁膜 2 の上部に第 1 の配線溝 3 を形成する。

【0057】

次に、図 2 (b) に示すように、第 1 の絶縁膜 2 の上並びに第 1 の配線溝 3 の側壁上及び底面上に第 1 のバリア膜 4 及び第 1 の Cu 膜 5 を順次形成することにより、第 1 の配線溝 3 を埋め込む。続いて、第 1 の配線溝 3 の外部に形成された第 1 のバリア膜 4 及び第 1 の Cu 膜 5 を化学機械研磨 (CMP) 法により除去して、下部配線 6 を形成する。本実施形態において、下部配線 6 の最小線幅は約 60 nm とし、高さは約 100 nm に設定している。

10

20

30

40

50

【0058】

次に、図2(c)に示すように、第1の絶縁膜2、第1のバリア膜4及び第1のCu膜5を覆うように膜厚が約10nmのSiCN膜である保護膜7を形成する。

【0059】

次に、図2(d)に示すように、半導体基板1を400程度に加熱し、SiH₄に暴露する。これにより、第1のCu膜5と保護膜7との界面に反応層であるCuSi_x層8が形成される。これは、SiH₄が保護膜7の内部を拡散し、第1のCu膜5の表面に到達し、第1のCu膜5と反応するためである。このように、CuSi_x層8を形成することにより、従来技術と比較してCuSi_x層8の厚さを精度良く制御することができる。この理由に関しては、後に詳しく説明する。

10

【0060】

次に、図3(a)に示すように、保護膜7の上にSiOC膜である第2の絶縁膜9を形成し、リソグラフィ法及びドライエッチング法により、第2の絶縁膜9に保護膜7を露出するビアホール10を形成する。

【0061】

次に、図3(b)に示すように、リソグラフィ法及びドライエッチング法により、第2の絶縁膜9の上部に複数の第2の配線溝11を形成すると共に、ビアホール10の底面の保護膜7を除去して、第1のバリア膜4及びCuSi_x層8を露出する。複数の第2の配線溝11の一部は、下部配線6を露出するビアホール10を有する。

【0062】

20

次に、図3(c)に示すように、第2の絶縁膜9の上、ビアホール10の側壁上及び底面上並びに第2の配線溝11の側壁上及び底面上に第2のバリア膜12及び第2のCu膜13を順次形成しビアホール10及び第2の配線溝11を埋め込む。その後、ビアホール10及び第2の配線溝11の外部の第2のバリア膜12及び第2のCu膜13をCMP法により除去して、ビア及び上部配線14を形成することにより、2層の配線を有する半導体装置が完成する。本実施形態では、上部配線14の最小線幅を約60nmとし、高さを約100nmに設定している。なお、図3(c)に示す工程の後、図2(c)~図3(c)に示す工程を繰り返すことにより、任意の層数の配線を有する半導体装置を製造することもできる。

【0063】

30

本発明の第1の実施形態に係る半導体装置の製造方法によると、反応層であるCuSi_x層の厚さを精度良く制御できるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

【0064】

ここで、本実施形態において、従来の技術と比較してCuSi_x層8の厚さを精度良く制御できる理由について説明する。一般に、Cu膜の表面において、SiH₄は触媒作用により分解し、CuSi_x層が形成されることが知られている。300以下の低温において、この反応は反応律速であるため、形成されるCuSi_x層の厚さは、Cu膜の表面温度及び結晶状態に大きく影響される。一方、本実施形態では、第1のCu膜5の上に保護膜7を形成することにより、SiH₄を保護膜7の内部に拡散し、第1のCu膜5の表面に供給するため、反応をSiH₄の供給律速とすることができる。すなわち、形成されるCuSi_x層8の厚さは、第1のCu膜5の表面に到達するSiH₄の量によって決まるため、第1のCu膜5の表面温度及び結晶状態に影響されない。以上の理由により、本実施形態では、従来の技術と比較してCuSi_x層8の厚さを精度良く制御することができる。

40

【0065】

なお、CuSi_x層8を形成する反応を供給律速とするには、前記の方法の他に、半導体基板1の加熱温度を例えば350程度に高く設定し、SiH₄の分圧を例えば1mPa程度に低く設定した上で、保護膜7を形成せずに第1のCu膜5とSiH₄とを直接接触させる方法もある。ただし、この方法では、CuSi_x層8の成長速度が大きく、半導

50

体装置の製造に必要な数nmの厚さのCuSi_x層8を制御性良く形成することは困難であるため、前記のように保護膜7を介してSiH₄を供給する方法が好ましい。

【0066】

前記のように、保護膜7の役割は、第1のCu膜5の表面に到達するSiH₄の量を適切に制御することであるため、保護膜7は、SiH₄が通過できる程度の径の細孔を有している必要がある。また、保護膜7は、第1の絶縁膜2、第1のCu膜5及び第2の絶縁膜9に対し、化学的に不活性であり、適度な密着性を有することも必要である。これらを満足する材料としては、CH₃基を不純物として含むSiCNが挙げられる。このようなSiCNからなる保護膜7は、テトラメチルシラン(tetramethylsilane: TMS)及びアンモニア(NH₃)を原料ガスとして用いるプラズマ化学気相成長(Chemical Vapor Deposition: CVD)法により得ることができる。また、保護膜7の膜厚は、2.5nmよりも薄くなると、ピンホール等に起因するCuSi_x層8の異常成長の頻度が上昇してしまう。一方、保護膜7の膜厚が20nmよりも厚くなると、第1のCu膜5の表面にSiH₄が到達する量が極端に減少し、CuSi_x層8が成長する速度が極端に低下してしまう。従って、保護膜7の膜厚は、2.5nm以上且つ20nm以下程度に設定することが好ましい。そこで、本実施形態では、保護膜7として膜厚が約10nmのSiCN膜を用いている。

【0067】

次に、図2(d)に示す工程における、半導体基板1の好ましい加熱温度について説明する。加熱温度を300よりも低く設定すると、SiH₄が保護膜7の内部を拡散する速度が低下するため、十分な厚さのCuSi_x層8が得られない。また、加熱温度を400よりも高く設定すると、SiH₄の分解反応のために保護膜7の表面にSi層が形成される。従って、加熱温度は、300以上且つ400以下程度に設定することが好ましいため、本実施形態では加熱温度を400程度としている。

【0068】

次に、図2(d)に示す工程における、CuSi_x層8の好ましい厚さについて説明する。CuSi_x層8の厚さが2nmよりも小さくなると、CuSi_x層8の連続性を保つことが困難となり、第1のCu膜5と保護膜7との密着性が低下する。また、CuSi_x層8の厚さが10nmよりも大きくなると、下部配線6の抵抗が上昇し、半導体装置の動作速度が低下する。従って、CuSi_x層8の厚さは、2nm以上且つ10nm以下程度に設定することが好ましい。

【0069】

(第1の実施形態の第1の変形例)

以下、本発明の第1の実施形態の第1の変形例に係る半導体装置について、図4を参照しながら説明する。第1の実施形態の第1の変形例の半導体装置において、第1の実施形態の半導体装置における図1に示す部材と同一の部材については、同一の符号を付与することにより説明を省略し、第1の実施形態と異なる点について説明する。

【0070】

図4に示すように、第1のCu膜5の上に反応層16が形成され、反応層16の上に保護膜7が形成されている点が第1の実施形態と異なる。反応層16は、CuSi_xとNiSi_xとの混合物からなる。このように、反応層16を形成することにより、第1の実施形態と比較して、第1のCu膜5と保護膜7の密着性がさらに向上するため、エレクトロマイグレーション耐性をさらに向上させることができる。

【0071】

本発明の第1の実施形態の第1の変形例に係る半導体装置によると、配線の抵抗の増大を抑制すると共に、配線と周囲の膜との密着性を向上させるのに必要な厚さを有する反応層を備えるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができる。

【0072】

以下、本発明の第1の実施形態の第1の変形例に係る半導体装置の製造方法について、

10

20

30

40

50

図5(a)～(c)及び図6(a)～(c)を参照しながら説明する。なお、図5(a)～(c)及び図6(a)～(c)において、第1の実施形態における図2(a)～(d)及び図3(a)～(c)に示す部材と同一の部材については、同一の符号を付与することにより説明を省略する。また、第1の実施形態の第1の変形例において、半導体基板1～下部配線6を形成するまでの工程は、第1の実施形態と同一であるため説明を省略する。

【0073】

まず、図5(a)に示すように、第1のCu膜5の上部に被覆層15を形成する。ここで、被覆層15は、第1のCu膜5の表面に選択的に形成でき、且つ、 SiH_4 と反応して安定な化合物を生成することが必要である。これらを満足する材料としては、ニッケル(Ni)膜、Ni合金膜、コバルト(Co)膜及びCo合金膜等が知られている。これらは、無電解メッキ法により第1のCu膜5の表面に選択的に形成することができる。本実施形態において、被覆層15は、無電解メッキ法により析出させたNi層である。

10

【0074】

次に、図5(b)に示すように、第1の絶縁膜2、第1のバリア膜4及び被覆層15を覆うように保護膜7を形成する。

【0075】

次に、図5(c)に示すように、半導体基板1を加熱し、 SiH_4 に暴露する。これにより、第1のCu膜5と保護膜7との界面に反応層16が形成される。本実施形態の場合、反応層16は、 CuSi_x と NiSi_x との混合物からなる。このように、反応層16を形成することにより、第1の実施形態と比較して、第1のCu膜5と保護膜7の密着性がさらに向上するため、エレクトロマイグレーション耐性をさらに向上させることができる。

20

【0076】

次に、図6(a)～図6(c)に示すように、第1の実施形態と同様に、保護膜7の上に第2の絶縁膜9を形成し、第2の絶縁膜9にビアホール10及び第2の配線溝11を形成した後、ビアホール10及び第2の配線溝11を埋め込むように第2のバリア膜12及び第2のCu膜13を順次形成して、ビア及び上部配線14を形成する。なお、図6(c)に示す工程の後、図5(b)～図6(c)に示す工程を繰り返すことにより、任意の層数の配線を有する半導体装置を製造することもできる。

【0077】

本発明に係る第1の実施形態の第1の変形例によると、反応層である CuSi_x と NiSi_x との混合物からなる層の厚さを精度良く制御できるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

30

【0078】

(第1の実施形態の第2の変形例)

以下、本発明の第1の実施形態の第2の変形例について、図7(a)～(d)を参照しながら説明する。なお、図7(a)～(d)において、第1の実施形態における図2(a)～(d)及び図3(a)～(c)に示す部材と同一の部材については、同一の符号を付与することにより説明を省略する。また、第1の実施形態の第2の変形例において、半導体基板1～ CuSi_x 層8を形成するまでの工程は第1の実施形態と同一であるため説明を省略する。

40

【0079】

まず、図7(a)に示すように、保護膜7の表面を NH_3 プラズマに暴露する。これにより、第1のCu膜5、保護膜7及び CuSi_x 層8の相互拡散が促進され、第1のCu膜5と保護膜7との密着性が向上するため、第1の実施形態と比較してエレクトロマイグレーション耐性を向上させることができる。ここで、この効果を確実に得るためには、保護膜7の表面に、窒素(N_2)、ジアゼン($\text{HN}=\text{NH}$)及びヒドラジン($\text{H}_2\text{N}-\text{NH}_2$)等の窒素化合物を含む雰囲気中において発生させたプラズマを照射することが好ましい。また、他の好ましい方法としては、保護膜7の表面に紫外光を照射することが挙げられる。

50

【 0 0 8 0 】

次に、図 7 (b) ~ 図 7 (d) に示すように、第 1 の実施形態と同様に、保護膜 7 の上に第 2 の絶縁膜 9 を形成し、第 2 の絶縁膜 9 にビアホール 1 0 及び第 2 の配線溝 1 1 を形成した後、ビアホール 1 0 及び第 2 の配線溝 1 1 を埋め込むように第 2 のバリア膜 1 2 及び第 2 の C u 膜 1 3 を順次形成して、ビア及び上部配線 1 4 を形成する。なお、図 7 (d) に示す工程の後、図 2 (c)、図 2 (d) 及び図 7 (a) ~ 図 7 (d) に示す工程を繰り返すことにより、任意の層数の配線を有する半導体装置を製造することもできる。

【 0 0 8 1 】

本実施形態は、第 1 の実施形態に対して工程を追加した例であるが、第 1 の実施形態の第 1 の変形例に対しても同様に適用することができる。

10

【 0 0 8 2 】

本発明に係る第 1 の実施形態の第 2 の変形例によると、反応層である C u S i _x 層の厚さを精度良く制御できるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

【 0 0 8 3 】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態に係る半導体装置について、図 8 を参照しながら説明する。第 2 の実施形態の半導体装置は、第 1 の実施形態の半導体装置における図 1 に示す半導体基板 1 ~ 下部配線 6 及び C u S i _x 層 8 の構造と同一であるため、説明を省略する。

【 0 0 8 4 】

20

図 8 に示すように、第 1 の絶縁膜 2、第 1 のバリア膜 4 及び C u S i _x 層 8 を覆うように、膜厚が約 5 n m のシリコン炭窒化膜 (S i C N) である保護膜 1 7 が形成されている。保護膜 1 7 の上には、膜厚が約 2 0 n m の酸素添加シリコン炭化膜 (S i C O 膜) であるストッパ膜 1 8 が形成されている。ストッパ膜 1 8 の上には、S i O C 膜である第 2 の絶縁膜 9 が形成されている。一部の C u S i _x 層 8 及びその周辺に形成されている第 1 のバリア膜 4 の上には、第 2 の絶縁膜 9、ストッパ膜 1 8 及び保護膜 1 7 を貫通し、C u S i _x 層 8 及び第 1 のバリア膜 4 を露出するビアホール 1 0 が形成され、第 2 の絶縁膜 9 の上部には、第 2 の配線溝 1 1 が形成されている。ビアホール 1 0 及び第 2 の配線溝 1 1 の側壁上及び底面上には、第 2 のバリア膜 1 2 が形成され、第 2 のバリア膜 1 2 の上には、ビアホール 1 0 及び第 2 の配線溝 1 1 を埋め込むように第 2 の C u 膜 1 3 が形成されて、ビア及び上部配線 1 4 が形成されている。ここで、下部配線 6 と上部配線 1 4 とをビアが接続している。

30

【 0 0 8 5 】

第 2 の絶縁膜 9 の材料によっては、ビアホール 1 0 を形成する際にビアホール 1 0 の底部に下部配線 6 を露出させず、第 2 の配線溝 1 1 を形成する際に下部配線 6 を露出させる方が、歩留りが良好な場合がある。これを安定して実現するために、本実施形態では、第 2 の絶縁膜 9 に対してエッチング選択比の大きいストッパ膜 1 8 を形成している。

【 0 0 8 6 】

本発明の第 2 の実施形態に係る半導体装置によると、配線の抵抗の増大を抑制すると共に、配線と周囲の膜との密着性を向上させるのに必要な厚さを有する反応層を備えるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができる。

40

【 0 0 8 7 】

以下、本発明の第 2 の実施形態に係る半導体装置の製造方法について、図 9 (a) ~ (c) 及び図 1 0 (a) ~ (c) を参照しながら説明する。なお、図 9 (a) ~ (c) 及び図 1 0 (a) ~ (c) において、第 1 の実施形態における図 2 (a) ~ (d) 及び図 3 (a) ~ (c) に示す部材と同一の部材については、同一の符号を付与することにより説明を省略する。また、第 2 の実施形態において、半導体基板 1 ~ 下部配線 6 を形成するまでの工程は第 1 の実施形態と同一であるため説明を省略する。

【 0 0 8 8 】

まず、図 9 (a) に示すように、第 1 の絶縁膜 2、第 1 のバリア膜 4 及び第 1 の C u 膜

50

5の上に、膜厚が約5nmのSiCN膜である保護膜17を形成する。

【0089】

次に、図9(b)に示すように、半導体基板1を加熱し、SiH₄に暴露する。これにより、第1のCu膜5と保護膜17との界面に反応層であるCuSi_x層8が形成される。

【0090】

次に、図9(c)に示すように、保護膜17の上にストッパ膜18を形成する。ここで、ストッパ膜18の材料として、SiCO又は窒化シリコン(SiN)を用いることが好ましい。SiCOは、テトラメチルシラン(TMS)及び二酸化炭素(CO₂)を原料ガスとして用いたプラズマCVD法により得ることができ、SiNはシラン及びNH₃を原料ガスとして用いたプラズマCVD法により得ることができる。本実施形態では、ストッパ膜18は、膜厚が約20nmのSiCO膜を用いている。

【0091】

次に、図10(a)に示すように、ストッパ膜18の上に第2の絶縁膜9を形成する。

【0092】

次に、図10(b)に示すように、第2の絶縁膜9の内部にビアホール10を形成する。このとき、ビアホール10のエッチングは、第2の絶縁膜9と比べて、ストッパ膜18の方がエッチングレートが低い条件で行い、ストッパ膜18の表面においてエッチングを停止する。

【0093】

第2の絶縁膜9の材料によっては、ビアホール10を形成する際にビアホール10の底部に下部配線6を露出させず、第2の配線溝11を形成する際に下部配線6を露出させる方が、歩留りが良好な場合がある。これを安定して実現するためには、第2の絶縁膜9に対してエッチング選択比の大きいストッパ膜18を形成し、ビアホール10の形成のためのエッチングをストッパ膜18が露出するまで行うことが有効である。

【0094】

次に、図10(c)に示すように、第2の絶縁膜9の上部に複数の第2の配線溝11を形成すると共に、ビアホール10の底部の保護膜17及びストッパ膜18を除去した後、ビアホール10及び第2の配線溝11を埋め込むように第2のバリア膜12及び第2のCu膜13を順次形成して、ビア及び上部配線14を形成する。なお、図10(c)に示す工程の後、図9(a)～図9(c)及び図10(a)～図10(c)に示す工程を繰り返すことにより、任意の層数の配線を有する半導体装置を製造することもできる。

【0095】

本実施形態は、第1の実施形態に対してストッパ膜18を形成する工程を追加した例であるが、第1の実施形態の第1の変形例及び第2の変形例に対しても適用できる。

【0096】

本発明に係る第2の半導体装置の製造方法によると、反応層であるCuSi_x層の厚さを精度良く制御できるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

【0097】

以上、本発明の実施形態及びその変形例について説明してきたが、本発明はそれらに限定されるものではない。

【0098】

例えば、前記の実施形態では、CuSi_x層8又は反応層16の形成にSiH₄を用いているが、ポリシラン(Si_nH_{2n+2})等のシリコン化合物を代わりに用いることができる。さらに、これらのシリコン化合物の代わりに、ゲルマン(GeH₄)及びポリゲルマン(Ge_nH_{2n+2})等のゲルマニウム化合物を代わりに用いることもできる。この場合、CuSi_x層の代わりにゲルマニウム化銅(CuGe_x)層が形成され、反応層16はYGe_xとCuGe_xとの混合物となる。ただし、YはNi又はCoのいずれかである。

【 0 0 9 9 】

また、前記の実施形態では、 CuSi_x 層 8 又は反応層 16 の形成のために、保護膜 7 の表面を SiH_4 等の反応性ガスに暴露しているが、反応性ガスを化学的もしくは物理的に活性化する手段をさらに備えていても良い。前者の例としては、反応装置の内部又は外部におけるプラズマによる反応性ガスのラジカル化又はイオン化が挙げられる。また、後者の例としては、イオン注入技術の適用による反応性ガスへの運動エネルギーの付与が挙げられる。

【 0 1 0 0 】

また、前記の実施形態では、第 1 の Cu 膜 5 を用いて下部配線 6 を形成しているが、 Cu 合金膜、アルミニウム (Al) 膜、 Al 合金膜、銀 (Ag) 膜、 Ag 合金膜、金 (Au) 膜及び Au 合金膜等を用いて下部配線 6 を形成することも可能である。これらの場合には、 CuSi_x 層の代わりに XSi_x 層が形成され、反応層 16 は YGe_x と CuGe_x との混合物となる。ただし、 X は下部配線の主要な構成元素であり、 Y は Ni 又は Co のいずれかである。

【 0 1 0 1 】

また、前記の実施形態では、第 2 の配線溝 11 よりも先にビアホール 10 を形成しているが、逆に、ビアホール 10 よりも先に第 2 の配線溝 11 を形成することも可能である。

【 0 1 0 2 】

その他、本発明は、本発明の趣旨を逸脱しない範囲において、種々の形態に変形して適用可能である。

【産業上の利用可能性】

【 0 1 0 3 】

本発明に係る半導体装置及びその製造方法は、反応層の膜厚を精度良く制御することが可能となるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができ、特に、埋め込み型の配線構造を有する半導体装置及びその製造方法等に有用である。

【符号の説明】

【 0 1 0 4 】

- 1 半導体基板
- 2 第 1 の絶縁膜
- 3 第 1 の配線溝
- 4 第 1 のバリア膜
- 5 第 1 の銅 (Cu) 膜
- 6 下部配線
- 7 保護膜
- 8 ケイ化銅 (CuSi_x) 層 (反応層)
- 9 第 2 の絶縁膜
- 10 ビアホール
- 11 第 2 の配線溝
- 12 第 2 のバリア膜
- 13 第 2 の銅 (Cu) 膜
- 14 上部配線
- 15 被覆層
- 16 反応層
- 17 保護膜
- 18 ストップパ膜

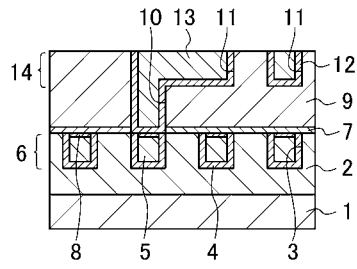
10

20

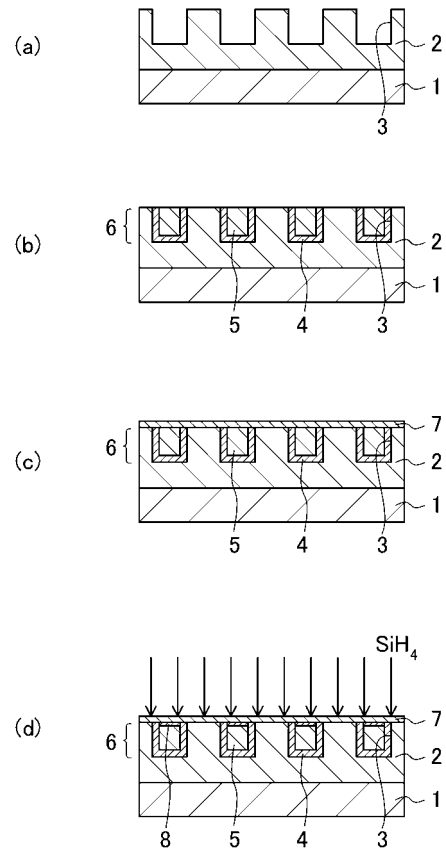
30

40

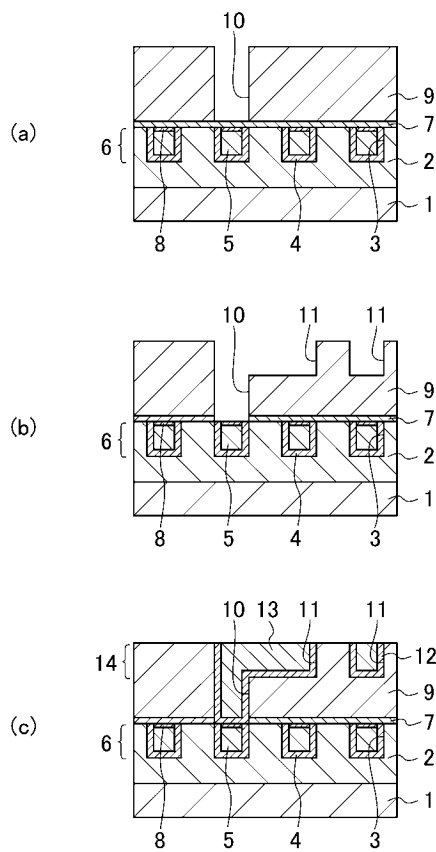
【図 1】



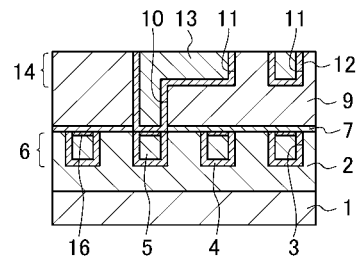
【図 2】



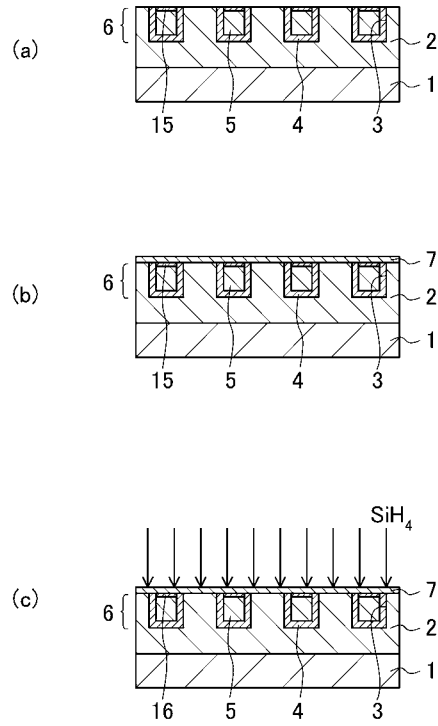
【図 3】



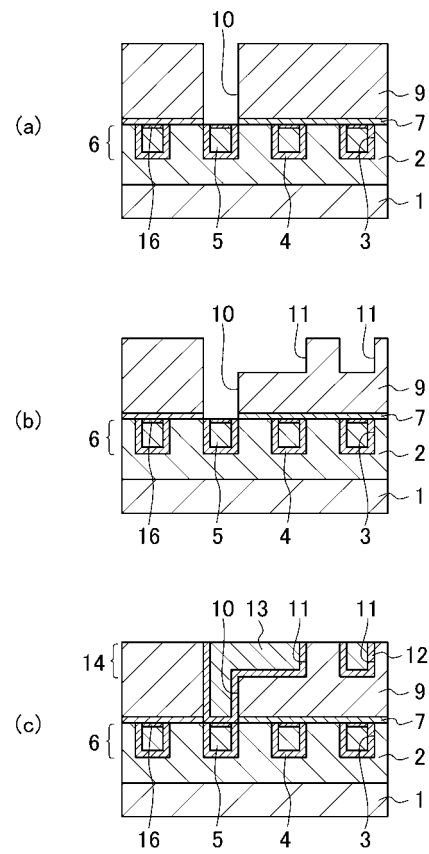
【図 4】



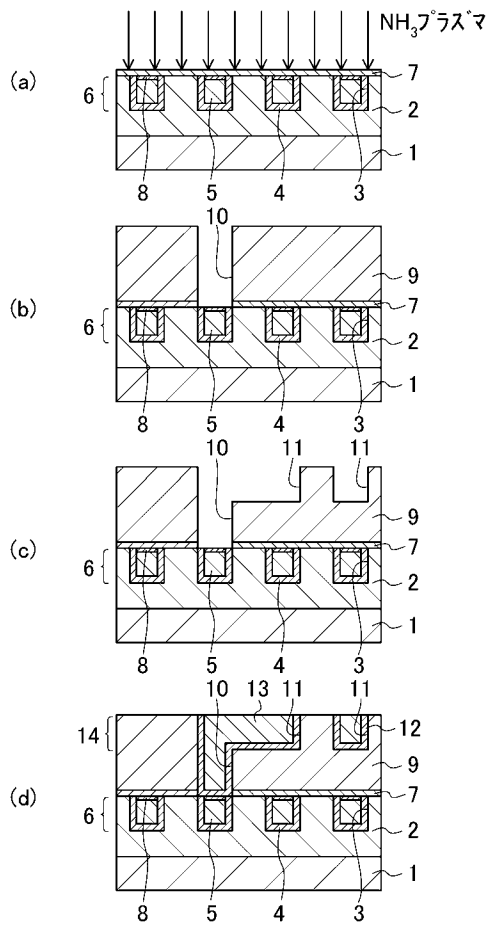
【図 5】



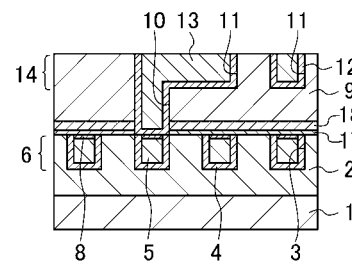
【図 6】



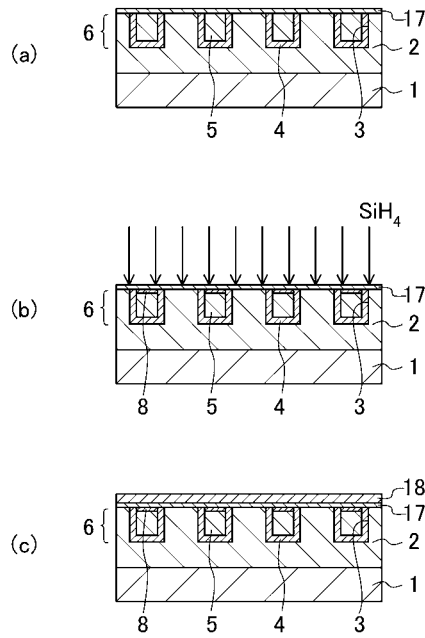
【図 7】



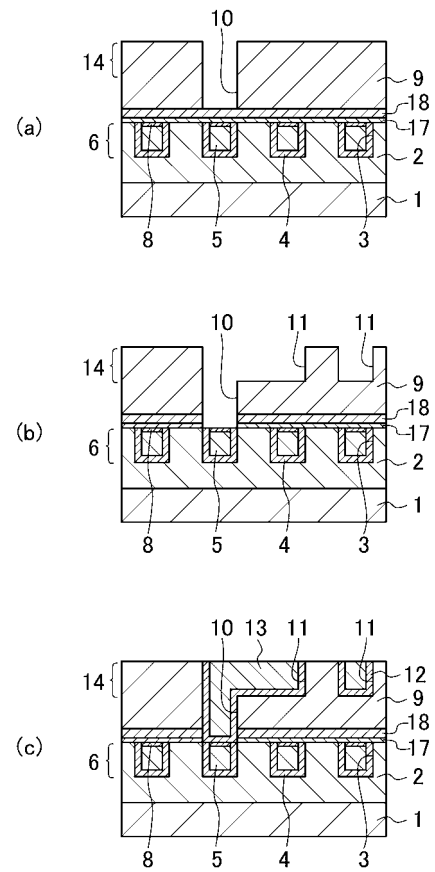
【図 8】



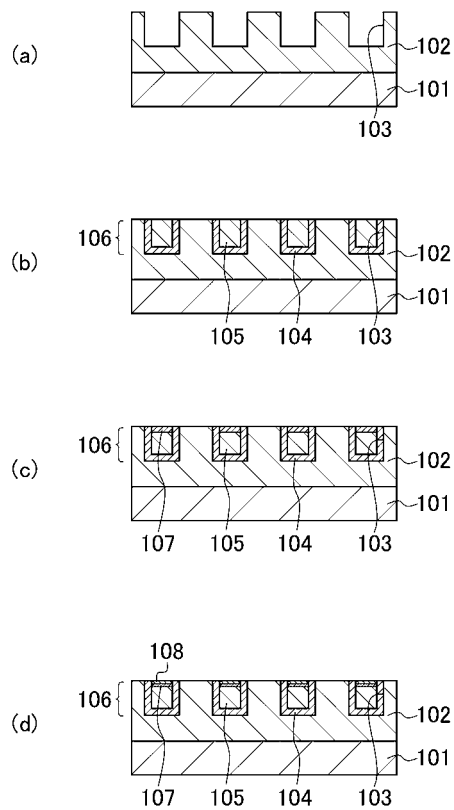
【図 9】



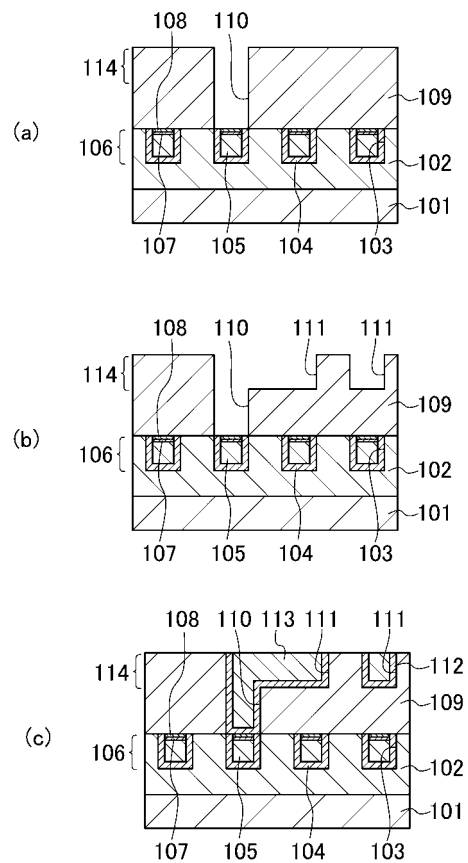
【図 10】



【図 11】



【図 12】



フロントページの続き

- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 原田 剛史
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 柴田 潤一
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 植木 彰
京都府長岡京市神足焼町 1 番地 パナソニックセミコンダクターエンジニアリング株式会社内

審査官 大嶋 洋一

- (56)参考文献 特開 2 0 0 9 - 0 1 6 5 0 2 (J P , A)
特開 2 0 0 7 - 0 2 7 7 6 9 (J P , A)
特開 2 0 0 4 - 0 9 6 0 5 2 (J P , A)
特開 2 0 0 2 - 2 4 6 3 9 1 (J P , A)
特開 2 0 0 0 - 0 5 8 5 4 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 3 2