



(12) 发明专利申请

(10) 申请公布号 CN 119137745 A

(43) 申请公布日 2024. 12. 13

(21) 申请号 202380037959.X

(22) 申请日 2023.06.20

(30) 优先权数据

2022-102157 2022.06.24 JP

2023-051956 2023.03.28 JP

(85) PCT国际申请进入国家阶段日

2024.11.01

(86) PCT国际申请的申请数据

PCT/JP2023/022778 2023.06.20

(87) PCT国际申请的公布数据

W02023/249016 JA 2023.12.28

(71) 申请人 索尼半导体解决方案公司

地址 日本神奈川县

(72) 发明人 北野良昭 佐藤信也 梶川绫子

田中裕介 柏川周平 西藤洋将

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

专利代理师 姚鹏 陈桂香

(51) Int.Cl.

H01L 27/146 (2006.01)

H04N 25/63 (2006.01)

H04N 25/70 (2006.01)

H04N 25/79 (2006.01)

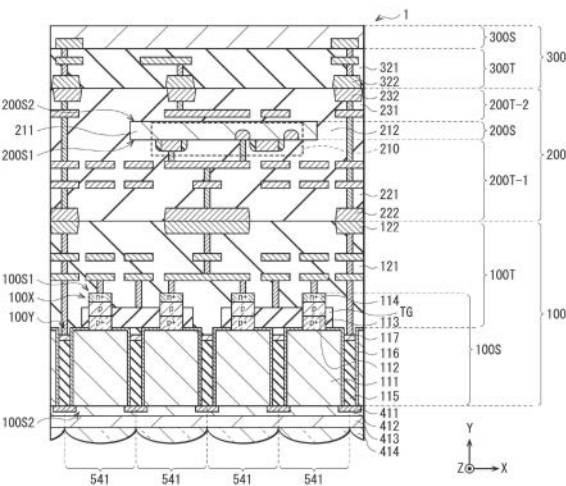
权利要求书3页 说明书36页 附图59页

(54) 发明名称

成像元件及成像装置

(57) 摘要

本公开的一个实施例的成像元件包括：具有彼此相对的第一表面和第二表面并包括在平面内方向上排列成阵列的多个像素的第一半导体基板，多个突起按照多个像素中的每一者设置在第一表面上；按照每个像素以嵌入在第一半导体基板中的方式形成并根据接收的光量产生电荷的多个光电转换器；分别设置在多个突起的上表面上并保持在多个光电转换器中产生的电荷的多个电荷保持单元；层叠在第一半导体基板的第一表面侧并设置有一个或多个基于由多个光电转换器中的每一者产生的电荷产生像素信号的像素电路的第二半导体基板；以及传输晶体管的设置在多个突起周围并将保持在电荷保持单元中的电荷传输到像素电路的栅极。



1. 一种成像元件, 包括:

第一半导体基板, 所述第一半导体基板具有彼此相对的第一表面和第二表面, 并且包括在面内方向上排列成阵列的多个像素, 多个突起按照所述多个像素中的每一者设置在所述第一表面上;

多个光电转换器, 所述多个光电转换器按照每个所述像素以嵌入在所述第一半导体基板中的方式形成, 并且根据接收的光量产生电荷;

多个电荷保持单元, 所述多个电荷保持单元分别设置在所述多个突起的上表面上, 并且保持在所述多个光电转换器中产生的电荷;

第二半导体基板, 所述第二半导体基板层叠在所述第一半导体基板的所述第一表面侧, 并且设置有一个或多个像素电路, 所述像素电路基于所述多个光电转换器中的每一者产生的电荷产生像素信号; 以及

传输晶体管的栅极, 所述栅极设置在所述多个突起的周围, 并且将保持在所述电荷保持单元中的电荷传输至所述像素电路。

2. 根据权利要求1所述的成像元件, 其中, 所述栅极设置在分别设置在所述多个突起上的所述多个电荷保持单元的下方。

3. 根据权利要求1所述的成像元件, 其中, 所述栅极设置为比所述多个突起的上表面更向上突出, 并且所述栅极的突出部分的侧表面上形成有侧壁。

4. 根据权利要求3所述的成像元件, 其中, 所述侧壁的一部分嵌入在所述栅极的侧表面与所述多个突起的侧表面之间。

5. 根据权利要求3所述的成像元件, 其中, 所述栅极的一部分嵌入在所述第一半导体基板中。

6. 根据权利要求1所述的成像元件, 其中, 所述第一半导体基板还包括分离部, 所述分离部设置在相邻的所述多个像素之间并且在所述第一表面和所述第二表面之间延伸。

7. 根据权利要求6所述的成像元件, 其还包括向所述第一半导体基板施加参考电位的接触部层,

其中, 所述接触部层嵌入在所述第一半导体基板的所述第一表面中并位于所述分离部的上方。

8. 根据权利要求7所述的成像元件, 其中, 所述第一半导体基板的形成有所述接触部层的所述第一表面是凹陷。

9. 根据权利要求7所述的成像元件, 其中, 所述接触部层设置在与所述电荷保持单元相同的高度处。

10. 根据权利要求1所述的成像元件, 其中, 所述栅极是按照所述多个像素中的每一者进行设置的。

11. 根据权利要求1所述的成像元件, 其中, 所述栅极连续地设置在相邻的所述多个像素中。

12. 根据权利要求1所述的成像元件, 其中, 针对一个所述像素或所述多个像素中的每一者设置一个所述像素电路。

13. 根据权利要求1所述的成像元件, 其中,

所述第一半导体基板和所述第二半导体基板中的每一者在相对表面侧还包括多层布

线层,

在设置的各个所述多层布线层的表面上设置有一个或多个焊盘电极,并且

通过将所述一个或多个焊盘电极结合在一起,所述第一半导体基板和所述第二半导体基板彼此电连接。

14. 根据权利要求1所述的成像元件,其中,所述第一半导体基板和所述第二半导体基板通过在所述第一半导体基板和所述第二半导体基板之间贯通的贯通电极彼此电连接。

15. 根据权利要求1所述的成像元件,其中,

所述第二半导体基板具有彼此相对的第三表面和第四表面,

所述像素电路包括:复位晶体管,所述复位晶体管将所述电荷保持单元的电位复位到预定位置;放大晶体管,所述放大晶体管产生具有与所述电荷保持单元中保持的电荷的电平相一致的电压的信号作为所述像素信号;以及选择晶体管,所述选择晶体管控制从所述放大晶体管输出所述像素信号的时序,

所述复位晶体管、所述放大晶体管和所述选择晶体管设置在所述第二半导体基板的所述第三表面上,并且

所述第一半导体基板和所述第二半导体基板层叠,且所述第一表面与所述第三表面彼此相对。

16. 根据权利要求1所述的成像元件,其中,

所述第二半导体基板具有彼此相对的第三表面和第四表面,

所述像素电路包括:复位晶体管,所述复位晶体管将所述电荷保持单元的电位复位到预定位置;放大晶体管,所述放大晶体管产生具有与所述电荷保持单元中保持的电荷的电平相一致的电压的信号作为所述像素信号;以及选择晶体管,所述选择晶体管控制从所述放大晶体管输出所述像素信号的时序,

所述复位晶体管、所述放大晶体管和所述选择晶体管设置在所述第二半导体基板的所述第三表面上,并且

所述第一半导体基板和所述第二半导体基板层叠,且所述第一表面与所述第三表面彼此相对。

17. 根据权利要求16所述的成像元件,其中,所述复位晶体管、所述放大晶体管和所述选择晶体管是具有三维结构的晶体管。

18. 根据权利要求1所述的成像元件,其在所述第一半导体基板的所述第二表面侧还包括选择性地允许预定波长的光透射的滤色器层和按照每个所述像素设置的多个光接收透镜。

19. 根据权利要求18所述的成像元件,其中,对于一个光接收透镜,所述多个像素中的每一者包括两个所述光电转换器、两个所述突起、分别设置在所述两个突起的上表面上的两个所述电荷保持单元、分别设置在所述两个突起周围的两个所述传输晶体管的所述栅极。

20. 根据权利要求19所述的成像元件,其中,

所述多个像素包括在与第一方向相交的第二方向上彼此相邻的第一像素和第二像素,所述两个光电转换器并行排列在所述第一方向上,并且

所述两个传输晶体管的所述栅极各自在所述第一像素和所述第二像素之间连续。

21. 根据权利要求1所述的成像元件, 其中, 所述多个电荷保持单元设置在所述栅极的上表面与下表面之间的高度处。

22. 根据权利要求1所述的成像元件, 其中, 所述栅极连续地设置在所述多个突起的周围。

23. 根据权利要求1所述的成像元件, 其中, 所述栅极设置成围绕所述多个突起的一部分。

24. 根据权利要求23所述的成像元件, 其中, 所述栅极设置在相邻的所述多个电荷保持单元之间。

25. 根据权利要求19所述的成像元件, 其中,
所述滤色器层包括用于选择性地允许彼此不同的波长的光透射的第一滤色器、第二滤色器和第三滤色器, 并且

所述第一滤色器、所述第二滤色器和所述第三滤色器遍及地设置于在第一方向和与所述第一方向相交的第二方向中的至少一个方向上相邻的所述多个像素上, 所述两个光电转换器在所述第一方向上并行地排列。

26. 根据权利要求25所述的成像元件, 其中,
在共用所述第一滤色器、所述第二滤色器和所述第三滤色器中的任一者的所述多个像素中, 所述多个电荷保持单元在沿所述第二方向相邻的两个像素之间被共用, 并且
所述栅极设置为围绕在沿所述第二方向相邻的两个像素之间被共用的所述多个电荷保持单元。

27. 一种包括成像元件的成像装置, 所述成像元件包括:
第一半导体基板, 所述第一半导体基板具有彼此相对的第一表面和第二表面, 并且包括在面内方向上排列成阵列的多个像素, 多个突起按照所述多个像素中的每一者设置在所述第一表面上;

多个光电转换器, 所述多个光电转换器按照每个所述像素以嵌入在所述第一半导体基板中的方式形成, 并且根据接收的光量产生电荷;

多个电荷保持单元, 所述多个电荷保持单元分别设置在所述多个突起的上表面上, 并且保持在所述多个光电转换器中产生的电荷;

第二半导体基板, 所述第二半导体基板层叠在所述第一半导体基板的所述第一表面侧, 并且设置有一个或多个像素电路, 所述像素电路基于所述多个光电转换器中的每一者产生的电荷产生像素信号; 以及

传输晶体管的栅极, 所述栅极设置在所述多个突起的周围, 并且将保持在所述电荷保持单元中的电荷传输至所述像素电路。

成像元件及成像装置

技术领域

[0001] 本公开例如涉及具有三维结构的成像元件和成像装置。

背景技术

[0002] 近年来,三维结构成像元件已得到发展,以使成像装置变小,并实现高像素密度。例如,专利文献1公开了一种成像元件,在该成像元件中,包括执行光电转换的传感器像素的第一基板和包括读出电路的第二基板上下层叠。

[0003] 引用文献列表

[0004] 专利文献

[0005] 专利文献1:国际公开号W0 2019/131965

发明内容

[0006] 鉴于此,期望具有如上所述的三维结构的成像元件能够减少暗电流的产生。

[0007] 期望提供可以减少暗电流产生的成像元件和成像装置。

[0008] 本公开的一个实施例的成像元件包括:第一半导体基板,所述第一半导体基板具有彼此相对的第一表面和第二表面,并且包括在面内方向上排列成阵列的多个像素,多个突起按照所述多个像素中的每一者设置在所述第一表面上;多个光电转换器,所述多个光电转换器按照每个所述像素以嵌入在所述第一半导体基板中的方式形成,并且根据接收的光量产生电荷;多个电荷保持单元,所述多个电荷保持单元分别设置在所述多个突起的上表面上,并且保持在所述多个光电转换器中产生的电荷;第二半导体基板,所述第二半导体基板层叠在所述第一半导体基板的所述第一表面侧,并且设置有一个或多个像素电路,所述像素电路基于所述多个光电转换器中的每一者产生的电荷产生像素信号;以及传输晶体管的栅极,所述栅极设置在所述多个突起的周围,并且将保持在所述电荷保持单元中的电荷传输至所述像素电路。

[0009] 本公开的一个实施例的成像装置包括上述实施例的成像元件。

[0010] 在本公开的实施例的成像元件和成像装置中,在具有彼此相对的第一表面和第二表面并包括在面内方向上排列成阵列的多个像素的第一半导体基板中,多个突起按照多个像素中的每一者设置在第一表面上,在多个突起的上表面上分别设置有保持在多个光电转换器中产生的电荷的多个电荷保持单元,每个电荷保持单元形成为嵌入在每个像素中,并且在多个突起的周围设置有传输晶体管的将保持在电荷保持单元中的电荷传输到像素电路的栅极。因此,确保了电荷保持单元和传输栅极之间沿高度方向的距离。

附图说明

[0011] 图1是示出根据本公开第一实施例的成像装置的功能构造示例的框图。

[0012] 图2是示出图1所示的成像装置的示意构造的示意平面视图。

[0013] 图3是示出成像装置的沿图2所示的线I-I'的横截面构造的示意图。

- [0014] 图4是图1所示的像素共用单元的等效电路图。
- [0015] 图5是示出图1所示的成像装置的横截面构造示例的示意图。
- [0016] 图6是示出图5所示的第一基板的平面布局示例的示意图。
- [0017] 图7A是示出图5所示的第一基板的制造过程的示意横截面图。
- [0018] 图7B是示出图7A的过程延续的示意横截面图。
- [0019] 图7C是示出图7B的过程延续的示意横截面图。
- [0020] 图7D是示出图7C的过程延续的示意横截面图。
- [0021] 图7E是示出图7D的过程延续的示意横截面图。
- [0022] 图7F是示出图7E的过程延续的示意横截面图。
- [0023] 图7G是示出图7F的过程延续的示意横截面图。
- [0024] 图7H是示出图7G的过程延续的示意横截面图。
- [0025] 图7I是示出图7H的过程延续的示意横截面图。
- [0026] 图7J是示出图7I的过程延续的示意横截面图。
- [0027] 图7K是示出图7J的过程延续的示意横截面图。
- [0028] 图7L是示出图7K的过程延续的示意横截面图。
- [0029] 图8是用于解释图3所示的成像装置的输入信号的信号路径的示意图。
- [0030] 图9是用于解释图3所示的成像装置的像素信号的信号路径的示意图。
- [0031] 图10A是示出普通成像装置的像素的平面布局示例的示意图。
- [0032] 图10B是示出沿图10A所示的线II-II'的横截面构造的示意图。
- [0033] 图11是示出根据本公开变形例1的成像装置的横截面构造示例的示意图。
- [0034] 图12是示出图11所示的成像装置的第一基板和第二基板的平面布局示例的示意图。
- [0035] 图13A是示出根据本公开变形例2的成像装置的像素阵列示例的示意平面视图。
- [0036] 图13B是示出根据本公开变形例2的成像装置的另一像素阵列示例的示意平面视图。
- [0037] 图14是示出根据本公开第二实施例的成像装置的横截面构造示例的示意图。
- [0038] 图15是示出本公开第二实施例的成像装置的横截面构造示例的示意图,其位置与图14的位置不同。
- [0039] 图16是示出图14和15所示的成像装置的平面布局示例的示意图。
- [0040] 图17A是示出图14和15所示的第一基板的制造过程的横截面图。
- [0041] 图17B是示出图17A的过程延续的示意横截面图。
- [0042] 图17C是示出图17B的过程延续的示意横截面图。
- [0043] 图17D是示出图17C的过程延续的示意横截面图。
- [0044] 图17E是示出图17D的过程延续的示意横截面图。
- [0045] 图17F是示出图17E的过程延续的示意横截面图。
- [0046] 图17G是示出图17F的过程延续的示意横截面图。
- [0047] 图18是示出根据本公开变形例3的成像装置的横截面构造示例的示意图。
- [0048] 图19是示出根据本公开变形例3的成像装置的横截面构造示例的示意图,其位置与图18的位置不同。

- [0049] 图20是示出根据本公开变形例4的成像装置的横截面构造示例的示意图。
- [0050] 图21是示出根据本公开变形例4的成像装置的横截面构造示例的示意图,其位置与图20的位置不同。
- [0051] 图22是示出根据本公开变形例5的成像装置的平面布局示例的示意图。
- [0052] 图23是示出根据本公开第三实施例的成像装置的像素的平面构造示例的示意图。
- [0053] 图24是示出与图23所示的线V-V'对应的横截面构造示例的示意图。
- [0054] 图25是示出图23所示的成像装置的像素阵列部的构造示例的示意平面视图。
- [0055] 图26是示出与图23所示的线V-V'对应的另一横截面构造示例的示意图。
- [0056] 图27是示出根据本公开变形例6的成像装置的像素的平面构造示例的示意图。
- [0057] 图28是示出与图27所示的线VI-VI'对应的横截面构造示例的示意图。
- [0058] 图29是示出与图27所示的线VI-VI'对应的另一横截面构造示例的示意图。
- [0059] 图30是示出根据本公开变形例7的成像装置的像素的平面构造示例的示意图。
- [0060] 图31是示出与图30所示的线VII-VII'对应的横截面构造示例的示意图。
- [0061] 图32是示出与图30所示的线VII-VII'对应的另一横截面构造示例的示意图。
- [0062] 图33是示出根据本公开变形例8的成像装置的像素的平面构造示例的示意图。
- [0063] 图34是示出与图33所示的线VIII-VIII'对应的横截面构造示例的示意图。
- [0064] 图35是示出与图33所示的线VIII-VIII'对应的另一横截面构造示例的示意图。
- [0065] 图36是示出根据本公开变形例9的成像装置的像素的平面构造示例的示意图。
- [0066] 图37是示出根据本公开变形例9的成像装置的像素的另一平面构造示例的示意图。
- [0067] 图38是示出根据本公开变形例9的成像装置的像素的平面构造示例的示意图。
- [0068] 图39是示出根据本公开变形例10的成像装置的像素的另一平面构造示例的示意图。
- [0069] 图40是示出根据本公开变形例11的成像装置的像素的平面构造示例的示意图。
- [0070] 图41是示出根据本公开变形例11的成像装置的像素的另一平面构造示例的示意图。
- [0071] 图42是示出根据本公开变形例11的成像装置的像素的又一平面构造示例的示意图。
- [0072] 图43是示出根据本公开变形例11的成像装置的像素的又一平面构造示例的示意图。
- [0073] 图44是示出根据本公开第四实施例的成像装置的第一基板的半导体层的横截面构造示例的示意图。
- [0074] 图45A是示出图44所示的第一基板的半导体层的平面布局示例的示意图。
- [0075] 图45B是示出图44所示的第一基板的半导体层的另一平面布局示例的示意图。
- [0076] 图46是示出根据本公开变形例12的成像装置的第一基板的半导体层的横截面构造示例的示意图。
- [0077] 图47A是示出图46所示的第一基板的半导体层的平面布局示例的示意图。
- [0078] 图47B是示出图46所示的第一基板的半导体层的另一平面布局示例的示意图。
- [0079] 图48是示出根据本公开变形例13的成像装置的像素的平面构造示例的示意图。

- [0080] 图49是示出根据本公开变形例13的成像装置的像素的另一平面构造示例的示意图。
- [0081] 图50是示出根据本公开变形例13的成像装置的像素的又一平面构造的示意图。
- [0082] 图51是示出根据本公开变形例13的成像装置的像素的又一平面构造的示意图。
- [0083] 图52是示出根据本公开变形例13的成像装置的像素的又一平面构造的示意图。
- [0084] 图53是示出根据本公开变形例13的成像装置的像素的又一平面构造的示意图。
- [0085] 图54是示出根据本公开变形例13的成像装置的像素的又一平面构造的示意图。
- [0086] 图55是示出根据本公开变形例13的成像装置的像素的又一平面构造的示意图。
- [0087] 图56是示出根据本公开变形例13的成像装置的像素的又一平面构造的示意图。
- [0088] 图57是示出根据本公开变形例13的成像装置的像素的又一平面构造的示意图。
- [0089] 图58是示出根据本公开第五实施例的成像装置的像素阵列部的构造示例的平面视图。
- [0090] 图59是示出与图58所示的线XI-XI'对应的横截面构造示例的示意图。
- [0091] 图60是示出与图58所示的线XI-XI'对应的另一横截面结构示例的示意图。
- [0092] 图61是示出根据本公开变形例14的成像装置的像素的平面构造示例的示意图。
- [0093] 图62是示出根据本公开变形例14的成像装置的像素的另一平面构造示例的示意图。
- [0094] 图63是示出包括根据上述实施例及其变形例的成像装置的成像系统6的示意构造示例的图。
- [0095] 图64是示出图63所示的成像系统中的成像过程示例的图。
- [0096] 图65是示出内窥镜手术系统的示意构造示例的视图。
- [0097] 图66是示出摄像头和相机控制单元(CCU)的功能构造示例的框图。
- [0098] 图67是示出车辆控制系统的示意构造示例的框图。
- [0099] 图68是辅助解释车外信息检测部和成像部的安装位置示例的图。

具体实施方式

[0100] 下文将参照附图详细说明本公开的实施例。以下说明是本公开的具体示例,并且本公开不限于以下方面。此外,对于每个附图中所示的每个组件的布局、尺寸、尺寸比率等,本公开不限于这些布局、尺寸、尺寸比率等。应注意,说明顺序如下。

- [0101] 1. 第一实施例(在半导体基板的突起中设置有FD并且在突起周围在低于FD的位置处设置有传输栅极的成像装置的示例)
- [0102] 2. 变形例
- [0103] 2-1. 变形例1(成像装置的另一构造示例)
- [0104] 2-2. 变形例2(成像装置的另一构造示例)
- [0105] 3. 第二实施例(在半导体基板的突起中设置有FD并且在突起周围在高于FD的位置处设置有传输栅极的成像装置的示例)
- [0106] 4. 变形例
- [0107] 4-1. 变形例3(成像装置的另一构造示例)
- [0108] 4-2. 变形例4(成像装置的另一构造示例)

- [0109] 4-3. 变形例5 (成像装置的另一构造示例)
- [0110] 5. 第三实施例 (在半导体基板的突起中设置有FD并且在相位差像素中在突起周围设置有传输栅极的成像装置的示例)
- [0111] 6. 变形例
- [0112] 6-1. 变形例6 (成像装置的另一构造示例)
- [0113] 6-2. 变形例7 (成像装置的另一构造示例)
- [0114] 6-3. 变形例8 (成像装置的另一构造示例)
- [0115] 6-4. 变形例9 (成像装置的另一构造示例)
- [0116] 6-5. 变形例10 (成像装置的另一构造示例)
- [0117] 6-6. 变形例11 (成像装置的另一构造示例)
- [0118] 7. 第四实施例 (在传输栅极的上表面和下表面之间设置有FD的成像装置的示例)
- [0119] 8. 变形例
- [0120] 8-1. 变形例12 (成像装置的另一构造示例)
- [0121] 8-2. 变形例13 (成像装置的另一构造示例)
- [0122] 9. 第五实施例 (在整体相位差像素中, FD在相邻像素之间被共用并且每个像素的传输栅极设置在FD周围的成像装置的示例)
- [0123] 10. 变形例14 (成像装置的另一构造示例)
- [0124] 11. 应用示例 (成像系统)
- [0125] 12. 实际应用示例
- [0126] <1. 第一实施例>
- [0127] [成像装置的功能构造]
- [0128] 图1是示出根据本公开第一实施例的成像装置 (成像装置1) 的功能构造示例的框图。
- [0129] 图1中的成像装置1例如包括输入部510A、行驱动部520、时序控制部530、像素阵列部540、列信号处理部550、图像信号处理部560和输出部510B。
- [0130] 在像素阵列部540中, 像素541重复排列成阵列。更具体地, 以包括一组像素的单位单元539作为重复单元, 单位单元539重复排列成具有行和列的阵列, 即在行方向和列方向上排列。应注意, 在本说明书中, 为了方便起见, 可将行方向称为H方向, 并将垂直于行方向的列方向称为V方向。在图1的示例中, 一个单位单元539例如包括四个像素 (像素541A、541B、541C和541D)。
- [0131] 除了像素541A、541B、541C和541D之外, 像素阵列部540还设置有多条行驱动信号线542和多条垂直信号线 (列读出线) 543。行驱动信号线542驱动像素阵列部540中并排排列在行方向上的多个单位单元539中的每个单位单元中包括的像素541。行驱动信号线542驱动单位单元539中并排排列在行方向上的每个像素。如稍后将参考图4详细说明, 单位单元539设置有多晶体管的。为了驱动这些多个晶体管中每个晶体管, 多条行驱动信号线542连接到一个单位单元539。单位单元539连接到垂直信号线 (列读出线) 543。通过垂直信号线 (列读出线) 543从单位单元539中包括的每个像素541A、541B、541C和541D中读出像素信号。
- [0132] 行驱动部520例如包括确定用于驱动像素的行位置的行地址控制器 (即, 行解码器部) 以及产生用于驱动像素541A、541B、541C和541D的信号的行驱动电路部。

[0133] 列信号处理部550例如包括负载电路部,该负载电路部连接到垂直信号线543并与像素541A、541B、541C和541D(单位单元539)一起形成源极跟随器电路。列信号处理部550可以包括放大器电路部,该放大器电路部对通过垂直信号线543从单位单元539读出的信号进行放大。列信号处理部550可以包括噪声处理器。噪声处理器例如去除从单位单元539读出的信号中的由光电转换引起的系统噪声电平。

[0134] 列信号处理部550例如包括模拟-数字转换器(ADC)。在模拟-数字转换器中,从单位单元539读出的信号或经过上述噪声处理的模拟信号被转换为数字信号。ADC例如包括比较器部和计数器部。在比较器部中,将要转换的模拟信号与用于与该模拟信号进行比较的参考信号进行比较。在计数器部中,测量比较器部中比较结果反转的时间。列信号处理部550可以包括水平扫描电路部,该水平扫描电路部执行要读取的列的扫描控制。

[0135] 时序控制部530基于输入到装置的基准时钟信号或时序控制信号向行驱动部520和列信号处理部550提供用于控制时序的信号。

[0136] 图像信号处理部560是对通过光电转换获得的数据(即,通过成像装置1中的成像操作获得的数据)执行各种信号处理的电路。图像信号处理部560例如包括图像信号处理电路部和数据保持部。图像信号处理部560可以包括处理器部。

[0137] 图像信号处理部560中执行的信号处理的示例是色调曲线校正处理,该处理使得经过A/D转换的图像数据在为暗被摄体的拍摄图像数据时具有更多色调,而在为亮被摄体的拍摄图像数据时具有更少色调。在这种情况下,期望预先将色调曲线的特性数据存储在图像信号处理部560的数据保持部中,以确定是否根据哪种类型的色调曲线来确定图像数据的色调。

[0138] 输入部510A用于从装置外部向成像装置1输入例如上述的参考时钟信号、时序控制信号、特性数据等。时序控制信号的示例包括垂直同步信号和水平同步信号。特性数据用于存储在例如图像信号处理部560的数据保持部中。输入部510A例如包括输入端子511、输入电路部512、输入幅值改变部513、输入数据转换电路部514和供电单元(未图示)。

[0139] 输入端子511是用于输入数据的外部端子。输入电路部512用于将输入到输入端子511的信号提取到成像装置1的内部。在输入幅值改变部513中,将输入电路部512提取的信号幅值改变为允许信号在成像装置1内部使用的幅值。在输入数据转换电路部514中,改变输入数据的数据串的顺序。输入数据转换电路部514例如包括串并转换电路。在该串并转换电路中,作为输入数据接收的串行信号被转换为并行信号。应注意,输入幅值改变部513和输入数据转换电路部514可以从输入部510A中省略。供电单元根据从外部向成像装置1提供的电力来提供具有成像装置1的内部所需的各种电压的电力。

[0140] 输入部510A可以设置有存储器接口电路,当成像装置1与外部存储器装置连接时,该存储器接口电路接收来自外部存储器装置的数据。外部存储器装置的示例包括闪存、SRAM和DRAM。

[0141] 输出部510B将图像数据输出到装置的外部。该图像数据的示例包括由成像装置1拍摄的图像的图像数据和已经由图像信号处理部560进行信号处理的图像数据。输出部510B例如包括输出数据转换电路部515、输出幅值改变部516、输出电路部517和输出端子518。

[0142] 输出数据转换电路部515例如包括并串转换电路;在输出数据转换电路部515中,

成像装置1内部使用的并行信号被转换为串行信号。输出幅值改变部516改变成像装置1内部使用的信号的幅值。改变幅值的信号变得可用于在外部与成像装置1的外部连接的外部装置。输出电路部517是将数据从成像装置1的内部输出到装置外部的电路,并且在成像装置1外部与输出端子518连接的布线由输出电路部517驱动。在输出端子518中,将数据从输出成像装置1输出到装置外部。输出数据转换电路部515和输出幅值改变部516可以从输出部510B中省略。

[0143] 输出部510B可以设置有存储器接口电路,当成像装置1与外部存储器装置连接时,该存储器接口电路将数据输出到外部存储器装置。外部存储器装置的示例包括闪存、SRAM和DRAM。

[0144] [成像装置的示意构造]

[0145] 图2和3示出成像装置1的示意构造示例。成像装置1包括三个基板(第一基板100、第二基板200和第三基板300)。图2示意性地示出第一基板100、第二基板200和第三基板300各自的平面构造,且图3示意性地示出上下层叠的第一基板100、第二基板200和第三基板300的横截面构造。图3对应于成像装置1沿图2所示的线I-I'的横截面构造。成像装置1是三维结构成像装置,其包括粘合在一起的三个基板(第一基板100、第二基板200和第三基板300)。第一基板100包括半导体层100S和布线层100T。第二基板200包括半导体层200S和布线层200T。第三基板300包括半导体层300S和布线层300T。这里,为了方便起见,将第一基板100、第二基板200和第三基板300中的每一者所包括的布线及其周围的层间绝缘膜的组合称为设置在每个基板(第一基板100、第二基板200和第三基板300中的每一者)中的布线层(100T、200T、300T)。第一基板100、第二基板200和第三基板300依次上下层叠,并且半导体层100S、布线层100T、半导体层200S、布线层200T、半导体层300S和布线层300T沿着层叠方向依次布置。将在后面说明第一基板100、第二基板200和第三基板300的具体构造。图3所示的箭头表示光L在成像装置1上的入射方向。在本说明书中,在随后的横截面图中,为了方便起见,可将成像装置1的光入射侧称为“下部”、“下侧”或“下方”,并且可以将与光入射侧相对的一侧称为“上部”、“上侧”或“上方”。此外,在本说明书中,对于包括半导体层和布线层的基板,为了方便起见,可将布线层侧称为正面,并且可将半导体层侧称为背面。应注意,说明书中的说明不限于上述术语。成像装置1例如是背面照射型成像装置,其中光从第一基板100的包括光电二极管的背面侧进入。

[0146] 像素阵列部540和包括在像素阵列部540中的单位单元539均被包括在第一基板100和第二基板200中。第一基板100设置有单位单元539中包括的各组像素541A、541B、541C和541D。这些像素541中的每一者包括光电二极管(后面将说明的光电二极管PD)和传输晶体管(后面将说明的传输晶体管TR)。第二基板200设置有单位单元539中包括的像素电路(后面将说明的像素电路210)。像素电路读出通过传输晶体管从每个像素541A、541B、541C和541D的光电二极管传输的像素信号,或者复位光电二极管。除了上述像素电路之外,该第二基板200还包括沿行方向延伸的多条行驱动信号线542和沿列方向延伸的多条垂直信号线543。第二基板200还包括沿行方向延伸的电源线544。第三基板300例如包括输入部510A、行驱动部520、时序控制部530、列信号处理部550、图像信号处理部560和输出部510B。行驱动部520例如设置在如下区域中,在该区域中,行驱动部的一部分在第一基板100、第二基板200和第三基板300层叠的方向(以下简称为“层叠方向”)上与像素阵列部540重叠。更具体

地,行驱动部520设置在如下区域中,在该区域中,行驱动部在层叠方向上与相邻于像素阵列部540在H方向上的端部的部分重叠(图2)。列信号处理部550例如设置在如下区域中,在该区域中,列信号处理部的一部分在层叠方向上与像素阵列部540重叠。更具体地,列信号处理部550设置在如下区域中,在该区域中,列信号处理部在层叠方向上与相邻于像素阵列部540在V方向上的端部的部分重叠(图2)。虽然未示出,但输入部510A和输出部510B可以设置在不同于第三基板300的部分中;例如,它们可以布置在第二基板200中。替代地,输入部510A和输出部510B可以设置在第一基板100的背面(光入射面)侧。应注意,设置在第二基板200中的像素电路有时可以用不同的名称来表示,例如像素晶体管电路、像素晶体管组、像素晶体管、像素读出电路或读出电路。在本说明书中,使用了像素电路的名称。

[0147] 第一基板100和第二基板200通过例如接触部(例如,稍后说明的图5中的接触电极122和222)或贯通电极(例如,稍后说明的图11中的贯通电极223、224和225)电连接。例如,第二基板200和第三基板300通过接触部201、202、301和302电连接。第二基板200设置有接触部201和202,并且第三基板300设置有接触部301和302。第二基板200的接触部201与第三基板300的接触部301接触,并且第二基板200的接触部202与第三基板300的接触部302接触。第二基板200具有设置有多个接触部201的接触部区域201R和设置有多个接触部202的接触部区域202R。第三基板300具有设置有多个接触部301的接触部区域301R和设置有多个接触部302的接触部区域302R。接触部区域201R和301R在层叠方向上设置在像素阵列部540和行驱动部520之间(图3)。换句话说,接触部区域201R和301R设置在例如行驱动部520(第三基板300)和像素阵列部540(第二基板200)在层叠方向上的重叠区域或其相邻区域中。例如,接触部区域201R和301R布置在这些区域各自在H方向上的端部中(图2)。在第三基板300中,例如,接触部区域301R设置在如下位置,在该位置,接触部区域301R与行驱动部520的一部分重叠,具体地与行驱动部520的在H方向上的端部重叠(图2和3)。接触部201和301例如将设置在第三基板300中的行驱动部520连接到设置在第二基板200中的行驱动信号线542。例如,接触部201和301可以将设置在第三基板300中的输入部510A连接到电源线544和参考电位线(稍后说明的参考电位线VSS)。接触部区域202R和302R在层叠方向上设置在像素阵列部540和列信号处理部550之间(图3)。换句话说,接触部区域202R和302R设置在例如列信号处理部550(第三基板300)和像素阵列部540(第二基板200)在层叠方向上的重叠区域或其相邻区域中。例如,接触部区域202R和302R设置在这些区域各自在V方向上的端部中(图2)。在第三基板300中,例如,接触部区域301R设置在如下位置,在该位置,接触部区域301R与列信号处理部550的一部分重叠,具体地与列信号处理部550在V方向上的端部重叠(图2和3)。接触部202和302将从像素阵列部540中包括的多个单位单元539中的每一者输出的像素信号(对应于由光电二极管光电转换产生的电荷量的信号)连接到设置在第三基板300中的列信号处理部550。像素信号被构造为从第二基板200传输到第三基板300。

[0148] 图3是成像装置1的横截面图的示例。第一基板100、第二基板200和第三基板300通过布线层100T、200T和300T电连接。例如,成像装置1包括将第二基板200电连接到第三基板300的电连接器。具体地,接触部201、202、301和302分别使用包括导电材料的电极形成。导电材料例如包括金属材料,例如铜(Cu)、铝(Al)或金(Au)。接触部区域201R、202R、301R和302R例如通过直接连接作为电极形成的布线而将第二基板200与第三基板300电连接,从而实现第二基板200与第三基板300之间的信号输入和/或输出。

[0149] 可以在期望位置设置将第二基板200电连接到第三基板300的电连接器。例如,作为在图3中说明的接触部区域201R、202R、301R和302R,电连接器可以设置在允许其在层叠方向上与像素阵列部540重叠的区域中。此外,电连接器可以设置在允许其在层叠方向上与像素阵列部540不重叠的区域中。具体地,电连接器可以设置在允许其在层叠方向上与设置在像素阵列部540外侧的周边部重叠的区域中。

[0150] 第一基板100和第二基板200设置有例如连接孔H1和H2。连接孔H1和H2贯通第一基板100和第二基板200(图3)。连接孔H1和H2设置在像素阵列部540外侧(或与像素阵列部540重叠的部分)(图2)。例如,连接孔H1布置在像素阵列部540在H方向上的外侧,并且连接孔H2布置在像素阵列部540在V方向上的外侧。例如,连接孔H1到达设置在第三基板300中的输入部510A,并且连接孔H2到达设置在第三基板300中的输出部510B。连接孔H1和H2可以是空心的,并且其至少一部分可以包括导电材料。例如,存在将接合线连接到作为输入部510A和/或输出部510B形成的电极的构造。替代地,存在将作为输入部510A和/或输出部510B形成的电极连接到设置在连接孔H1和H2中的导电材料的构造。设置在连接孔H1和H2中的导电材料可以嵌入到连接孔H1和H2的全部或部分中,或者导电材料可以形成在连接孔H1和H2各自的侧壁上。

[0151] 应注意,图3示出在第三基板300中设置输入部510A和输出部510B的结构;然而,本公开不限于此。例如,通过将第三基板300的信号构造为通过布线层200T和300T传输到第二基板200,可以在第二基板200中设置输入部510A和/或输出部510B。同样,通过将第二基板200的信号构造为通过布线层100T和200T传输到第一基板100,可以在第一基板100中设置输入部510A和/或输出部510B。

[0152] 像素541A、541B、541C和541D具有共同的组件。在下文中,为了区分像素541A、541B、541C和541D各自的组件,在像素541A的对应组件的附图标记后面添加区分编号“1”,在像素541B的对应组件的附图标记后面添加区分编号“2”,在像素541C的对应组件的附图标记后面添加区分编号“3”,并且在像素541D的对应组件的附图标记后面添加区分编号“4”。在不需要区分像素541A、541B、541C和541D各自的组件的情况下,省略在像素541A、541B、541C和541D各自的组件的附图标记后面添加的区分编号。

[0153] 图4是示出单位单元539的构造示例的等效电路图。单位单元539包括多个像素541(在图4中为四个像素,即像素541A、541B、541C和541D)、连接到该多个像素541的一个像素电路210以及连接到该像素电路210的垂直信号线543。像素电路210例如包括四个晶体管,这些晶体管具体为放大晶体管AMP、选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG。如上所述,通过以时分方式操作该一个像素电路210,单位单元539依次输出设置在相邻的两个像素中的四个像素541(像素541A、541B、541C和541D)各自的像素信号。在一个像素电路210连接到多个像素541并且该多个像素541各自的像素信号由一个像素电路210以时分方式输出的情况意味着“多个像素541共用一个像素电路210”。

[0154] 像素541A、541B、541C和541D具有共同的组件。

[0155] 像素541A、541B、541C和541D例如包括光电二极管PD、电连接到光电二极管PD的传输晶体管TR以及电连接到传输晶体管TR的浮动扩散部FD。在光电二极管PD中,阴极电连接到传输晶体管TR的源极,并且阳极电连接到参考电位线(例如,接地)。光电二极管PD对进入的光进行光电转换,并根据接收的光量产生电荷。传输晶体管TR是例如N型互补金属氧化物

半导体 (CMOS) 晶体管。在传输晶体管TR中,漏极电连接到浮动扩散部FD,并且栅极电连接到驱动信号线。该驱动信号线是与一个单位单元539连接的多条行驱动信号线542的一部分(参见图1)。传输晶体管TR将光电二极管PD中产生的电荷传输至浮动扩散部FD。浮动扩散部FD是形成在p型半导体层内的n型扩散区域。浮动扩散部FD是暂时保持从光电二极管PD传输的电荷的电荷保持构件,并且是根据电荷量生成电压的电荷-电压转换构件。

[0156] 一个单位单元539中包括的四个浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)彼此电连接,并且电连接到放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极。FD转换增益切换晶体管FDG的漏极连接到复位晶体管RST的源极,并且FD转换增益切换晶体管FDG的栅极连接到驱动信号线。该驱动信号线是与一个单位单元539连接的多条行驱动信号线542的一部分。复位晶体管RST的漏极连接到电源线VDD,并且复位晶体管RST的栅极连接到驱动信号线。该驱动信号线是与一个单位单元539连接的多条行驱动信号线542的一部分。放大晶体管AMP的栅极连接到浮动扩散部FD,放大晶体管AMP的漏极连接到电源线VDD,并且放大晶体管AMP的源极连接到选择晶体管SEL的漏极。选择晶体管SEL的源极连接到垂直信号线543,并且选择晶体管SEL的栅极连接到驱动信号线。该驱动信号线是与一个单位单元539连接的多条行驱动信号线542的一部分。

[0157] 如果传输晶体管TR进入导通状态,传输晶体管TR将光电二极管PD中的电荷传输到浮动扩散部FD。如稍后将详细说明,传输晶体管TR的栅极(传输栅极TG)例如设置在柱状突起100X周围,并且浮动扩散部FD(FD 114)形成在突起的上表面上;突起100X设置在半导体层100S的正面(表面100S1)侧。复位晶体管RST将浮动扩散部FD的电位复位成预定电位。如果复位晶体管RST进入导通状态,它将浮动扩散部FD的电位复位成电源线VDD的电位。选择晶体管SEL控制从像素电路210输出像素信号的时序。放大晶体管AMP根据浮动扩散部FD中保持的电荷的电平生成作为像素信号的电压信号。放大晶体管AMP通过选择晶体管SEL连接到垂直信号线543。在列信号处理部550中,该放大晶体管AMP与连接到垂直信号线543的负载电路部(参见图1)一起构成源极跟随器。如果选择晶体管SEL进入导通状态,放大晶体管AMP通过垂直信号线543将浮动扩散部FD的电压输出到列信号处理部550。复位晶体管RST、放大晶体管AMP和选择晶体管SEL例如是N型CMOS晶体管。

[0158] 当改变浮动扩散部FD中的电荷-电压转换增益时,使用FD转换增益切换晶体管FDG。通常,当在暗处拍摄图像时,像素信号较小。基于 $Q=CV$,当执行电荷-电压转换时,如果浮动扩散部FD的电容(FD电容C)为高,则放大晶体管AMP中转换的电压V变小。同时,像素信号在亮处变大;因此,如果FD电容C不高,则浮动扩散部FD无法接收光电二极管PD的电荷。此外,FD电容C必须为高,以使放大晶体管AMP中转换的电压V不会过高(即低)。鉴于此,当FD转换增益切换晶体管FDG导通时,栅极电容FD增加了转换增益切换晶体管FDG的电容,因此整个FD电容C变高。同时,当FD转换增益切换晶体管FDG关断时,整个FD电容C变低。以此方式,通过接通和关断FD转换增益切换晶体管FDG,可以改变FD电容C,并且可以切换转换效率。FD转换增益切换晶体管FDG例如是N型CMOS晶体管。

[0159] 应注意,不设置FD转换增益切换晶体管FDG的构造也是可能的。此时,例如,像素电路210例如包括三个晶体管:放大晶体管AMP、选择晶体管SEL和复位晶体管RST。像素电路210包括诸如放大晶体管AMP、选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG之类的像素晶体管中的至少一者。

[0160] 选择晶体管SEL可以设置在电源线VDD和放大晶体管AMP之间。在这种情况下,复位晶体管RST的漏极电连接到电源线VDD和选择晶体管SEL的漏极。选择晶体管SEL的源极电连接到放大晶体管AMP的漏极,并且选择晶体管SEL的栅极电连接到行驱动信号线542(参见图1)。放大晶体管AMP的源极(像素电路210的输出端子)电连接到垂直信号线543,并且放大晶体管AMP的栅极电连接到复位晶体管RST的源极。应注意,虽然未示出,但共用一个像素电路210的像素541的数量可以不是4。例如,两个或八个像素541可以共用一个像素电路210。

[0161] [成像装置的横截面构造]

[0162] 图5示出成像装置1在垂直于第一基板100、第二基板200和第三基板300的主表面的方向上的横截面构造示例。为了简化组件的位置关系,图5示出示意的横截面构造,并且它可能与实际横截面不同。在成像装置1中,第一基板100、第二基板200和第三基板300依次上下层叠。成像装置1还包括位于第一基板100的背面侧(光入射面侧)的光接收透镜414。在光接收透镜414和第一基板100之间例如设置有遮光膜411、保护层412和滤色器层413。例如在像素541A、541B、541C和541D中的每一者中设置光接收透镜414。成像装置1例如是背面照射型成像装置。成像装置1包括布置在中间的像素阵列部540和布置在像素阵列部540外侧的周边部(未示出)。

[0163] 第一基板100包括半导体层100S和布线层100T。半导体层100S例如包括硅基板。半导体层100S具有一对彼此相对的表面(作为正面的表面100S1和作为背面的表面100S2)。半导体层100S在表面100S1的一部分及其相邻区域中包括p阱层112,并在另一区域(比p阱层112更深的区域)中包括n型半导体区域111。例如,该n型半导体区域111和p阱层112构成pn结型光电二极管PD。p阱层112是p型半导体区域。

[0164] FD 114和接触部层117设置成邻近半导体层100S的正面。FD 114包括设置在p阱层112内的n型半导体区域。FD 114是按照每个像素541设置的。例如,如图6所示,按照每个像素541设置的FD 114大致设置在像素541的中间。如后面将详细说明,设置在构成单位单元539的四个像素541A、541B、541C和541D中的每个FD 114(FD1、FD2、FD3和FD4)在第一基板100内(更具体地,在布线层100T内)通过电气连接构件(布线层100T内的布线)相互电连接。此外,FD 114通过电气构件(例如,接触部122、222等)从第一基板100连接到第二基板200(更具体地,从布线层100T连接到布线层200T)。在第二基板200中(更具体地,在布线层200T内),FD 114通过该电气构件电连接至构成像素电路210的放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极。

[0165] 接触部层117是电连接至参考电位线VSS的区域,并且布置成远离FD 114。接触部层117例如设置在沿V方向(Z轴方向)的相邻单位单元539之间。接触部层117例如连接至地电位或固定电位。由此,半导体层100S被提供参考电位。接触部层117例如包括多晶硅(poly-Si),更具体地包括掺杂有杂质的掺杂多晶硅。

[0166] 除了光电二极管PD、FD 114和接触部层117之外,第一基板100还设置有传输晶体管TR。传输晶体管TR例如是按照每个像素541设置的。传输晶体管TR具有传输栅极TG。如稍后将详细说明,例如,对于每个像素541,传输栅极TG可以设置在FD 114周围,或者例如如图6所示,可以设置在沿X轴方向相邻的单位单元539之间,并在沿X轴方向相邻的两个像素541中连续。由此,可以减少布线的数量。

[0167] 半导体层100S设置有将相邻像素541彼此分离的分离部115。分离部115形成为沿

半导体层100S的法线方向(Y轴方向)延伸。分离部115用于分离相邻的单位单元539并将构成单位单元539的四个像素541(像素541A、541B、541C和541D)彼此分离,并且例如具有网格状平面形状。例如,分离部115将相邻像素541彼此电分离。分离部115例如具有全沟槽隔离(FTI:Full Trench Isolation)结构,并且在半导体层100S的表面100S1和100S2之间贯通。此外,分离部115可以例如具有深沟槽隔离(DTI:Deep Trench Isolation)结构,其中分离部115不贯通半导体层100S。分离部115例如是通过将诸如氧化硅(SiO₂)之类的绝缘膜嵌入到设置在半导体层100S上的沟槽(例如,开口H1(参见图7B))中来形成的。应注意,可以在分离部115的绝缘膜内部嵌入具有遮光效果的金属材料,例如钨(W)。由此,可以将相邻的像素541彼此电气地和光学地分离。

[0168] 在本实施例中,半导体层100S具有如下结构:表面100S1是不平坦的。具体地,半导体层100S在表面100S1上具有多个用于每个像素541的突起100X,并且如图5所示,FD 114形成在多个突起100X中的每一者的上部。在多个突起100X的下部,例如形成有比p阱层112具有更高的杂质浓度的p型半导体层113;p型半导体层113用作溢流路径。即,在多个突起100X中,从n型半导体区域111侧开始依次层叠有p型半导体层113、p阱层112和FD 114。传输栅极TG设置在多个突起100X的周围,并形成使其上表面的位置低于FD 114。具体地,它形成为使传输栅极TG的上表面定位在例如沿Y轴方向层叠的p型半导体层113、p阱层112和FD 114之中的p阱层112的侧表面上。因此,可以确保FD 114与传输栅极TG在高度方向(Y轴方向)上的距离。

[0169] 接触部层117嵌入在半导体层100S的表面100S1中并位于分离部115上方,并且在其侧表面上与半导体层100S电连接。更具体地,半导体层100S的表面100S1的嵌入有接触部层117的部分是凹陷100Y。因此,可以确保FD 114和接触部层117在高度方向(Y轴方向)上的距离。

[0170] 在半导体层100S的表面100S1和半导体层100S的设置分离部115的侧表面上,例如形成有包括p型半导体区域的钉扎区域116。此外,虽然未示出,但也可以将钉扎区域设置在半导体层100S的表面100S2上。由此,可以减少由半导体层100S的界面态引起的暗电流的产生。

[0171] 设置在半导体层100S与第二基板200之间的布线层100T包括层间绝缘层121、上述传输栅极TG以及多个接触部122。层间绝缘层121设置在半导体层100S的整个表面上,并掩埋半导体层100S的正面(表面100S1)上的突起和凹陷。进一步,在层间绝缘层121内形成有一条或多条布线,并且多个接触部122嵌入在层间绝缘层的与第二基板200相对的正面中。层间绝缘层121例如包括氧化硅膜。应注意,布线层100T的构造不限于上述构造,并且其只需包括布线和绝缘膜。

[0172] 多个接触部122暴露在布线层100T的表面上。一些接触部122连接到例如按照每个像素541设置的FD 114,并通过设置在第二基板200侧的接触部222连接到像素电路210(例如,放大晶体管AMP的栅极)。此外,一些接触部122连接到接触部层117,并通过设置在第二基板200侧的接触部222等连接到例如设置在第三基板300中的参考电位线VSS。多个接触部122用于与第二基板200接合。多个接触部122例如包括诸如铜(Cu)或铝(Al)之类的金属。

[0173] 第二基板200包括半导体层200S、设置在半导体层200S的正面(表面200S1)侧的布线层200T-1、以及设置在半导体层200S的背面(表面200S2)侧的布线层200T-2。半导体层

200S包括硅基板。半导体层200S在整个厚度方向上设置有阱区域211。阱区域211例如为p型半导体区域。第二基板200设置有像素电路210,例如在单位单元539中,针对沿V方向相邻的两个像素分别设置一个像素电路210。该像素电路210例如设置在半导体层200S的正面(表面200S1)侧,即布线层200T-1侧。在成像装置1中,第二基板200接合到第一基板100,使得第二基板200的正面(半导体层200S的表面200S1侧)与第一基板100的正面侧(布线层100T侧)相对。即,第二基板200与第一基板100以正面对正面的方式接合。

[0174] 第二基板200还包括用于划分半导体层200S的绝缘区域212。绝缘区域212具有与半导体层200S的厚度基本相同的厚度,并且半导体层200S通过该绝缘区域212来划分。绝缘区域212例如包括氧化硅。

[0175] 布线层200T-1包括层间绝缘层221、构成像素电路210的各种晶体管(选择晶体管SEL、放大晶体管AMP、复位晶体管RST、FD转换增益切换晶体管FDG)的栅极、以及多个接触部222。绝缘层221设置在半导体层200S的整个表面上。进一步,在层间绝缘层221内形成有一条或多条布线。多个接触部222暴露在布线层200T-1的与第一基板100相对的表面上。多个接触部222用于与第一基板100接合。层间绝缘层221例如包括氧化硅膜。多个接触部222例如包括诸如铜(Cu)或铝(Al)之类的金属。应注意,布线层200T-1的构造不限于上述构造,并且其只需包括布线和绝缘膜。

[0176] 布线层200T-2包括层间绝缘层231和多个接触部232。层间绝缘层231设置在半导体层200S的整个表面上。进一步,在层间绝缘层231内形成有一条或多条布线。多个接触部232暴露在布线层200T-2的与第三基板300相对的表面上。多个接触部232用于与第三基板300接合。层间绝缘层231例如包括氧化硅膜。多个接触部232例如包括诸如铜(Cu)或铝(Al)之类的金属。应注意,布线层200T-2的构造不限于上述构造,并且其只需包括布线和绝缘膜。

[0177] 第三基板300例如从第二基板200侧开始依次包括布线层300T和半导体层300S。例如,半导体层300S的正面设置在第二基板200侧。半导体层300S包括硅基板。电路设置在该半导体层300S的正面侧的一部分中。具体地,在半导体层300S的正面侧的该部分中,例如设置有输入部510A、行驱动部520、时序控制部530、列信号处理部550、图像信号处理部560和输出部510B中的至少一些。设置在半导体层300S和第二基板200之间的布线层300T例如包括层间绝缘层321和多个接触部332。多个接触部332暴露在布线层300T的表面上,并且多个接触部332电连接到形成在半导体层300S中的电路(例如,输入部510A、行驱动部520、时序控制部530、列信号处理部550、图像信号处理部560和输出部510B中的至少一者)。多个接触部332用于与第二基板200接合。多个接触部332例如包括诸如铜(Cu)或铝(Al)之类的金属。

[0178] [成像装置的制造方法]

[0179] 图7A至7L示出图1所示的成像装置1(特别是第一基板100)的制造方法示例。

[0180] 首先,如图7A所示,在半导体层100S的表面100S1侧形成用作p型半导体层113、p阱层112和FD 114的n型半导体区域。然后,如图7B所示,在半导体层100S的表面100S1上形成掩模601,并且例如通过光刻和蚀刻形成贯通半导体层100S的开口H1。

[0181] 接下来,如图7C所示,例如,通过保形掺杂(conformal doping)在开口H1的侧表面上形成p型钉扎区域116,并且然后,例如通过化学气相沉积(CVD)在开口H1内部形成用作分离部115的SiO膜。之后,例如通过化学机械抛光(CMP)来研磨形成在半导体层100S的表面

100S1上的SiO膜。因此,形成分离部115。

[0182] 然后,如图7D所示,通过回蚀分离部115来形成用作凹槽100Y的开口H2,并且然后,使用例如原子层沉积(ALD)方法,在半导体层100S的表面100S1和半导体层100S的暴露侧表面上依次形成具有彼此不同的蚀刻速率的绝缘膜602和603。

[0183] 接下来,如图7E所示,通过各向同性蚀刻去除形成在分离部115上的绝缘膜602,并且之后,如图7F所示,形成用作接触部层117的多晶硅膜。然后,如图7G所示,通过回蚀绝缘膜602和603从而去除它们,在分离部115上形成接触部层117。

[0184] 接下来,如图7H所示,例如,通过CVD在接触部层117上形成用作层间绝缘层112的SiO膜,以嵌入开口H2。然后,如图7I所示,在半导体层100S上的预定位置形成掩模640,并且之后,通过光刻和蚀刻形成突起100X。之后,通过共形掺杂在半导体层100S的从掩模604露出的表面100S1上形成p型钉扎区域116。

[0185] 接下来,如图7J所示,去除掩模604,并且之后,如图7K所示,形成用作传输栅极TG的多晶硅膜,以覆盖半导体层100S的包括突起100X的表面100S1。然后,如图7L所示,通过处理多晶硅膜(例如,通过光刻和蚀刻以及CMP)形成传输栅极TG。之后,例如,形成用作层间绝缘层121的SiO膜、布线和接触部122,从而形成布线层100T。通过上述过程,完成了图5所示的第一基板100。

[0186] [成像装置的操作]

[0187] 随后,使用图8和9说明成像装置1的操作。图8和9在图3上添加了表示每个信号路径的箭头。图8示出用箭头表示的从外部输入到成像装置1的输入信号、电源电位和参考电位的路径。图9示出从成像装置1输出到外部的像素信号的信号路径。例如,通过输入部510A输入到成像装置1的输入信号(例如,像素时钟和同步信号)被传输到第三基板300的行驱动部520,并且在行驱动部520中创建行驱动信号。该行驱动信号通过接触部301和201传输到第二基板200。此外,该行驱动信号通过布线层200T内的行驱动信号线542到达像素阵列部540的每个单位单元539。在到达第二基板200中的单位单元539的行驱动信号中,除了用于传输栅极TG的驱动信号以外的驱动信号输入到像素电路210,并且驱动像素电路210中包括的各个晶体管。用于传输栅极TG的驱动信号输入到第一基板100中的传输栅极TG,并且驱动像素541(图8)。此外,从外部提供到第三基板300中的输入部510A(输入端511)的电源电位和参考电位通过接触部301和201传输到第二基板200,并通过布线层200T内的布线提供到每个单位单元539的像素电路210。该参考电位还被提供给第一基板100中的像素541。同时,对于每个单位单元539,由第一基板100中的像素541光电转换而成的像素信号传输到第二基板200中的像素电路210。基于这些像素信号的像素信号通过垂直信号线543以及接触部202和302从像素电路210传输到第三基板300。这些像素信号由第三基板300中的列信号处理部550和图像信号处理部560处理,并然后通过输出部510B输出到外部。

[0188] [效果]

[0189] 在本实施例的成像装置1中,在具有一对彼此相对的表面(表面100S1和100S2)的半导体层100S内,多个突起100X设置在表面100S1上,FD 114设置在每个突起100X的上部,并且传输栅极TG设置在多个突起100X的周围并位于FD 114的下方。因此,确保了FD 114和传输栅极TG之间沿高度方向的距离。

[0190] 如上所述,近年来,三维结构成像元件已经得到发展,以使成像装置变得更小,并

实现高像素密度。在三维结构成像元件中,例如,第一基板设置有执行光电转换的传感器像素,并且层叠在第一基板上部的第二基板设置有读出电路。例如,如图10A所示,在第一基板中,作为传感器像素,布置有FD 1014、传输晶体管(传输栅极TG)和阱接触部(接触部层1017)。

[0191] 然而,在例如具有 $0.5\mu\text{m}$ 以下的像素间距的微细像素结构中,有效像素区域较窄;例如,图10B示出与图10A中的线II-II'对应的横截面,其中FD 1014、传输栅极TG和接触部层1017之间的距离变近,并且电场强度变高。因此,三维结构成像元件的缺点在于由电场引起的暗电流分量增大。

[0192] 同时,在本实施例中,如上所述,在具有一对彼此相对的表面(表面100S1和100S2)的半导体层100S内,多个突起100X设置在表面100S1上,FD 114设置在每个突起100X的上部,并且传输栅极TG设置在多个突起100X的周围并位于FD 114的下方。因此,确保了FD 114与传输栅极TG之间沿高度方向的距离,并且缓和了FD 114与传输栅极TG之间的电场。

[0193] 如上所述,在本实施例的成像装置1中,可以实现具有可以减少暗电流的产生的三维结构的成像装置。此外,还可以提高电荷传输效率。

[0194] 此外,在本实施例中,接触部层117形成在半导体层100S的凹陷100Y中;因此,除了FD 114与传输栅极TG之间的距离之外,还确保了与接触部层117之间沿高度方向的距离。因此,传输栅极TG与接触部层117之间的电场得到缓和,由此能够进一步减少暗电流的产生。

[0195] 下文将说明第二实施例及变形例1至5、应用例及实际应用例。在以下的说明中,对与上述第一实施例相同的构成组件用相同的附图标记标注,并省略其说明。

[0196] <2.变形例>

[0197] (2-1.变形例1)

[0198] 图11示出根据本公开变形例1的成像装置(成像装置1A)的横截面构造示例。图12示意性地示出图11所示的成像装置1A的第一基板100和第二基板200的平面布局示例。

[0199] 上述第一实施例提供了如下示例:第二基板200与第一基板100以正面对正面的方式接合,使得半导体层200S的设置构成像素电路210的各种晶体管(选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG)的正面(表面200S1)与第一基板100相对;然而,本公开不限于此。例如,如同图11所示的成像装置1A,在构成像素电路210的各种晶体管(选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG)为诸如Fin-FET之类的三维结构的情况下,可以以使第二基板200的背面侧(半导体层200S的表面200S2)与第一基板100的正面侧(布线层100T侧)相对的方式将第二基板200与第一基板100接合。即,可以将第二基板200与第一基板100以正面对背面的方式接合。

[0200] 以此方式,在将第一基板100和第二基板200以正面对背面的方式接合的成像装置1A中,例如,设置在第一基板100中的FD 114与设置在第二基板200中的放大晶体管AMP的栅极以及设置在第一基板中的传输栅极TG与设置在第三基板300中的参考电位线VSS能够例如通过贯通电极223和224电连接。

[0201] 在这种构造中,可以获得与上述第一实施例类似的效果。

[0202] (2-2.变形例2)

[0203] 图13A示意性地示出根据本公开变形例2的成像装置的像素阵列示例。图13B示意性地示出根据本公开变形例2的成像装置的另一像素阵列示例。上述第一实施例和变形例1

中说明的该装置结构也适用于例如具有如图13A所示的拜耳阵列 (Bayer array) 或如图13B所示的四拜耳阵列 (Quad Bayer array) 的成像装置。应注意, 在四拜耳阵列的情况下, 用于相同颜色像素的FD 114例如通过Cu线等彼此连接。

[0204] <3. 第二实施例>

[0205] 图14示出根据本公开第二实施例的成像装置 (成像装置2) 在垂直于第一基板100、第二基板200和第三基板300的主表面的方向上的横截面构造示例。图15示出根据本公开第二实施例的成像装置2在垂直于第一基板100、第二基板200和第三基板300的主表面的方向上横截面结构的示例, 但位置不同于图14的位置。图16示意性地示出根据本公开第二实施例的成像装置2的平面布局示例; 图14和15分别对应于沿图16所示的线III-III' 和线IV-IV' 的横截面。

[0206] [成像装置的横截面构造]

[0207] 在成像装置2中, 如同上述第一实施例, 第一基板100、第二基板200和第三基板300依次上下层叠。成像装置2还包括位于第一基板100的背面 (光入射面侧) 侧的光接收透镜414。在光接收透镜414和第一基板100之间, 例如设置有遮光膜411、保护层412和滤色器层413。光接收透镜414例如设置在像素541A、541B、541C和541D中的每一者中。成像装置2例如是背面照射型成像装置。成像装置2包括设置在中间的像素阵列部540和设置在像素阵列部540外侧的周边部 (未示出)。

[0208] 第一基板100包括半导体层100S和布线层100T。半导体层100S例如包括硅基板。半导体层100S具有一对彼此相对的表面 (作为正面的表面100S1和作为背面的表面100S2)。半导体层100S在表面100S1的一部分及其相邻区域中包括p阱层112, 并在另一区域 (比p阱层112更深的区域) 中包括n型半导体区域111。例如, 该n型半导体区域111和p阱层112构成pn结型光电二极管PD。p阱层112是p型半导体区域。

[0209] FD 114和接触部区域118设置成邻近半导体层100S的正面。FD 114包括设置在p阱层112内的n型半导体区域。FD 114是按照每个像素541设置的。例如, 如图16所示, 按照每个像素541设置的FD 114大致设置在像素541的中间。如后面将详细说明, 在构成单位单元539的四个像素541A、541B、541C和541D中设置的每个FD 114 (FD1、FD2、FD3和FD4) 在第一基板100内 (更具体地, 在布线层100T内) 通过电气连接构件 (布线层100T内的布线) 相互电连接。此外, FD 114通过电气构件 (例如, 接触部122、222等) 从第一基板100连接到第二基板200 (更具体地, 从布线层100T连接到布线层200T)。在第二基板200中 (更具体地, 在布线层200T内), FD 114通过该电气构件电连接至构成像素电路210的放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极。

[0210] 接触部区域118是电连接至参考电位线VSS的区域, 并且布置成远离FD 114。接触部区域118设置在例如沿V方向 (Z轴方向) 相邻的单位单元539之间。接触部区域118例如包括p型半导体区域。接触部区域118连接至例如地电位或固定电位。由此, 半导体层100S被提供参考电位。接触部区域118例如包括p型半导体区域。

[0211] 除了光电二极管PD、FD 114和接触部区域118之外, 第一基板100还设置有传输晶体管TR。传输晶体管TR是按照每个像素541设置的。传输晶体管TR具有传输栅极TG。如稍后将详细说明, 传输栅极TG可以例如如图16所示地按照每个像素541设置在FD 114周围, 或者可以例如如图22所示地设置在沿X轴方向相邻的单位单元539之间并在沿X轴方向相邻的两

个像素541中连续。由此,可以减少在层叠方向(Y轴方向)延伸的布线数量(例如,贯通电极224的数量)。

[0212] 半导体层100S设置有将相邻像素541彼此分离的分离部115。分离部115形成为沿半导体层100S的法线方向(Y轴方向)延伸。分离部115用于分离相邻的单位单元539并将构成单位单元539的四个像素541(像素541A、541B、541C和541D)彼此分离,并且例如具有网格状平面形状。例如,分离部115将相邻像素541彼此电分离。分离部115可以具有例如与上述第一实施例相同的FTI结构,或者可以具有例如如图14和15所示的结构,其中它通过浅沟槽隔离(STI)结构和不贯通半导体层100S的DTI结构的组合在半导体层100S的表面100S1和100S2之间贯通。分离部115例如通过将诸如氧化硅(SiO₂)之类的绝缘膜嵌入到设置在半导体层100S上的沟槽中而形成。应注意,分离部115的绝缘膜内部可以嵌入具有遮光效果的金属材料,例如钨(W)。由此,可以将相邻像素541在电气和光学上相互分离。半导体层100S还在分离部115的侧表面上设置有p型扩散区域119。

[0213] 在本实施例中,半导体层100S具有如下结构:表面100S1是不平坦的。具体地,半导体层100S在表面100S1上具有多个突起100X,并且如图14和15所示,FD 114形成在多个突起100X中的每一者的上表面上。在多个突起100X中的每一者的下部,例如形成有杂质浓度高于p阱层112的p型半导体层113;p型半导体层113用作溢流路径。即,在多个突起100X中,从n型半导体区域111侧开始依次层叠p型半导体层113、p阱层112和FD 114。传输栅极TG设置在多个突起100X周围,并形成使其上表面的位置高于FD 114。侧壁123设置在比突起100X更向上突出的传输栅极TG的侧表面上。由此,能够确保FD 114和传输栅极TG在高度方向(Z轴方向)上的距离。

[0214] 接触部区域118形成在半导体层100S的表面100S1中并位于分离部115上方,并且电连接至半导体层100S。

[0215] 设置在半导体层100S与第二基板200之间的布线层100T包括层间绝缘层121、上述传输栅极TG、多个接触部122、以及接触部区域118。层间绝缘层121设置在半导体层100S的整个表面上,并掩埋半导体层100S的正面(表面100S1)上的突起和凹陷。进一步,在层间绝缘层121内形成有一条或多条布线,并且多个接触部122嵌入到层间绝缘层的与第二基板200相对的正面。层间绝缘层121例如包括氧化硅膜。接触部层124例如包括多晶硅(poly-Si),更具体地包括掺杂有杂质的掺杂多晶硅。应注意,布线层100T的构造不限于上述构造,并且其只需包括布线和绝缘膜。

[0216] 多个接触部122暴露在布线层100T的表面上。一些接触部122例如连接到按照每个像素541设置的FD 114,并且通过设置在第二基板200侧的接触部222连接到像素电路210(例如,放大晶体管AMP的栅极)。此外,一些接触部122连接到接触部区域118,并且通过设置在第二基板200侧的接触部222等连接到例如设置在第三基板300中的参考电位线VSS。多个接触部122用于与第二基板200接合。多个接触部122例如包括诸如铜(Cu)或铝(Al)之类的金属。

[0217] 第二基板200包括半导体层200S和设置在半导体层200S的正面(表面200S1)侧的布线层200T。半导体层200S包括硅基板。半导体层200S在整个厚度方向上设置有阱区域211。阱区域211例如是p型半导体区域。第二基板200设置有像素电路210,例如,在单位单元539中,针对沿V方向相邻的两个像素设置有一个像素电路210。该像素电路210例如设置在

半导体层200S的正面(表面200S1)侧,即布线层200T侧。在成像装置2中,第二基板200与第一基板100接合,使得第二基板200的背面(半导体层200S的表面200S2侧)与第一基板100的正面侧(布线层100T侧)相对。即,第二基板200以正面对背面的方式与第一基板100接合。

[0218] 第二基板200还包括用于划分半导体层200S的绝缘区域212。绝缘区域212具有与半导体层200S的厚度基本相同的厚度,并且半导体层200S被该绝缘区域212划分。绝缘区域212例如包括氧化硅。

[0219] 布线层200T包括层间绝缘层221、构成像素电路210的各个晶体管(选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG)的栅极、以及多个接触部222。层间绝缘层221设置在半导体层200S的整个表面上。进一步,在层间绝缘层221内形成有一条或多条配线。多个接触部222暴露在配线层200T的与第一基板100相对的表面上。多个接触部222用于与第三基板300接合。层间绝缘层221例如包括氧化硅膜。多个接触部222例如包括诸如铜(Cu)或铝(Al)之类的金属。应注意,布线层200T的构造不限于上述构造,并且其只需包括布线和绝缘膜。

[0220] 例如,贯通电极223、224和225设置在绝缘区域212中。贯通电极223、224和225设置为沿厚度方向贯通绝缘区域212。贯通电极223、224和225各自的上端与布线层200T的布线连接。这些贯通电极223、224和225设置为贯通绝缘区域212和层间绝缘层121,并且它们的下端分别与传输栅极TG、FD 114和接触部层124连接。

[0221] 贯通电极223将传输栅极TG电连接到布线层200T的布线(行驱动信号线542的一部分)。即,第一基板100的传输栅极TG通过贯通电极223电连接到第二基板200的布线TRG,并且驱动信号被传输到每个传输晶体管TR。贯通电极224将FD 114电连接到像素电路210。即,第一基板100的FD 114通过贯通电极224电连接到第二基板200的像素电路210。贯通电极225将接触部层124电连接到第三基板300的参考电位线VSS。即,第一基板100的接触部层124通过贯通电极225电连接到第三基板300的参考电位线VSS。

[0222] 第三基板300从第二基板200侧开始依次例如包括布线层300T和半导体层300S。例如,半导体层300S的正面设置在第二基板200侧。半导体层300S包括硅基板。电路设置在该半导体层300S的正面侧的一部分中。具体地,在半导体层300S的正面侧的该一部分中,例如设置有输入部510A、行驱动部520、时序控制部530、列信号处理部550、图像信号处理部560和输出部510B中的至少一些。设置在半导体层300S和第二基板200之间的布线层300T例如包括层间绝缘层321和多个接触部332。多个接触部332暴露在布线层200T的表面上,并且多个接触部332电连接到形成在半导体层300S中的电路(例如,输入部510A、行驱动部520、时序控制部530、列信号处理部550、图像信号处理部560和输出部510B中的至少一者)。多个接触部332用于与第二基板200接合。多个接触部332例如包括诸如铜(Cu)或铝(Al)之类的金属。

[0223] [成像装置的制造方法]

[0224] 图17A至17G示出图14等所示的成像装置2(特别是第一基板100)的制造方法的示例。

[0225] 首先,如图17A所示,例如,在半导体层100S的表面100S1侧形成具有STI结构的分离部115A,并且之后,从半导体层100S的表面100S2侧形成具有DTI结构的分离部115B,并在其侧表面上形成p型扩散区域119。

[0226] 接下来,如图17B所示,在半导体层100S的表面100S1上形成掩模605,并且之后,如图17C所示,例如通过光刻和蚀刻处理半导体层100S来形成突起100X。之后,形成用作传输栅极TG的多晶硅膜以覆盖包括半导体层100S在内的突起100X的表面100S1。

[0227] 然后,如图17D所示,在多晶硅膜上形成掩模606。接下来,如图17E所示,通过光刻和蚀刻处理多晶硅膜,并且之后进行衍生化处理(derivatization process)。接下来,如图17F所示,在突起100C的下部形成p型半导体层113。

[0228] 然后,如图17G所示,在从突起100X突出的传输栅极TG的侧表面上设置侧壁123,并且之后,通过自对准在突起100X的上表面上形成用作FD 114的n型半导体区域。之后,形成用作层间绝缘层121的SiO膜、布线和接触部122,以形成布线层100T。通过上述处理,完成图14等所示的第一基板100。

[0229] [效果]

[0230] 在本实施例的成像装置2中,在具有一对彼此相对的表面(表面100S1和100S2)的半导体层100S内,多个突起100X设置在表面100S1上,FD 114设置在每个突起100X的上表面上,并且传输栅极TG设置在多个突起100X周围,并使其上表面比设置有FD 114的突起100X更向上突出。因此,确保了FD 114与传输栅极TG之间沿高度方向的距离,并且缓和了FD 114与传输栅极TG之间的电场。

[0231] 如上所述,在本实施例的成像装置2中,可以实现具有减少暗电流的产生的三维结构的成像装置。此外,可以提高电荷传输效率。

[0232] <4. 变形例>

[0233] (4-1. 变形例3)

[0234] 图18示出根据本公开变形例3的成像装置(成像装置2A)在垂直于第一基板100、第二基板200和第三基板300的主表面的方向上的横截面构造示例。图19示出根据本公开第二实施例的成像装置2A在垂直于第一基板100、第二基板200和第三基板300的主表面的方向上的横截面构造示例,但位置不同于图18的位置。图18和19分别对应于沿图16所示的线III-III'和线IV-IV'的横截面。

[0235] 如图18和19所示,设置在比突起100X更向上突出的传输栅极TG的侧表面上的侧壁123可以沿着突起100X的侧表面嵌入到传输栅极TG中。

[0236] 因此,除了上述第二实施例的效果之外,还获得了能够在保持电场缓和的同时实现像素尺寸的减小的效果。

[0237] (4-2. 变形例4)

[0238] 图20示出根据本公开变形例4的成像装置(成像装置2B)在垂直于第一基板100、第二基板200和第三基板300的主表面的方向上横截面构造的示例。图21示出根据本公开第二实施例的成像装置2B在垂直于第一基板100、第二基板200和第三基板300的主表面的方向上的横截面构造示例,但位置不同于图20的位置。图20和21分别对应于沿图16所示的线III-III'和线IV-IV'的横截面。

[0239] 如图20和21所示,形成在突起100X周围的传输栅极TG可以部分地嵌入半导体层100S中。换句话说,传输栅极TG可以是垂直栅极。此外,还可以在嵌入到半导体层100S中的传输栅极TG之间设置n型半导体区域111X。

[0240] 因此,除了上述第二实施例的效果之外,还获得了能够在保持电场缓和的同时实

现像素尺寸减小的效果。

[0241] (4-3. 变形例5)

[0242] 图22示意性地示出根据本公开变形例5的成像装置2的平面布局示例。例如,在沿X轴方向相邻的单位单元539之间,传输栅极TG可以在沿X轴方向相邻的两个像素541中连续设置。由此,可以减少贯通电极2254的数量,从而可以提高面积效率。

[0243] <5. 第三实施例>

[0244] 图23示意性地示出根据本公开第三实施例的成像装置(成像装置3)的像素541的平面构造示例。图24示意性地示出与图23所示的线V-V'对应的横截面构造示例。

[0245] [成像装置的构造]

[0246] 如同上述第一实施例,在成像装置3中,第一基板100、第二基板200和第三基板300依次上下层叠。成像装置3还包括位于第一基板100的背面(光入射面侧)侧的光接收透镜414。在光接收透镜414和第一基板100之间,例如设置有遮光膜411、保护层412和滤色器层413。光接收透镜414例如是按照每个像素541设置的。成像装置3例如是背面照射型成像装置。成像装置3包括设置在中间的像素阵列部540和设置在像素阵列部540外侧的周边部。

[0247] 图25示意性地示出成像装置3中的像素阵列部540的平面构造示例。如同上述第一实施例的成像装置1,在像素阵列部540中,像素541重复排列成阵列。在本实施例的成像装置3中,构成像素阵列部540的所有像素541都是像面相位差像素(image plane phase difference detection pixel)。像面相位差像素划分成像透镜的光瞳区域,并从划分的光瞳区域对被摄体图像进行光电转换,从而生成用于相位差检测的信号。

[0248] 如图25所示,构成像素阵列部540的每个像素541设置有一个光接收透镜414(A)以及例如选择性地允许红色波段中的波长透射的滤色器413R、选择性地允许绿色波段中的波长透射的滤色器413G和选择性地允许蓝色波段中的波长透射的滤色器413B中的任一者(B)。应注意,滤色器413R、413G和413B不限于如图25的部分(B)所示的拜耳阵列,并且可以采用多种形式,例如四拜耳阵列等。

[0249] 例如,如图25的部分(A)所示,每个像素541包括沿X轴方向并行排列的左右像素541R和541L。例如,如图23和24所示,左右像素541R和541L各自设置有构成光电二极管PD、FD 114和传输晶体管TR的n型半导体区域111。左右像素541R和541L还各自设置有与接触部层117连接的接触部区域117X。

[0250] 在半导体层100S的正面(表面100S1)上,在左右像素541R和541L每者中形成有柱状突起100X。FD 114设置在突起100X的上表面上。此外,传输晶体管的栅极(传输栅极TG)形成在突起100X周围。传输栅极TG例如设置在设置有FD 114的突起100X的下方。如图23所示,形成在左右像素541R和541L每者中的突起100X在平面视图中优选形成在构成光电二极管PD的n型半导体区域111的大致中心处。由此,能够有效地将通过光电转换产生的电荷转移到FD 114。

[0251] [作用与效果]

[0252] 在用于相位差检测的像素(像面相位差像素)中,相位差信息是通过右像素和左像素分别读出由左右像素光电转换的电荷来获取的。因此,需要彼此独立地驱动左右像素的传输栅极。

[0253] 顺便地,在如上所述的精细像素结构中,例如,在像素间距为 $0.5\mu\text{m}$ 以下的情况下,

一个像素中的布局自由度受到限制。如果在精细像素结构中使用一般的平面型晶体管,则无法充分确保晶体管的形成面积,因此传输效率变差,这会导致例如在低光条件下图像质量下降。

[0254] 为了提高传输效率,已推动引入三维扩展传输栅极的嵌入式栅极。然而,在平面型晶体管的嵌入式栅极中,传输电荷的通道可能受到用于分离光电二极管或元件的杂质等的影响,并且随着其变得越来越精细,这种影响会变得越来越强,因此设计难度增加,并且很难确保晶体管的特性。

[0255] 同时,在本实施例中,在构成像素阵列部540的所有像素541都是像面相位差像素的成像装置3中,在左右像素541R和541L每一者中,突起100X设置在半导体层100S的表面100S1上,FD 114设置在每个突起100X的上表面上,并且传输栅极TG设置在多个突起100X周围并位于设置有FD 114的突起100X的下方。因此,确保了FD 114和传输栅极TG之间沿高度方向的距离,并缓和了FD 114和传输栅极TG之间的电场。此外,可以保护传输通道免受外部杂质的影响。

[0256] 如上所述,在本实施例的成像装置3中,可以实现具有可以减少暗电流产生的三维结构的成像装置。此外,可以提高在构成像素阵列部540的所有像素541都是像面相位差像素的成像装置(成像装置3)中的电荷传输效率。

[0257] 此外,在本实施例中,在左右像素541R和541L中的每一者中形成的突起100X在平面视图中形成在构成光电二极管PD的n型半导体区域111的大致中心处。因此,可以进一步提高电荷传输效率。

[0258] 应注意,在本实施例中,已说明了如下示例:FD 114设置在形成于半导体层100S的表面100S1上的突起100X的上表面上,并且其周围被传输栅极TG包围;然而,如图26所示,在将FD 114设置在平坦表面100S1上而不设置突起100X并将传输栅极TG的一部分嵌入到FD 114周围的成像装置中,也可以提高电荷传输效率。

[0259] <6. 变形例>

[0260] (6-1. 变形例6)

[0261] 图27示出根据本公开变形例6的成像装置(成像装置3A)的像素的平面构造示例。图28示意性地示出与图27所示的线VI-VI'对应的横截面构造示例。

[0262] 在上述第三实施例中,已经说明了如下示例:在平面视图中,突起100X形成在构成光电二极管PD的n型半导体区域111的大致中心处;然而,本公开不限于此。在本变形例的成像装置3A中,突起100X形成在沿Z轴方向延伸的n型半导体区域111的端部附近。

[0263] 以此方式,在本变形例中,突起100X形成在沿Z轴方向延伸的n型半导体区域111的端部附近。因此,例如,当多个像素541共用FD 114时,可以缩短所使用的FD布线,并且因此可以提高转换效率。因此,S/N比得到改善,因而可以提高图像质量。

[0264] 应注意,在本变形例中,调整杂质浓度以使光电二极管PD的电位重心形成在突起100X的下方,由此能够在提高转换效率的同时提高传输效率。

[0265] 此外,如图29所示,在平坦表面100S1上设置FD 114而不设置突起100X并将传输栅极TG的一部分嵌入到FD 114周围的成像装置中,本构造也可同样提高转换效率。

[0266] (6-2. 变形例7)

[0267] 图30示出根据本公开变形例7的成像装置(成像装置3B)的像素的平面构造示例。

图31示意性地示出与图30示出的VII-VII'线对应的横截面结构示例。

[0268] 在上述第三实施例中,已说明了在将接触部CS设置在围绕突起100X的环状传输栅极TG上的示例;然而,本公开不限于此。在本变形例的成像装置3B中,环状传输栅极TG设置有悬垂部X,并且接触部CS设置在该悬垂部X上。

[0269] 以此方式,在本变形例中,环状传输栅极TG设置有悬垂部X,并且接触部CS设置在该悬垂部X上,从而可以确保接触部CS与FD 114的接触部之间的距离。因此,除了上述第三实施例的效果之外,还可以减小FD电容。此外,还可以避免发生短路。

[0270] 此外,如图32所示,在平坦表面100S1上设置FD 114而不设置突起100X并将传输栅极TG的一部分嵌入到FD 114周围的成像装置中,本构造也同样能够减小FD电容。此外,能够避免发生短路。

[0271] (6-3. 变形例8)

[0272] 图33示出根据本公开变形例8的成像装置(成像装置3C)的像素的平面构造示例。图34示意性地示出与图33所示的线VIII-VIII'对应的横截面构造示例。

[0273] 在上述变形例7中,已经说明了如下示例:在平面视图中,突起100X形成在构成光电二极管PD的n型半导体区域111的大致中心处,具有悬垂部X的环状传输栅极TG设置在突起100X周围,并且接触部CS设置在悬垂部X上;然而,本公开不限于此。在本变形例的成像装置3C中,突起100X形成在n型半导体区域111的端部附近,并且悬垂部X设置在左右像素541R和541L每者的中心方向上。

[0274] 以此方式,在本变形例中,在n型半导体区域111的端部附近形成突起100X,环状传输栅极TG具有沿左右像素541R和541L每者的中心方向延伸的悬垂部X,并且接触部CS设置在该悬垂部X上。因此,除了上述第三实施例的效果之外,还可以在提高转换效率的同时减小FD电容。此外,还可以避免发生短路。

[0275] 此外,如图35所示,在平坦表面100S1上设置FD 114而不设置突起100X并将传输栅极TG的一部分嵌入到FD 114周围的成像装置中,本构造同样能够降低FD电容,并同时提高转换效率。此外,可以避免发生短路。

[0276] (6-4. 变形例9)

[0277] 图36示出根据本公开变形例9的成像装置(成像装置3D)的像素的平面构造示例。图37示出根据本公开变形例9的成像装置(成像装置3D)的像素的另一平面构造示例。

[0278] 在上述第三实施例中,已经说明了如下示例:设置了在平面视图中大致呈完美圆形的突起以及环状传输栅极TG;然而,本公开不限于此。在本变形例的成像装置3D中,在构成光电二极管PD的n型半导体区域111在平面视图中的大致中心处或端部处设置在平面视图中大致呈椭圆形的突起以及围绕该突起的环状传输栅极TG,并且接触部CS设置在长轴方向上。

[0279] 以此方式,在本变形例中,设置了在平面视图中大致呈椭圆形的突起以及围绕该突起的环状传输栅极TG,并将接触部CS设置在长轴方向上。因此,可以将FD 114的接触部与传输栅极TG的接触部CS物理地分开。因此,除了上述第三实施例的效果之外,还可以提高S/N比。

[0280] (6-5. 变形例10)

[0281] 图38示出根据本公开变形例10的成像装置(成像装置3E)的平面构造示例。图39示

出根据本公开变形例10的成像装置(成像装置3E)的另一平面构造示例。

[0282] 在沿与左右像素541R和541L的并列排列方向交叉的方向相邻的两个像素541中,设置在左右像素541R和541L中的各个环状传输栅极TG可以相互连接并共用。具体地,如图38所示,在排列成两行两列的像素541-1、541-2、541-3和541-4中,在沿Z轴方向相邻的像素541-1与541-3之间以及在沿Z轴方向相邻的像素541-2与541-4之间,各个环状传输栅极TG可相互连接,并在各个右像素之间(右像素541R-1与541R-3之间以及右像素541R-2与541R-4之间)以及各个左像素之间(左像素541L-1与541L-3之间以及左像素541L-2与541L-4之间)共用。

[0283] 右像素541R-1和541R-3之间的共用传输栅极TG以及右像素541R-2和541R-4之间的共用传输栅极TG分别连接到布线TRGL1。左像素541L-1和541L-3之间的共用传输栅极TG以及左像素541L-2和541L-4之间的共用传输栅极TG分别连接到布线TRGL2。设置在像素541-1的右像素541R-1和左像素541L-1中的各个FD 114通过布线FDL1相互电连接。设置在像素541-2的右像素541R-2和左像素541L-2中的各个FD 114通过布线FDL2相互电连接。设置在像素541-3的右像素541R-3和左像素541L-3中的各个FD 114通过布线FDL3相互电连接。设置在像素541-4的右像素541R-4和左像素541L-4中的各个FD 114通过布线FDL4相互电连接。

[0284] 因此,可以单独地控制设置在每个像素541-1、541-2、541-3和541-4的左右像素541R和541L中的各个晶体管TR。此外,像素541-1、541-2、541-3和541-4中产生的电荷能够被读出,而不会与另一像素的电荷混合。此外,可以同时读取沿Z轴方向相邻的两个像素541,从而提高帧速率。

[0285] 应注意,如图39所示,设置在每个像素541-1、541-2、541-3和541-4的左右像素541R和541L中的各个突起100X可以设置为在沿Z轴方向相邻的像素之间靠近。由此,减少了连接相应传输栅极TG的电极的面积,因此整个传输栅极TG的电容减小。因此,可以减少读出周期所需的时间,从而可以提高帧速率。

[0286] 以此方式,在本变形例中,在沿与左右像素541R和541L的并列排列方向相交的方向相邻的两个像素541之间,设置在左右像素541R和541L中的各个环状传输栅极TG相互连接。因此,与上述第三实施例等相比,接触部CS的数量减少。因此,可以提高布局的自由度。

[0287] (6-6. 变形例11)

[0288] 图40至43示出根据本公开变形例11的成像装置(成像装置3F)的像素的平面构造示例。

[0289] 在上述第三实施例中,已经说明了如下示例:为了防止相邻的右像素和541R和左像素541L的颜色电气混合,分离部115在左右像素541R和541L之间从分离部115在Z轴方向上相对的两侧朝向像素541的中心延伸;然而,本公开不限于此。例如,如图40和41所示,将相邻的右像素和541R和左像素541L分离的分离部115可以从分离部115在Z轴方向上相对的两侧中的一侧朝向另一侧延伸。

[0290] 此外,如图42所示,将相邻的左右像素541R和541L分离的分离部(分离部115X)可以与围绕像素541的分离部115分开。在这种情况下,分离部115X可以例如具有从半导体层100S的背面(表面100S2)侧形成的反向深沟槽隔离(RDTI:Reverse Deep Trench Isolation)结构(如图43所示),或者可以形成为例如p型杂质层。

[0291] <7.第四实施例>

[0292] 图44示意性地示出根据本公开第四实施例的成像装置(成像装置4)的半导体层100S的横截面构造示例。图45A示意性地示出图44所示的半导体层100S的平面布局示例。图45B示意性地示出图44所示的半导体层100S的另一平面布局示例。应注意,图44示出对应于图45A和45B所示的线IX-IX'的横截面。

[0293] [成像装置的构造]

[0294] 如同上述第一实施例,在成像装置4中,第一基板100、第二基板200和第三基板300依次上下层叠。成像装置4还包括位于第一基板100的背面侧(光入射面侧)的光接收透镜414。在光接收透镜414和第一基板100之间,例如设置有遮光膜411、保护层412和滤色器层413。光接收透镜414是按照每个像素541设置的。成像装置4例如是背面照射型成像装置。成像装置4包括布置在中间的像素阵列部540以及设置在像素阵列部540外侧的周边部。

[0295] 第一基板100包括半导体层100S和布线层100T。半导体层100S具有一对彼此相对的表面(作为正面的表面100S1和作为背面的表面100S2),并且在该层内形成pn结型光电二极管PD。半导体层100S例如在表面100S1上包括按照每个像素541设置的多个柱状突起100X,并且FD 114形成在多个突起100X中的每一者的上表面上。环状传输栅极TG设置在突起100X周围,并且形成为使其上表面位于FD 114上方。换句话说,FD 114设置在传输栅极TG的上表面与下表面之间的高度处。

[0296] 上述结构也适用于构成图45B所示的像面相位差像素的左右像素541R和541L。具体地,在左右像素541R和541L的每者中,形成有柱状突起100X,并且FD 114设置在突起100X的上表面上。环状传输栅极TG设置在每个突起100X周围,并形成为使其上表面的位置高于FD 114。

[0297] [作用与效果]

[0298] 在本实施例的成像装置4中,在具有一对彼此相对的表面(表面100S1和100S2)的半导体层100S内,多个突起100X设置在表面100S1上,FD 114设置在每个突起100X的上表面上,并且传输栅极TG设置在多个突起100X周围并使其上表面比设置有FD 114的突起100X更向上突出。因此,像素变得更精细,由此减少了设置在相邻像素中相邻突起100X的上表面上的FD 114之间的串扰的发生。

[0299] 如上所述,在本实施例的成像装置4中,可以实现具有能够减少暗电流的产生的三维结构的成像装置。此外,可以抑制相邻像素之间的颜色混合。

[0300] <8.变形例>

[0301] (8-1.变形例12)

[0302] 图46示意性地示出根据本公开变形例12的成像装置(成像装置4A)的半导体层100S的横截面构造示例。图47A示意性地示出图46所示的半导体层100S的平面布局示例。图47B示意性地示出图46所示的半导体层100S的另一平面布局示例。应注意,图46示出对应于图47A和47B所示的线X-X'的横截面。

[0303] 在上述第四实施例中,说明了如下示例:在突起100X周围设置连续的环状传输栅极TG;然而,本公开不限于此。在本变形例的成像装置4A中,仅在担心相邻像素之间的FD连接的方向上选择性地形成传输栅极TG。

[0304] 以此方式,在本变形例中,仅在担心相邻像素之间的FD连接的方向上选择性地形

成传输栅极TG。因此,可以获得与上述第四实施例类似的效果。

[0305] (8-2. 变形例13)

[0306] 图48示意性地示出根据本公开变形例13的成像装置(成像装置4B)的像素的平面构造示例。

[0307] 在上述变形例12中,说明了如下示例:在作为具有正方形形状的成像像素的像素541中,仅在担心相邻像素之间的FD连接的方向上选择性地形成传输栅极TG;然而,本公开不限于此。在本变形例的成像装置4B中,在构成像面相位差像素的具有大致矩形形状的左右像素541R和541L中,仅在担心FD连接的方向上选择性地形成传输栅极TG。

[0308] 此外,图48示出了如下示例:突起100X形成在构成光电二极管PD的n型半导体区域111在平面视图中的大致中心处;然而,本公开不限于此。例如,如图49所示,本结构也适用于成像装置3A,在该成像装置3A中,上述变形例6中的突起100X形成在n型半导体区域111的端部附近。

[0309] 此外,如图50和51所示,本结构还可适用于成像装置3B和3C,在这些成像装置3B和3C中,上述变形例7和8中的传输栅极TG设置有悬垂部X,并且接触部CS设置在该悬垂部X上。如图52和53所示,本结构还可适用于成像装置3D,在该成像装置中,上述变形例9中的传输栅极TG设置有在平面视图中大致呈椭圆形的突起,并且接触部CS设置在长轴方向上。如图54和55所示,本结构还可适用于成像装置3E,在该成像装置中,上述变形例10中的沿与左右像素541R和541L并行排列方向相交的方向上的两个相邻像素541中,设置在左右像素541R和541L中的各个传输栅极TG相互连接并共用。

[0310] 此外,图48至55示出了如下示例:传输栅极TG选择性地形成在相邻像素541侧;然而,本公开不限于此。在担心像素541中的相邻的右像素和541R和左像素541L之间的FD连接的情况下,如图56和57所示,传输栅极TG选择性地形成在相邻的左右像素541R和像素541L侧。

[0311] 以此方式,在本变形例中,仅在担心相邻的像面相位差像素之间的FD连接的方向上选择性地形成传输栅极TG。因此,可以获得与上述第四实施例类似的效果。

[0312] <9. 第五实施例>

[0313] 图58示意性地示出根据本公开第五实施例的成像装置(成像装置5)中的像素阵列部540的平面构造示例。图59示意性地示出半导体层100S沿图58所示的线XI-XI'的横截面构造示例。图60示意性地示出半导体层100S沿图58所示的XI-XI'线的另一剖面结构示例。

[0314] [成像装置的构造]

[0315] 如同上述第一实施例,在成像装置5中,第一基板100、第二基板200和第三基板300依次上下层叠。成像装置5还包括位于第一基板100的背面(光入射面侧)侧的光接收透镜414。在光接收透镜414和第一基板100之间,例如设置有遮光膜411、保护层412和滤色器层413。光接收透镜414是按照每个像素541设置的。成像装置5例如是背面照射型成像装置。成像装置2包括设置在中间的像素阵列部540和设置在像素阵列部540外侧的周边部。

[0316] 构成像素阵列部540的所有像素541均为像面相位差像素。在构成像素阵列部540的每个像素541中,设置有一个光接收透镜414,并且例如在布置成两行两列的四个像素541中设置有例如选择性地允许红色波段的波长透射的滤色器413R、选择性地允许绿色波段的波长透射的滤色器413G和选择性地允许蓝色波段的波长透射的滤色器413B中的任一者。

[0317] 在成像装置5中,在排列成两行两列并设置有任一滤色器413R、413G和413B的四个像素541中,在沿与左右像素541R和541L的并行排列方向(X轴方向)相交的方向(Y轴方向)相邻的两个像素541之间,每个FD 114形成在各个左右像素541R和541L的交叉点附近。沿Z轴方向相邻的两个像素541的各个左右像素541R、541L中设置的四个FD 114通过形成在分离部115上的接触部层114X相互电连接,因此,在两个相邻像素541的各个左右像素541R、541L中共用四个FD 114。在本实施例中,大致环状的传输栅极TG形成为围绕共用的四个FD 114。

[0318] 应注意,在成像装置5中,分离部115可以具有FTI结构或DTI结构,在FTI结构中,分离部从半导体层100S的正面(表面100S1)侧形成,在DTI结构中,分离部从背面(表面100S2)侧形成。通过采用DTI结构并调整分离部115的深度,可以更深地形成接触部层114X。此外,在分离部115被构造成DTI结构的情况下,可以在共用的四个FD 114周围形成连续的环状传输栅极TG。

[0319] 应注意,图59例如示出了如下示例:FD 114设置在形成于半导体层100S的表面100S1上的突起100X的上表面上;然而,如图60所示,FD 114可设置在平坦表面100S1上而不设置突起100X,并且传输栅极TG的一部分可嵌入在FD 114周围。

[0320] [作用与效果]

[0321] 在本实施例的成像装置5中,在共用相同滤色器413R、413G和413B的多个像素541中,在沿与左右像素541R和541L的并行排列方向(X轴方向)相交的方向(Y轴方向)相邻的两个像素541之间,四个FD 114形成在各个左右像素541R和541L的交叉点附近,并且大致环状的传输栅极TG形成为围绕四个FD 114。由此,减少了检测波长不同的像素之间发生电串扰。

[0322] 如上所述,在本实施例的成像装置5中,可以实现具有能够减少暗电流的产生的三维结构的成像装置。此外,可以抑制相邻像素。

[0323] 此外,在本实施例中,在四个FD 114之间形成接触部层114X,并且在该接触部层114X上设置接触部CS。因此,可以减少接触部CS的数量。

[0324] <10. 变形例14>

[0325] 图61示意性地示出根据本公开变形例14的成像装置(成像装置5A)的像素的平面构造示例。图62示意性地示出根据本公开变形例14的成像装置(成像装置5A)的像素的另一平面构造示例。

[0326] 在上述第五实施例中,已经说明了如下示例:在沿Y轴方向相邻的两个像素之间,四个FD 114形成在各个左右像素541R和541L的交叉点附近,并且四个FD 114彼此共用;然而,本公开不限于此。在本变形例的成像装置5A中,FD 114仅在左右像素541R和541L之间共用。

[0327] 应注意,在左右像素541R和541L之间共用FD 114的情况下,如图61所示,FD 114可形成在像素541的端部,或者如图62所示,可设置独立于分离部115的分离部115X,并且FD 114可形成在像素541的大致中心处。

[0328] <11. 应用示例>

[0329] 图63示出包括根据上述第一至第五实施例及其变形例1至14的成像装置(例如,成像装置1)的成像系统6的示意构造示例。

[0330] 成像系统6是电子设备,例如,诸如数字静态相机或视频相机之类的成像装置、诸

如智能手机或平板终端之类的便携式终端装置等。成像系统6例如包括根据上述实施例及其变形例的成像装置1、DPS电路243、帧存储器244、显示单元245、存储单元246、操作单元247和电源单元248。在成像系统6中,根据上述实施例及其变形例的成像装置1、DPS电路243、帧存储器244、显示单元245、存储单元246、操作单元247和电源单元248通过总线249相互连接。

[0331] 根据上述实施例等的成像装置(例如,成像装置1)根据入射光输出图像数据。DPS电路243是处理从根据上述实施例及其变形例的成像装置1输出的信号(图像数据)的信号处理电路。帧存储器244逐帧地临时保存由DPS电路243处理的图像数据。显示单元245例如包括面板型显示装置(例如液晶面板或有机电致发光(EL)面板),并在其上显示由根据上述实施例及其变形例的成像装置1拍摄的运动图像或静止图像。存储单元246将由根据上述实施例及其变形例的成像装置1拍摄的运动图像或静止图像的图像数据记录到记录介质(例如半导体存储器或硬盘)上。操作单元247根据用户的操作发出与成像系统6所具有的各种功能相关的操作命令。电源单元248适当地向根据上述实施例及其变形例的成像装置1、DPS电路243、帧存储器244、显示单元245、存储单元246和操作单元247通过成为这些供电目标的操作电力的各种电力。

[0332] 随后将说明成像系统6中的成像过程。

[0333] 图64示出成像系统6中的成像过程的流程示例。用户操作操作单元247并由此发出开始成像的指令(步骤S101)。然后,操作单元247将成像命令发送到成像装置1(步骤S102)。当接收到成像命令时,成像装置1(具体地,系统控制电路36)通过预定的成像方法执行成像(步骤S103)。

[0334] 成像装置1将通过成像获得的图像数据输出到DPS电路243。这里的图像数据是指基于浮动扩散部FD中临时保存的电荷在所有像素中生成的像素信号的数据。DPS电路243根据从成像装置1输入的图像数据执行诸如降噪处理之类的预定信号处理(步骤S104)。DPS电路243使帧存储器244保存经过预定信号处理的图像数据,并且帧存储器244使存储单元246存储图像数据(步骤S105)。以此方式,在成像系统6中执行成像。

[0335] 在本应用示例中,将根据上述实施例及其变形例的成像装置1应用于成像系统6。由此,可以使成像装置1更小或具有更高的清晰度,从而可以提供小尺寸或高清晰度的成像系统6。

[0336] <12.实际应用示例>

[0337] [实际应用例1]

[0338] 图65是示出可应用根据本公开实施例的技术(本技术)的内窥镜手术系统的示意构造示例的视图。

[0339] 在图65中,示出了手术操作者(医生)11131正在使用内窥镜手术系统11000对病床11133上的患者11132进行手术的状态。如图所示,内窥镜手术系统11000包括内窥镜11100、诸如气腹管11111和能量装置11112之类的其他手术工具11110、用于在其上支撑内窥镜11100的支撑臂设备11120以及上面安装有各种内窥镜手术设备的推车11200。

[0340] 内窥镜11100包括镜筒11101和与镜筒11101的近端连接的摄像头11102,镜筒11101的具有从其远端开始的预定长度的区域插入到患者11132的体腔中。在图示的示例中,内窥镜11100被示出为包括作为硬型镜筒11101的硬式内窥镜。然而,内窥镜11100

也可以作为包括柔型镜筒11101的柔式内窥镜。

[0341] 镜筒11101在其远端处具有开口,物镜适配在该开口中。光源设备11203连接到内窥镜11100,使得由光源设备11203产生的光通过在镜筒11101内部延伸的光导被引入到镜筒11101的远端,并通过物镜朝向患者11132的体腔中的观察目标照射。应注意,内窥镜11100可以是前视内窥镜,或者可以是斜视内窥镜或侧视内窥镜。

[0342] 在摄像头11102内部设置有光学系统和图像拍摄元件,使得来自观察目标的反射光(观察光)通过光学系统会聚在图像拍摄元件上。通过图像拍摄元件对观察光执行光电转换,以产生与观察光对应的电信号,即与观察图像对应的图像信号。图像信号作为原始数据被传输到CCU 11201。

[0343] CCU 11201包括中央处理单元(CPU)、图形处理单元(GPU)等,并且整体地控制内窥镜11100和显示设备11202的操作。另外,CCU 11201从摄像头11102接收图像信号,并对图像信号执行诸如显影处理(去马赛克处理)之类的各种图像处理,以基于图像信号来显示图像。

[0344] 在CCU 11201的控制下,显示设备11202基于已被CCU 11201执行图像处理的图像信号来在其上显示图像。

[0345] 光源设备11203例如包括诸如发光二极管(LED)之类的光源,并且在对手术区域进行成像时向内窥镜11100提供照射光。

[0346] 输入设备11204是内窥镜手术系统11000的输入接口。用户可以通过输入设备11204在内窥镜手术系统11000中输入各种类型的信息或指令。例如,用户可以输入用于改变内窥镜11100的图像拍摄条件(照射光的类型、放大系数、焦距等)的指令等。

[0347] 治疗工具控制设备11205控制用于烧灼组织、切割组织和密封血管等的能量装置11112的驱动。气腹设备11206通过气腹管11111将气体馈送到患者11132的体腔中,以使体腔膨胀,从而确保内窥镜11100的视野并确保治手术的工作空间。记录器11207是能够记录与手术有关的各种信息的设备。打印机11208是能够以诸如文本、图像和图表之类的各种形式打印与手术有关的各种信息的设备。

[0348] 应注意,例如,在对手术区域成像时向内窥镜11100提供照射光的光源设备11203可以包括白光源,白光源例如包括LED、激光光源或它们的组合。在白光源包括红色、绿色和蓝色(RGB)激光光源的组合的情况下,由于可以高精度地控制每种颜色(每个波长)的输出强度和输出时序,因此能够通过光源设备11203调节拍摄图像的白平衡。另外,在这种情况下,如果通过以时分方式向观察目标照射来自RGB激光光源的激光束并以与发射时序同步的方式控制摄像头11102的图像拍摄元件的驱动,则可以以时分方式拍摄分别对应于RGB的图像。根据该方法,即使不为图像拍摄元件设置滤色器,也能够获取彩色图像。

[0349] 另外,可以控制光源设备11203,使得以每段预定时间改变输出光的强度。通过以与光强度的改变时序同步的方式控制摄像头11102的图像拍摄元件的驱动以便按照时分方式获取图像并且合成图像,可以产生不具有欠曝光遮挡阴影和过曝光高光的高动态范围图像。

[0350] 此外,光源设备11203可以被构造为提供具有为特定光观察准备的预定波长区域的光。在特定光观察中,例如,通过利用身体组织中的光吸收的波长依赖性来照射比正常观察时的照射光(即,白光)相比具有窄带的光,执行用于对诸如具有高对比度的诸如粘膜

层表层部分的血管之类的预定组织的成像(窄带成像)。替代地,在特定光观察中,可以执行用于根据由激发光的照射产生的荧光来获得图像的荧光观察。在荧光观察中,可以通过向身体组织照射来执行来自身体组织的荧光的观察(自发荧光观察),或者通过局部地在身体组织中注射诸如吲哚菁绿(ICG)之类的试剂并向身体组织照射与试剂的荧光波长相对应的激发光来获得荧光图像。光源设备11203可以被构造为提供适用于如上所述的特定光观察的窄带光和/或激发光。

[0351] 图66是示出图65所示的摄像头11102和CCU 11201的功能构造示例的框图。

[0352] 摄像头11102包括透镜单元11401、图像拍摄单元11402、驱动单元11403、通信单元11404和摄像头控制单元11405。CCU 11201包括通信单元11411、图像处理单元11412和控制单元11413。摄像头11102和CCU 11201经由传输电缆11400连接以彼此通信。

[0353] 透镜单元11401是设置在与镜筒11101连接的位置处的光学系统。从镜筒11101的远端获取的观察光被引导至摄像头11102并被引入透镜单元11401中。透镜单元11401包括多个透镜的组合,这些透镜包括变焦透镜和聚焦透镜。

[0354] 图像拍摄单元11402所包括的图像拍摄元件的数量可以是一个(单板型)或多个(多板型)。在图像拍摄单元11402被构造成为多板型的情况下,例如,通过图像拍摄元件产生分别对应于R、G和B的图像信号,并且可以通过合成这些图像信号来获得彩色图像。图像拍摄单元11402也可以被构造为具有一对图像拍摄元件,以用于获取用于三维(3D)显示的右眼图像信号和左眼图像信号。如果执行3D显示,则手术操作者11131能够更准确地感知身体组织在手术部位处的深度。应注意,在图像拍摄单元11402被构造成为多板型的情况下,可以以与各个图像拍摄元件相对应的方式设置多个系统的透镜单元11401。

[0355] 另外,图像拍摄单元11402可以不必设置在摄像头11102中。例如,图像拍摄单元11402可以设置成紧接镜筒11101内部的物镜之后。

[0356] 驱动单元11403包括致动器,并且在摄像头控制单元11405的控制下,驱动单元11403使透镜单元11401的变焦透镜和聚焦透镜沿着光轴移动预定距离。因此,可以适当地调节由图像拍摄单元11402拍摄的图像的放大倍数和焦点。

[0357] 通信单元11404包括用于向/从CCU 11201传送/接收各种信息的通信设备。通信单元11404通过传输电缆11400将从图像拍摄单元11402获得的图像信号作为原始数据传送到CCU 11201。

[0358] 另外,通信单元11404从CCU 11201接收用于控制摄像头11102的驱动的控制信号,并将控制信号提供到摄像头控制单元11405。例如,控制信号包括与成像条件有关的信息,图像拍摄条件例如为用于指定拍摄图像的帧速率的信息和用于指定图像拍摄时的曝光值的信息和/或用于指定拍摄图像的放大倍数和焦点的信息。

[0359] 应注意,诸如帧速率、曝光值、放大倍数和焦点之类的图像拍摄条件可以由用户适当地指定或者由CCU 11201的控制单元11413基于获得的图像信号自动地设置。在后一种情况下,在内窥镜11100中组合有自动曝光(AE)功能、自动聚焦(AF)功能和自动白平衡(AWB)功能。

[0360] 摄像头控制单元11405基于通过通信单元11404从CCU 11201接收的控制信号来控制摄像头11102的驱动。

[0361] 通信单元11411包括用于向/从摄像头11102传送/接收各种类型的信息的通信设

备。通信单元11411通过传输电缆11400接收从摄像头11102传送的图像信号。

[0362] 另外,通信单元11411将用于控制摄像头11102的驱动的控制信号传送到摄像头11102。可以通过电通信、光通信等传送图像信号和控制信号。

[0363] 图像处理单元11412对从摄像头11102以原始数据的形式传送的图像信号执行各种图像处理。

[0364] 控制单元11413执行与内窥镜11100执行的手术区域等的图像拍摄以及通过手术区域的图像拍摄等获得的拍摄图像的显示有关的各种类型的控制。例如,控制单元11413产生用于控制摄像头11102的驱动的控制信号。

[0365] 此外,控制单元11413基于已被图像处理单元11412执行图像处理的图像信号来控制显示设备11202显示用于描绘手术区域等的拍摄图像。此时,控制单元11413可以通过使用各种图像识别技术来识别拍摄图像中的各种物体。例如,控制单元11413可以通过检测拍摄图像中包括的物体的边缘的形状、颜色等来识别诸如镊子等手术工具、特定活体部位、出血、在使用能量装置11112时的雾等。在控制单元11413在控制显示设备11202显示拍摄图像时,控制单元11413可以通过使用识别结果以与手术区域的图像叠加的方式显示各种手术辅助信息。通过使手术辅助信息以叠加方式显示并呈现给手术操作者11131,可以减轻手术操作者11131的负担,或者能够使外科医师11131更可靠地进行手术。

[0366] 使摄像头11102和CCU 11201彼此连接的传输电缆11400是用于电信号通信的电信号电缆、用于光学通信的光纤或者用于电通信和光学通信二者的复合电缆。

[0367] 这里,在示出的示例中,虽然通过使用传输电缆11400的有线通信执行通信,但摄像头11102和CCU 11201之间的通信可以通过无线通信来执行。

[0368] 如上所述,已经说明了可以应用根据本公开的技术的内窥镜手术系统的示例。根据本公开的技术可以适当地应用于上述组件中的图像拍摄单元11402,该图像拍摄单元11402设置在内窥镜11100的摄像头11102中。通过将根据本公开的技术应用于图像拍摄单元11402,可以使图像拍摄单元11402更小或具有更高清晰度;因此,可以提供小尺寸的或高清晰度的内窥镜11100。

[0369] [实际应用例2]

[0370] 根据本公开的技术(本技术)可以适用于各种产品。例如,根据本公开的技术可以被实现为安装在任何类型的移动体上的装置的形式,移动体例如为汽车、电动汽车、混合动力电动汽车、摩托车、自行车、个人移动装置、飞机、无人机、船舶和机器人。

[0371] 图67是示出作为可以应用根据本公开的技术的移动体控制系统的示例的车辆控制系统的示意性构造示例的框图。

[0372] 车辆控制系统12000包括经由通信网络12001彼此连接的多个电子控制单元。在图67所示的示例中,车辆控制系统12000包括驱动系统控制单元12010、车身系统控制单元12020、车外信息检测单元12030、车内信息检测单元12040和集成控制单元12050。此外,微型计算机12051、声音/图像输出部12052和车载网络接口(I/F) 12053被作为集成控制单元12050的功能构造示出。

[0373] 驱动系统控制单元12010根据各种程序来控制与车辆的驱动系统相关的装置的操作。例如,驱动系统控制单元12010充当用于如下装置的控制装置:用于产生车辆驱动力的驱动力产生装置(例如内燃机、驱动马达等)、用于将驱动力传递给车轮的驱动力传递机构、

用于调整车辆的转向角的转向机构、用于产生车辆制动力的制动装置等。

[0374] 车身系统控制单元12020根据各种程序控制设置在车身上的各种装置的操作。例如,车身系统控制单元12020充当用于如下装置的控制装置:无钥匙进入系统、智能钥匙系统、电动车窗装置、或诸如车前灯、倒车灯、刹车灯、转向灯、雾灯等之类的各种灯。在这种情况下,从作为钥匙替代品的便携设备发送的无线电波或各种开关的信号可以输入到车身系统控制单元12020。车身系统控制单元12020接收这些输入的无线电波或信号,并且控制车辆的门锁装置、电动车窗装置、车灯等。

[0375] 车外信息检测单元12030检测关于包括车辆控制系统12000的车辆的车辆的外部信息。例如,车外信息检测单元12030连接到成像部12031。车外信息检测单元12030使成像部12031拍摄车辆外部的图像,并接收拍摄的图像。基于接收的图像,车外信息检测单元12030可以执行用于检测诸如人、车辆、障碍物、标志、路面上的字符之类的物体的处理或用于检测它们的距离的处理。

[0376] 成像部12031是光学传感器,其接收光并输出与接收光量相对应的电信号。成像部12031也可以输出作为图像的电信号,或者可以输出作为测量距离信息的电信号。另外,成像部12031接收的光可以是可见光,或者可以是诸如红外线等之类的不可见光。

[0377] 车内信息检测单元12040检测关于车辆的内部信息。例如,车内信息检测单元12040连接到用于检测驾驶员状态的驾驶员状态检测部12041。驾驶员状态检测部12041例如包括用于拍摄驾驶员图像的相机。基于从驾驶员状态检测部12041输入的检测信息,车内信息检测单元12040可以计算驾驶员的疲劳度或驾驶员的注意力集中度,或者可以确定驾驶员是否在打瞌睡。

[0378] 微型计算机12051可以基于由车外信息检测单元12030或车内信息检测单元12040获得的关于车辆内部和外部的信息来计算驱动力产生装置、转向机构或制动装置的控制目标值,并向驱动系统控制单元12010输出控制命令。例如,微型计算机12051可以执行旨在实现高级驾驶员辅助系统(ADAS)的功能的协调控制,这些功能包括车辆的防撞或减震、基于车辆间距的跟车驾驶、车速保持驾驶、车辆碰撞警告、车辆偏离车道警告等。

[0379] 另外,基于由车外信息检测单元12030或车内信息检测单元12040获得的关于车辆的环境信息,微型计算机12051可以通过控制驱动力产生装置、转向机构、制动装置等来执行用于自动驾驶的协调控制,该自动驾驶使车辆自动行驶,而不依赖于驾驶员的操作等。

[0380] 此外,微型计算机12051可以基于由车外信息检测单元12030获得的关于车辆的外部信息向车身系统控制单元12030输出控制命令。例如,微型计算机12051可以通过例如根据由车外信息检测单元12030检测的前方车辆或迎面车辆的位置控制车前灯从远光灯变为近光灯来执行用于防止眩光的协调控制。

[0381] 声音/图像输出部12052将声音和图像中的至少一者的输出信号传输到能够向车辆乘员或车辆外部以视觉或听觉的方式通知信息的输出装置。在图67的示例中,音频扬声器12061、显示部12062和仪表盘12063被作为输出装置。显示部12062可以例如包括车载显示器和平视显示器中的至少一者。

[0382] 图68是示出成像部12031的安装位置示例的图。

[0383] 在图68中,所述成像部12031包括成像部12101、12102、12103、12104和12105。

[0384] 成像部12101、12102、12103、12104、12105例如设置在车辆12100的前鼻、后视镜、

后保险杠、后门以及车辆内挡风玻璃上部的位置。设置在前鼻处的成像部12101和设置在车辆内挡风玻璃上部处的成像部12105主要获取车辆12100前方的图像。设置在后视镜处的成像部12102和12103主要获取车辆12100两侧的图像。设置在后保险杠或后门处的成像部12104主要获取车辆12100后方的图像。设置在车辆内挡风玻璃上部处的成像部12105主要用于检测前方车辆、行人、障碍物、信号灯、交通标志、车道等。

[0385] 注意,图68示出了成像部12101至12104的成像范围的示例。成像范围12111表示设置在前鼻处的成像部12101的成像范围。成像范围12112、12113分别表示设置在后视镜处的成像部12102、12103的成像范围。成像范围12114表示设置在后保险杠或后门处的成像部12104的成像范围。例如,通过叠加由成像部12101至12104拍摄的图像数据来获得车辆12100的鸟瞰图像。

[0386] 成像部12101至12104中的至少一者可以具有用于获得距离信息的功能。例如,成像部12101至12104中的至少一者可以是由多个成像元件构成的立体相机,或者可以是具有用于相位差检测的像素的成像元件。

[0387] 例如,微型计算机12051可以基于从成像部12101至12104获得的距离信息来确定成像范围12111至12114内的每个三维物体的距离以及距离的时间变化(相对于车辆12100的相对速度),并提取最近的三维物体作为前行车辆,该三维物体特别地存在于车辆12100的行驶路径上且以预定速度(例如,等于或大于0公里/小时)在与车辆12100大致相同的方向上行驶。此外,微型计算机12051能够预先设定应在前行车辆前方保持的跟随距离,并执行自动制动控制(包括跟随停止控制)、自动加速控制(包括跟随起步控制)等。因此,能够执行用于自动驾驶的协调控制,以使车辆在不依赖于驾驶员的操作等的情况下自动行驶。

[0388] 例如,微型计算机12051可以基于从成像部12101至12104获得的距离信息将三维物体的三维物体数据分类为两轮车、标准尺寸车辆、大型车辆、行人、电线杆以及其它三维物体,提取分类后的三维物体数据,并将提取的三维物体数据用于自动避障。例如,微型计算机12051将车辆12100周围的障碍物识别为能够被车辆12100的驾驶员视觉识别的障碍物和难以被车辆12100的驾驶员视觉识别的障碍物。然后,微型计算机12051确定用于指示与每个障碍物碰撞的风险的碰撞风险。在碰撞风险等于或高于设定值并因此存在碰撞可能性的情况下,微型计算机12051通过音频扬声器12061或显示单元12062向驾驶员输出警告,并通过驾驶系统控制单元12010执行强制减速或避让转向。微型计算机12051由此可以辅助驾驶以避免碰撞。

[0389] 成像部12101至12104中的至少一者可以是检测红外线的红外相机。例如,微型计算机12051可以通过确定在成像部12101至12104的拍摄图像中是否存在行人来识别行人。这种行人识别例如通过如下过程来执行:提取作为红外相机的成像部12101至12104的拍摄图像中的特征点的过程;以及通过对代表物体轮廓的一系列特征点进行模式匹配处理来判断是否为行人的过程。当微型计算机12051确定在成像部12101至12104的拍摄图像中存在行人并因此识别出行人时,声音/图像输出部12052控制显示部12062,以便在识别出的行人身上叠加地显示用于强调的方形轮廓线。另外,声音/图像输出部12052可以控制显示部12062,以便在期望位置显示用于指示行人的图标等。

[0390] 如上所述,已经说明了可以应用根据本公开的技术的移动体控制系统的示例。根据本公开的技术可以应用于上述构造的组件之中的成像部12031。具体地,根据前述实施例

及其变型例中的任一者的成像装置可应用于成像部12031。通过将根据本公开的技术应用于成像部12031,能够得到具有较少噪声的高清晰拍摄图像,因此能够在移动体控制系统中利用拍摄图像进行高精度的控制。

[0391] 已经利用所述第一至第五实施例及其变形例1至14、应用示例和实际应用示例说明了本公开;然而,本公开不限于上述实施例等,并且可以进行各种变形。

[0392] 应注意,本说明书中说明的效果仅仅是示例。本公开的效果不限于本说明书中说明的效果。本公开可能具有除本说明书中说明的效果之外的其他效果。

[0393] 应注意,本公开具有以下构造。根据以下构造,在具有彼此相对的第一和第二表面并且包括在面内方向上排列成阵列的多个像素的第一半导体基板中,多个突起按照多个像素中的每一者设置在第一表面上,在多个突起的各个上表面上设置有多个电荷保持单元,所述多个电荷保持单元保持在多个光电转换器中产生的电荷,在每个像素中嵌入有一个光电转换器,并且在所述多个突起周围设置有传输晶体管的栅极,该传输晶体管将保持在电荷保持单元中的电荷传输到像素电路。因此,确保了电荷保持单元和传输栅极之间的在高度方向上距离。因此,可以减少暗电流的产生。

[0394] (1) 一种成像元件,其包括:

[0395] 第一半导体基板,所述第一半导体基板具有彼此相对的第一表面和第二表面,并且包括在面内方向上排列成阵列的多个像素,多个突起按照所述多个像素中的每一者设置在所述第一表面上;

[0396] 多个光电转换器,所述多个光电转换器按照每个所述像素以嵌入在所述第一半导体基板中的方式形成,并且根据接收的光量产生电荷;

[0397] 多个电荷保持单元,所述多个电荷保持单元分别设置在所述多个突起的上表面上,并且保持在所述多个光电转换器中产生的电荷;

[0398] 第二半导体基板,所述第二半导体基板层叠在所述第一半导体基板的所述第一表面侧,并且设置有一个或多个像素电路,所述像素电路基于所述多个光电转换器中的每一者产生的电荷产生像素信号;以及

[0399] 传输晶体管的栅极,所述栅极设置在所述多个突起的周围,并且将保持在所述电荷保持单元中的电荷传输至所述像素电路。

[0400] (2) 根据(1)所述的成像元件,其中,所述栅极设置在分别设置在所述多个突起上的所述多个电荷保持单元的下方。

[0401] (3) 根据(1)或(2)所述的成像元件,其中,所述栅极设置为比所述多个突起的上表面更向上突出,并且所述栅极的突出部分的侧表面上形成有侧壁。

[0402] (4) 根据(3)所述的成像元件,其中,所述侧壁的一部分嵌入在所述栅极的侧表面与所述多个突起的侧表面之间。

[0403] (5) 根据(3)或(4)所述的成像元件,其中,所述栅极的一部分嵌入在所述第一半导体基板中。

[0404] (6) 根据(1)至(5)中任一项所述的成像元件,其中,所述第一半导体基板还包括分离部,所述分离部设置在相邻的所述多个像素之间并且在所述第一表面和所述第二表面之间延伸。

[0405] (7) 根据(6)所述的成像元件,其还包括向所述第一半导体基板施加参考电位的接

触部层，

[0406] 其中，所述接触部层嵌入在所述第一半导体基板的所述第一表面中并位于所述分离部的上方。

[0407] (8) 根据(7)所述的成像元件，其中，所述第一半导体基板的形成有所述接触部层的所述第一表面是凹陷。

[0408] (9) 根据(7)所述的成像元件，其中，所述接触部层设置在与所述电荷保持单元相同的高度处。

[0409] (10) 根据(1)至(9)中任一项所述的成像元件，其中，所述栅极是按照所述多个像素中的每一者进行设置的。

[0410] (11) 根据(1)至(10)中任一项所述的的成像元件，其中，所述栅极连续地设置在相邻的所述多个像素中。

[0411] (12) 根据(1)至(11)中任一项所述的成像元件，其中，针对一个像素或所述多个像素中的每一者设置一个所述像素电路。

[0412] (13) 根据(1)至(12)中任一项所述的成像元件，其中，

[0413] 所述第一半导体基板和所述第二半导体基板中的每一者在相对表面侧还包括多层布线层，

[0414] 在设置的各个所述多层布线层的表面上设置有一个或多个焊盘电极，并且

[0415] 通过将所述一个或多个焊盘电极结合在一起，所述第一半导体基板和所述第二半导体基板彼此电连接。

[0416] (14) 根据(1)至(13)中任一项所述的成像元件，其中，所述第一半导体基板和所述第二半导体基板通过在所述第一半导体基板和所述第二半导体基板之间贯通的贯通电极彼此电连接。

[0417] (15) 根据(1)至(14)中任一项所述的成像元件，其中，

[0418] 所述第二半导体基板具有彼此相对的第三表面和第四表面，

[0419] 所述像素电路包括：复位晶体管，所述复位晶体管将所述电荷保持单元的电位复位到预定位置；放大晶体管，所述放大晶体管产生具有与所述电荷保持单元中保持的电荷的电平相一致的电压的信号作为像素信号；以及选择晶体管，所述选择晶体管控制从所述放大晶体管输出所述像素信号的时序，

[0420] 所述复位晶体管、所述放大晶体管和所述选择晶体管设置在所述第二半导体基板的所述第三表面上，并且

[0421] 所述第一半导体基板和所述第二半导体基板层叠，且所述第一表面与所述第三表面彼此相对。

[0422] (16) 根据(1)至(15)中任一项所述的成像元件，其中，

[0423] 所述第二半导体基板具有彼此相对的第三表面和第四表面，

[0424] 所述像素电路包括：复位晶体管，所述复位晶体管将所述电荷保持单元的电位复位到预定位置；放大晶体管，所述放大晶体管产生具有与所述电荷保持单元中保持的电荷的电平相一致的电压的信号作为像素信号；以及选择晶体管，所述选择晶体管控制从所述放大晶体管输出所述像素信号的时序，

[0425] 所述复位晶体管、所述放大晶体管和所述选择晶体管设置在所述第二半导体基板

的所述第三表面上,并且

[0426] 所述第一半导体基板和所述第二半导体基板层叠,且所述第一表面与所述第三表面彼此相对。

[0427] (17) 根据(16)所述的成像元件,其中,所述复位晶体管、所述放大晶体管和所述选择晶体管是具有三维结构的晶体管。

[0428] (18) 根据(1)至(17)中任一项所述的成像元件,其在所述第一半导体基板的所述第二表面侧还包括选择性地允许预定波长的光透射的滤色器层和按照每个所述像素设置的多个光接收透镜。

[0429] (19) 根据(18)所述的成像元件,其中,对于一个光接收透镜,所述多个像素中的每一者包括两个所述光电转换器、两个所述突起、分别设置在所述两个突起的上表面上的两个所述电荷保持单元、分别设置在所述两个突起周围的两个所述传输晶体管的所述栅极。

[0430] (20) 根据(19)所述的成像元件,其中,

[0431] 所述多个像素包括在与第一方向相交的第二方向上彼此相邻的第一像素和第二像素,所述两个光电转换器并行排列在所述第一方向上,并且

[0432] 所述两个传输晶体管的所述栅极各自在所述第一像素和所述第二像素之间连续。

[0433] (21) 根据(1)至(20)中任一项所述的成像元件,其中,所述多个电荷保持单元设置在所述栅极的上表面与下表面之间的高度处。

[0434] (22) 根据(1)至(21)中任一项所述的成像元件,其中,所述栅极连续地设置在所述多个突起的周围。

[0435] (23) 根据(1)至(21)中任一项所述的成像元件,其中,所述栅极设置成围绕所述多个突起的一部分。

[0436] (24) 根据(23)所述的成像元件,其中,所述栅极设置在相邻的所述多个电荷保持单元之间。

[0437] (25) 根据(19)至(24)中任一项所述的成像元件,其中,

[0438] 所述滤色器层包括用于选择性地允许彼此不同的波长的光透射的第一滤色器、第二滤色器和第三滤色器,并且

[0439] 所述第一滤色器、所述第二滤色器和所述第三滤色器遍及地设置于在第一方向和与所述第一方向相交的第二方向中的至少一个方向上相邻的所述多个像素上,所述两个光电转换器在所述第一方向上并行地排列。

[0440] (26) 根据(25)所述的成像元件,其中,

[0441] 在共用所述第一滤色器、所述第二滤色器和所述第三滤色器中的任一者的所述多个像素中,所述多个电荷保持单元在沿所述第二方向相邻的两个像素之间被共用,并且

[0442] 所述栅极设置为围绕在沿所述第二方向相邻的两个像素之间被共用的所述多个电荷保持单元。

[0443] (27) 一种成像装置,其包括成像元件,所述成像元件包括:

[0444] 第一半导体基板,所述第一半导体基板具有彼此相对的第一表面和第二表面,并且包括在面内方向上排列成阵列的多个像素,多个突起按照所述多个像素中的每一者设置在所述第一表面上;

[0445] 多个光电转换器,所述多个光电转换器按照每个所述像素以嵌入在所述第一半导

体基板中的方式形成,并且根据接收的光量产生电荷;

[0446] 多个电荷保持单元,所述多个电荷保持单元分别设置在所述多个突起的上表面上,并且保持在所述多个光电转换器中产生的电荷;

[0447] 第二半导体基板,所述第二半导体基板层叠在所述第一半导体基板的所述第一表面侧,并且设置有一个或多个像素电路,所述像素电路基于所述多个光电转换器中的每一者产生的电荷产生像素信号;以及

[0448] 传输晶体管的栅极,所述栅极设置在所述多个突起的周围,并且将保持在所述电荷保持单元中的电荷传输至所述像素电路。

[0449] 本申请要求于2022年6月24日提交的日本优先权专利申请JP2022-102157和于2023年3月28日向日本专利局提交的日本优先权专利申请JP2023-051956的权益,其全部内容通过引用并入本文。

[0450] 本领域技术人员应当理解,根据设计要求和因素,可以进行各种变形、组合、子组合和变更,只要它们在所附权利要求或其等同物的范围内。

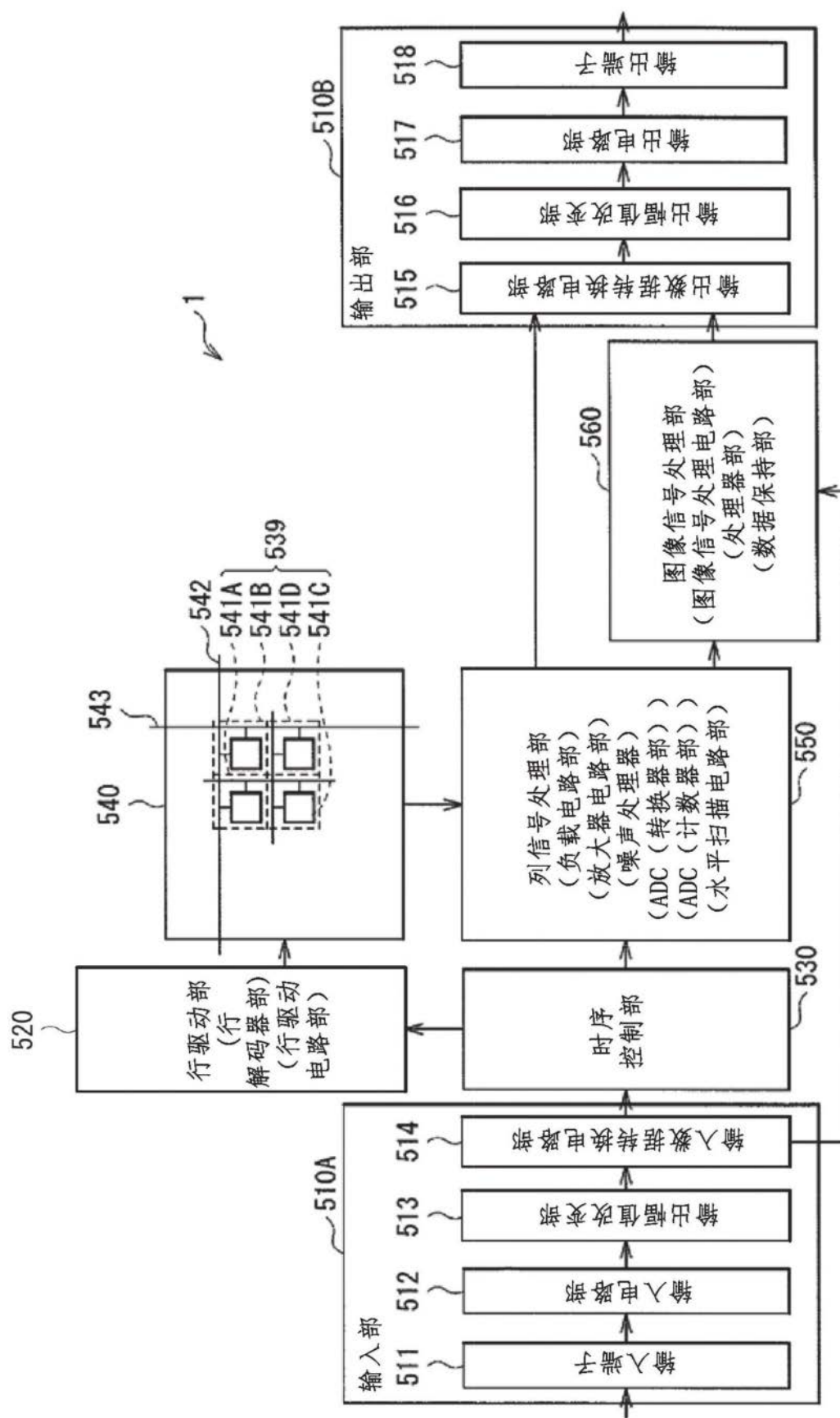


图1

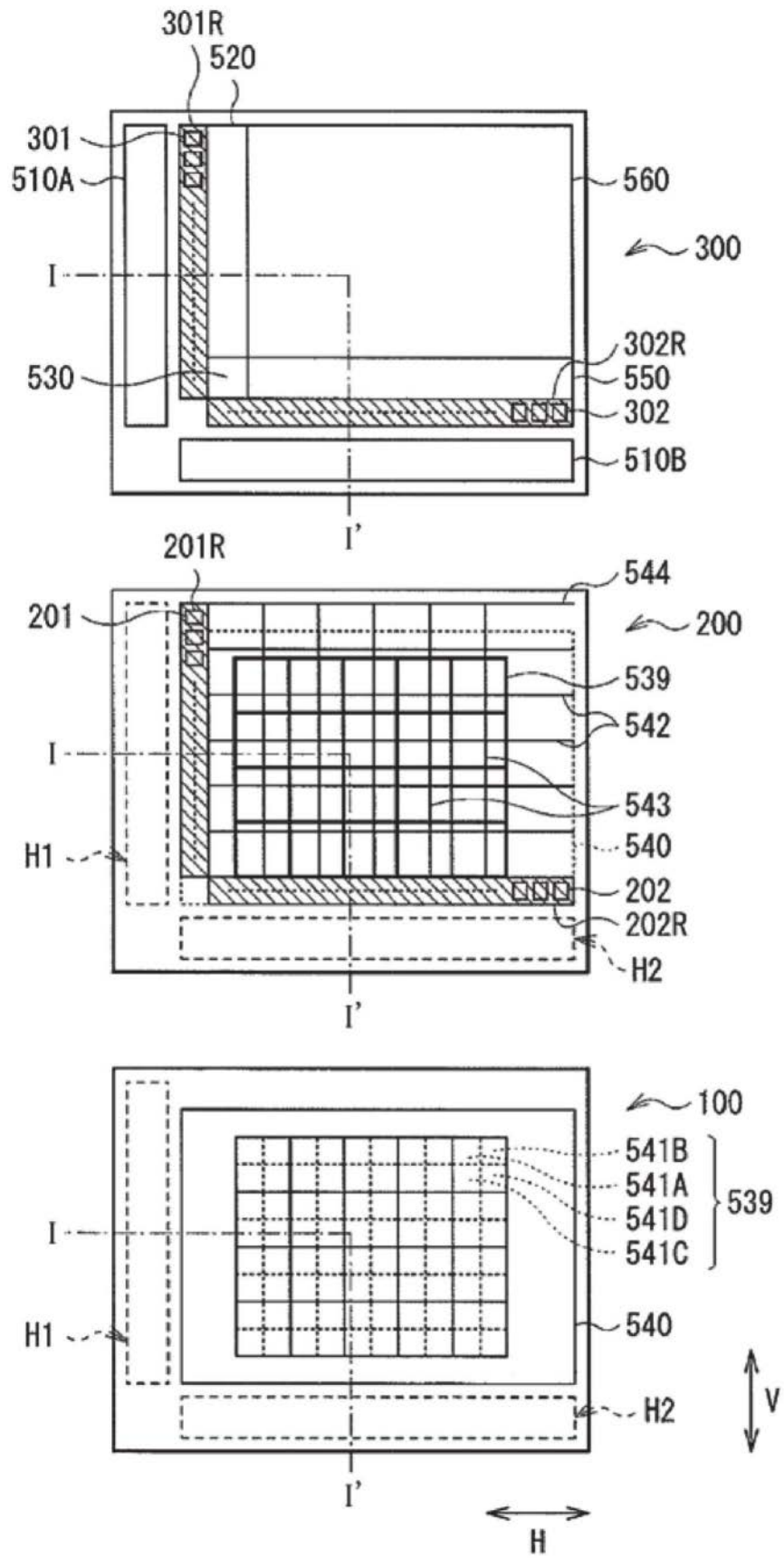


图2

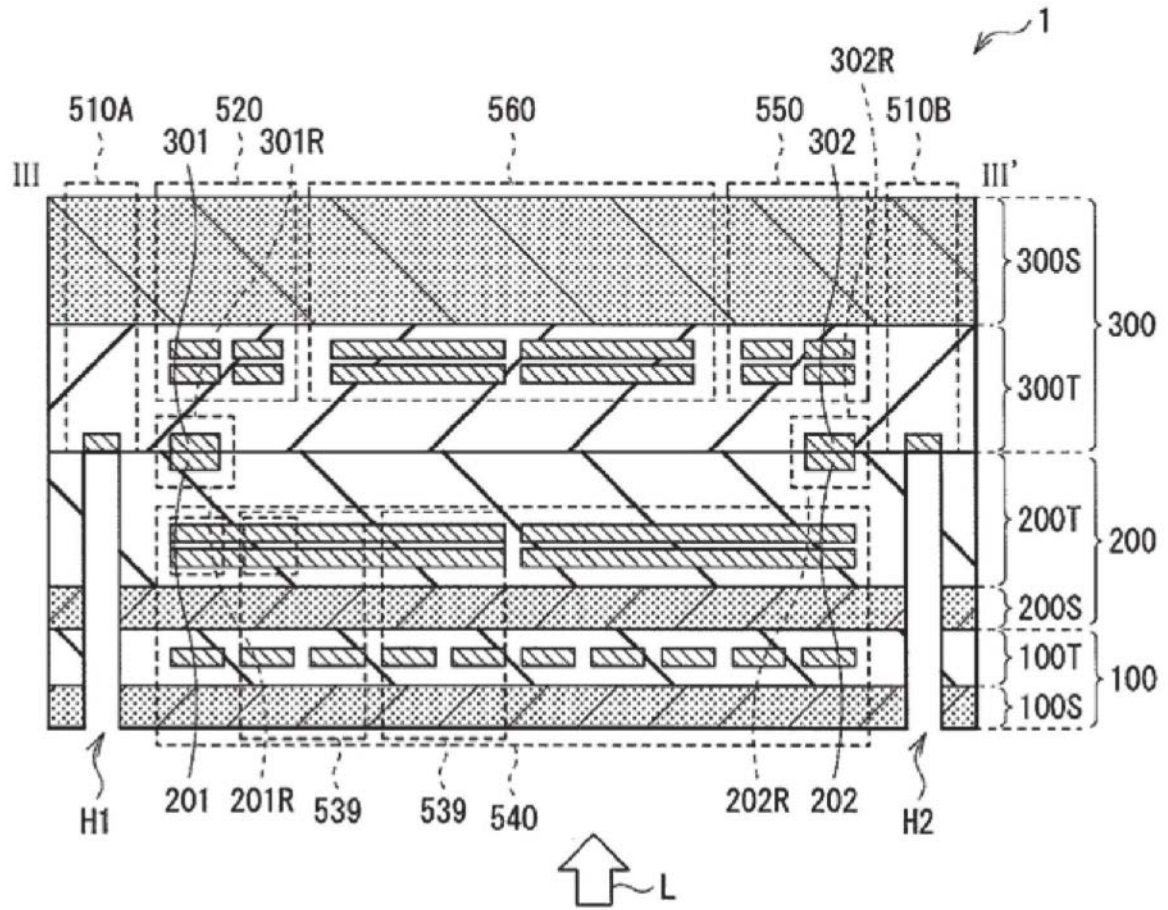


图3

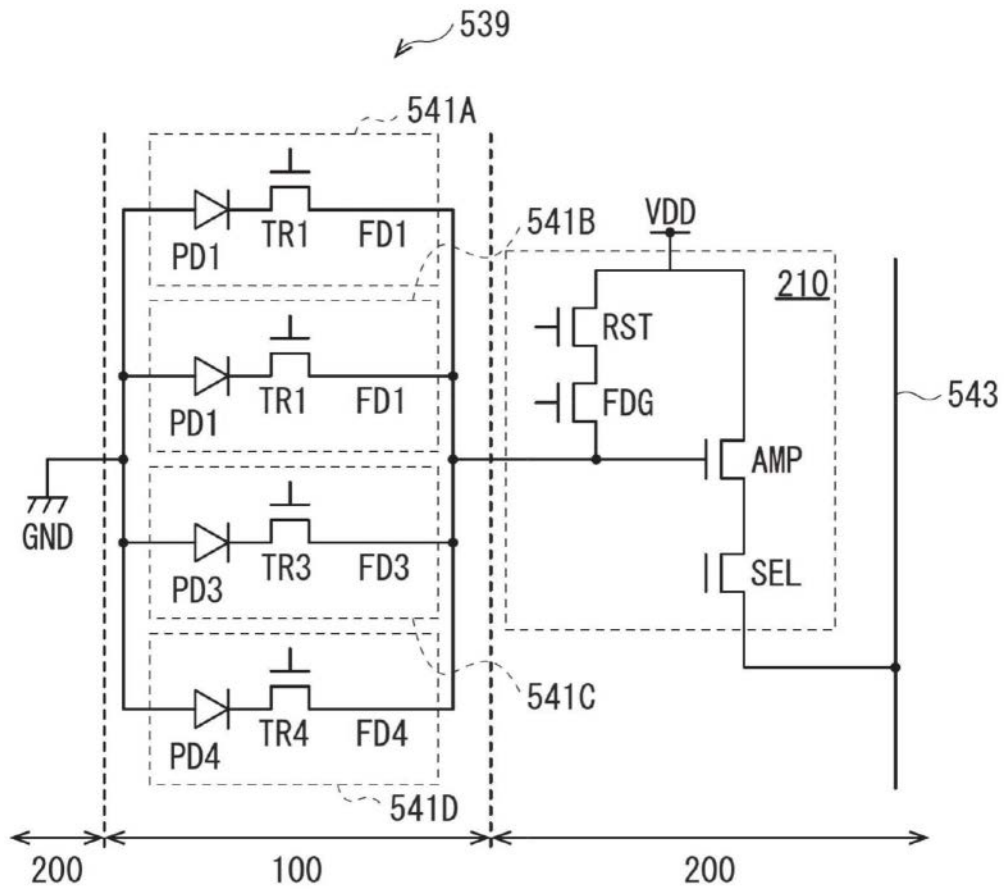


图4

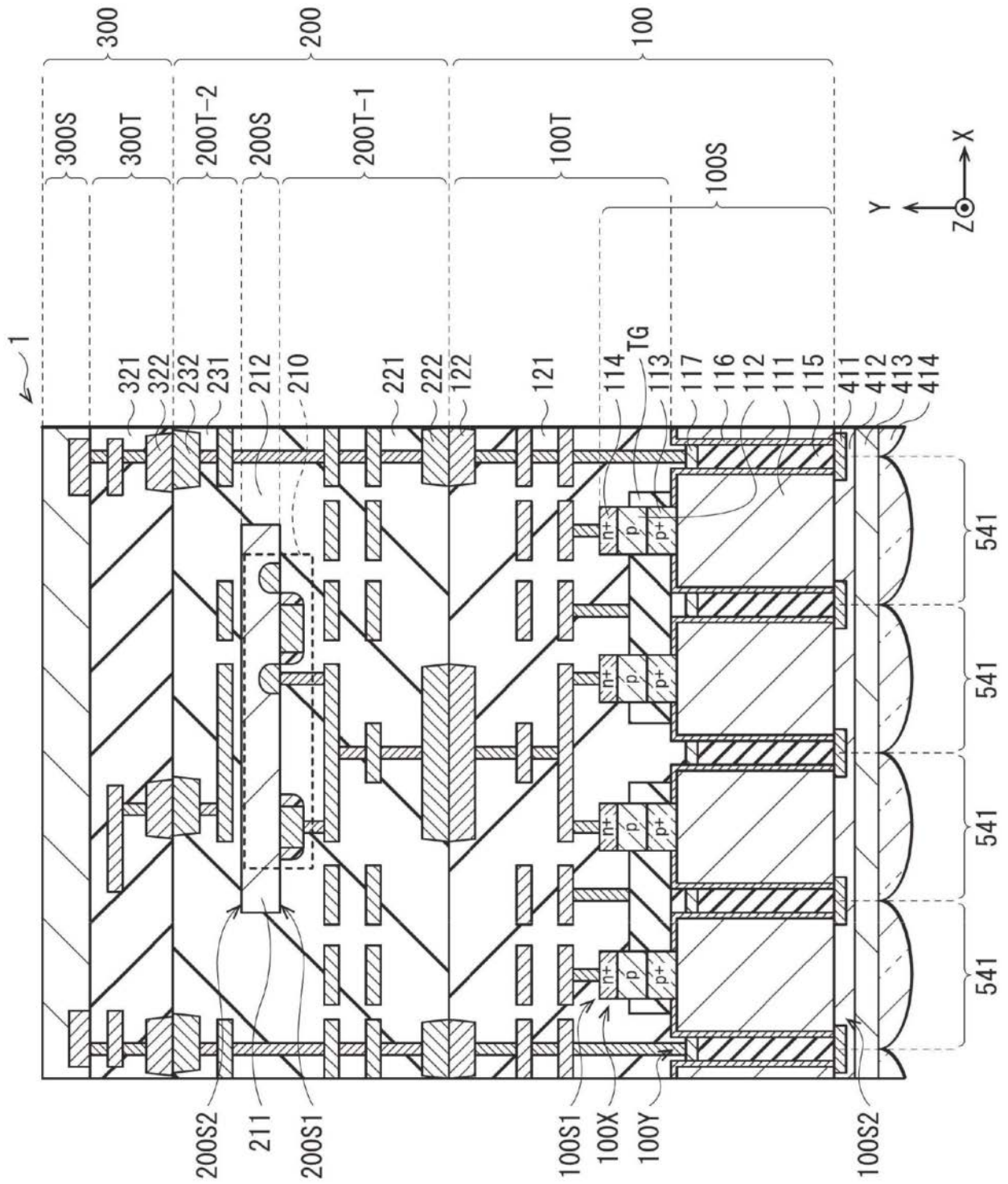


图5

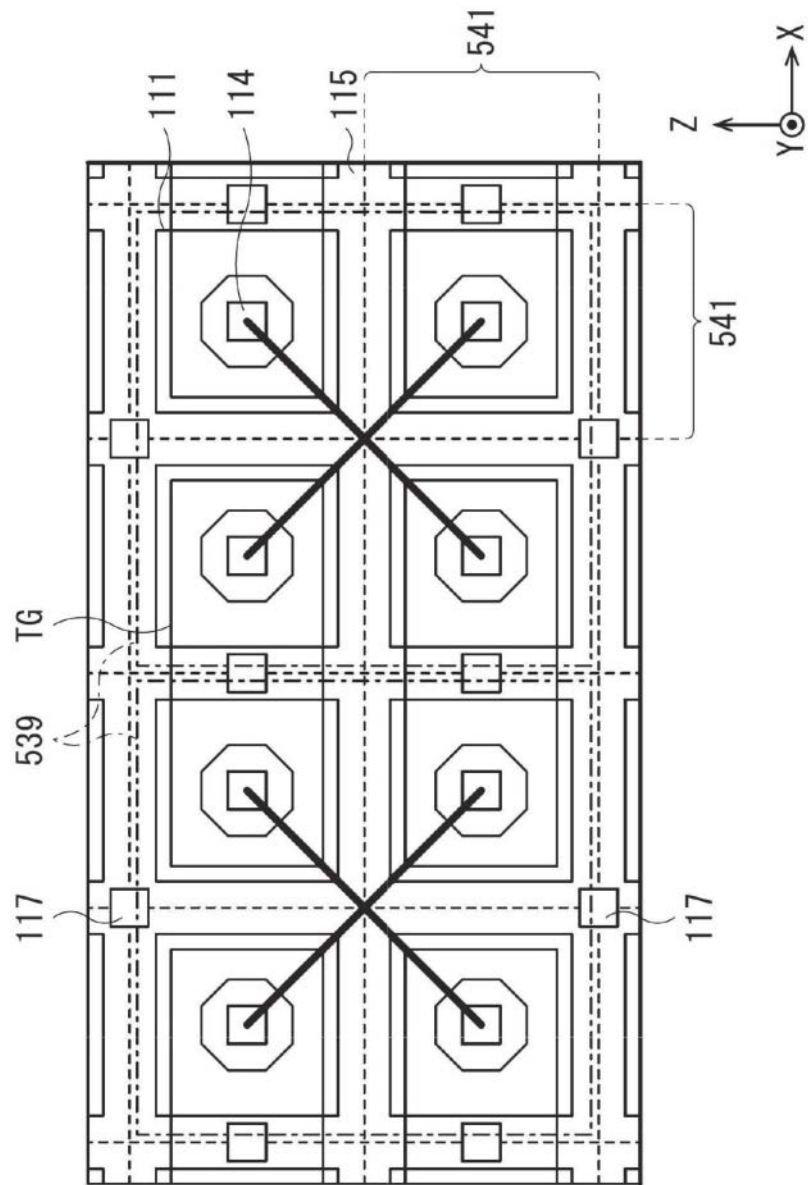


图6

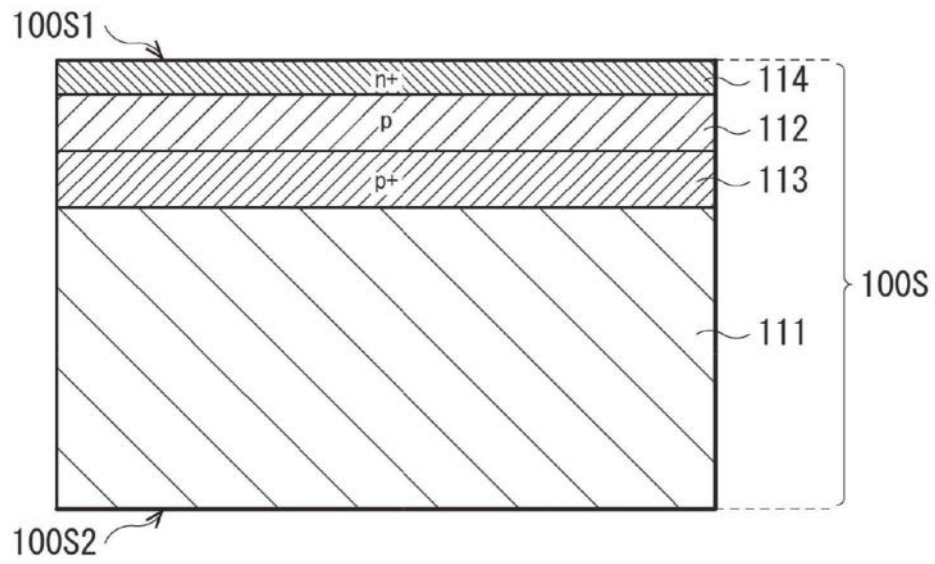


图7A

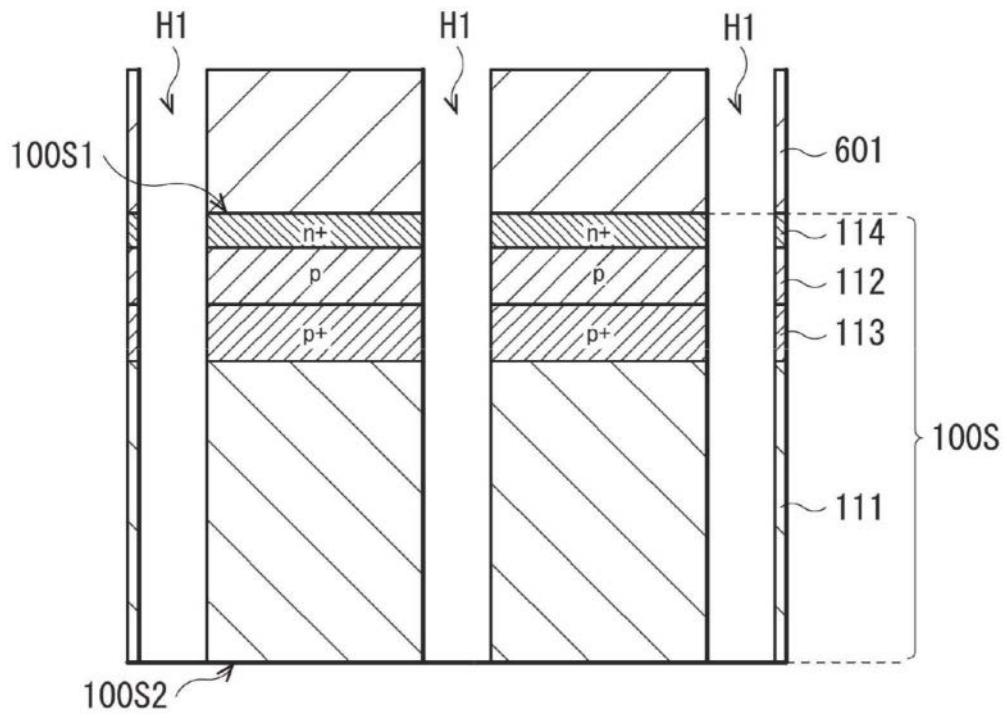


图7B

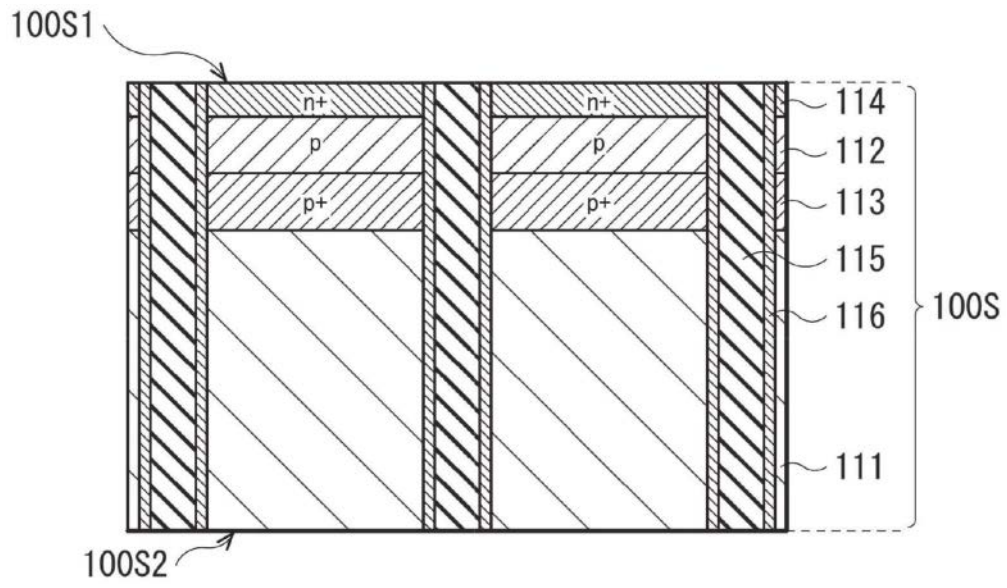


图7C

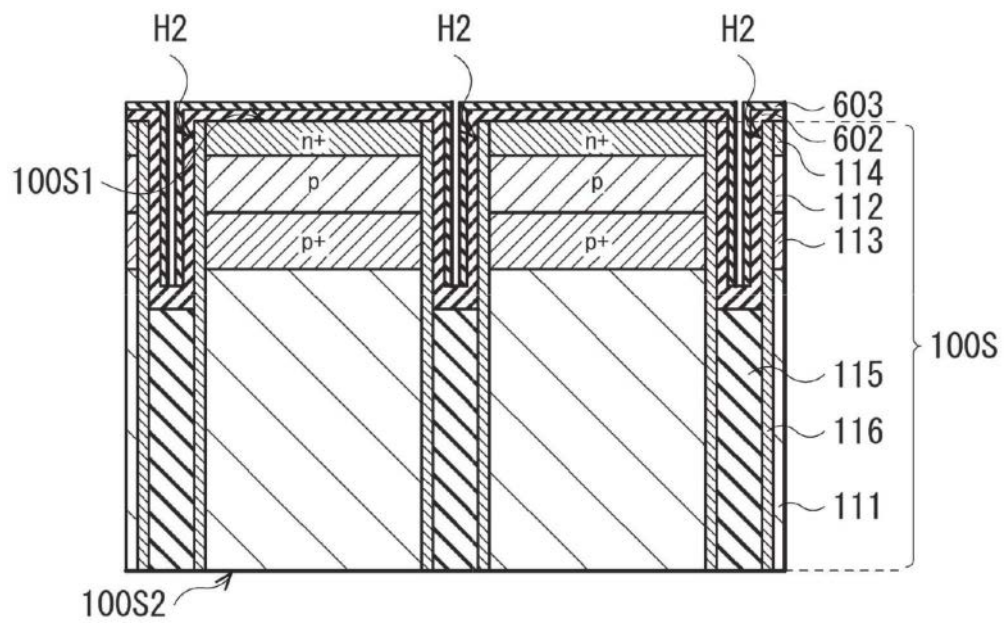


图7D

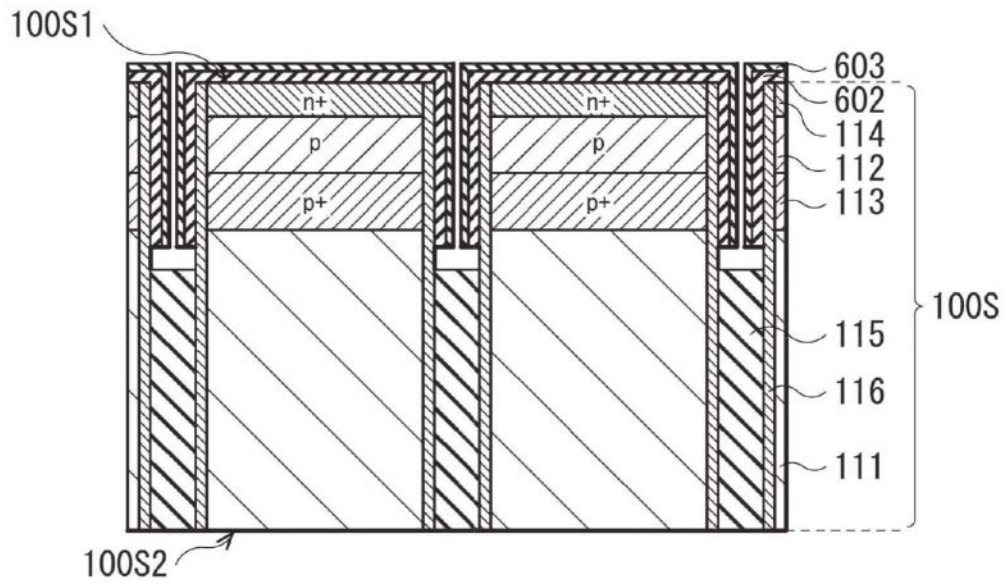


图7E

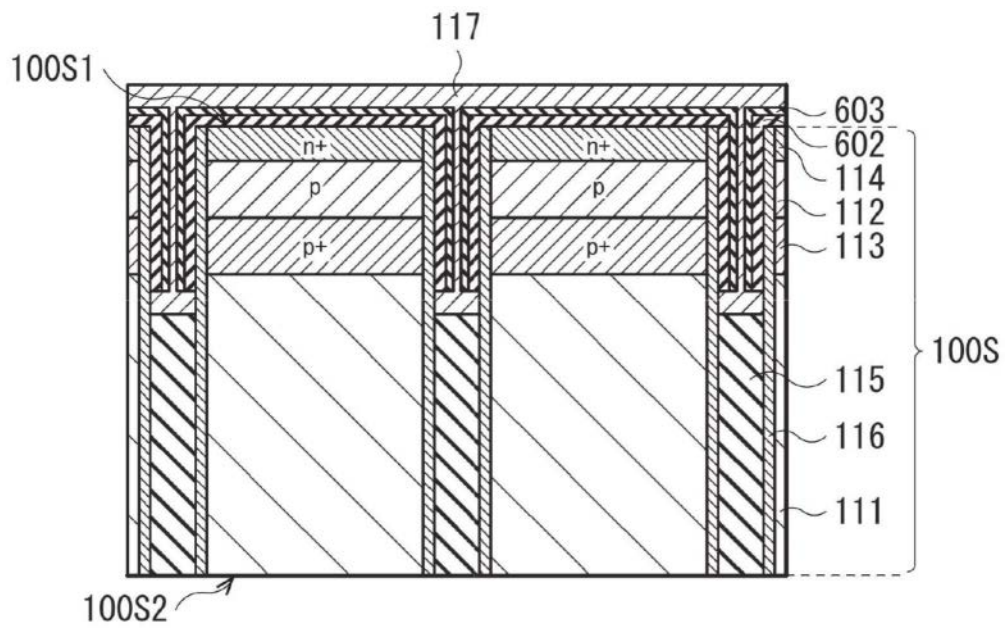


图7F

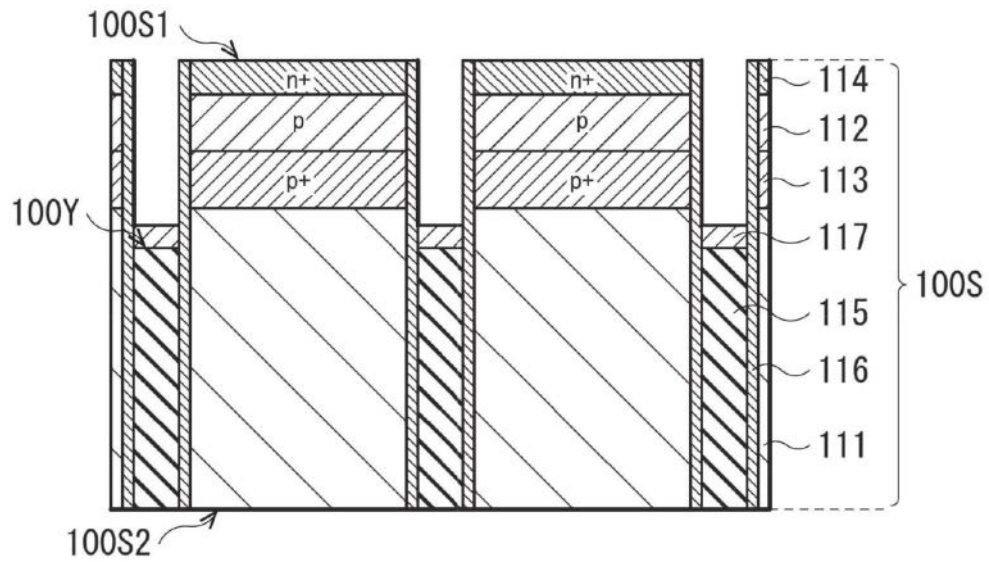


图7G

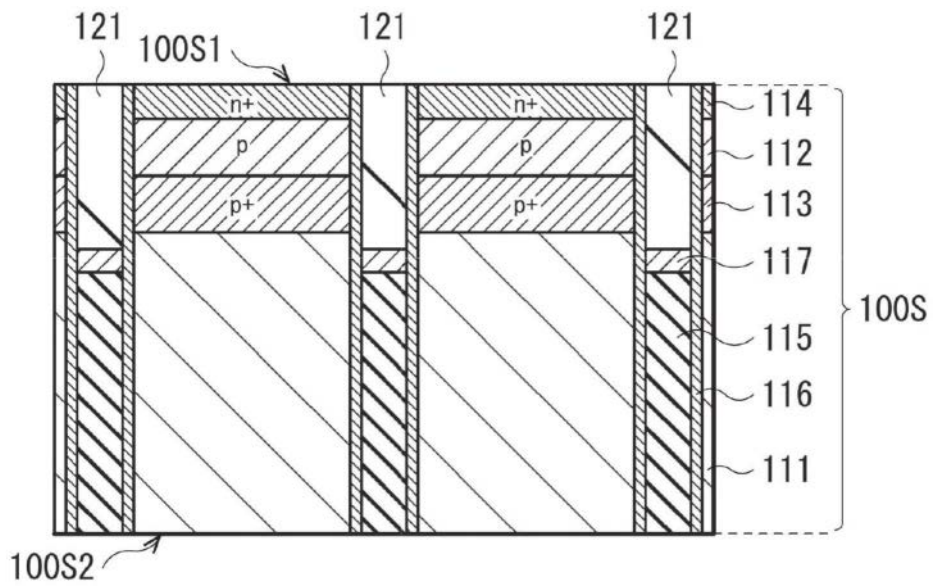


图7H

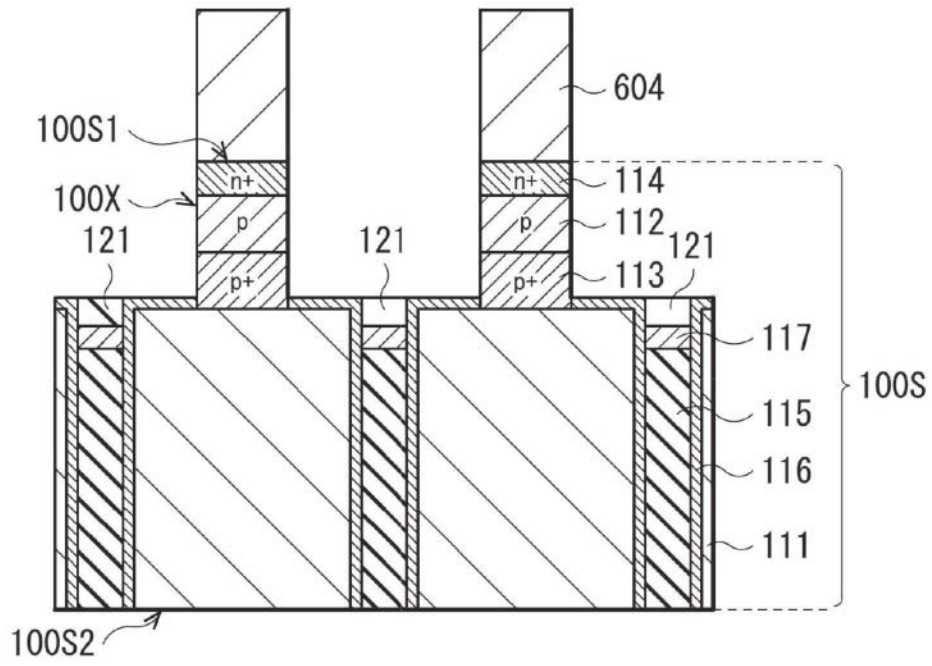


图7I

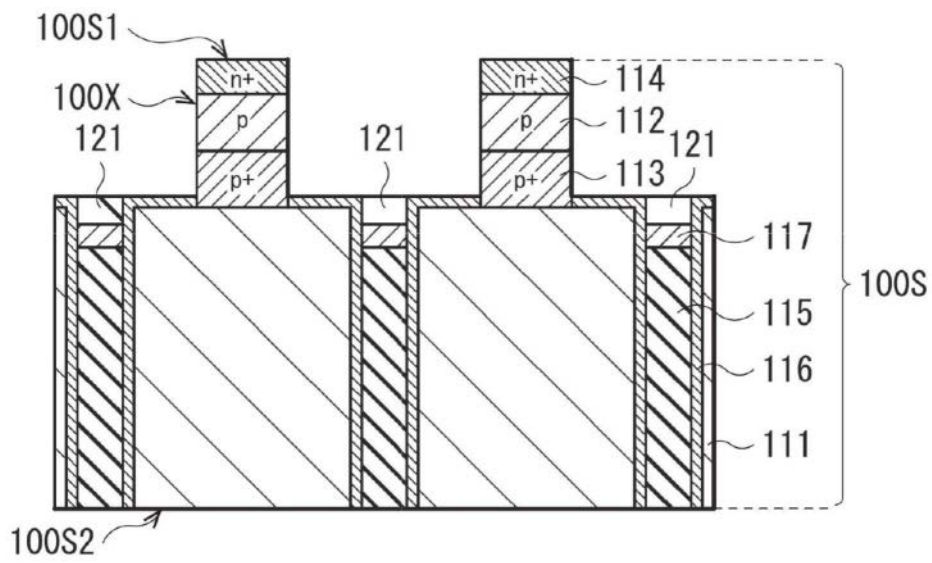


图7J

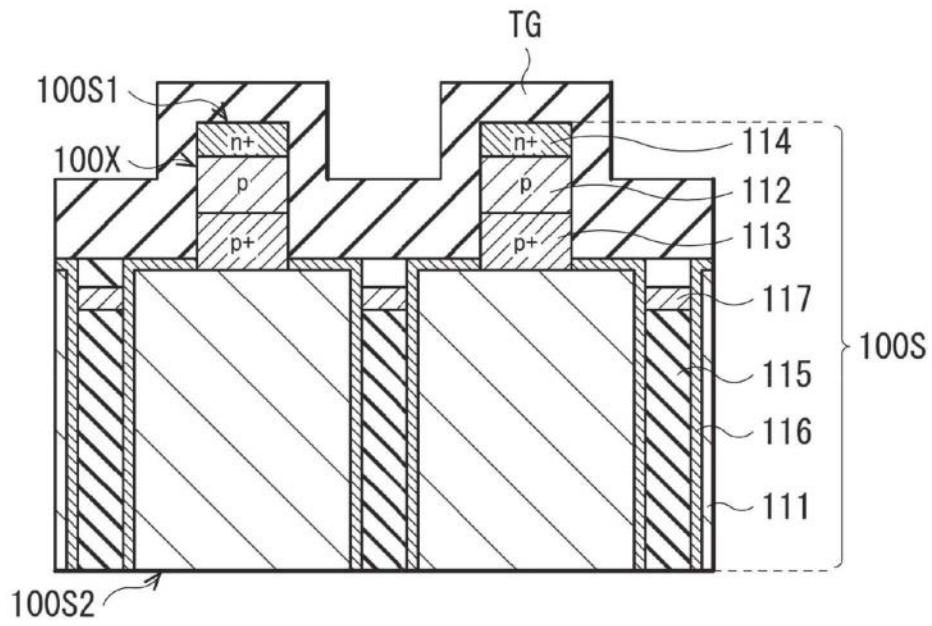


图7K

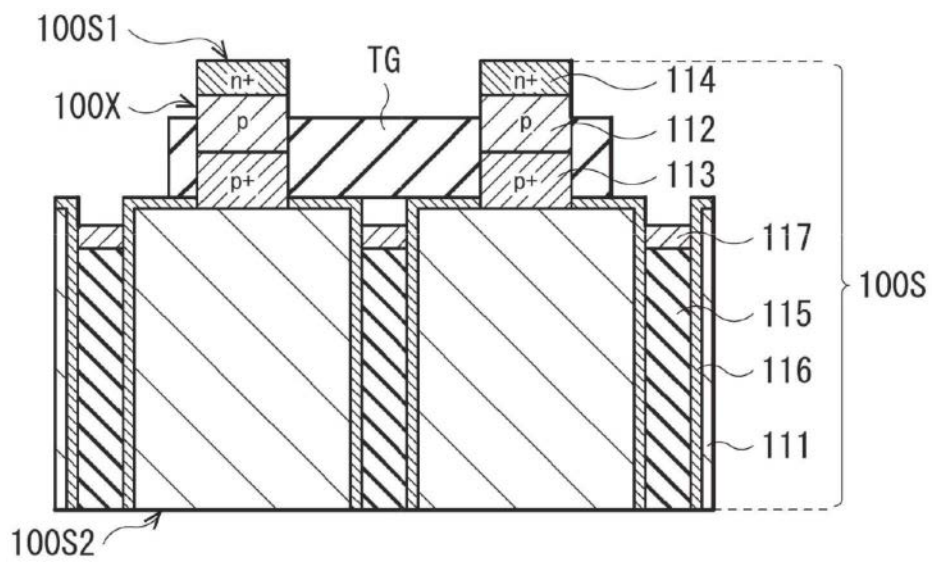


图7L

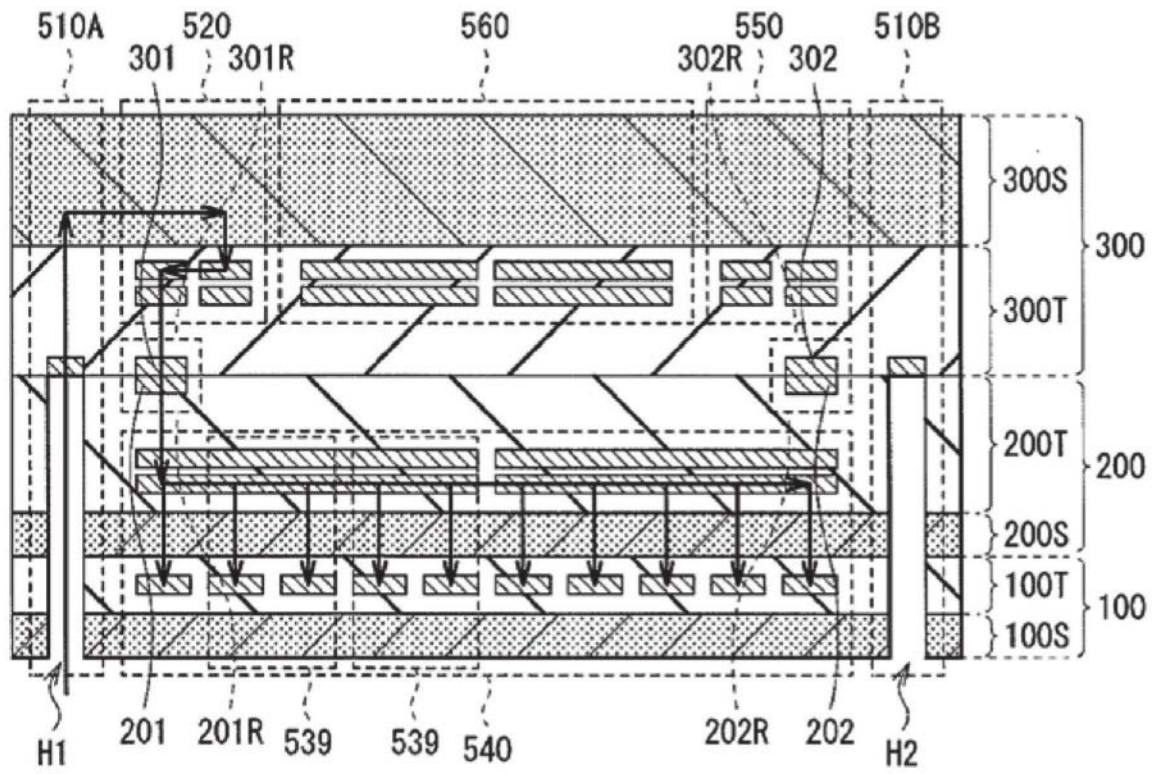


图8

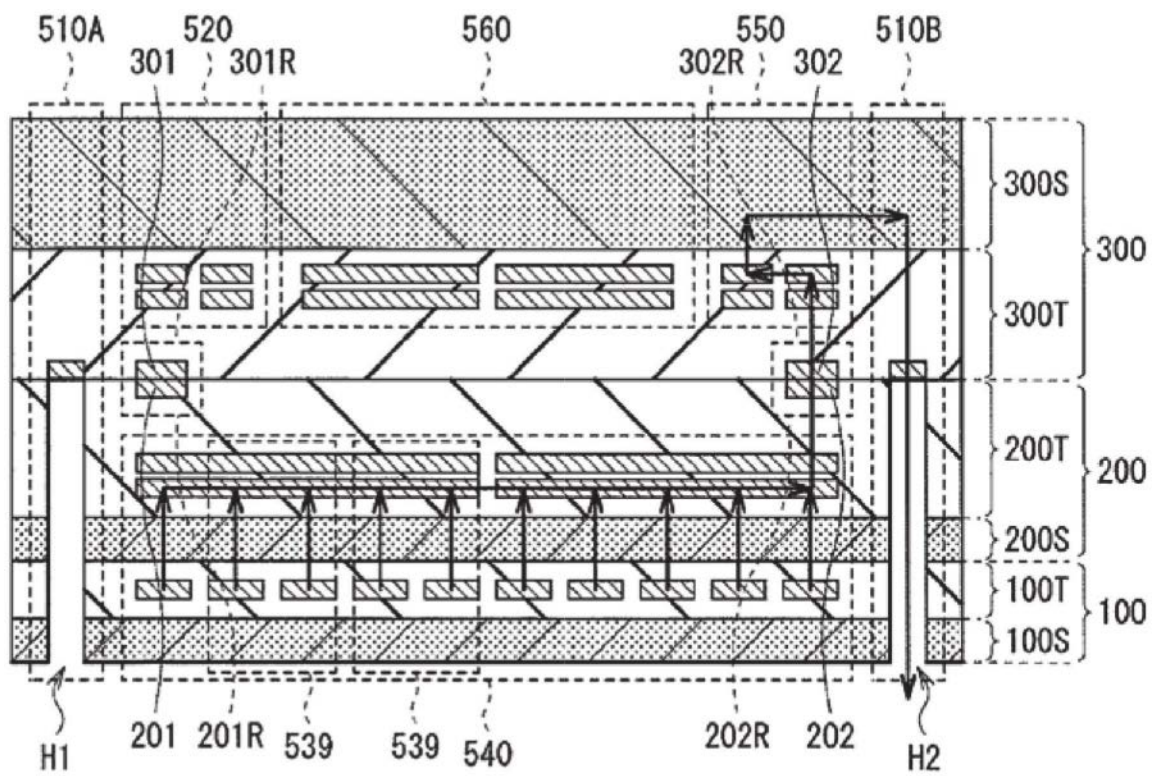


图9

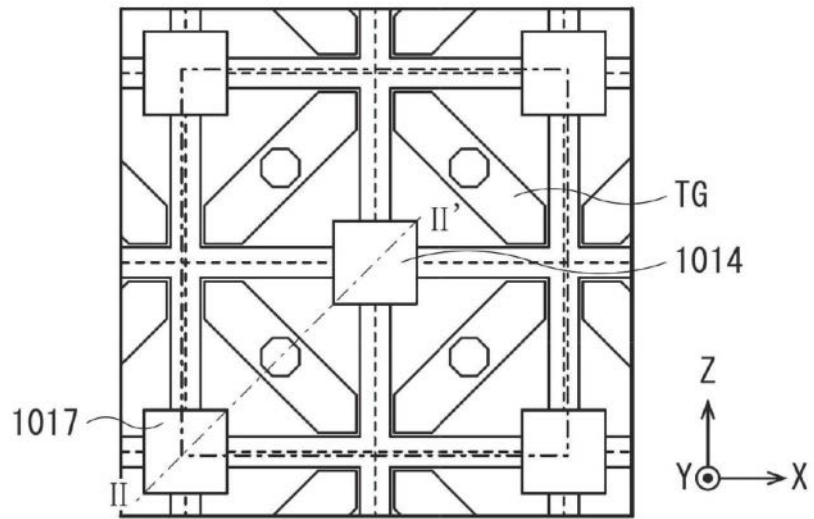


图10A

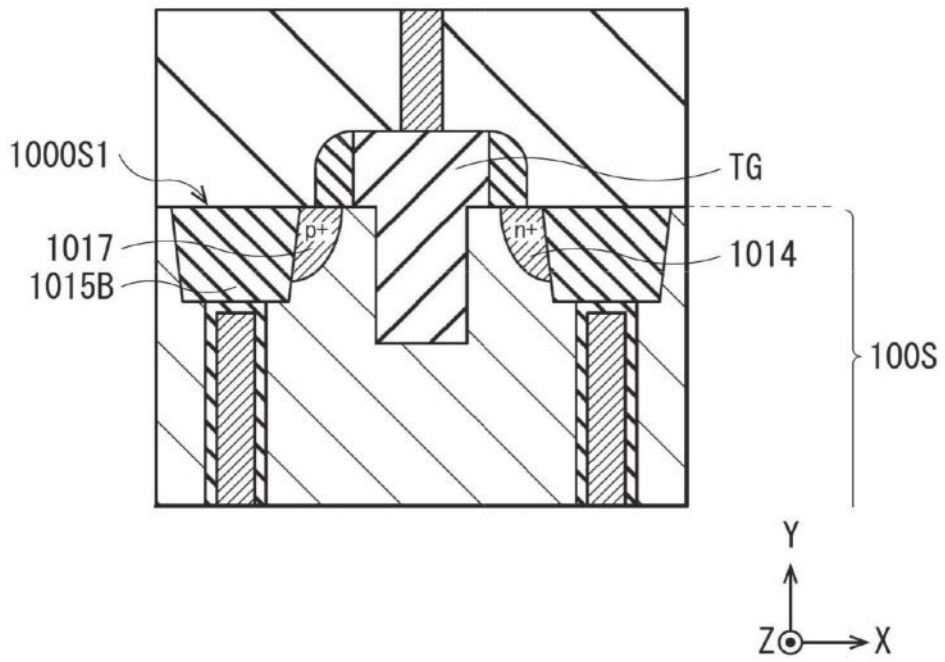


图10B

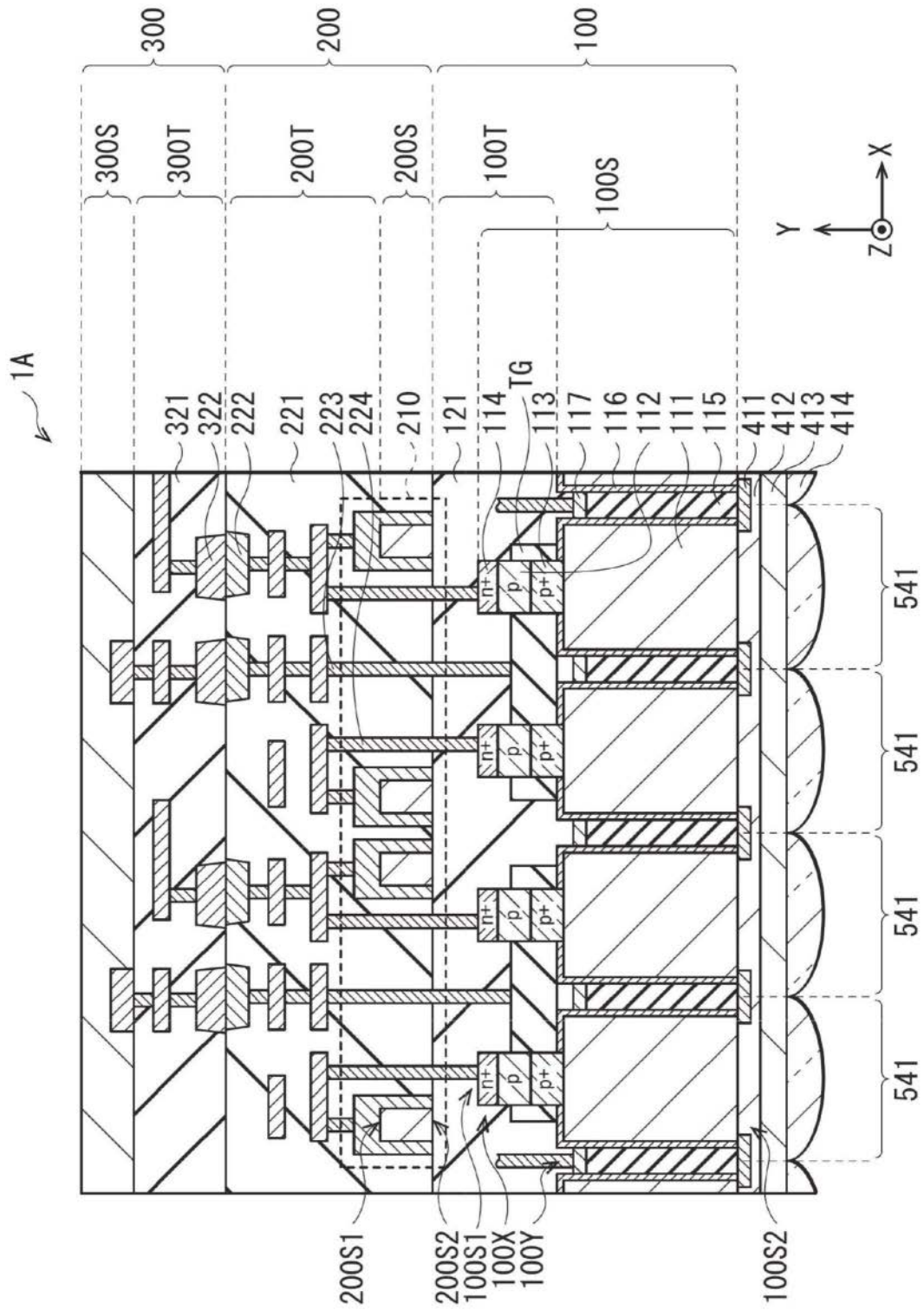


图11

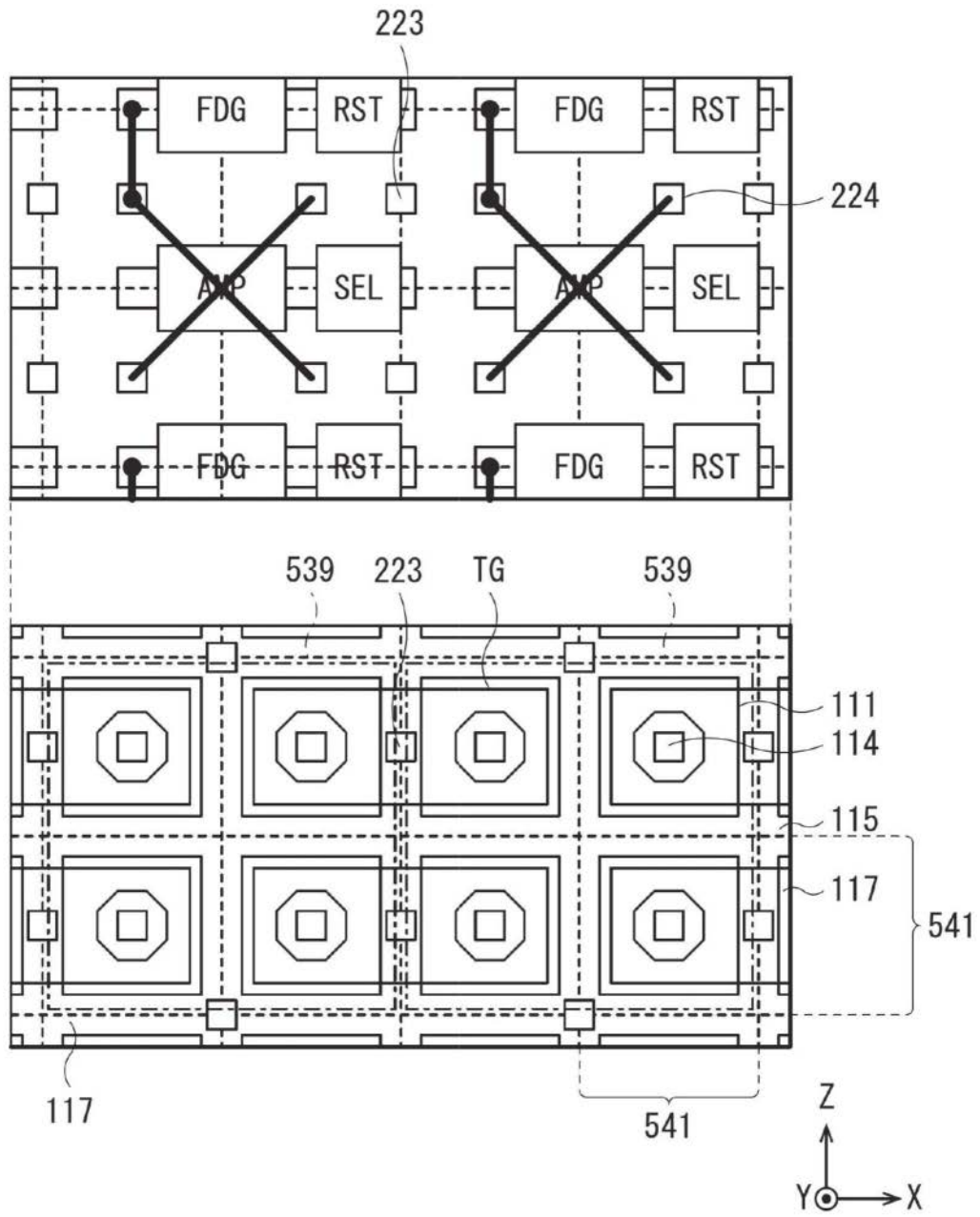


图12

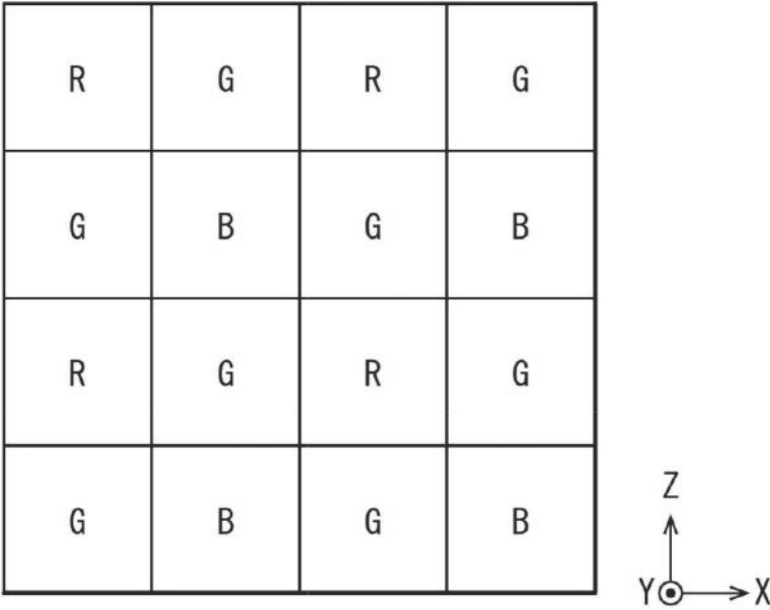


图13A

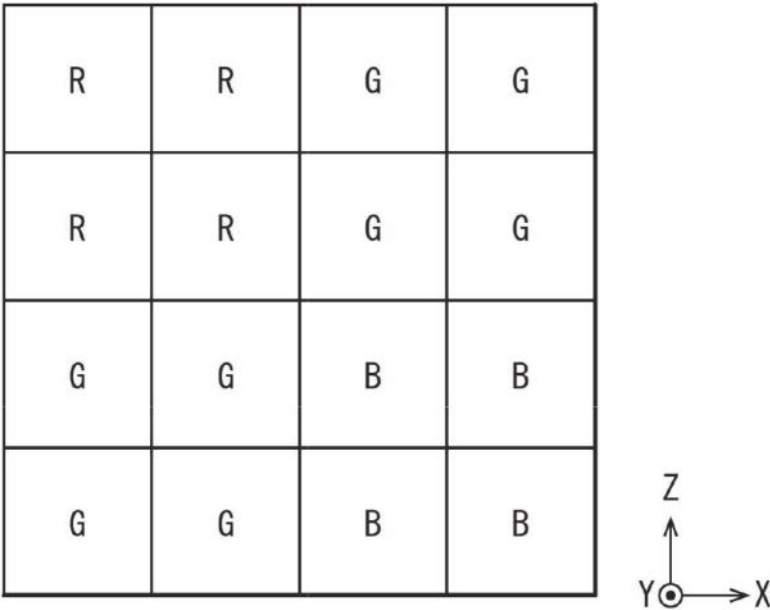


图13B

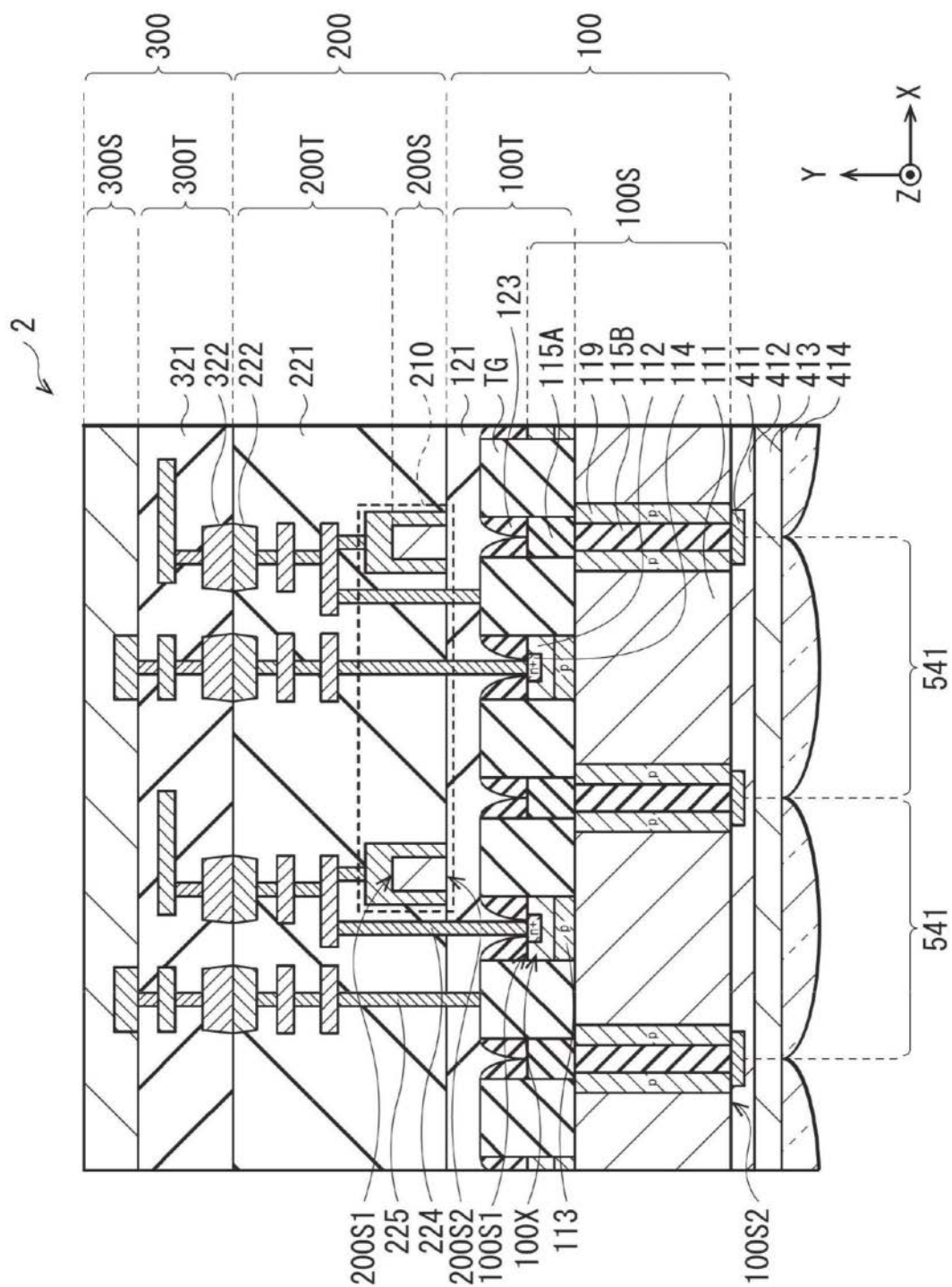


图14

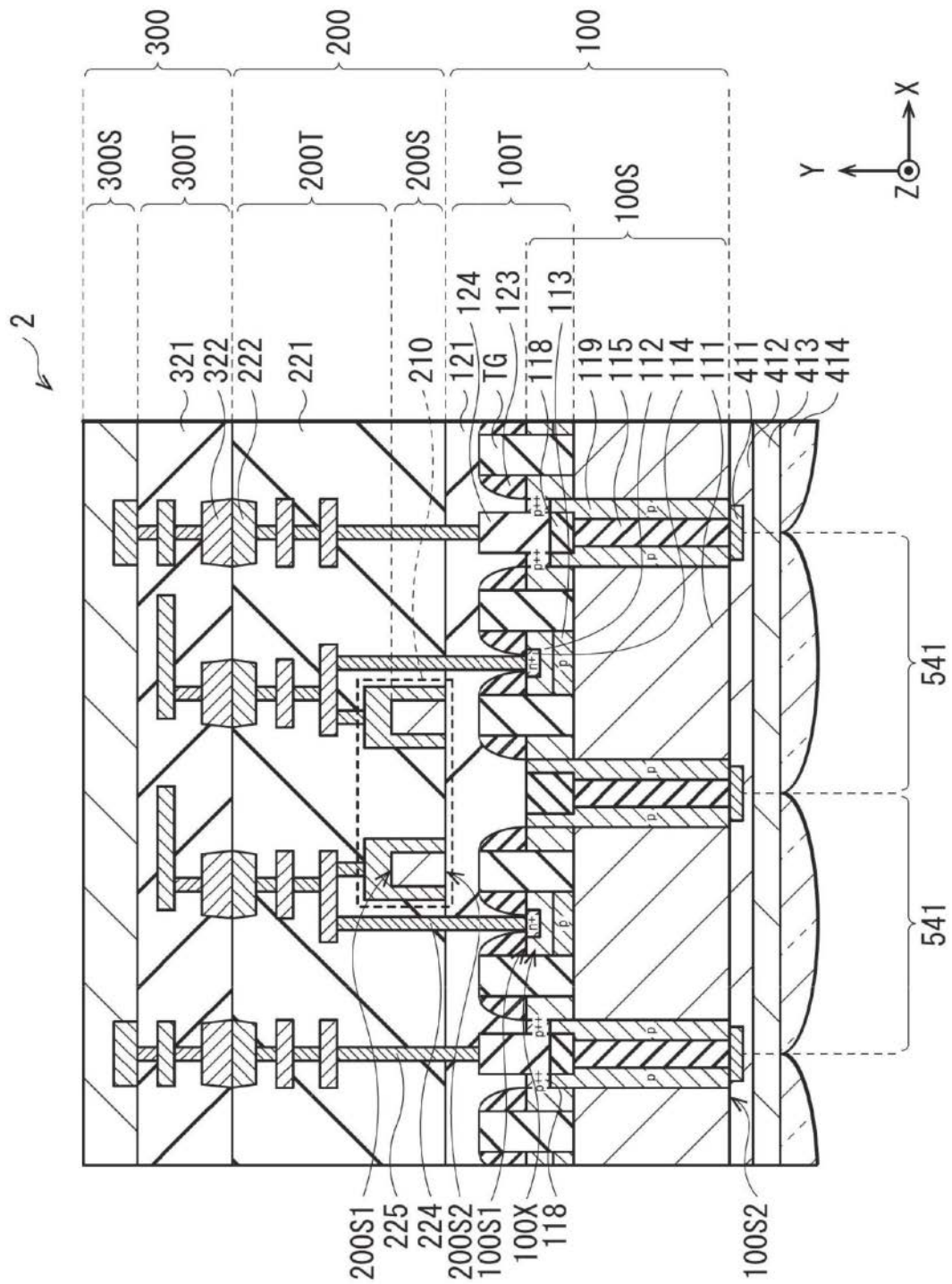


图15

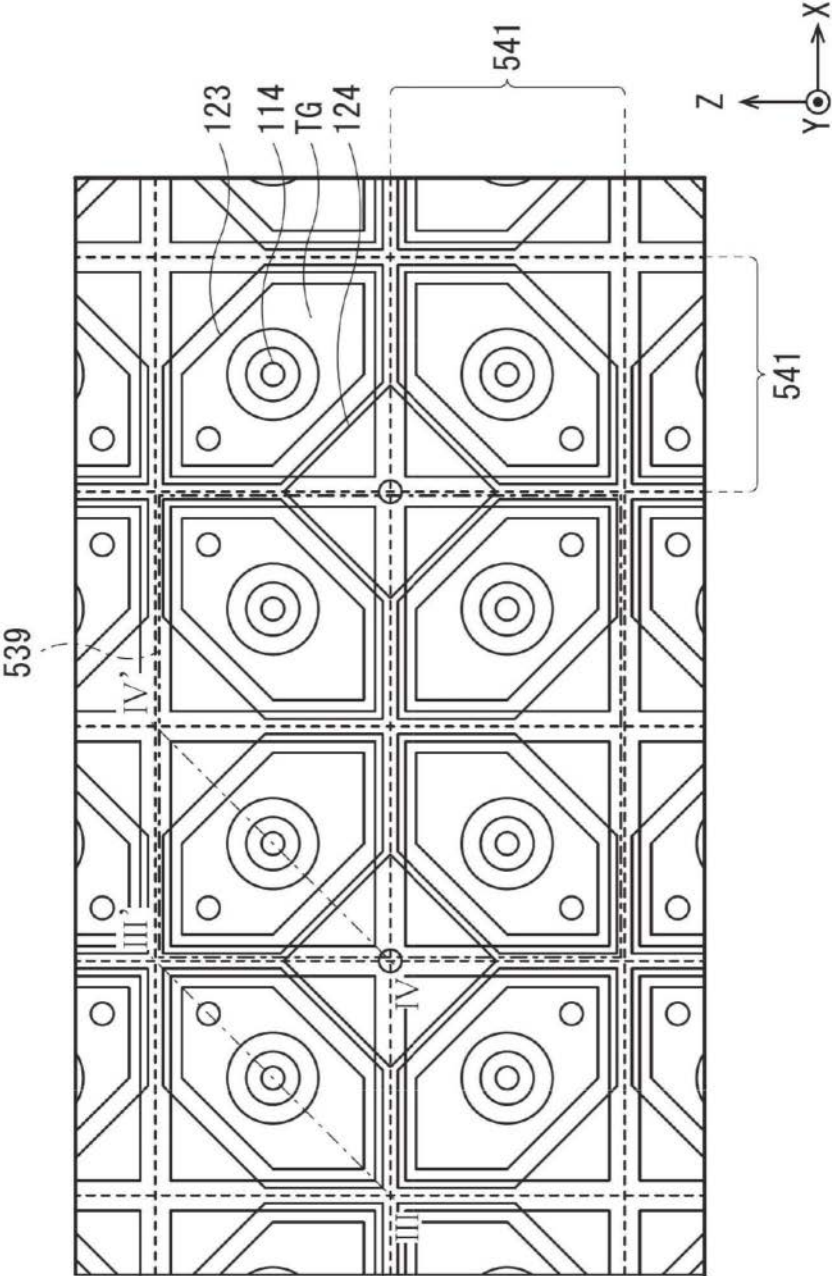


图16

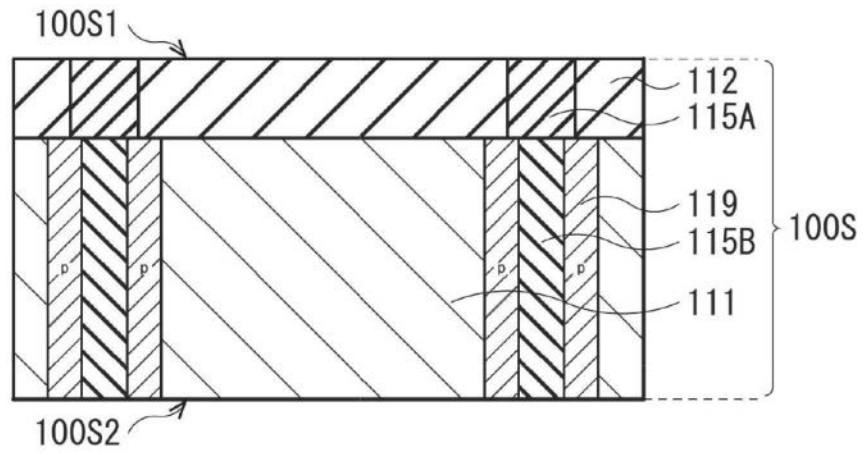


图17A

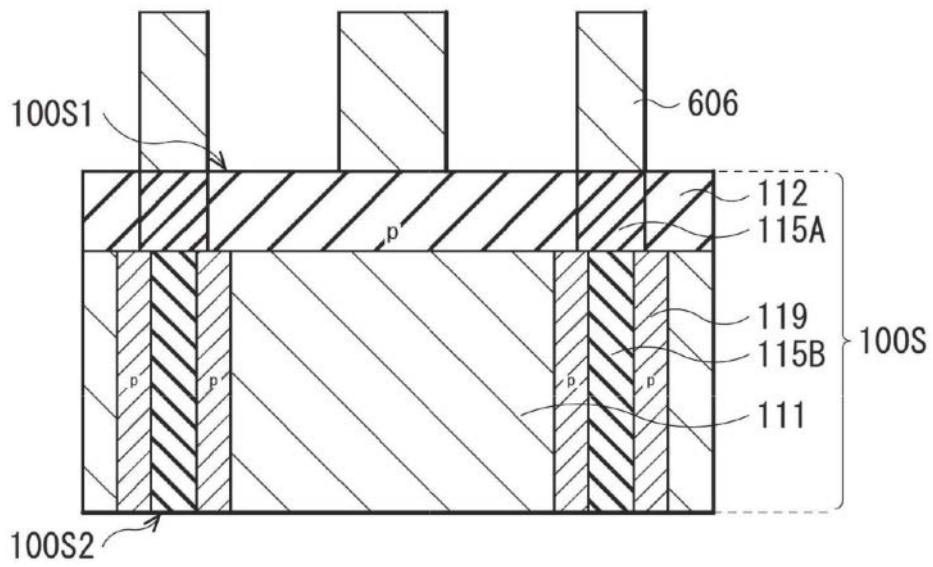


图17B

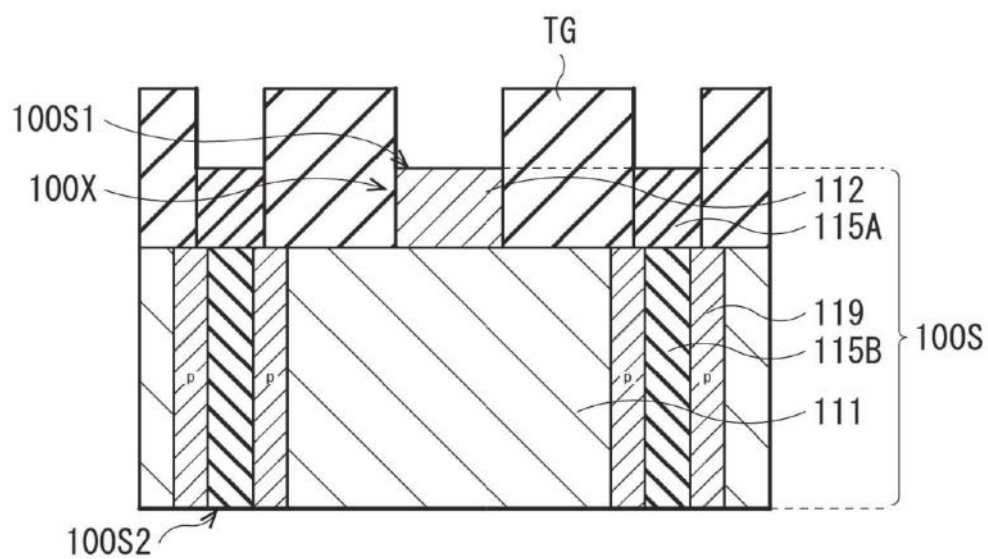


图17E

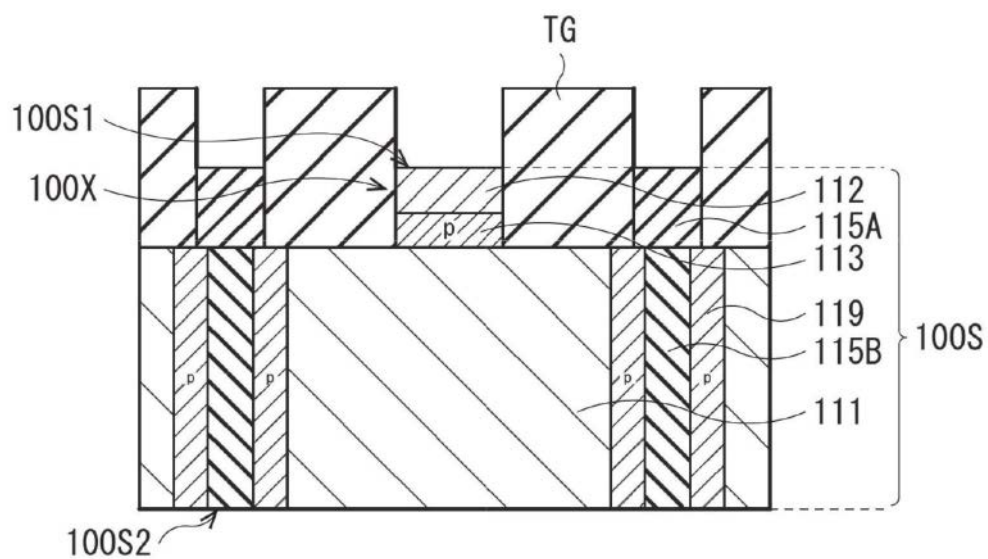


图17F

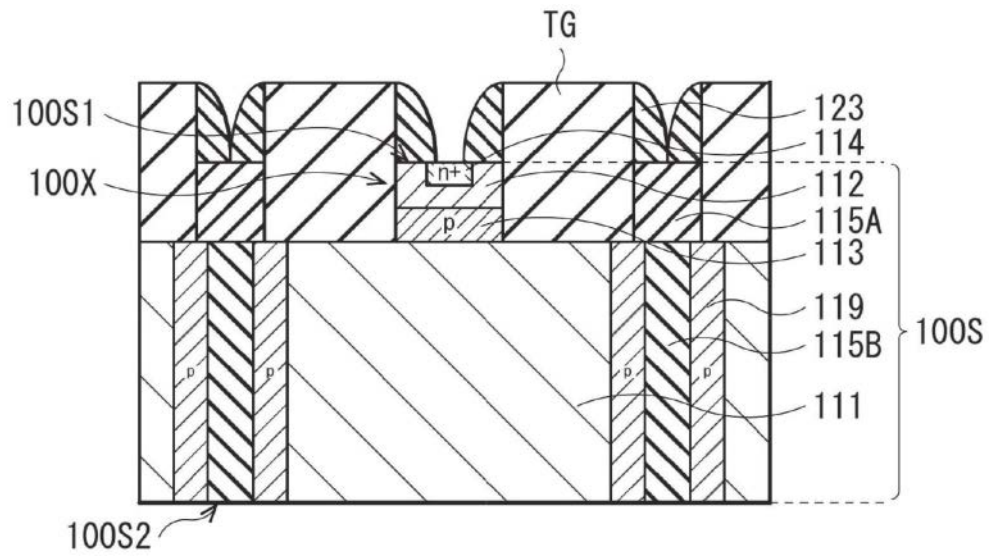


图17G

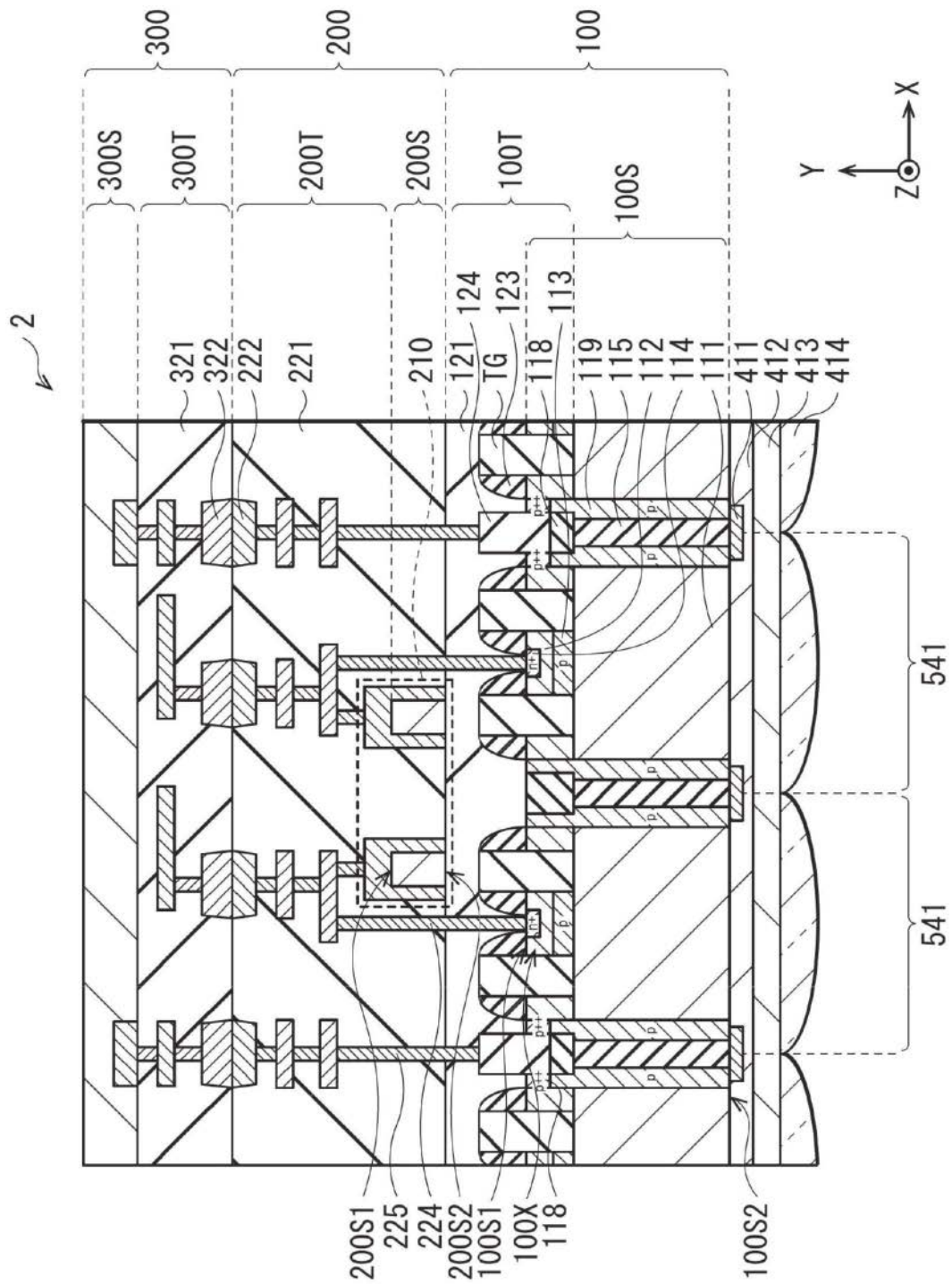


图18

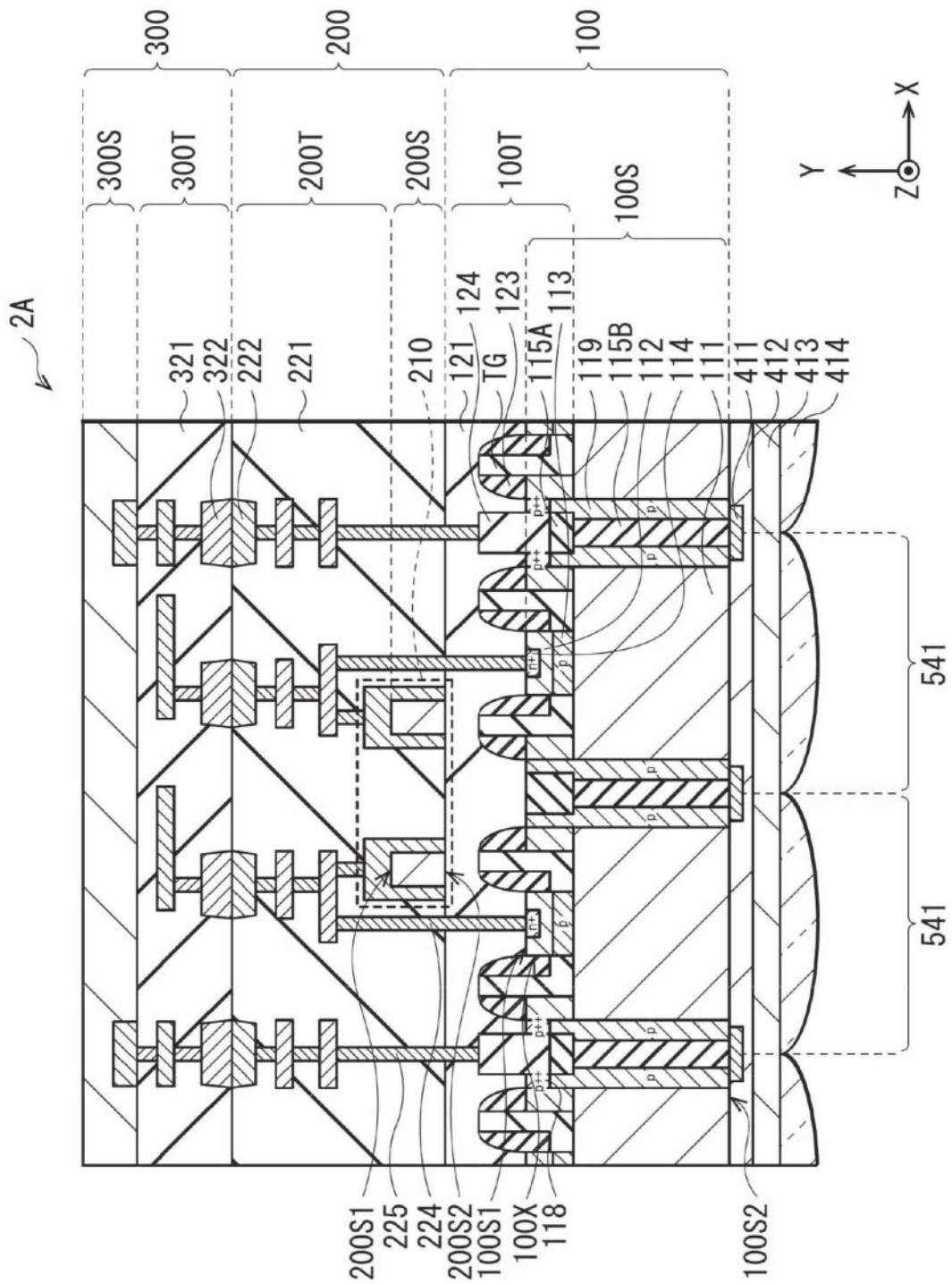


图19

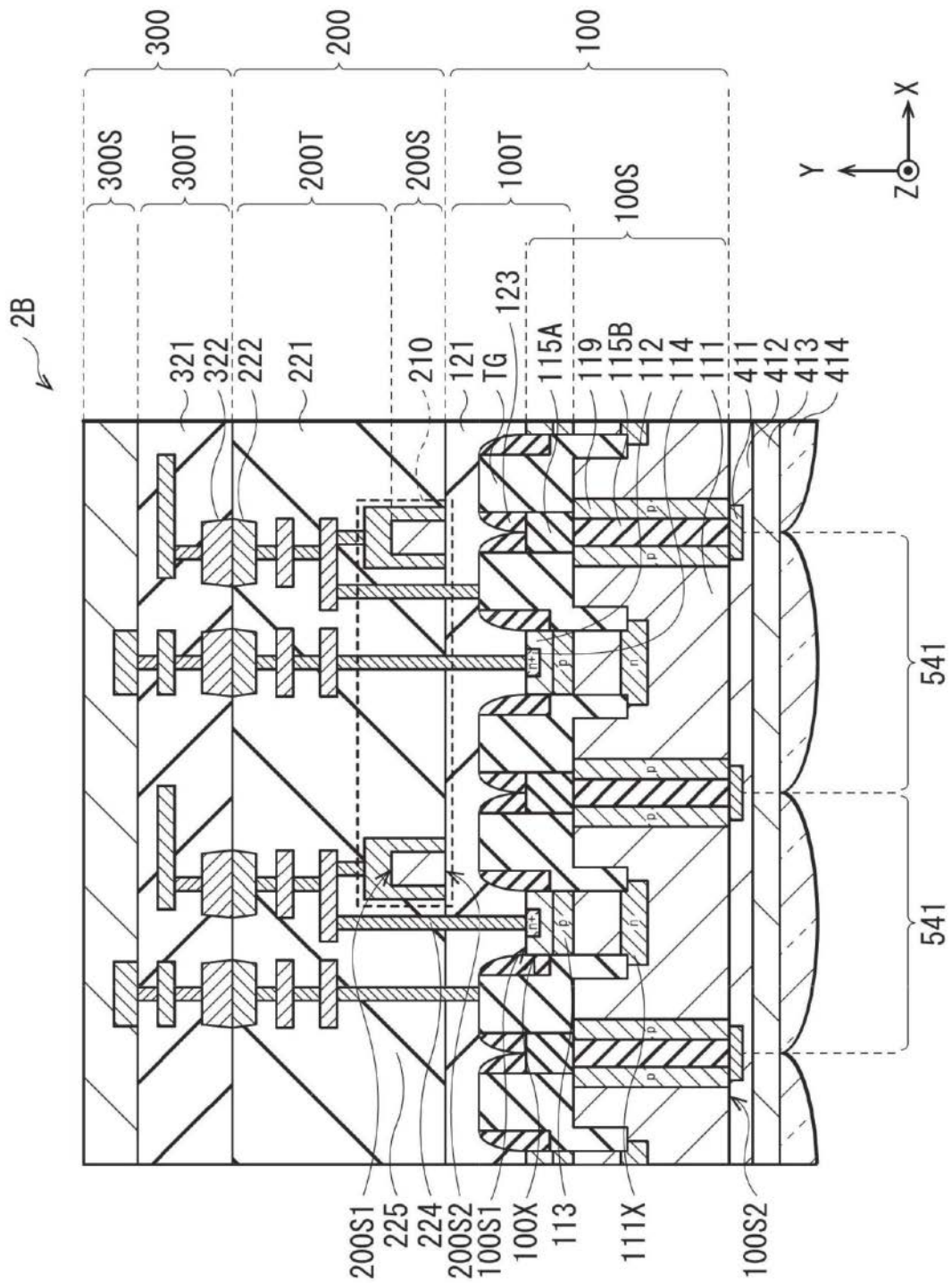


图20

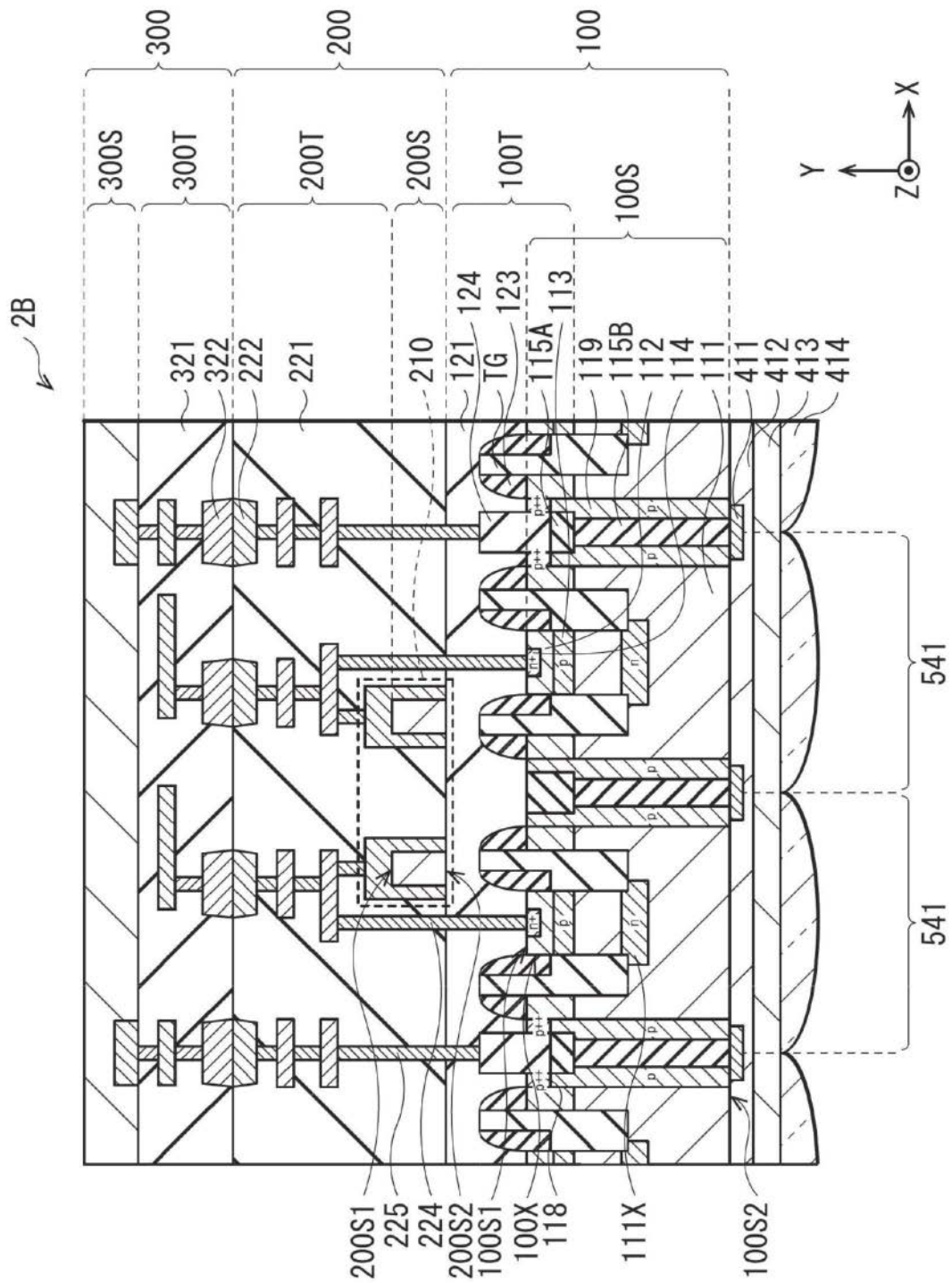


图21

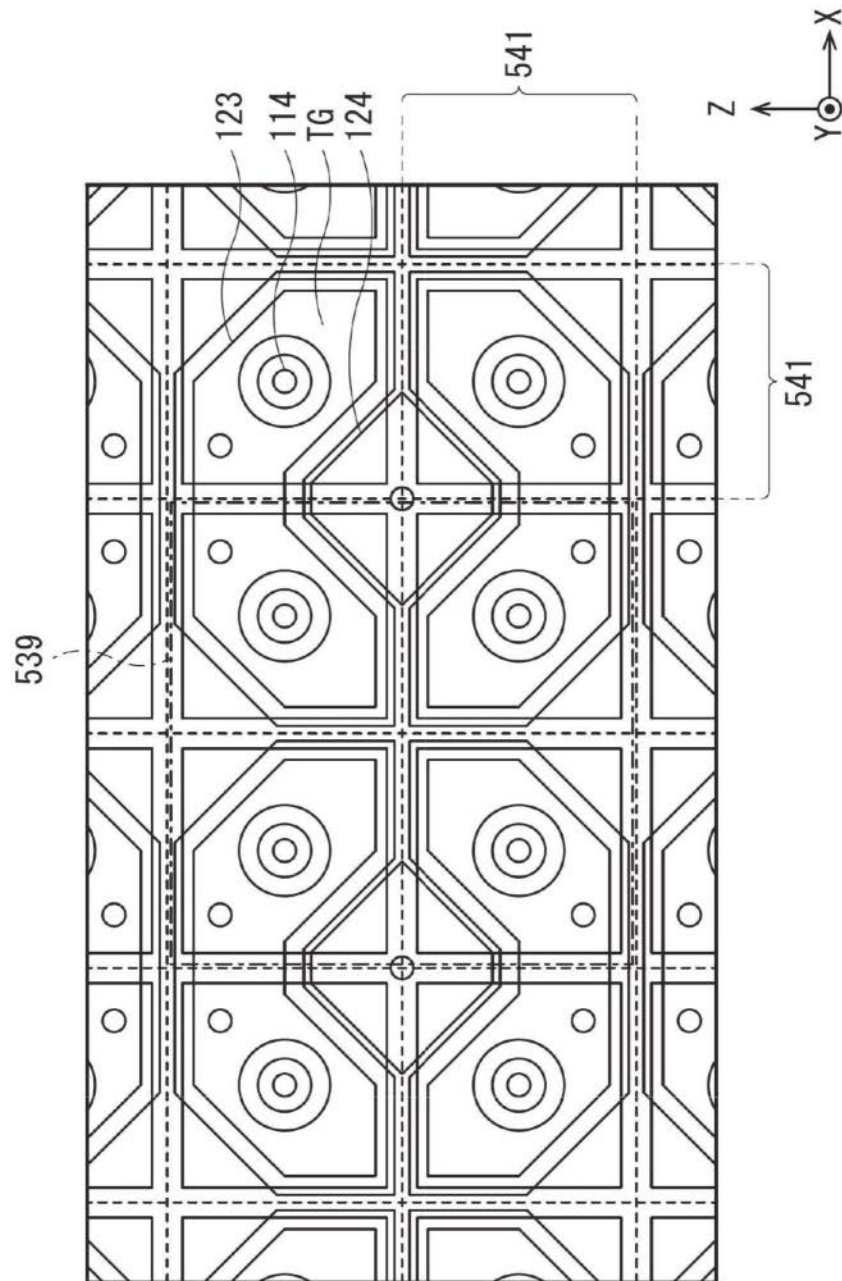


图22

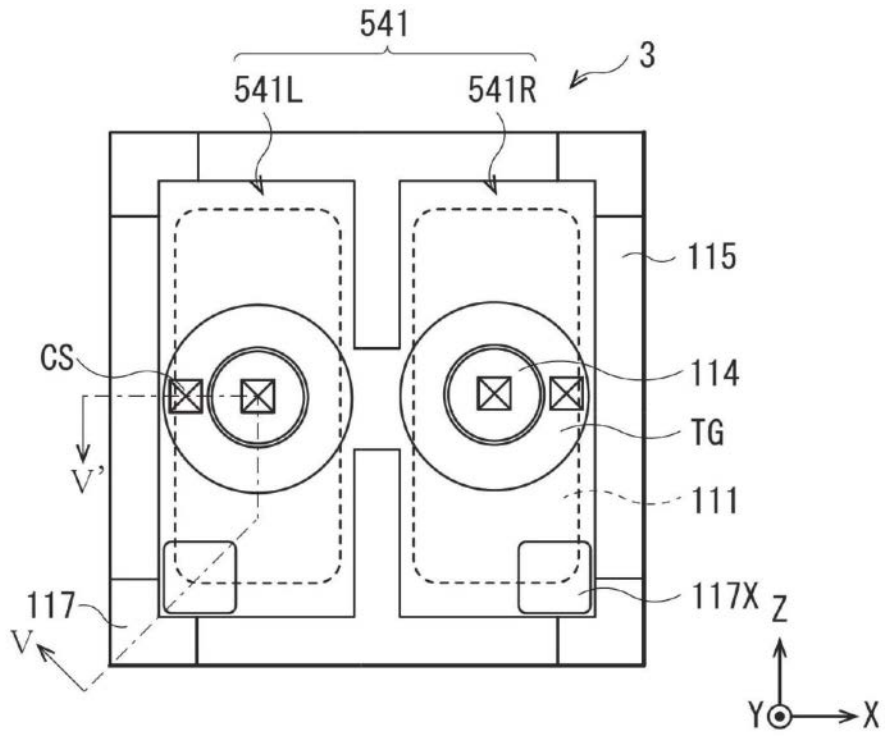


图23

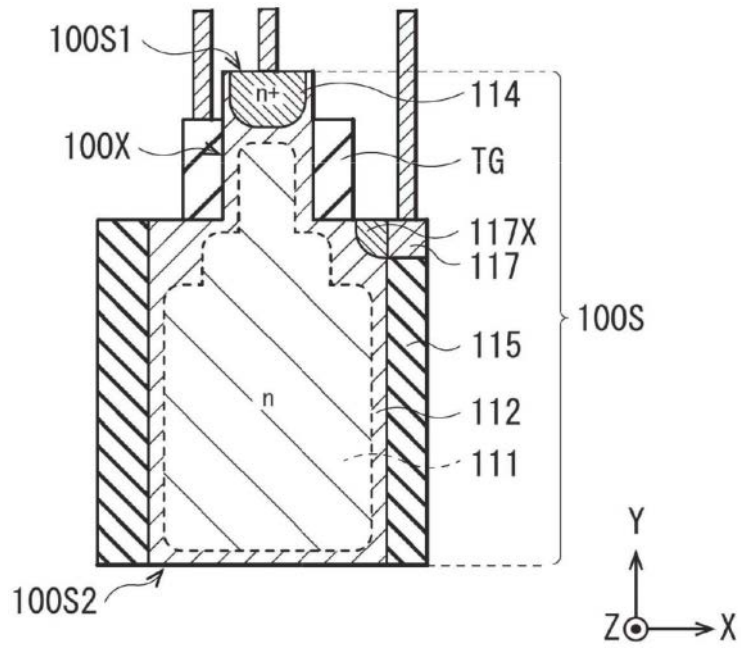


图24

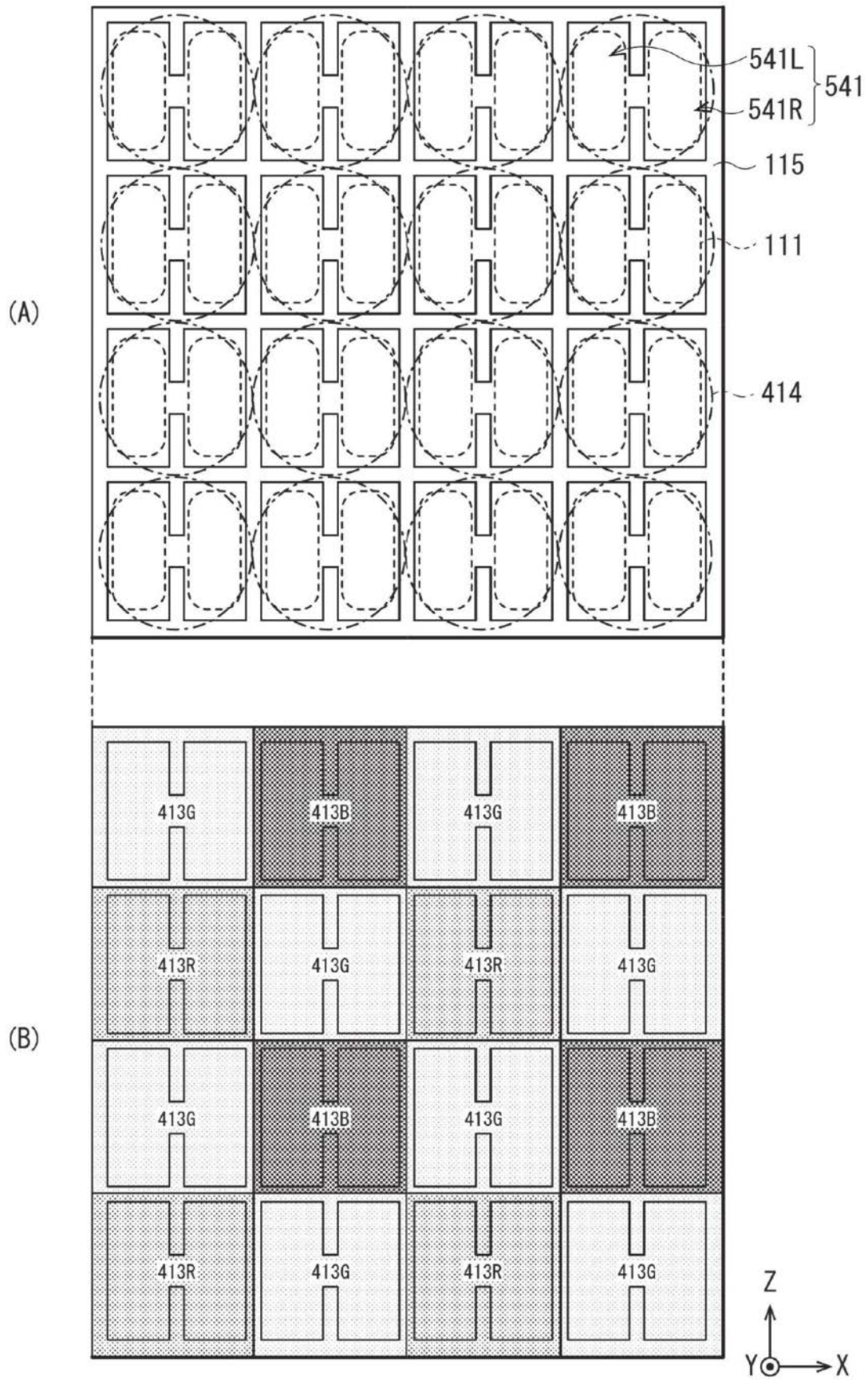


图25

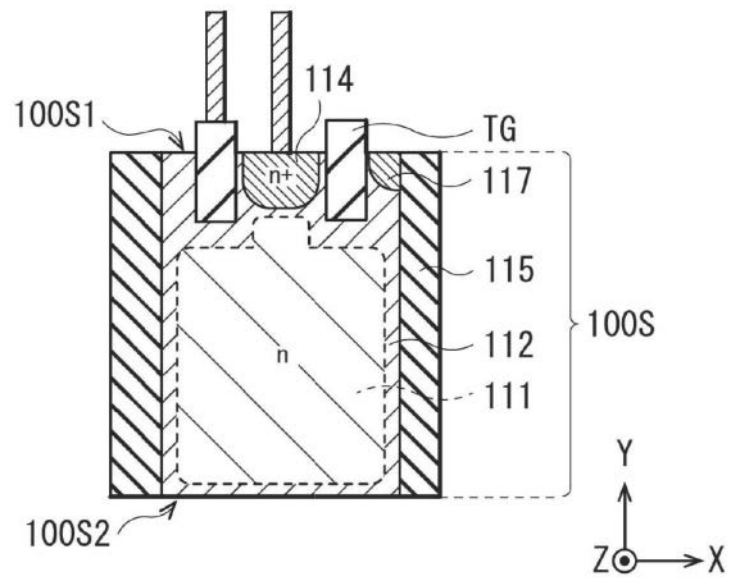


图26

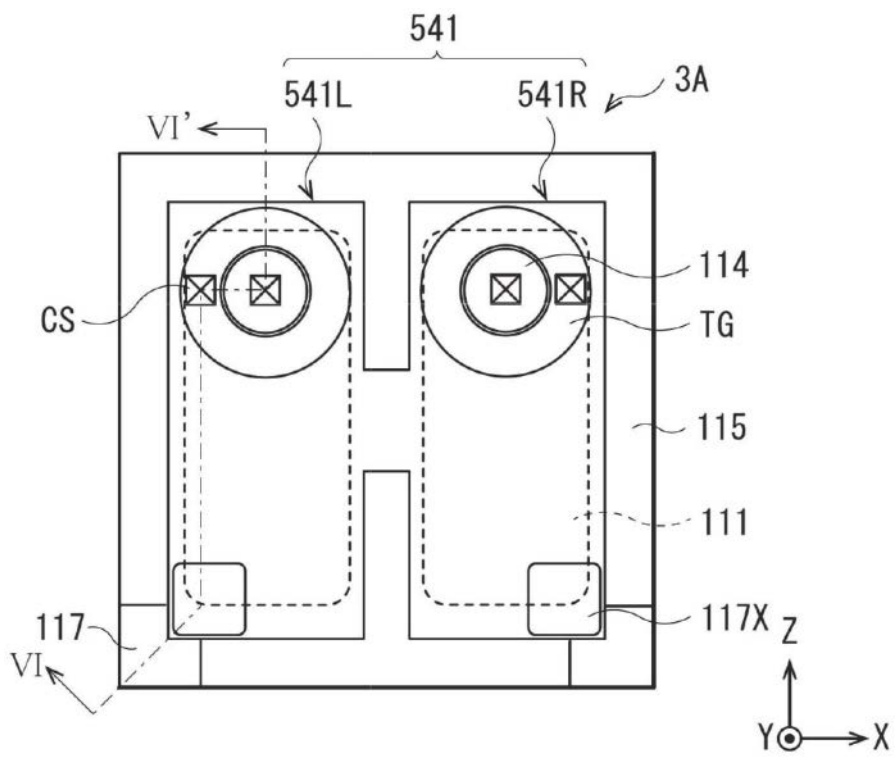


图27

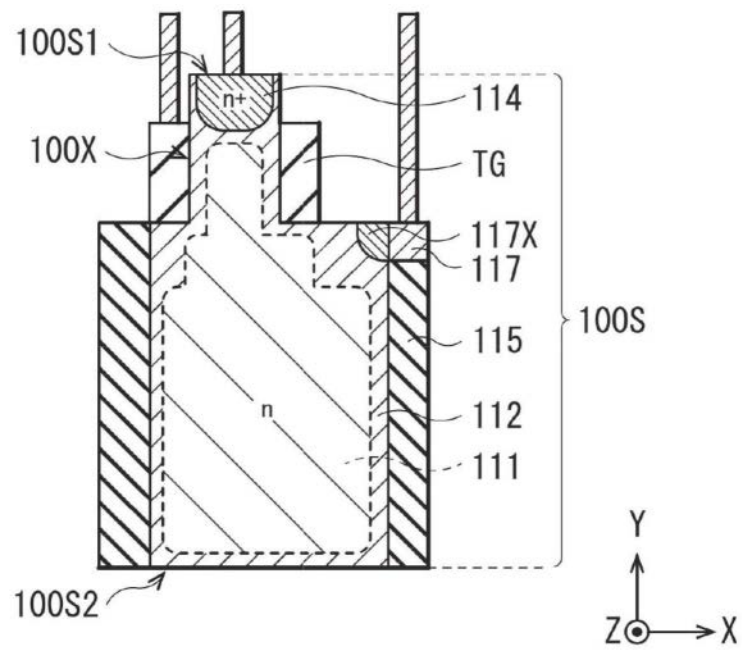


图28

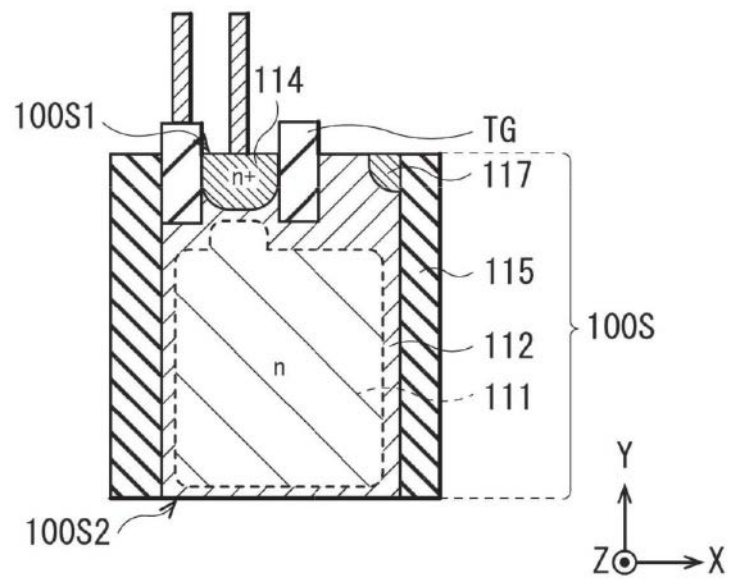


图29

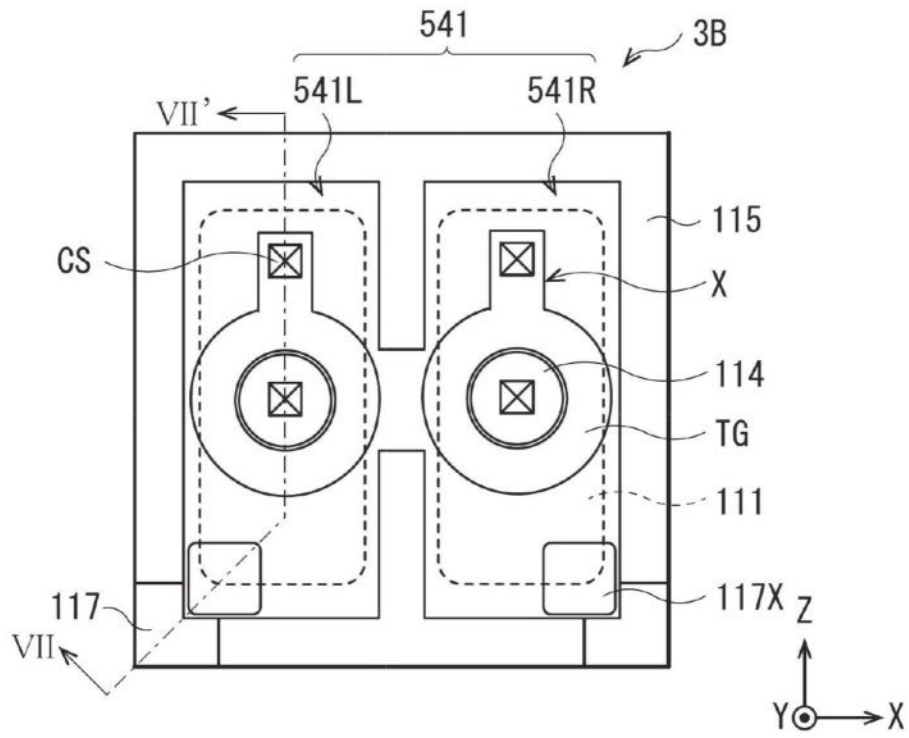


图30

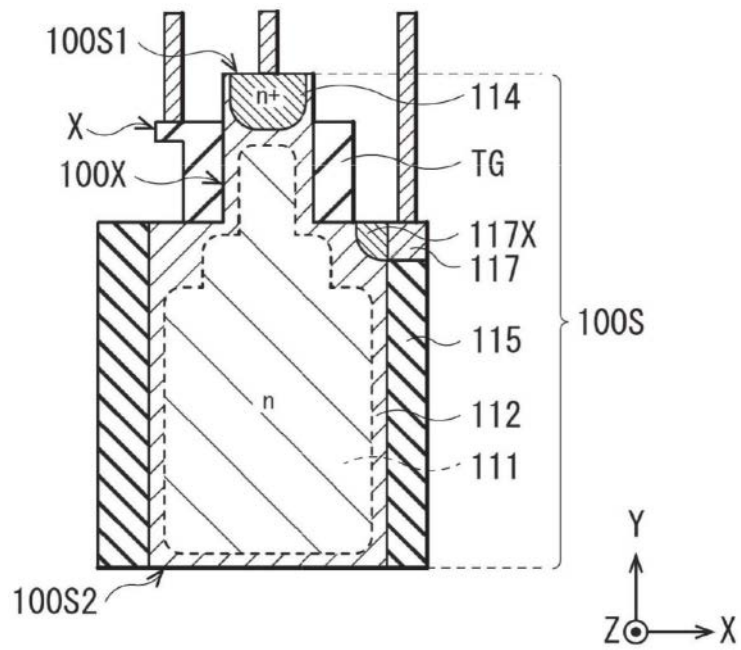


图31

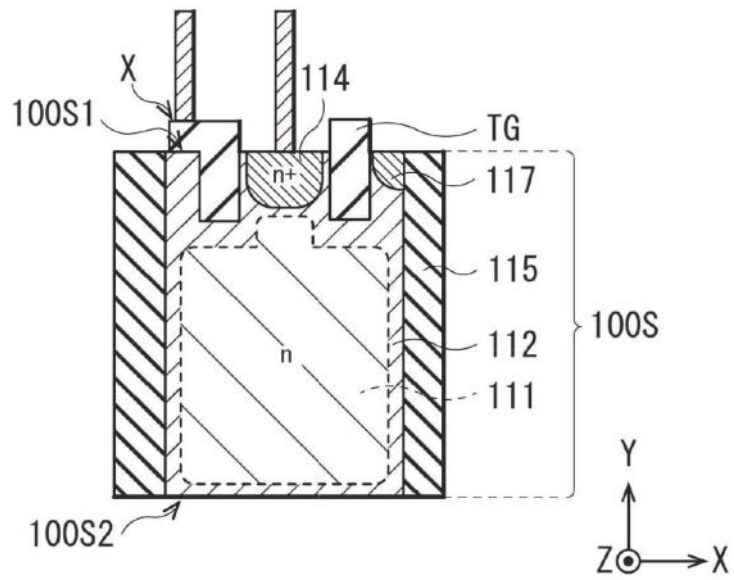


图32

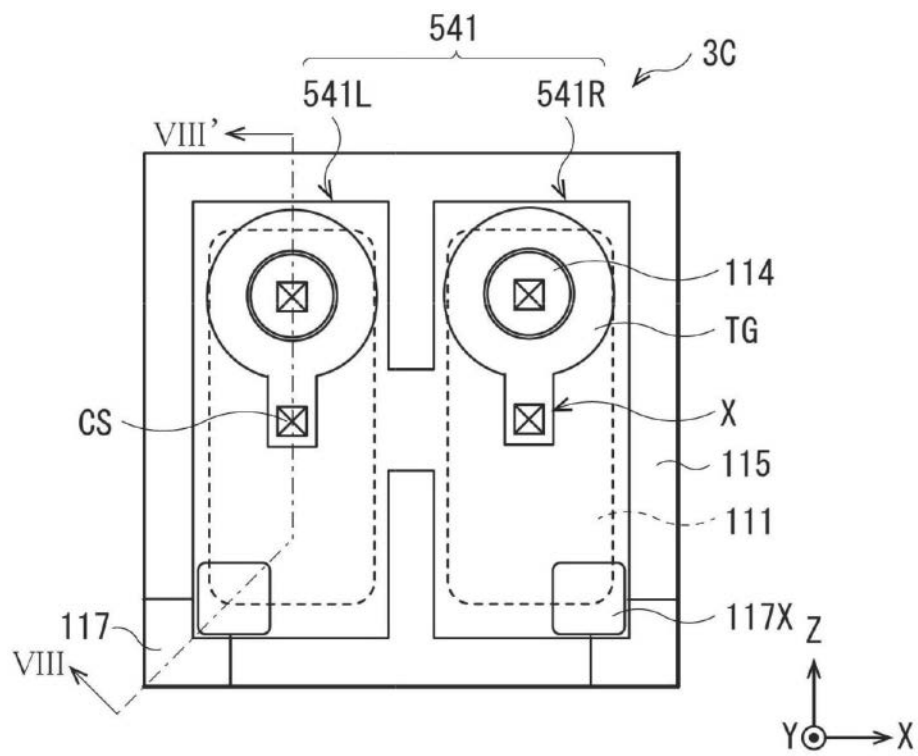


图33

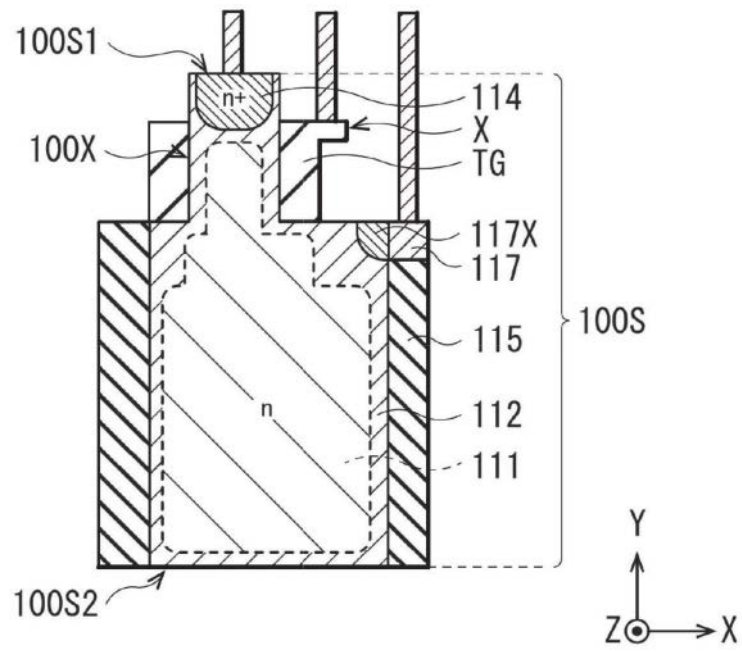


图34

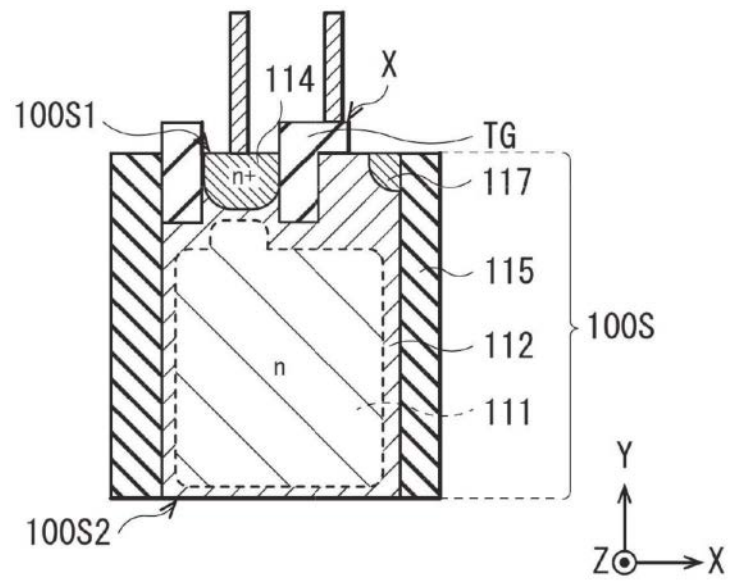


图35

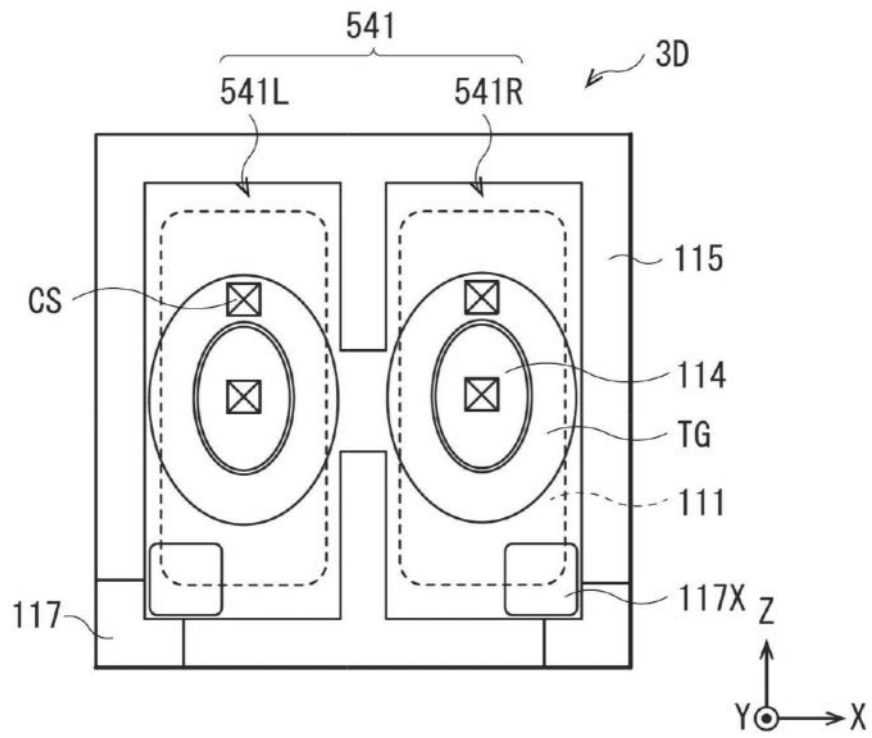


图36

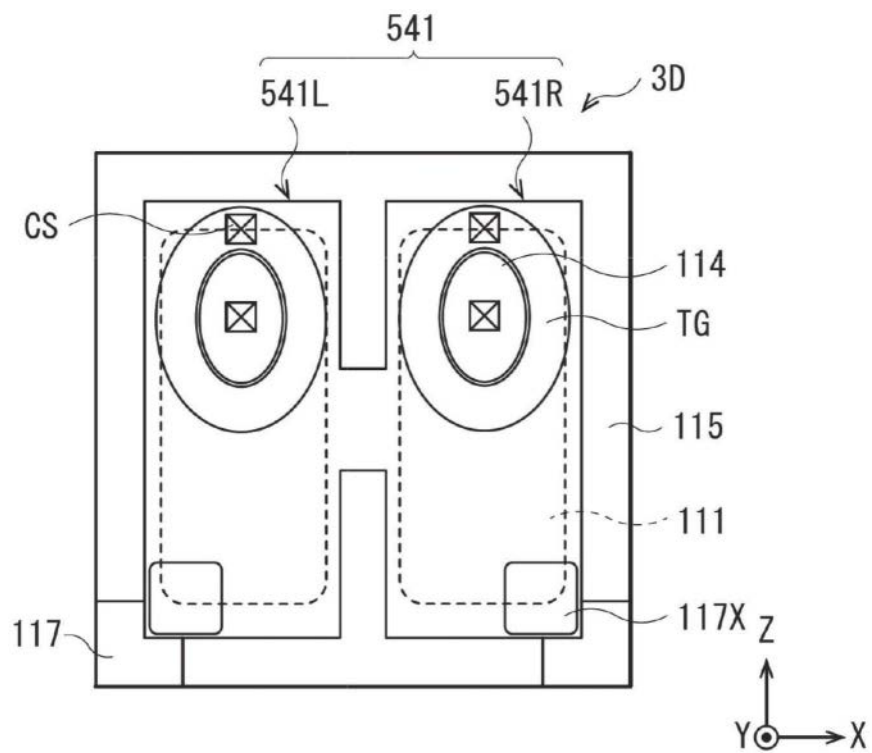


图37

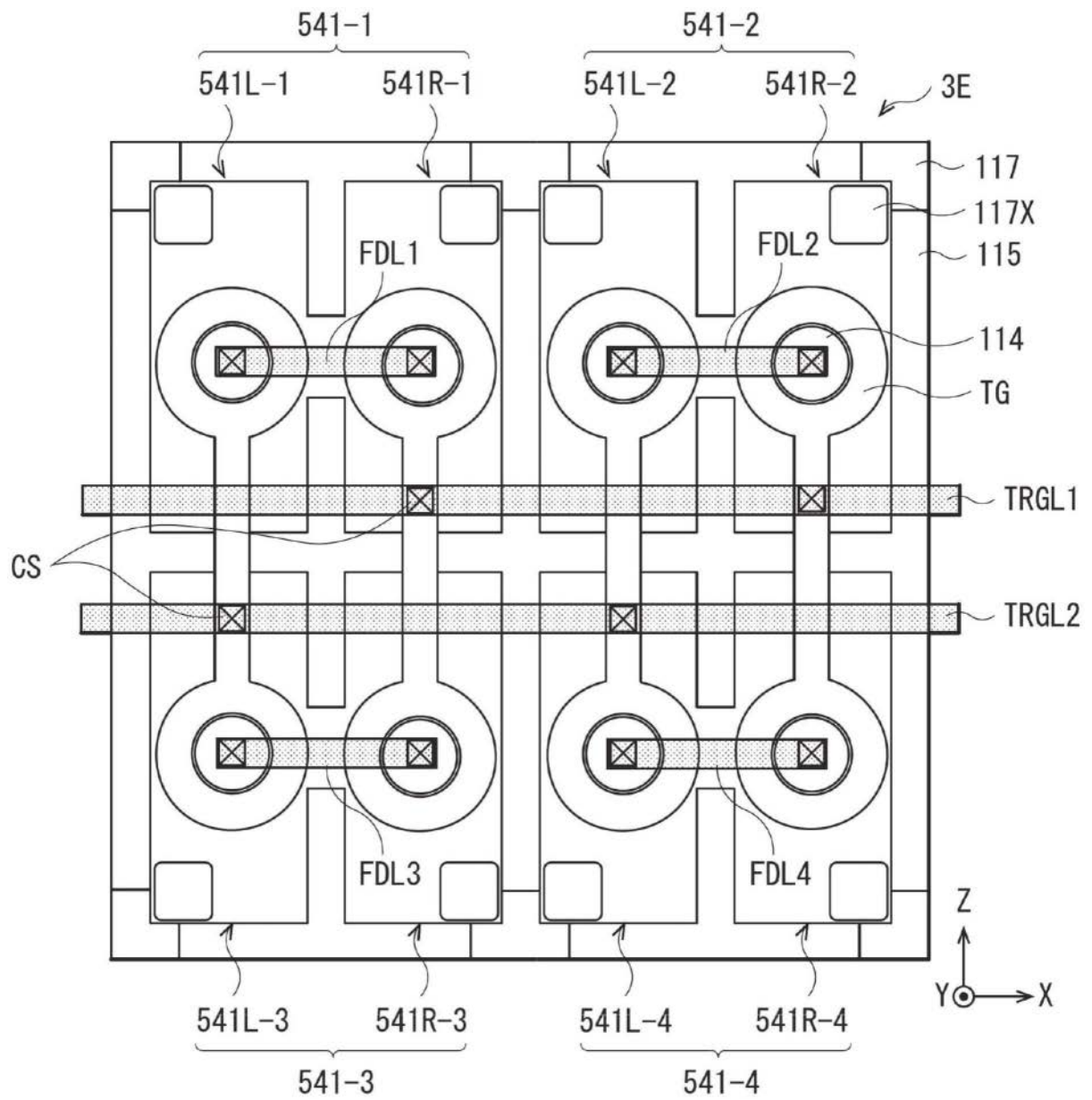


图38

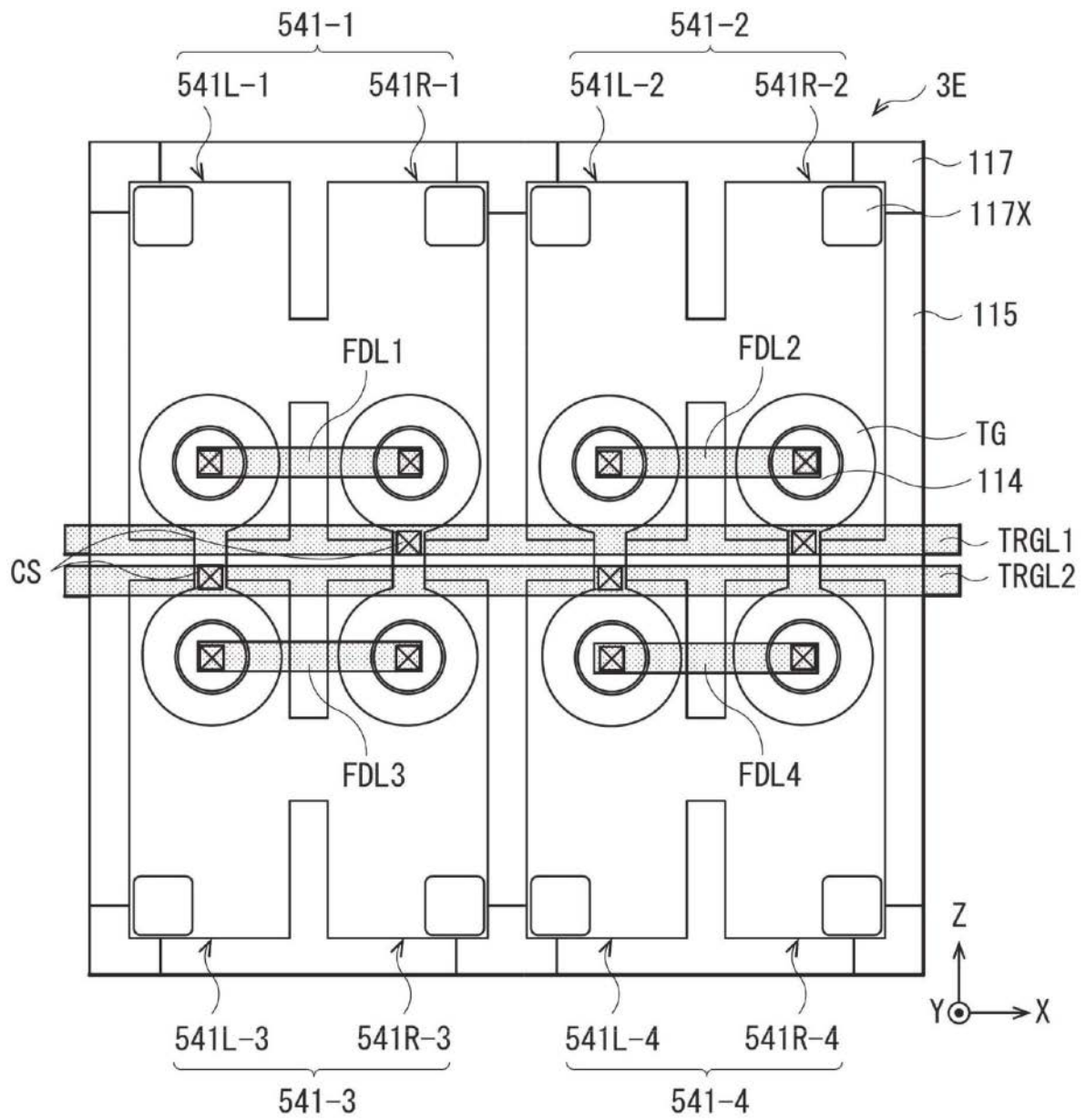


图39

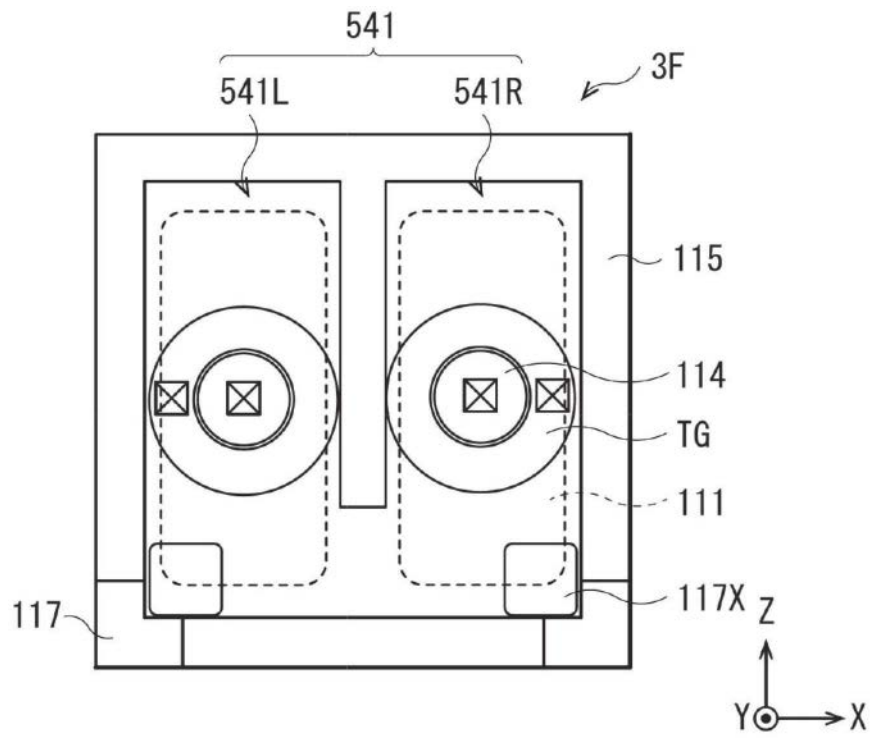


图40

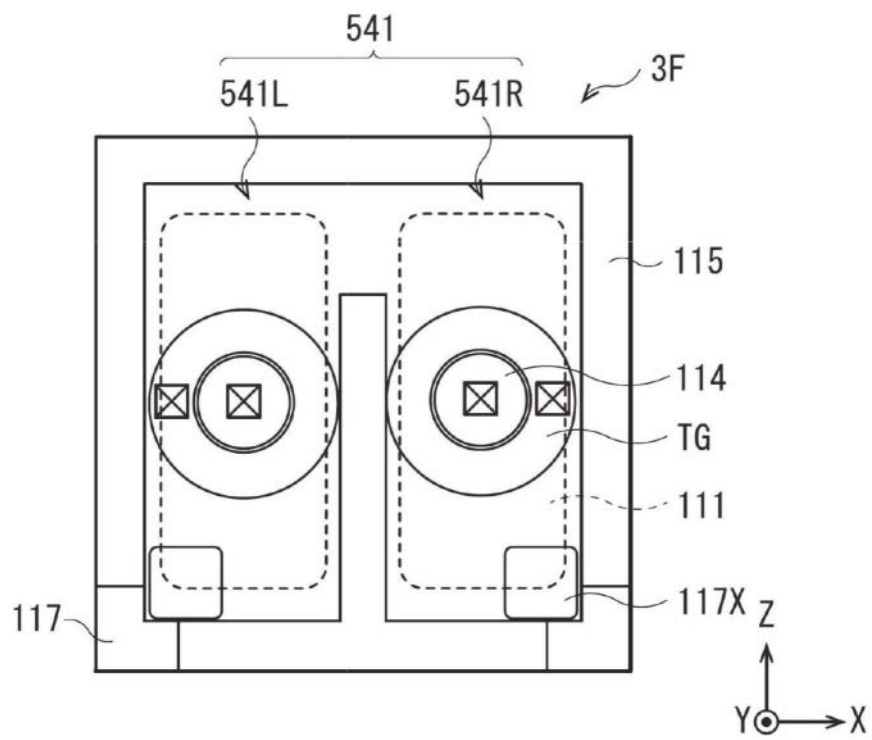


图41

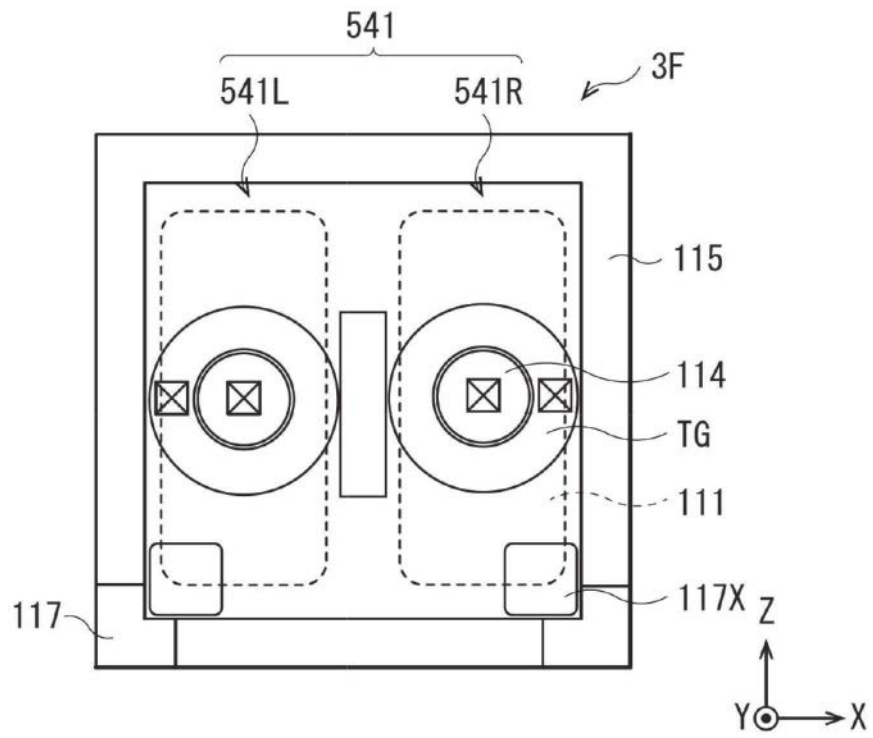


图42

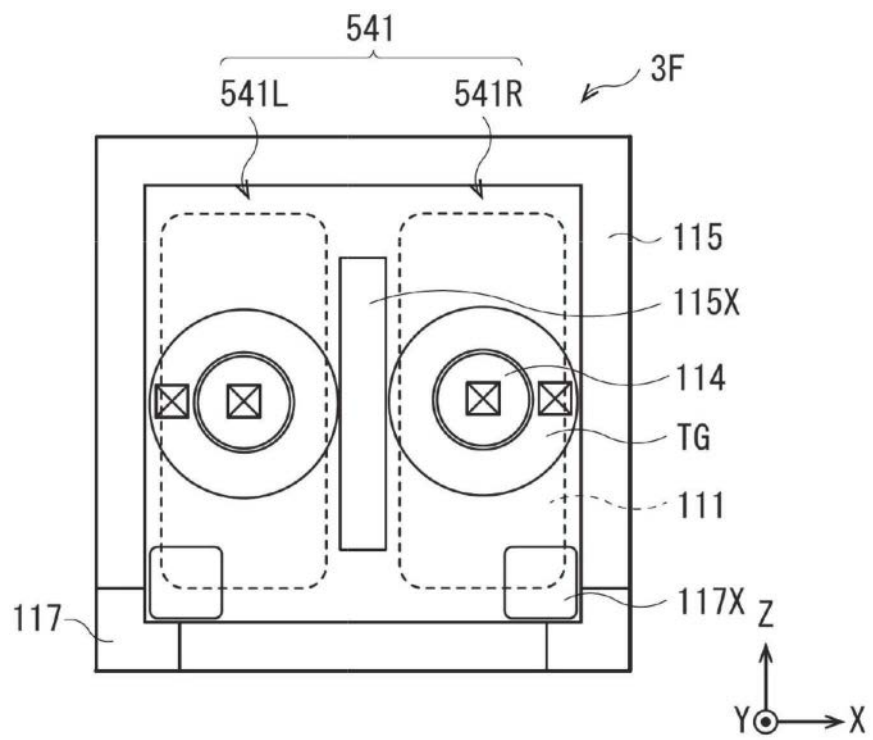


图43

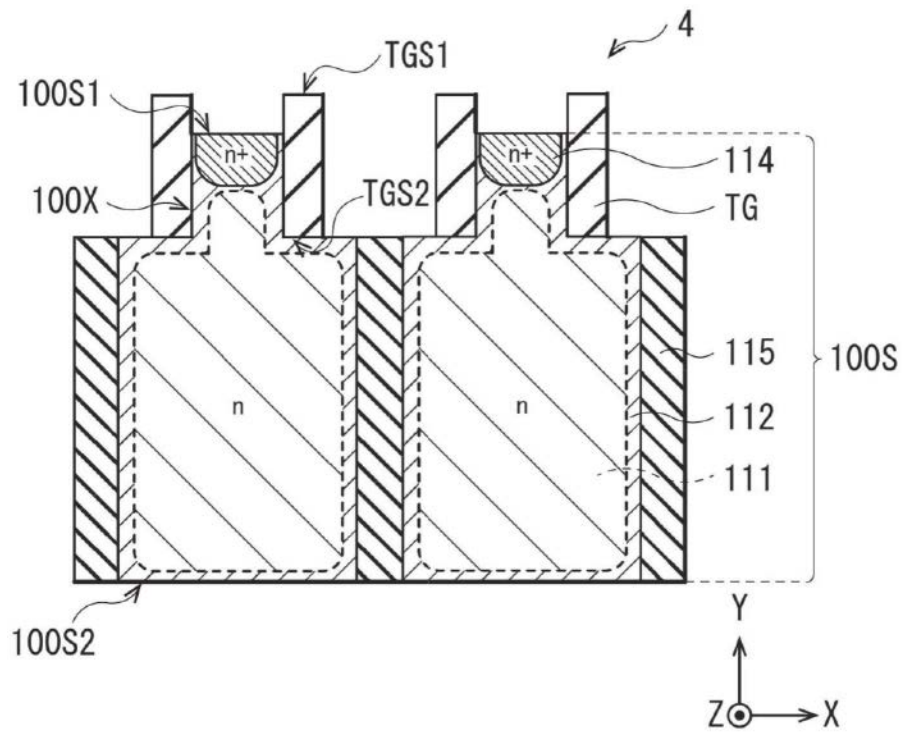


图44

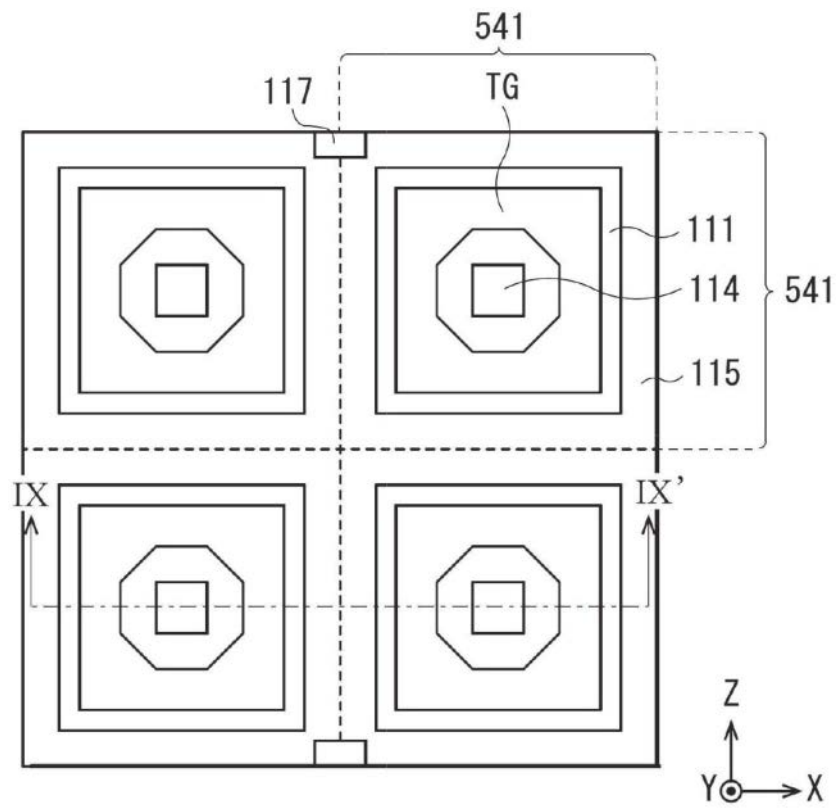


图45A

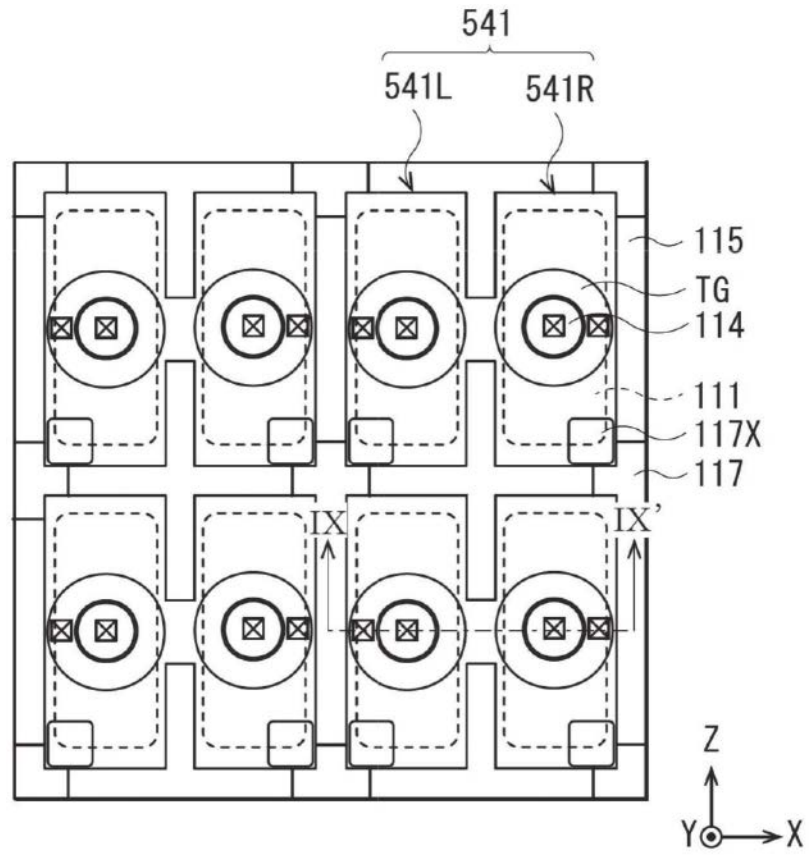


图45B

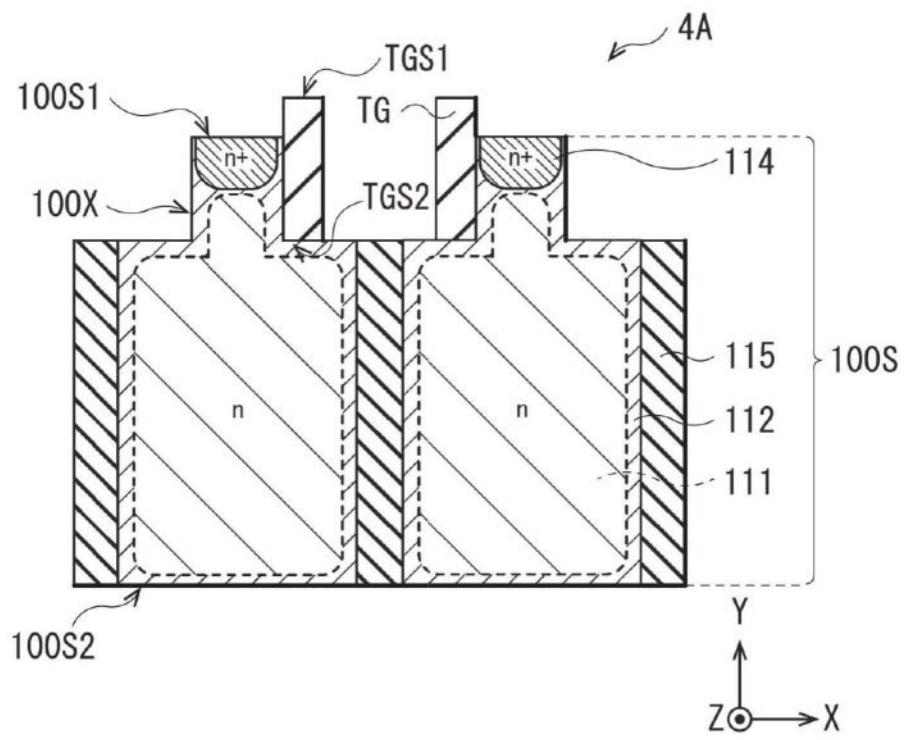


图46

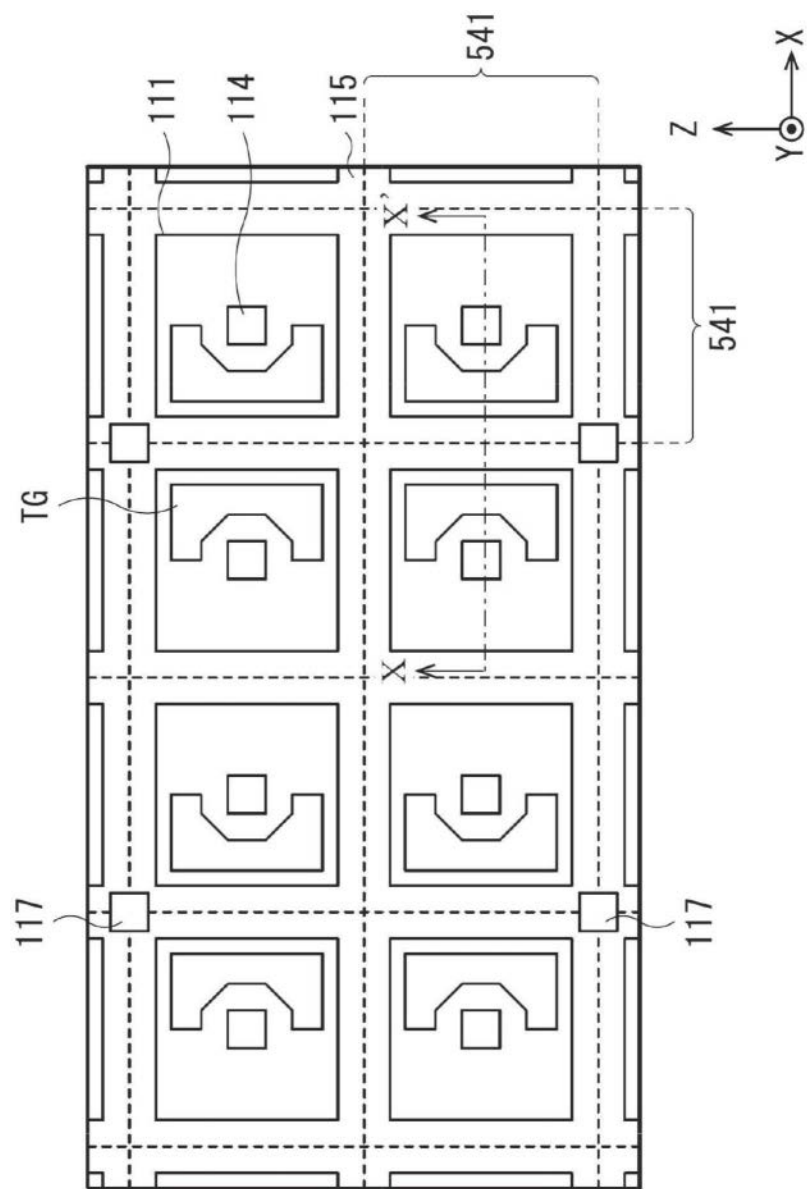


图47A

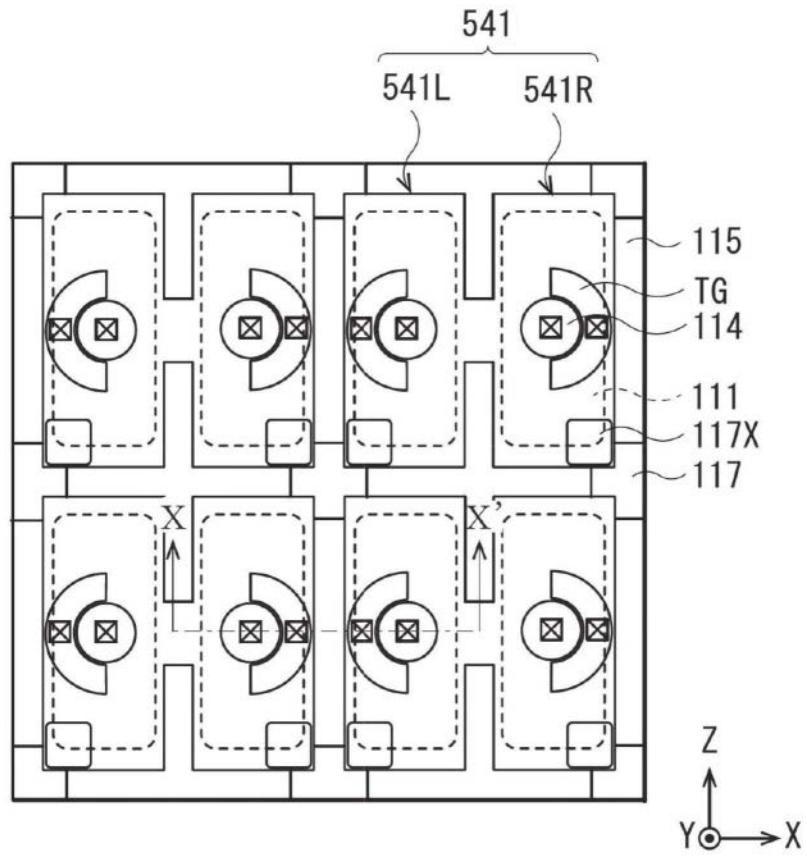


图47B

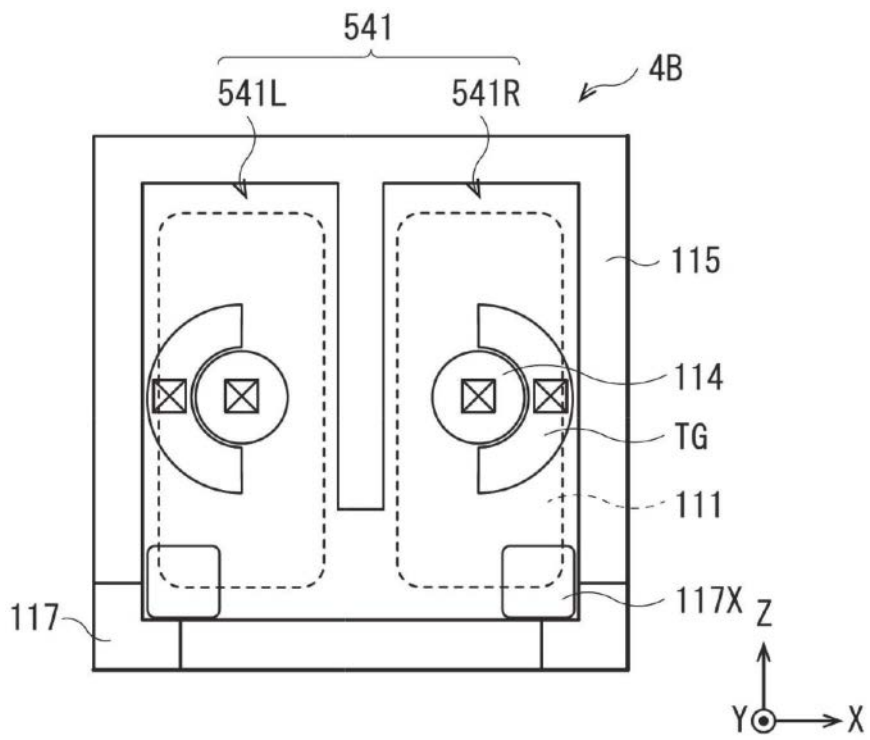


图48

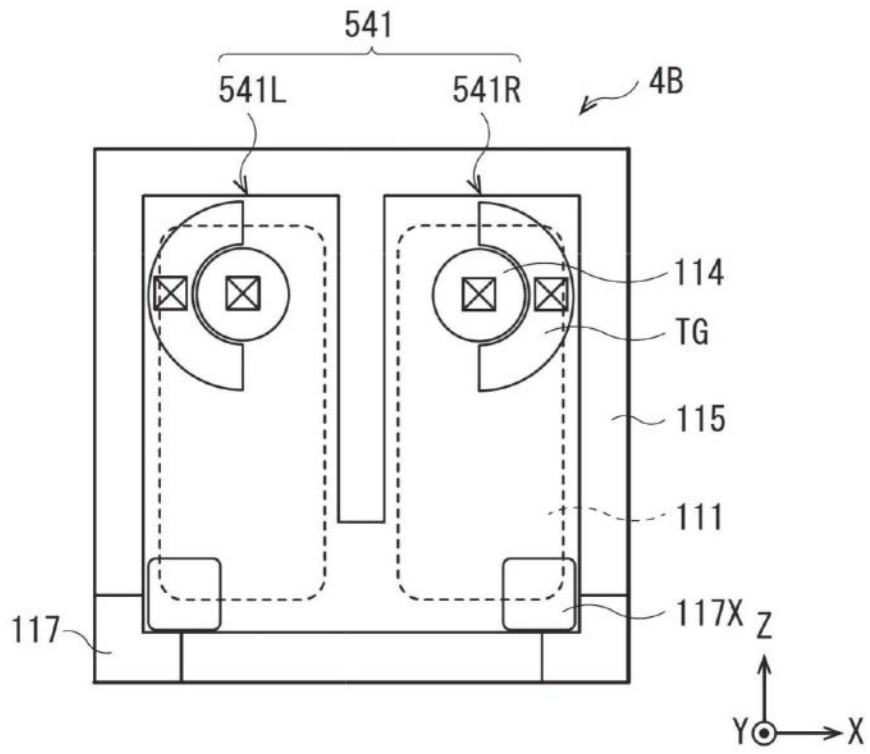


图49

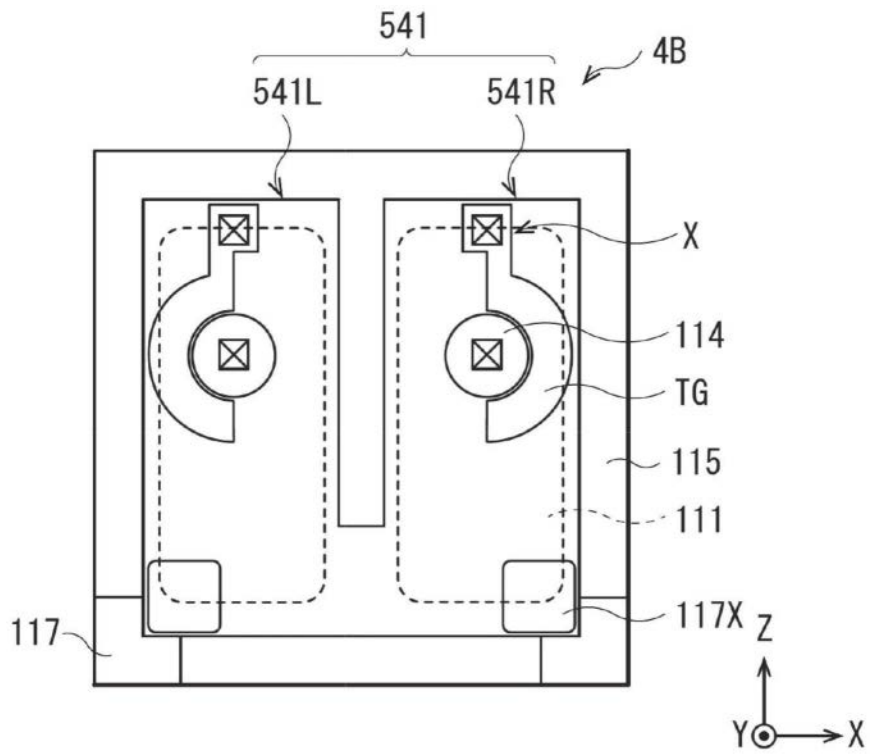


图50

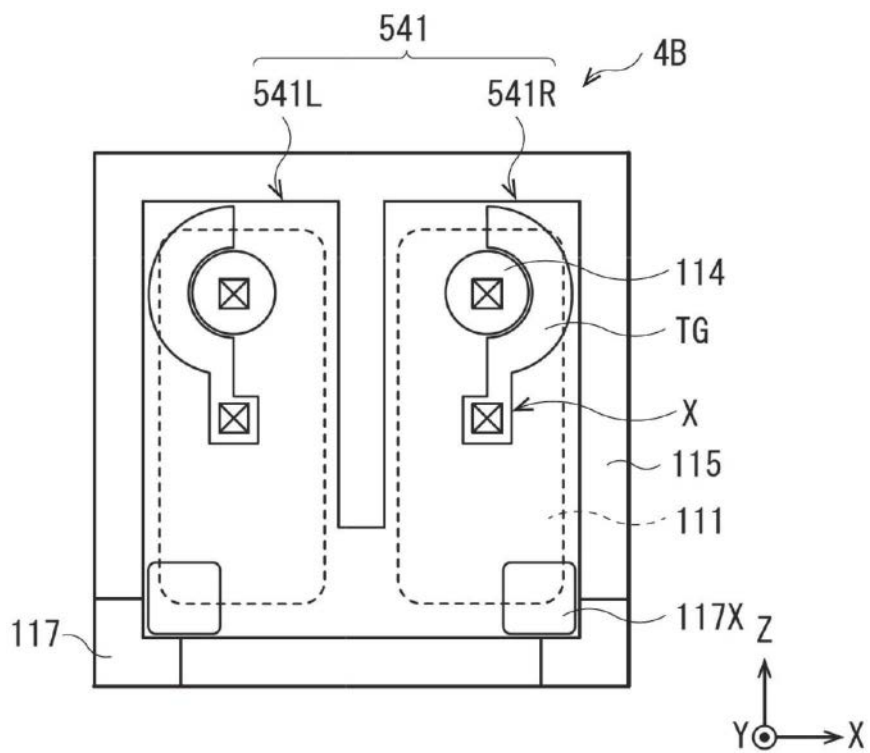


图51

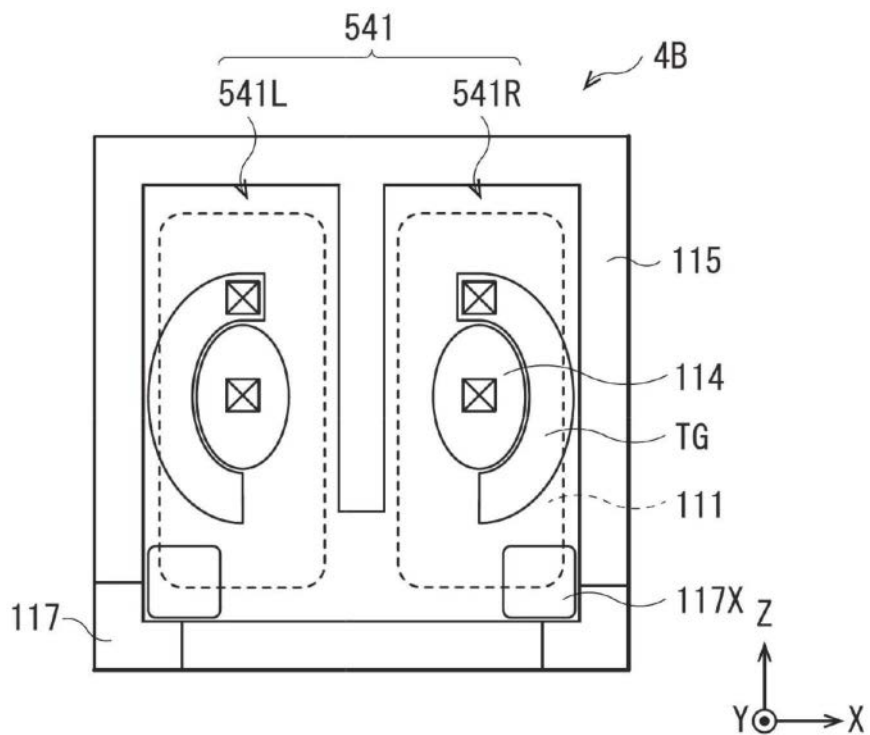


图52

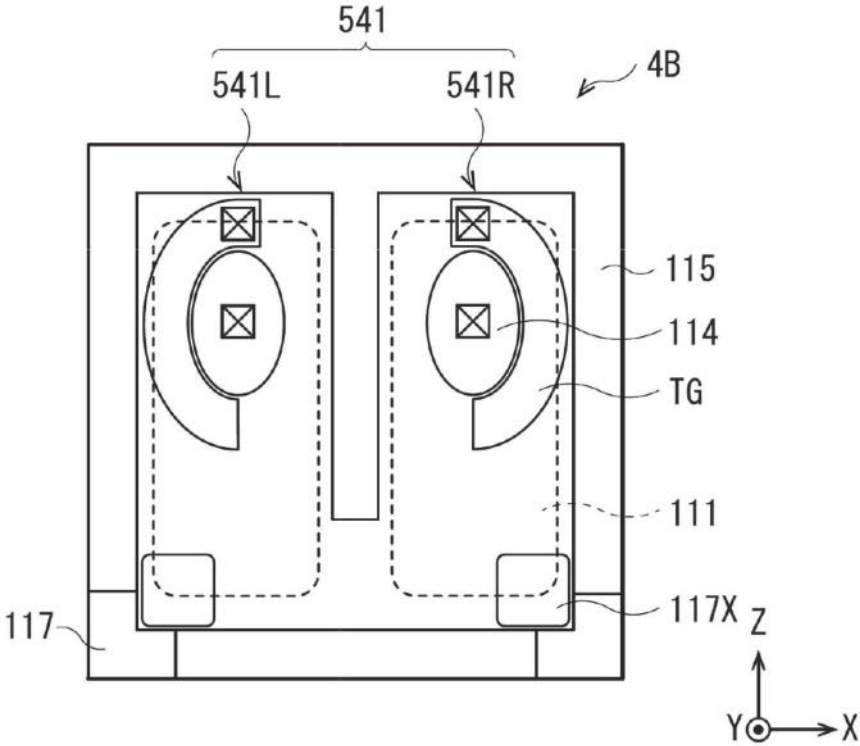


图53

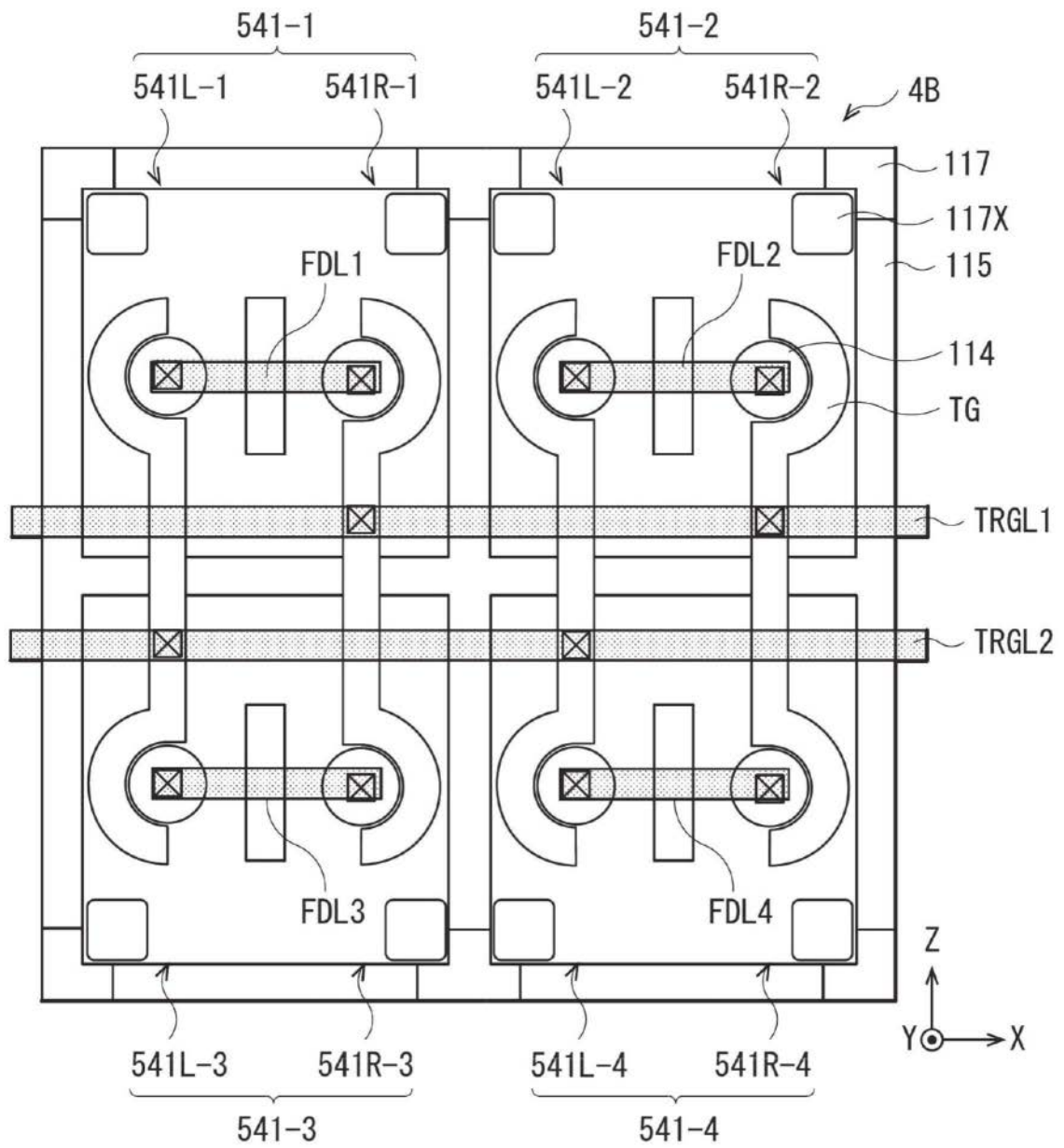


图54

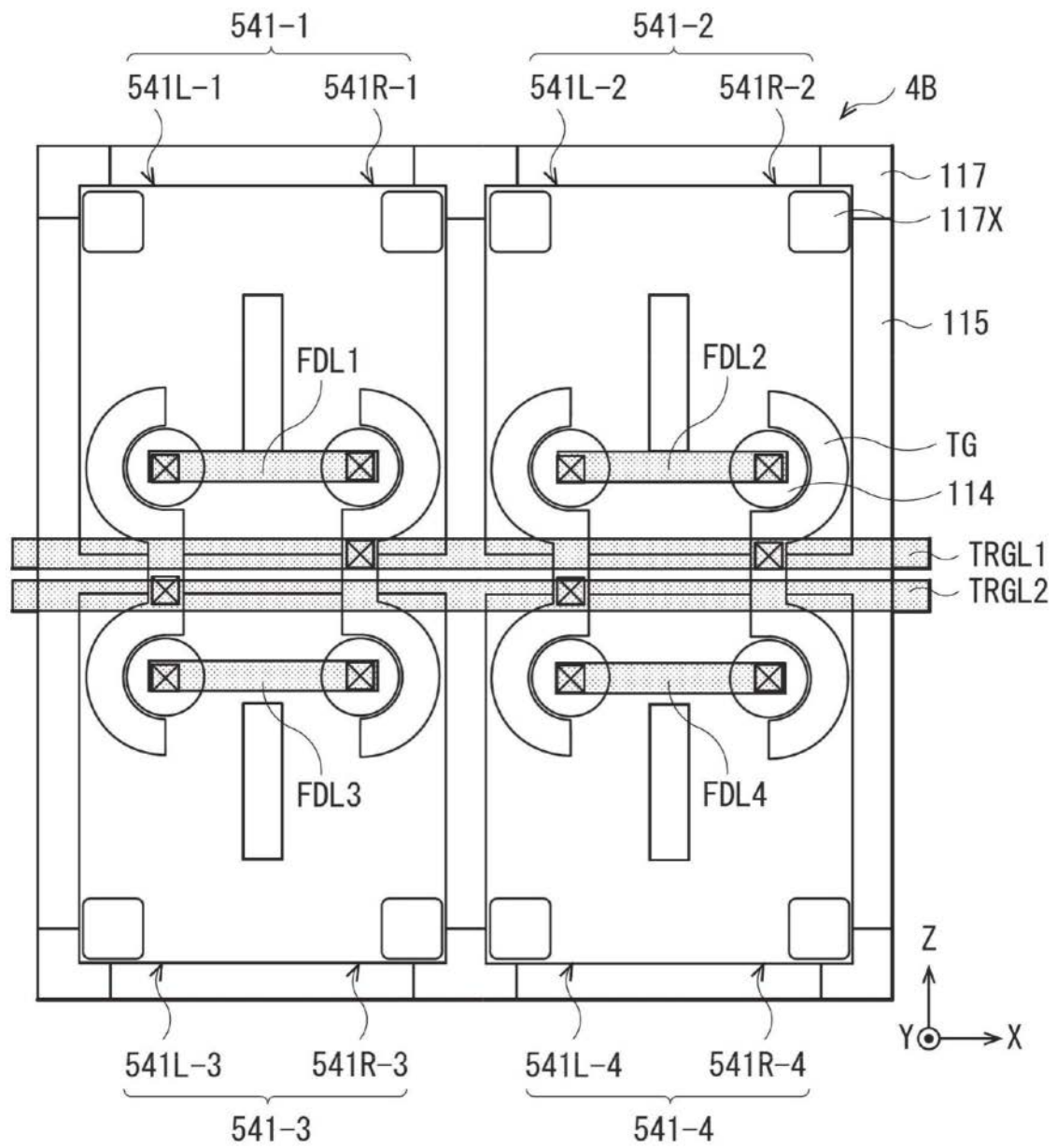


图55

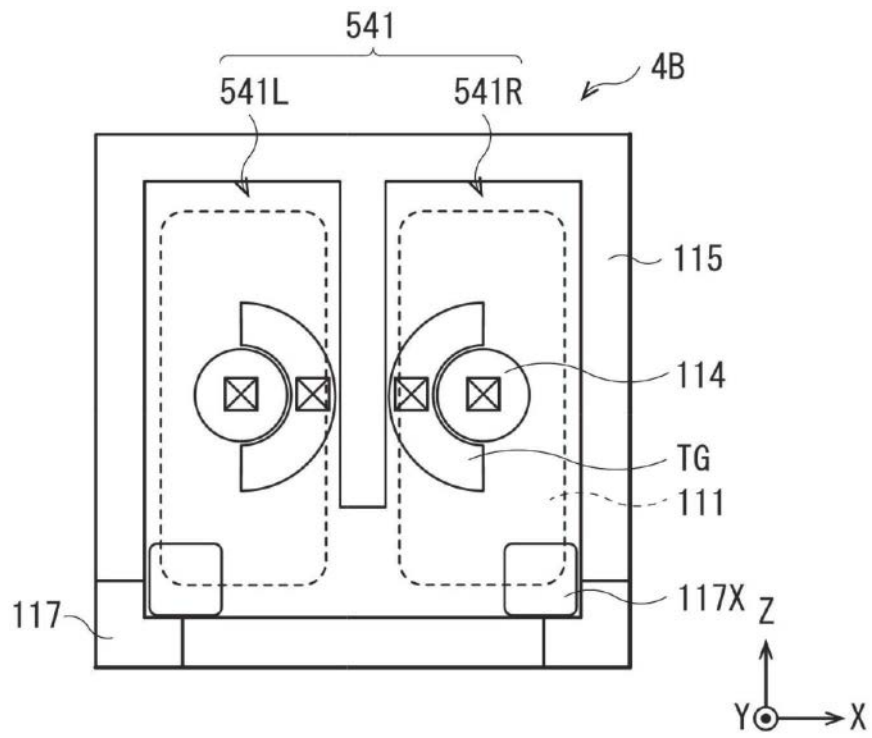


图56

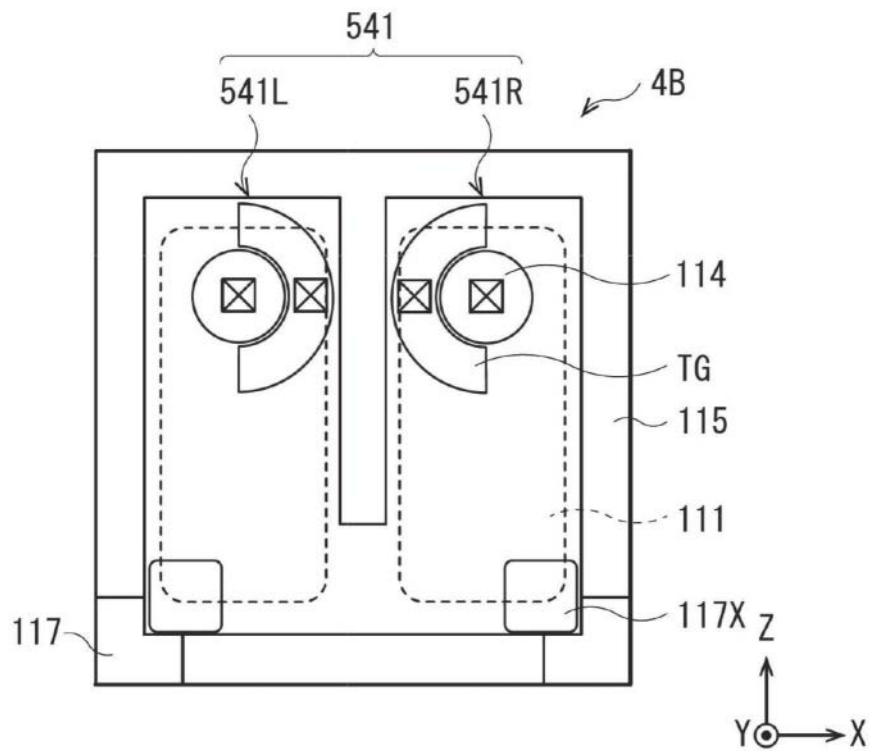


图57

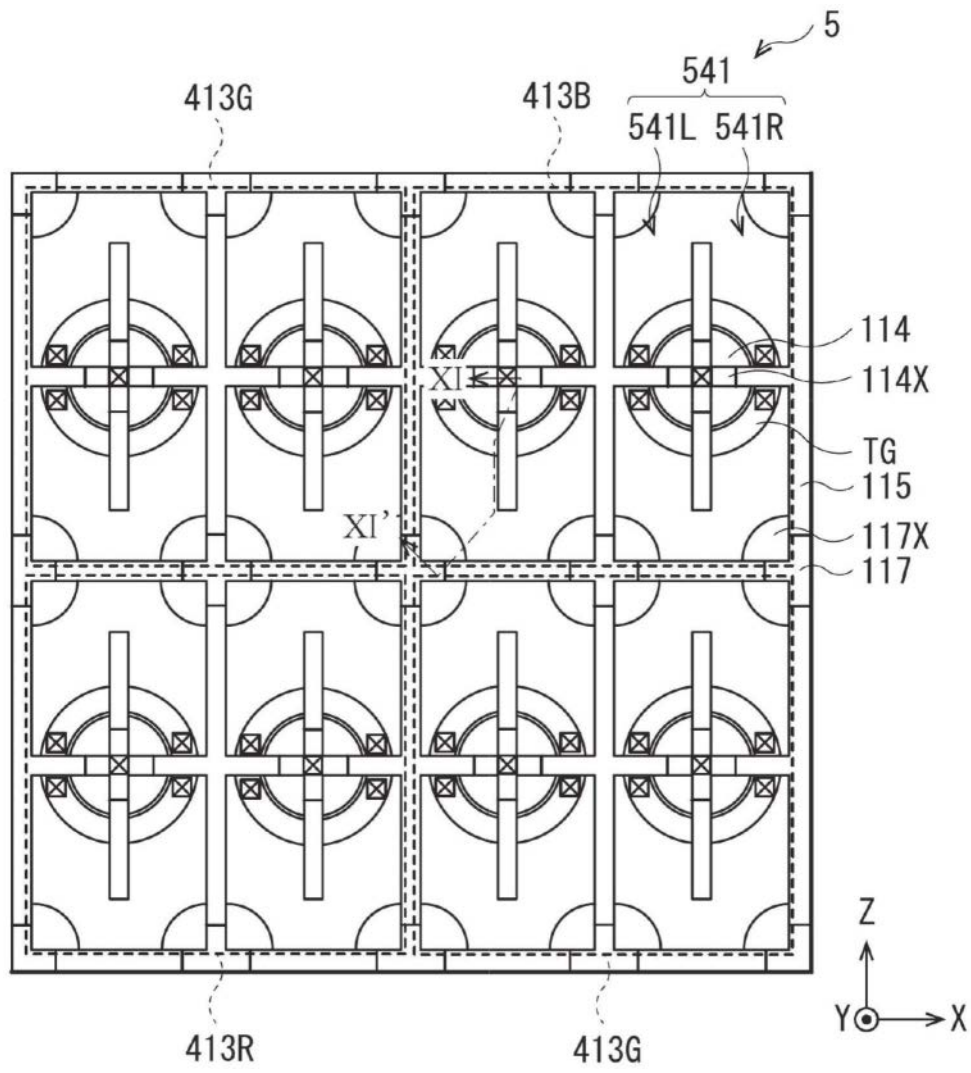


图58

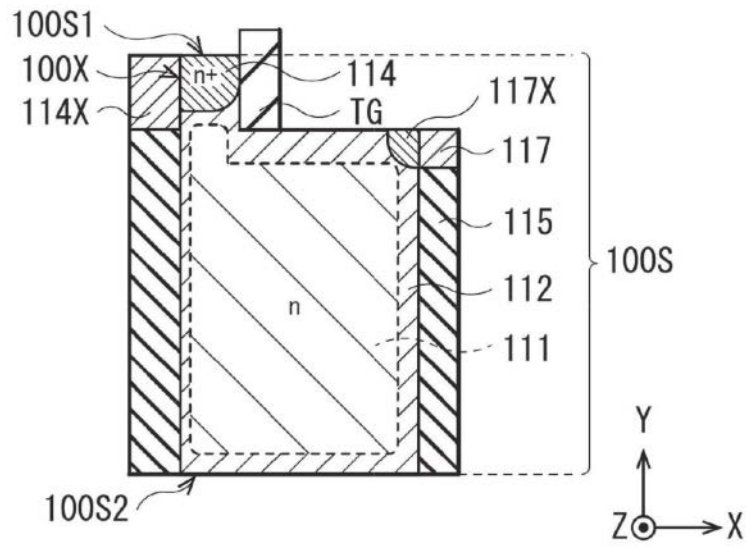


图59

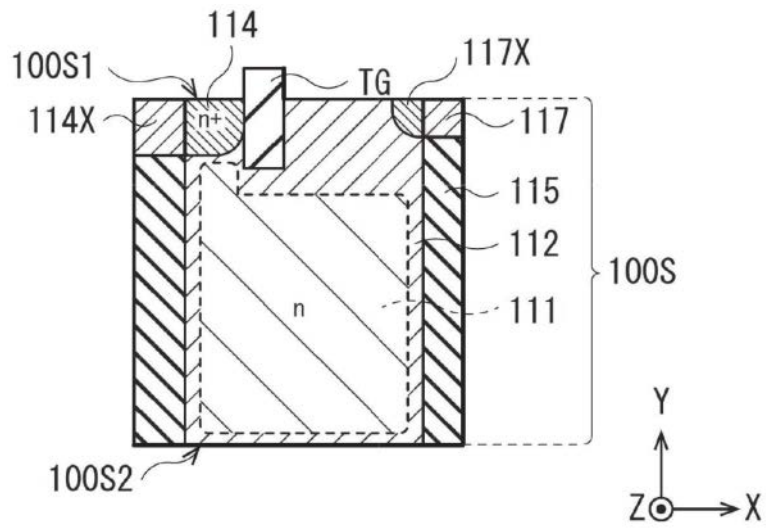


图60

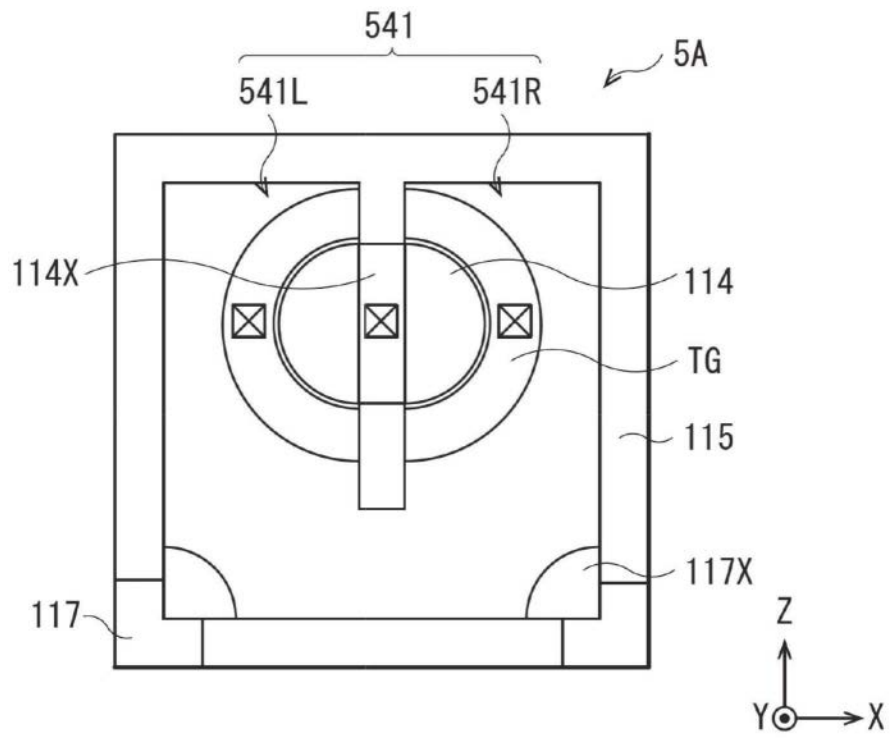


图61

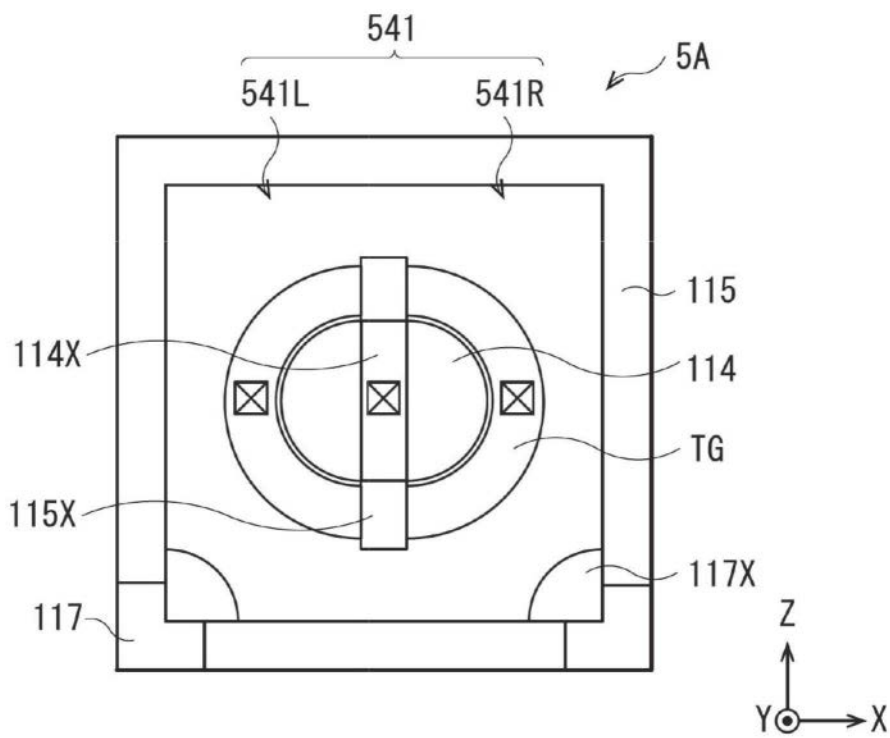


图62

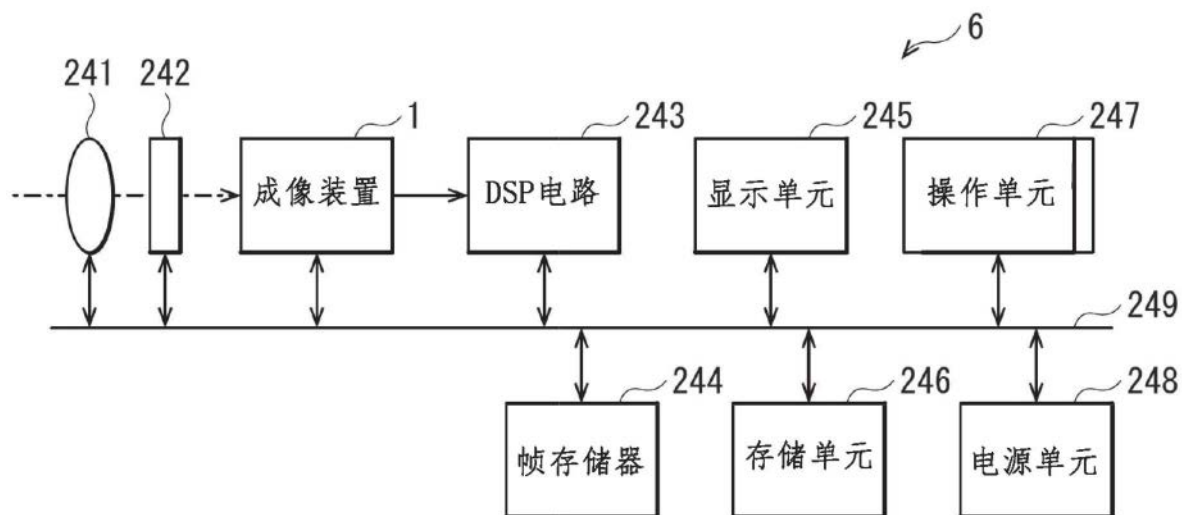


图63

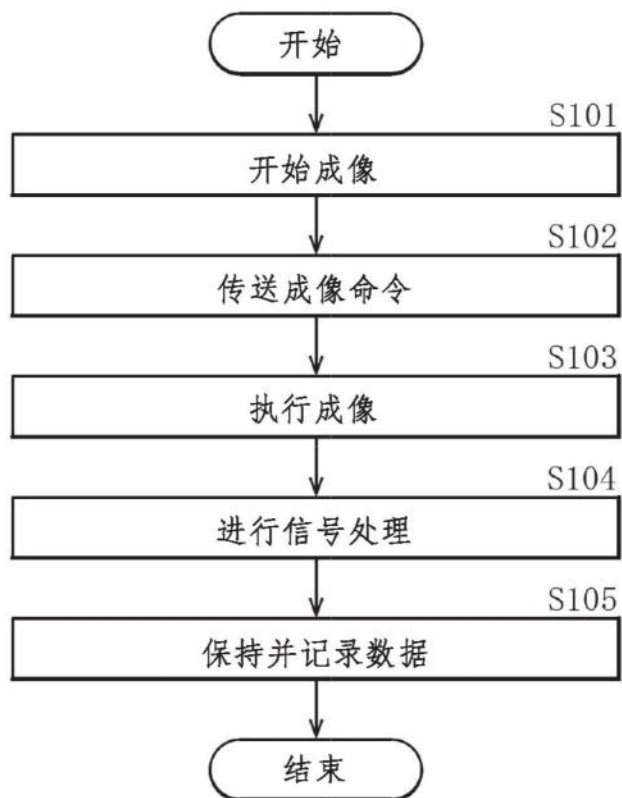


图64

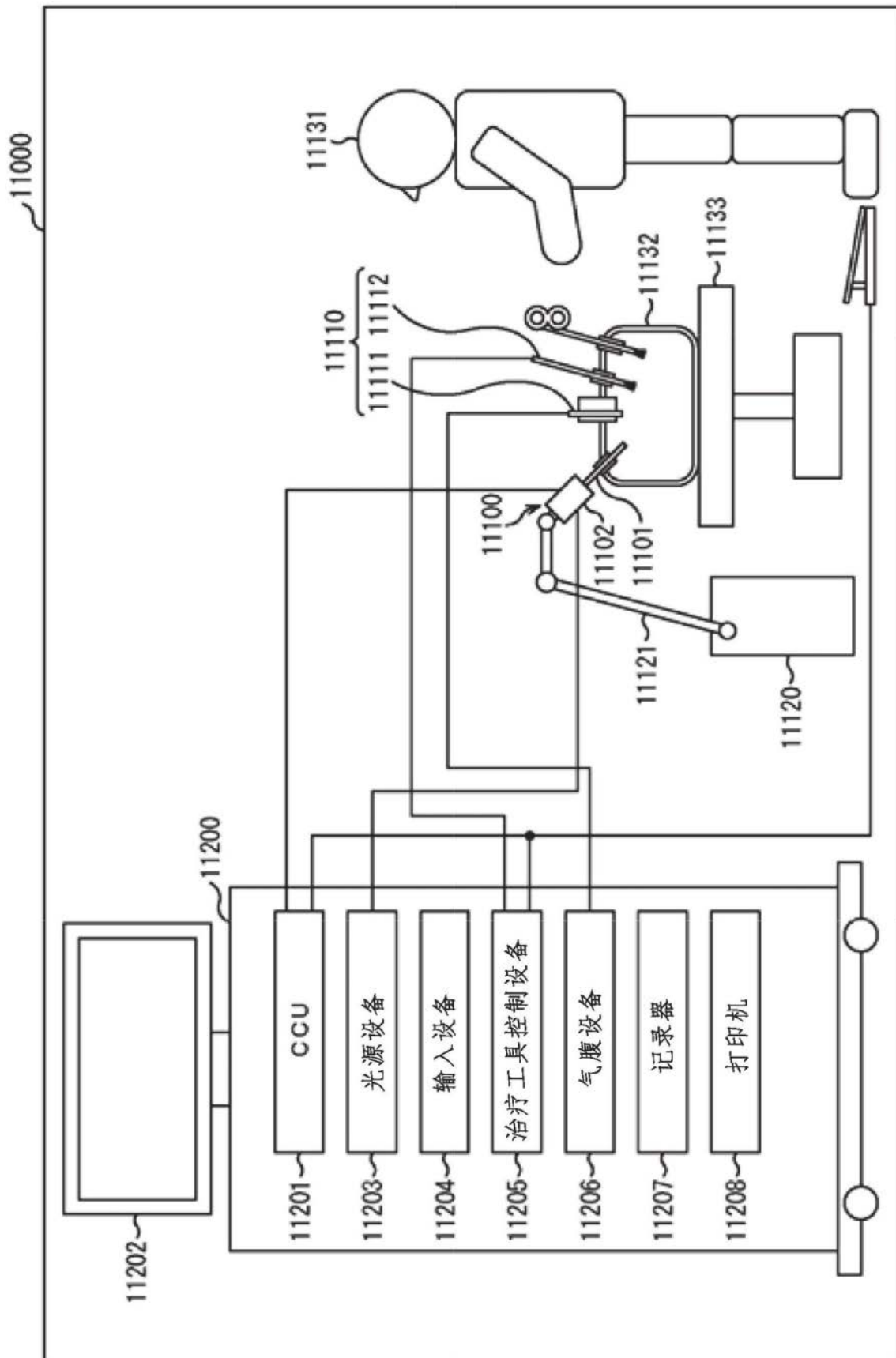


图65

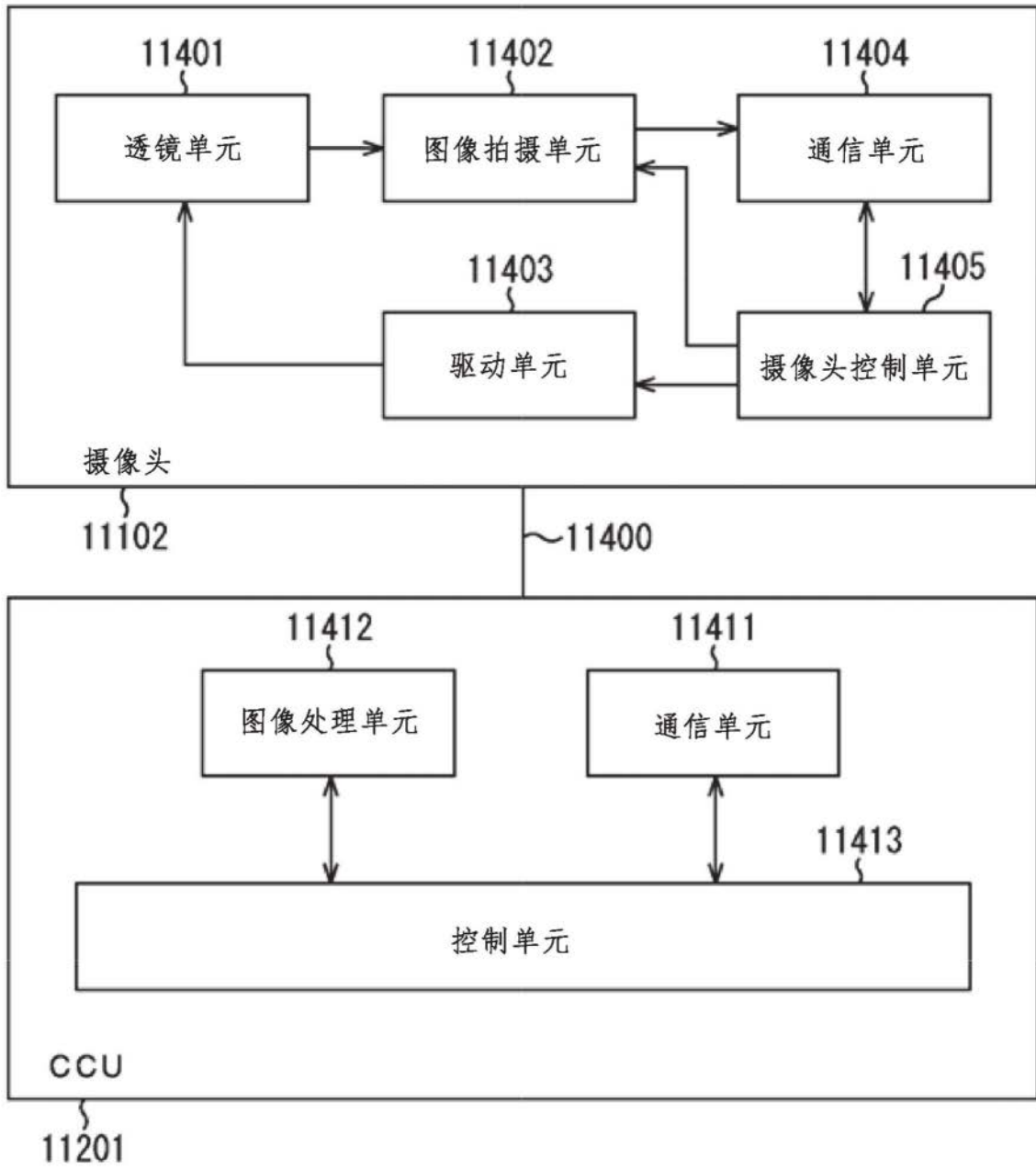


图66

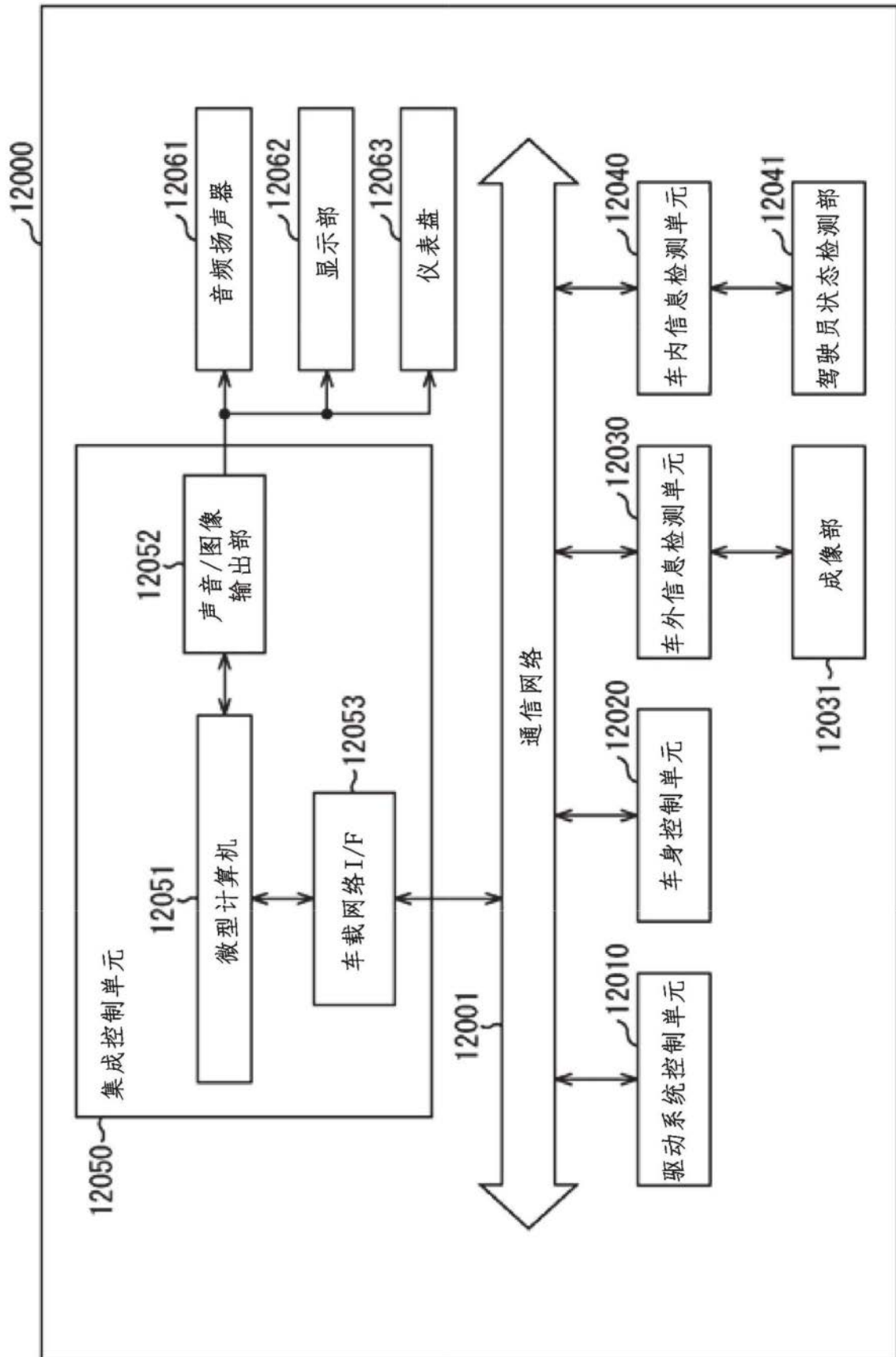


图67

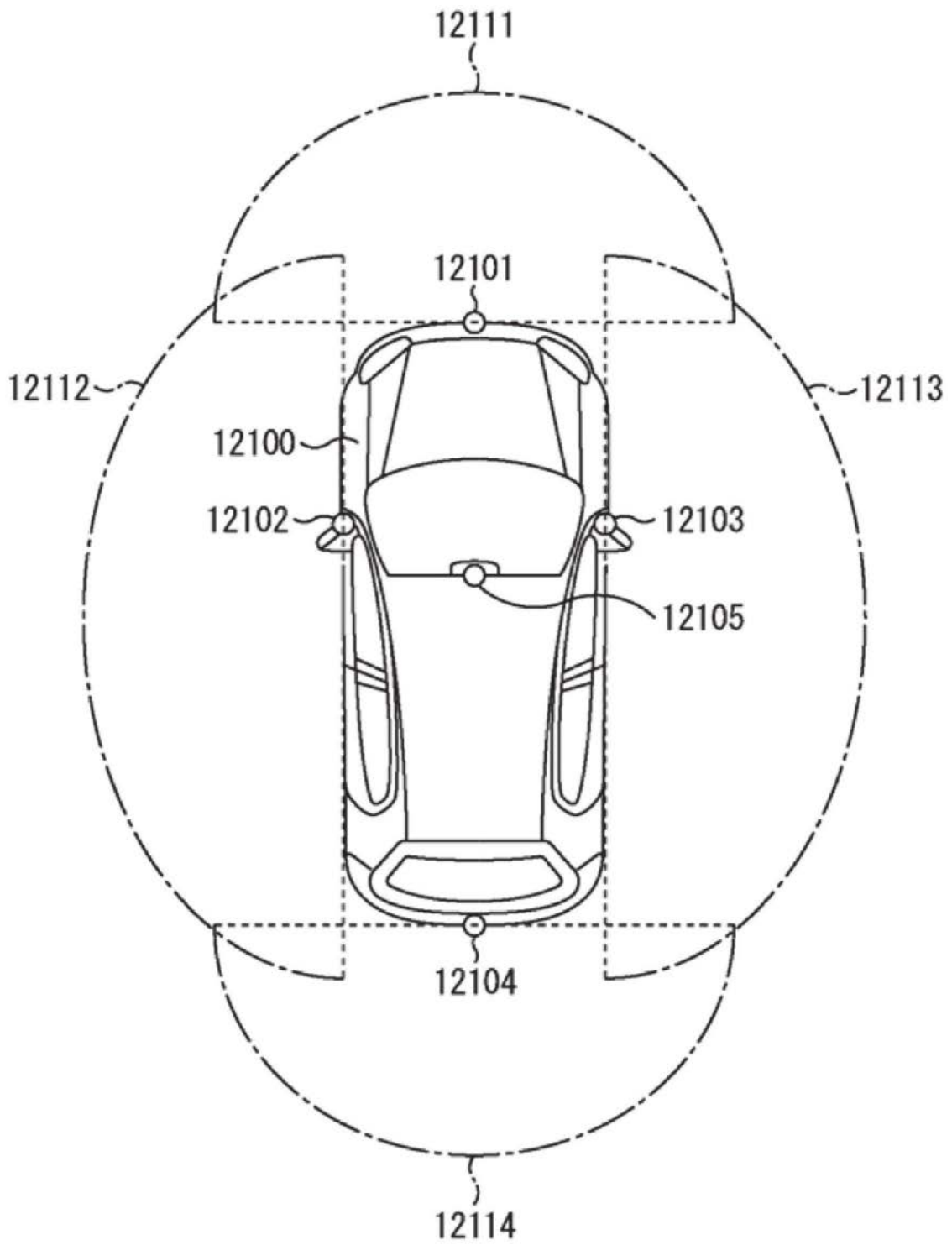


图68