

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-201210
(P2013-201210A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 A	4M118
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	5C024
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 690	5F049

審査請求 未請求 請求項の数 7 O L (全 27 頁)

(21) 出願番号 特願2012-67661 (P2012-67661)
(22) 出願日 平成24年3月23日 (2012. 3. 23)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100089118
弁理士 酒井 宏明
(74) 代理人 100112656
弁理士 宮田 英毅
(72) 発明者 鳥山 周一
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72) 発明者 国分 弘一
東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

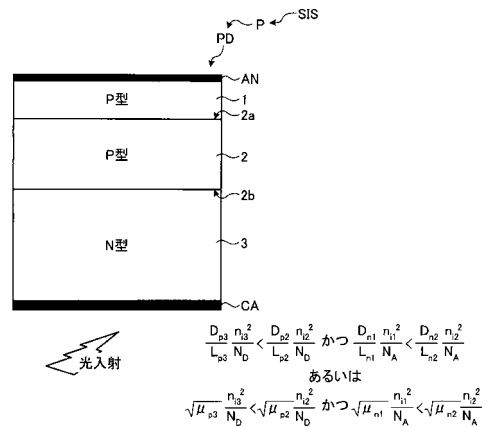
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 1つの実施形態は、例えば、光電変換部の光電変換効率を向上でき、暗電流を低減できる固体撮像装置を提供することを目的とする。

【解決手段】 1つの実施形態によれば、光電変換部を有する固体撮像装置が提供される。光電変換部は、第1の半導体層、第2の半導体層、及び第3の半導体層を有する。固体撮像装置では、 $D_{2m3} / L_{2m3} \times n_{i3}^2 / N_2 < D_{1m2} / L_{1m2} \times n_{i2}^2 / N_2$ かつ、 $D_{1m1} / L_{1m1} \times n_{i1}^2 / N_1 < D_{1m2} / L_{1m2} \times n_{i2}^2 / N_1$ が成り立つ。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

光電変換部を備え、
前記光電変換部は、
第 1 の導電型の第 1 の半導体層と、
前記第 1 の半導体層に隣接して配された前記第 1 の導電型の第 2 の半導体層と、
前記第 2 の半導体層に隣接して配された、前記第 1 の導電型と反対導電型である第 2 の導電型の第 3 の半導体層と、
を有し、

前記第 2 の半導体層の材料の可視光に対する吸収係数は、前記第 3 の半導体層の材料の可視光に対する吸収係数より高く、

前記第 1 の半導体層の少数キャリアの拡散係数を D_{1m1} とし、前記第 1 の半導体層の少数キャリアの拡散長を L_{1m1} とし、前記第 1 の半導体層の真性キャリア濃度を n_{i1} とし、前記第 1 の半導体層の不純物濃度を N_1 とし、前記第 2 の半導体層の少数キャリアの拡散係数を D_{1m2} とし、前記第 2 の半導体層の多数キャリアの拡散係数を D_{1M2} とし、前記第 2 の半導体層の少数キャリアの拡散長を L_{1m2} とし、前記第 2 の半導体層の多数キャリアの拡散長を L_{1M2} とし、前記第 2 の半導体層の真性キャリア濃度を n_{i2} とし、前記第 3 の半導体層の少数キャリアの拡散係数を D_{2m3} とし、前記第 3 の半導体層の少数キャリアの拡散長を L_{2m3} とし、前記第 3 の半導体層の真性キャリア濃度を n_{i3} とし、前記第 3 の半導体層の不純物濃度を N_2 とするとき、

$$D_{2m3} / L_{2m3} \times n_{i3}^2 / N_2 < D_{1M2} / L_{1M2} \times n_{i2}^2 / N_2$$

かつ、

$$D_{1m1} / L_{1m1} \times n_{i1}^2 / N_1 < D_{1m2} / L_{1m2} \times n_{i2}^2 / N_1$$

が成り立つ

ことを特徴とする固体撮像装置。

【請求項 2】

前記光電変換部は、前記第 2 の半導体層が前記第 3 の半導体層内に埋め込まれている場合、前記第 1 の導電型が N 型であり前記第 2 の導電型が P 型であり、前記第 2 の半導体層が前記第 3 の半導体層の上に設けられている場合、前記第 1 の導電型が P 型であり前記第 2 の導電型が N 型である

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記第 2 の半導体層の材料のバンドギャップは、前記第 1 の半導体層の材料のバンドギャップより小さく、かつ、前記第 3 の半導体層の材料のバンドギャップより小さいことを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 4】

前記第 1 の半導体層の材料のバンドギャップと前記第 3 の半導体層の材料のバンドギャップとは、均等である

ことを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】

前記第 1 の半導体層は、
前記第 2 の半導体層に隣接する第 1 の領域と、
前記第 1 の領域の反対側で前記第 2 の半導体層に隣接する第 2 の領域と、
を有し、

前記第 3 の半導体層は、前記第 2 の半導体層における前記第 1 の領域と前記第 2 の領域との間の部分で前記第 2 の半導体層に隣接している

ことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 6】

前記第 2 の半導体層は、第 1 の主面と、前記第 1 の主面の反対側の第 2 の主面とを有し、

、

10

20

30

40

50

前記第1の半導体層は、前記第1の主面に配され、
 前記第3の半導体層は、前記第2の主面に配され、
 前記第1の導電型の不純物の不純物プロファイルは、前記光電変換部において、前記第1の半導体層に近づくことに応じて増加し、前記第1の半導体層内で平坦になっていることを特徴とする請求項1から4のいずれか1項に記載の固体撮像装置。

【請求項7】

前記第1の半導体層の厚さを TH_1 とし、ボルツマン定数を k_B とし、電荷素量を q とし、前記固体撮像装置の動作温度を T とし、前記第1の半導体層における少数キャリアの移動度を μ_{1m1} とし、前記第1の半導体層における少数キャリアの運動量緩和時間を τ_{1m1} とすると、

10

$$TH_1 > \{ (k_B T / q) \mu_{1m1} \tau_{1m1} \}$$

を満たす

ことを特徴とする請求項1から6のいずれか1項に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置では、複数の光電変換部のそれぞれが入射した光に応じた電荷を発生させて蓄積し、蓄積された電荷を複数の光電変換部から読み出すことにより、画像信号を得る。このとき、画像信号により得られる画像の画質を向上させるためには、各光電変換部について、光電変換効率を向上させることと、暗電流を低減させることが望まれる。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-103667号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

1つの実施形態は、例えば、光電変換部の光電変換効率を向上でき、暗電流を低減できる固体撮像装置を提供することを目的とする。

30

【課題を解決するための手段】

【0005】

1つの実施形態によれば、光電変換部を有する固体撮像装置が提供される。光電変換部は、第1の半導体層、第2の半導体層、及び第3の半導体層を有する。第1の半導体層は、第1の導電型の半導体層である。第2の半導体層は、第1の半導体層に隣接して配されている。第2の半導体層は、第1の導電型の半導体層である。第3の半導体層は、第2の半導体層に隣接して配されている。第3の半導体層は、第2の導電型の半導体層である。第2の導電型は、第1の導電型と反対導電型である。第2の半導体層の材料の可視光に対する吸収係数は、第3の半導体層の材料の可視光に対する吸収係数より高い。固体撮像装置では、第1の半導体層の少数キャリアの拡散係数を D_{1m1} とし、第1の半導体層の少数キャリアの拡散長を L_{1m1} とし、第1の半導体層の真性キャリア濃度を n_{i1} とし、第1の半導体層の不純物濃度を N_1 とし、第2の半導体層の少数キャリアの拡散係数を D_{1m2} とし、第2の半導体層の多数キャリアの拡散係数を D_{1M2} とし、第2の半導体層の少数キャリアの拡散長を L_{1m2} とし、第2の半導体層の多数キャリアの拡散長を L_{1M2} とし、第2の半導体層の真性キャリア濃度を n_{i2} とし、第3の半導体層の少数キャリアの拡散係数を D_{2m3} とし、第3の半導体層の少数キャリアの拡散長を L_{2m3} とし、第3の半導体層の真性キャリア濃度を n_{i3} とし、第3の半導体層の不純物濃度を N_2 とすると、 $D_{2m3} / L_{2m3} \times n_{i3}^2 / N_2 < D_{1M2} / L_{1M2} \times n_{i2}^2 / N_1$

40

50

2 かつ、 $D_{1m1} / L_{1m1} \times n_{i1}^2 / N_1 < D_{1m2} / L_{1m2} \times n_{i2}^2 / N_1$ が成り立つ。

【図面の簡単な説明】

【0006】

【図1】実施形態における光電変換部の構成を示す図。

【図2】実施形態及び比較例における光電変換部の構成を示す図。

【図3】実施形態及び比較例における光電変換部の構成を示す図。

【図4】実施形態及び比較例における光電変換部の動作を示す図。

【図5】実施形態及び比較例における光電変換部の動作を示す図。

【図6】実施形態及び比較例における光電変換部の動作を示す図。

10

【図7-1】実施形態及び比較例における光電変換部の動作を示す図。

【図7-2】実施形態及び比較例における光電変換部の動作を示す図。

【図8】実施形態及び比較例における光電変換部の動作を示す図。

【図9】実施形態及び比較例における光電変換部の動作を示す図。

【図10】実施形態及び比較例における光電変換部の動作を示す図。

【図11】実施形態及び比較例における光電変換部の動作を示す図。

【図12】実施形態における光電変換部内の不純物プロファイルを示す図。

【図13】実施形態の変形例における光電変換部の構成を示す図。

【図14】実施形態の他の変形例における光電変換部の構成を示す図。

【図15】実施形態の他の変形例における光電変換部の構成を示す図。

20

【図16】実施形態の他の変形例における光電変換部の構成を示す図。

【図17】実施形態の他の変形例における光電変換部の構成を示す図。

【図18】実施形態の他の変形例における光電変換部の構成を示す図。

【図19】実施形態における光電変換部を適用した固体撮像装置の構成を示す図。

【図20】実施形態における光電変換部を適用した固体撮像装置の他の構成を示す図。

【図21】実施形態における光電変換部を適用した固体撮像装置の他の構成を示す図。

【図22】実施形態における光電変換部を適用した固体撮像装置の他の構成を示す図。

【図23】実施形態における光電変換部を適用した固体撮像装置の他の構成を示す図。

【図24】混色について説明するための図。

【図25】光の波長と吸収係数・侵入長との関係を示す図。

30

【図26】比較例を示す図。

【図27】暗電流について説明するための図。

【図28】固体撮像装置の基本構成について説明するための図。

【図29】実施形態における光電変換部内のバンド構造を示す図。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態にかかる固体撮像装置を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(実施形態)

40

実施形態にかかる固体撮像装置SISについて説明する。

【0009】

固体撮像装置SISは、例えばCMOSイメージセンサ又はCCDイメージセンサであり、固体撮像装置SISでは、複数の画素が1次的に又は2次的に配列されている。複数の画素のそれぞれは、光電変換部を有する。すなわち、固体撮像装置SISでは、複数の光電変換部のそれぞれが光電変換を行い、入射した光に応じた電荷を発生させて蓄積し、蓄積された電荷を複数の光電変換部から読み出すことにより、画像信号を得る。このとき、画像信号により得られる画像の画質を向上させるためには、各光電変換部について、光電変換効率を向上させることと、暗電流を低減させることとが望まれる。

【0010】

50

なお、固体撮像装置SISの基本構成として、例えば、2004年ごろまでは、図28(a)に示すような、CCDイメージセンサが主流であり、例えば、2004年以降2009年ごろまでは、図28(b)に示すような、半導体基板の表面側から光を入射させる表面照射型(FSI)CMOSイメージセンサが主流である。現在は、画素微細化が進んで1画素当たりの入射光子数が減少している実情に即して、図28(c)に示すような、配線に邪魔されず入射光を受光できるように、半導体基板の裏面側から光を入射させる裏面照射型(BSI)CMOSイメージセンサが注目されつつある。固体撮像装置の基本構成が図28(a)~図28(c)のいずれであっても、(CMOSイメージセンサとCCDイメージセンサとで電荷を転送するための構成に違いがあるとしても、)各光電変換部の構成は同様であり、各光電変換部に要求される性能も同様であり、各光電変換部について、光電変換効率を向上させることと、暗電流を低減させることが望まれる。以下では、固体撮像装置の基本構成が裏面照射型(BSI)CMOSイメージセンサ(図28(c)参照)である場合について例示的に説明することもあるが、本実施形態の考え方は、固体撮像装置の基本構成が他の場合であっても同様に適用できる。

【0011】

固体撮像装置における各光電変換部として、例えば、P型の半導体層とN型の半導体層とを接合し、PN接合界面近傍で光電変換を行うように構成したフォトダイオードが挙げられる。フォトダイオードは、SiでのPN接合ダイオードが主流である。

【0012】

近年では、固体撮像装置SISの高解像度化への要求を満たすために、画素の微細化が進められつつあり、それに伴い、画素を構成するフォトダイオードの間隔も狭くなる傾向にある。画素の微細化が進むとともに、斜め入射光に対する隣接画素間の混色によるノイズ劣化は深刻な問題になりつつある。例えば図24(b)に示すように、画素P801の隣接画素P802に入射した斜め入射光L801は、隣接画素P802のフォトダイオード811の半導体領域811bを通過して画素P801のフォトダイオード811の半導体領域811bまで到達するので、斜め入射光による画素P801、P802間の混色が発生しやすい。すなわち、斜め入射光に対する隣接画素間の混色を抑えることが困難である。

【0013】

それに対して、幾何学的な考察から、この混色を抑えるためには、フォトダイオードを薄くすればよいと考えられる。例えば図24(a)に示すように、フォトダイオード911における半導体領域911bの厚さD911をフォトダイオード811における半導体領域811bの厚さD811より薄くすると、画素P1の隣接画素P2に入射した斜め入射光L1は、隣接画素P2のフォトダイオード911の半導体領域911bを通過しても画素P1のフォトダイオード911の半導体領域911bまで到達しにくいので、斜め入射光による画素P1、P2間の混色が発生しにくい。すなわち、斜め入射光に対する隣接画素間の混色を抑えることができる。

【0014】

フォトダイオードを薄く作るということは、光電変換をつかさどる半導体の体積が小さくなることを意味するから、光電変換特性の悪化につながる可能性がある。全部Siで作られたフォトダイオードでは赤色側の光吸収の進入長を考慮すると、3~4 μ mほどの厚みが必要となる。すなわち、全部Siで作られたフォトダイオードを闇雲に薄くすることは、混色の問題を解決するものの、光電変換特性の悪化につながる。

【0015】

ところが、図25(c)の表に示すように、バンドの遷移構造が同一(間接遷移か直接遷移か)の下では、バンドギャップEgが小さい材料ほど光吸収係数が高い傾向にある。これを利用すれば、光電変換特性を保った上でフォトダイオードを薄くすることが可能であると推測される。すなわち光吸収係数が高いということは、単位膜厚あたりの光電変換効率が高いことを意味するので、光電変換効率を従来と同様に維持しながらフォトダイオードを薄くすることが可能であると推測される(図25(a)、(b)参照)。例えば、

図26(b)に示すように、フォトダイオードPD900において、アノード電極ANとカソード電極CAとの間でP型の半導体層902とN型の半導体層903とを接合させる際に、半導体層902の材料(例えば、 $Si_{1-x}Ge_x$ 、 $0 < x < 1$)の光吸収係数を半導体層903の材料(例えば、Si)の光吸収係数より高くすれば、フォトダイオードPD800を全てSiで形成する場合(図26(a)に示すP型の半導体層802とN型の半導体層803とをいずれもSiで形成する場合)よりも、同等の光電変換特性が得られるようなフォトダイオードの厚みを薄くできる。

【0016】

しかしながら、図26(b)に示すフォトダイオードPD900は、あくまで「フォトダイオード厚を薄くして解決する混色」と「フォトダイオード厚を薄くして悪化する光電変換効率(あるいは可視光吸収効率)」とのトレードオフを適切化するための形態である。図26(b)に示すフォトダイオードPD900においては、Siよりも光吸収係数が高い $Si_{1-x}Ge_x$ ($0 < x < 1$)を導入した場合に発生し得る「暗電流の増加」に関して考慮されていない。なお、以下の説明においては、フォトダイオードの特性をモデル的に考察するためにフォトダイオードにおけるアノード側の半導体層にアノード電極ANがさらに接続され、カソード電極側の半導体層にカソード電極CAがさらに接続された形態(例えば、図26(a)、(b)に示すような形態)を扱うが、アノード電極AN及びカソード電極CAは、実装上必ずしも必要なわけではない。

10

【0017】

ここで暗電流について説明する。暗電流とは、下記の数式1に示されるように、フォトダイオードにおけるPN接合部に流れ込む少数キャリアの拡散(ドリフト)項(=右辺第一項)とPN接合部のトラップに起因する生成電流項(=右辺第二項)の和で示される、フォトダイオードのリバースバイアス側電流のことである。

20

$$\begin{aligned} J_{rev} &= J_{diff} + J_{GR} \\ &= q(D_p/L_p) \times n_i^2 / N_{Dope} + q n_i W / \tau_g \\ &= (\text{少数キャリア拡散項}) + (\text{トラップ起因生成電流項}) \cdots \text{数式1} \end{aligned}$$

【0018】

数式1において、qは電荷素量、 D_p 、 L_p は少数キャリアの拡散係数と拡散寿命、 n_i は真性キャリア濃度、 N_{Dope} は少数キャリアの供給源となる領域の不純物濃度、WはPN接合の空乏層幅、 τ_g はトラップを介して生成される生成電流の生成時間(あるいはトラップに捕獲されたキャリアの寿命)を意味する。なお、数式1では「フォトダイオードが全て同一の材料で作られていること」、かつ、「アノード電極AN側のアクセプタ濃度 $N_A \gg$ カソード電極CA側のドナー濃度 N_D の大小関係が成立していること」が想定されていることに注意したい。

30

【0019】

さて、拡散の緩和時間と運動量緩和時間を同一とみなすと、拡散係数Dと拡散長L、拡散寿命 τ 、少数キャリアの有効質量 m^* の間に

$$D = \mu k_B T / q = q / m^* \times k_B T / q, \quad L = (D \tau) \cdots \text{数式2}$$

が成立することに注意すれば、数式1の第一項の少数キャリアの拡散に関する項は、

$$\begin{aligned} J_{diff} &= q \times D_p / L_p \times n_i^2 / N_D + q \times D_n / L_n \times n_i^2 / N_A \\ &= q \left\{ \left(k_B T / m_p^* \right) \times n_i^2 / N_D \right. \\ &\quad \left. + \left(k_B T / m_n^* \right) \times n_i^2 / N_A \right\} \cdots \text{数式3} \end{aligned}$$

40

のように整理される。ここで k_B はボルツマン定数、Tは動作温度を意味する。また、下付きの添え字n, pはそれぞれ電子、ホールを意味する。

【0020】

また、真性キャリア濃度 n_i は、バンドギャップ E_g と次の数式4に示す関係を持つことにも注意する。

$$n_i = \exp(-E_g / (2 k_B T)) \cdots \text{数式4}$$

つまり、図26(b)に示すフォトダイオードPD900における例えばP型の半導体層902の材料、すなわちSiよりも光吸収効率が高い材料として、Siよりもバンドギャ

50

ップ E_g が小さい材料（例えば、 $Si_{1-x}Ge_x$ 、 $0 < x < 1$ ）を導入すると、P型の半導体層 902 において、キャリアの有効質量が小さくなることと、真性キャリア濃度 n_i が増加することで、数式 3 に示される少数キャリアの拡散に応じた暗電流成分 J_{diff} が大きな値になり、すべて Si で作られたフォトダイオード PD800（図 26（a）参照）よりも暗電流が増加する傾向にある。

【0021】

本発明者は、このことを確認するために、不純物濃度 N_{dope} がほぼ同じ状況の下で（アクセプタ濃度 N_A がほぼ共通の下で）、P型の半導体層 902 を Ge 分率 20～30%（すなわち、 $x = 0.2 \sim 0.3$ ）程度の $Si_{1-x}Ge_x$ として図 26（b）に示すようなフォトダイオード PD900 を試作するとともに、その比較対象として図 26（a）に示すようなフォトダイオード PD800 を試作して、フォトダイオードの室温における I-V 特性の評価を行った。その結果、図 27 に示すように、全て Si で形成したフォトダイオード PD800（「all Si PD 実測」）に比べて、P型の半導体層 902 を Si よりもバンドギャップ E_g が小さい材料にしたフォトダイオード PD900（「SiGe/Si PD 実測」）において、暗電流が 3 桁程度（1000 倍程度）増大した。

10

【0022】

これに関して考察する。上記した「アノード電極 AN 側のアクセプタ濃度 $N_A \gg$ カソード電極 CA 側のドナー濃度 N_D の大小関係が成立していること」という想定を当てはめ、数式 3 のアノード電極 AN 側の半導体層の少数キャリアに相当する項を変形すると、

$$\frac{(k_B T / m^* \mu_p) \times n_i^2 / N_A}{(\mu_n) / N_A \times \exp(-E_g / (k_B T))} = \frac{(\mu_n) n_i^2 / N_A}{\dots} \text{数式 5}$$

である。数式 5 に、Si の bulk 真性電子移動度 μ_{nSi} には $1450 \text{ cm}^2 / \text{V sec}$ を、SiGe の真性電子移動度には、Ge の bulk 真性電子移動度を $3900 \text{ cm}^2 / \text{V sec}$ として Ge 分率に対して移動度の線形関係を仮定した $\mu_{nSiGe} = 1450 * 0.7 + 3900 * 0.3 = 2185 \text{ cm}^2 / \text{V sec}$ を代入する。そして、同様に線形関係を仮定して、Si のバンドギャップ $E_{gSi} = 1.12 \text{ eV}$ に対して、SiGe のバンドギャップ $E_{gSiGe} = 1.12 * 0.7 + 0.69 * 0.3 = 0.99 \text{ eV}$ を数式 5 に代入する。Si と SiGe の移動度比が不純物濃度 N_{dope} によらないという粗い見積りでは、少数キャリア拡散に関する積の数式 3 の比は、数式 5 の比に還元され、

20

30

$$\frac{(\mu_{nSiGe}) \times \exp(-E_{gSiGe} / (k_B T))}{(\mu_{nSi}) \times \exp(-E_{gSi} / (k_B T))} = 180 = (2 \text{ 桁}) \dots \text{数式 6}$$

となるので、数式見積り上は、暗電流比は二桁程度増大してしまうと予想される。一方、図 27 を見ると、SiGe を導入することで 3 桁程度（1000 倍程度）増大してしまうことが認められる。すなわち、SiGe を導入することで、実験的にも理論的にも暗電流は増大することが確認された。

【0023】

増大比が数式 5 及び数式 6 の理論と定量的に異なる理由は、Si 基板との格子不整合等の理由でトラップサイトがヘテロ界面に存在し、数式 1 中のトラップ起因の生成電流項が増えていることなどが想定しうる。

40

【0024】

さて、上記では Si よりも光吸収効率が高い材料として、Si よりもバンドギャップ E_g が小さい $Si_{1-x}Ge_x$ ($0 < x < 1$) の導入を例に説明している。しかしながら、図 25（a）～（c）に示されるように、例えば $In_xGa_{1-x}As$ や InP など、Si よりもバンドギャップ E_g が大きい高光吸収材料もありうる。その場合でも肝要なのは、単にバンドギャップ E_g の大小の議論ではなく、数式 3 に規定された電流輸送に関連した、少数キャリアの不純物濃度 N_{dope} 、拡散係数 D 、拡散長 L 、及び真性キャリア濃度 n_i による関係式

$$D / L \times n_i^2 / N_{dope} \dots \text{数式 7}$$

の大小関係である。数式 7 の関係式が、例えば全て Si で作成した場合よりも大きいと、

50

やはり全てSiで作成したよりも暗電流が増加してしまうことに注意したい。

【0025】

このような暗電流の増加は、光信号がない暗時であるにもかかわらず光信号が入った「ON」であると解釈されて信号増幅がされる、いわゆる「暗時ノイズ」の増加につながる。すなわち、「混色」と「光電変換効率」のトレードオフは、図26(b)に示すような $Si_{1-x}Ge_x$ ($0 < x < 1$)の導入で解決できるものの、それらと「暗電流」トレードオフの解決に関しては、図26(b)に示す形態では必ずしも解決できない傾向にある。

【0026】

そこで、本実施形態では、図1に示すように、半導体層3とより光吸収係数の高い半導体層2とでPN接合を形成した構成(例えば、図26(b)参照)をベースとして、数式7の関係式が半導体層2より小さい半導体層1をさらに追加することで、暗電流の低減を図る。

【0027】

具体的には、本実施形態にかかる固体撮像装置SISは、複数の画素Pを備える。各画素Pは、光電変換部PDを有する。光電変換部PDは、例えばPN接合界面を有し、受け取った光をPN接合界面近傍で光電変換し、光に応じた電荷を発生させて蓄積する。

【0028】

各画素Pの光電変換部PDは、図1に示すように、第1の半導体層1、第2の半導体層2、及び第3の半導体層3を有する。なお、図1には半導体基板を示していないが、光電変換部PDでは、例えば、第1の半導体層1側が半導体基板の表面側であり、第3の半導体層3側が半導体基板の裏面側である。

【0029】

第1の半導体層1は、第2の半導体層2に隣接して配されている。第1の半導体層1は、例えば、第2の半導体層2の主面2aに配されている。第1の半導体層1は、例えば、第1の導電型(例えば、P型)の不純物を含む半導体(例えば、Si)で形成されている。P型の不純物は、例えば、ボロンである。第1の半導体層1の材料(例えば、Si)のバンドギャップは、例えば、第3の半導体層3の材料(例えば、Si)のバンドギャップと均等である。

【0030】

第2の半導体層2は、第1の半導体層1に隣接して配されている。第2の半導体層2は、例えば、主面2a及び主面2bを有する。主面2bは、主面2aの反対側の主面である。第2の半導体層2は、例えば、第1の導電型(例えば、P型)の不純物を含む半導体(例えば、 $Si_{1-x}Ge_x$ 、 $0 < x < 1$)で形成されている。P型の不純物は、例えば、ボロンである。また、第2の半導体層2の材料(例えば、 $Si_{1-x}Ge_x$ 、 $0 < x < 1$)の可視光に対する吸収係数は、第3の半導体層3の材料(例えば、Si)の可視光に対する吸収係数より高い(図25(a)~(c)参照)。第2の半導体層2の材料(例えば、 $Si_{1-x}Ge_x$ 、 $0 < x < 1$)のバンドギャップは、例えば、第1の半導体層1の材料(例えば、Si)のバンドギャップより小さく、かつ、第3の半導体層3の材料(例えば、Si)のバンドギャップより小さい。

【0031】

なお、第2の半導体層2の材料の可視光に対する吸収係数が第3の半導体層3の材料の可視光に対する吸収係数より高ければ、第2の半導体層2の材料は、そのバンドギャップが第3の半導体層3の材料(例えば、Si)のバンドギャップより大きいもの(例えば、 $In_xGa_{1-x}As$ や InP など)であってもよい(図25(a)~(c)参照)。

【0032】

第3の半導体層3は、第2の半導体層2に隣接して配されている。例えば、第3の半導体層3は、第1の半導体層1と反対側で第2の半導体層2に隣接して配されている。例えば、第3の半導体層3は、第2の半導体層2の主面2bに配されている。第3の半導体層3は、例えば、第2の導電型(例えば、N型)の不純物を含む半導体(例えば、Si)で

10

20

30

40

50

形成されている。N型の不純物は、例えば、リン又は砒素である。第3の半導体層3の材料(例えば、Si)のバンドギャップは、例えば、第1の半導体層1の材料(例えば、Si)のバンドギャップと均等である。

【0033】

第2の導電型は、第1の導電型と反対導電型である。すなわち、光電変換部PDでは、第2の半導体層2と第3の半導体層3との界面がPN接合界面として機能する。

この固体撮像装置SISでは、

$$D_{2m3} / L_{2m3} \times n_{i3}^2 / N_2 < D_{1M2} / L_{1M2} \times n_{i2}^2 / N_2 \dots$$

・数式8

かつ、

$$D_{1m1} / L_{1m1} \times n_{i1}^2 / N_1 < D_{1M2} / L_{1M2} \times n_{i2}^2 / N_1 \dots$$

・数式9

が成り立つ。

【0034】

数式8、9において、第1の半導体層1の少数キャリアの拡散係数を D_{1m1} とし、第1の半導体層1の少数キャリアの拡散長を L_{1m1} とし、第1の半導体層1の真性キャリア濃度を n_{i1} とし、第1の半導体層1の不純物濃度を N_1 としている。また、第2の半導体層2の少数キャリアの拡散係数を D_{1M2} とし、第2の半導体層2の多数キャリアの拡散係数を D_{1M2} とし、第2の半導体層2の少数キャリアの拡散長を L_{1M2} とし、第2の半導体層2の多数キャリアの拡散長を L_{1M2} とし、第2の半導体層2の真性キャリア濃度を n_{i2} としている。また、第3の半導体層3の少数キャリアの拡散係数を D_{2m3} とし、第3の半導体層3の少数キャリアの拡散長を L_{2m3} とし、第3の半導体層3の真性キャリア濃度を n_{i3} とし、第3の半導体層3の不純物濃度を N_2 としている。なお、添え字として、第1の導電型の少数キャリアを「1m」で表し、第1の導電型の多数キャリアを「1M」で表し、第2の導電型の少数キャリアを「2m」で表している。

【0035】

あるいは、第1の半導体層1の少数キャリアの移動度を μ_{1m1} とし、第2の半導体層2の少数キャリアの移動度を μ_{1m2} とし、第2の半導体層2の多数キャリアの移動度を μ_{1M2} とし、第3の半導体層3の少数キャリアの移動度を μ_{2m3} とすると、数式2、3で述べた関係から、これらを用いて数式8、9を書き直すことができ、数式10、11のようになる。すなわち、固体撮像装置SISでは、

$$(\mu_{2m3}) \times n_{i3}^2 / N_2 < (\mu_{1M2}) \times n_{i2}^2 / N_2 \dots$$

・数式10

かつ、

$$(\mu_{1m1}) \times n_{i1}^2 / N_1 < (\mu_{1M2}) \times n_{i2}^2 / N_1 \dots$$

・数式11

が成り立つ。

【0036】

言い換えると、固体撮像装置SISでは、各光電変換部PDにおいて、第2の半導体層2の材料・構造を、第1の半導体層1の材料・構造や第3の半導体層3の材料・構造との関係で、数式8かつ数式9を満たすように、あるいは、数式10かつ数式11を満たすように、構成する。これにより、例えば、第1の半導体層1を、第2の半導体層2に対して暗電流を抑制するためのバリア(少数キャリア拡散流入を防ぐ障壁)として機能させることができる。なお、以下では、第1の半導体層1を第2の半導体層2に対するバリア(少数キャリア拡散流入を防ぐ障壁)として機能する層という意味でバリア層と呼ぶことがある。

【0037】

より具体的には、固体撮像装置SISは、例えば裏面照射型(BSI)CMOSイメージセンサ(図28(c)参照)であり、例えば第3の半導体層3側が光入射側であり、例えば光入射側にある第3の半導体層3がN型の半導体層であり、第2の半導体層2及び第

10

20

30

40

50

1の半導体層1がそれぞれP型の半導体層である。すなわち、第1の導電型がP型であり第2の導電型がN型である。この場合、第1の導電型の少数キャリア「1m」が電子になるので、「1m」を電子を表す「n」で置き換え、第1の導電型の多数キャリア「1M」がホールになるので、「1M」をホールを表す「p」で置き換え、第2の導電型の少数キャリア「2m」がホールになるので、「2m」をホールを表す「p」で置き換え、第1の導電型の不純物濃度 N_1 がアクセプタ濃度になるので、「 N_1 」をアクセプタ濃度を表す「 N_A 」で置き換え、第2の導電型の不純物濃度 N_2 がドナー濃度になるので、「 N_s 」をドナー濃度を表す「 N_D 」で置き換えると、数式8、9は、下記の数式12、13のようになる。すなわち、固体撮像装置SISでは、

$$D_{p3} / L_{p3} \times n_{i3}^2 / N_D < D_{p2} / L_{p2} \times n_{i2}^2 / N_D \dots \text{数式 1} \quad 10$$

かつ、

$$D_{n1} / L_{n1} \times n_{i1}^2 / N_A < D_{n2} / L_{n2} \times n_{i2}^2 / N_A \dots \text{数式 1} \quad 3$$

が成り立つ。

【0038】

あるいは、上記のように置き換えると、数式10、11は、下記の数式12、13のようになる。固体撮像装置SISでは、

$$(\mu_{p3}) \times n_{i3}^2 / N_D < (\mu_{p2}) \times n_{i2}^2 / N_D \dots \text{数式 14} \quad 20$$

かつ、

$$(\mu_{n1}) \times n_{i1}^2 / N_A < (\mu_{n2}) \times n_{i2}^2 / N_A \dots \text{数式 15}$$

が成り立つ。

【0039】

言い換えると、固体撮像装置SISでは、各光電変換部PDにおいて、第2の半導体層2の材料・構造を、第1の半導体層1の材料・構造や第3の半導体層3の材料・構造との関係で、数式12かつ数式13を満たすように、あるいは、数式14かつ数式15を満たすように、構成する。

【0040】

なお、以下の説明においては、光電変換部PD（例えば、フォトダイオード）の特性をモデル的に考察するために光電変換部PDにおけるアノード側の半導体層にアノード電極ANがさらに接続され、カソード電極側の半導体層にカソード電極CAがさらに接続された形態（例えば、図1に示すような形態）を扱うが、アノード電極AN及びカソード電極CAは、実装上必ずしも必要なわけではない。

【0041】

本発明者は、実施形態における光電変換部PDの構成による効果を検証するために、コンピュータシミュレーションを行ったので、以下にそのシミュレーション結果について説明する。

まず、ダングリングボンド等によるキャリアのトラップがない場合（=数式1の少数キャリア拡散項のみに着目する場合）についてシミュレーションを行った。

【0042】

具体的には、光電変換部PD（例えば、フォトダイオード）の構造として図2（a）～（e）に示す5種類の構造A～Eをシミュレーション上用意して、各々の、 $T = 333\text{K}$ における光電変換部PD（例えば、フォトダイオード）のI-V特性を計算し、暗電流を評価した。

【0043】

5種類の構造A～Eのうち、構造C～構造Eが本実施形態に対応したものであり、構造A及び構造Bは比較例である。

【0044】

図2（a）に示す構造Aは、図26（b）に示すフォトダイオードPD900に対応したものであり、SiGe層902aに直接アノード電極ANをつけたものである。ただし

、SiGe層902aの組成は、SiGe層902aの表面近傍の部分をGe組成率30%、SiGe層902aとSi層903aとの界面近傍の部分をGe組成率20%とし、その間は線形に変化するものとしている。SiGe層902aの厚さを400nmとし、Si層903aの厚さを1.5 μ mとした。

【0045】

図2(b)に示す構造Bは、図26(a)に示すフォトダイオードPD800に対応したものであり、全てSiで作成したもの(今は暗電流のみに着目したシミュレーションであるため、Siの厚みは3 μ m以上確保せずに2 μ mとしたもの)である。構造Bは、厚さ2 μ mのSi層において、アノード電極側ANにP型Si層802bを有し、カソード電極CA側にN型Si層803bを有するものとした。

10

【0046】

図2(c)に示す構造Cは、構造Aに対してアノード電極ANとSiGe層902a(SiGe層2c)との間にバリア層1cを追加したものに相当する構成である。バリア層1cとして、bulk Siの移動度と同等な単結晶Si(c-Si)を用いることを仮定したものである。バリア層1cの厚さを100~300nmとし、SiGe層902aの厚さを400nmとし、Si層903aの厚さを1.5 μ mとした。以下において、構造Cのことを、実施例2の構造と呼ぶこともある。

【0047】

図2(d)に示す構造Dは、構造Aに対してアノード電極ANとSiGe層902a(SiGe層2d)との間にバリア層1dを追加したものに相当する構成である。バリア層1dとして、bulk Siよりも移動度が1/100小さいアモルファスSi(a-Si)を用いることを仮定したものである。バリア層1dの厚さを100~300nmとし、SiGe層902aの厚さを400nmとし、Si層3dの厚さを1.5 μ mとした。以下において、構造Dのことを、実施例1の構造と呼ぶこともある。

20

【0048】

図2(e)に示す構造Eは、構造Aに対してアノード電極ANとSiGe層902a(SiGe層2e)との間にバリア層1eを追加したものに相当する構成である。単にバンドギャップEgの大小ではなく、数式7の関係式の大小関係が重要であることを明示するために、バリア層1eとして、bulk Siと移動度が仮想的に同等であるアモルファスSi(a-Si)を用いることを仮定したものである。

30

【0049】

数式1に示されるように、不純物濃度 $N_{d,p,e}$ も暗電流の制御パラメータであるので、これらの構造A~構造Eに対しては、図3に示すようにバリア層の厚みやドナーやアクセプタと言った不純物分布も振ってシミュレーションを行った。

【0050】

加えて、検討に用いたシミュレータは、図4のように実測と定量的にも良好に一致することを確かめた、いわゆるキャリブレーション済みのシミュレータであることを強調する。

【0051】

図5は、図2に示す構造A~構造Eと図3に示す不純物分布との条件を組み合わせ、I-V特性をシミュレーションした結果である。ここで、図5に示された種類の異なる線(実線や破線)は、上述のような図2の構造と図3の不純物分布を組み合わせ振った各条件の線に相当する(後述の図7-1、図7-2や図8の線も同義である)。なお、この検討においてはまだトラップ起因の生成電流に由来する暗電流はシミュレーションで考慮していない。トラップを考慮した検討は後述する。

40

【0052】

図5から、光電変換部PDのリバース側電流である暗電流を、アノード電極ANの電圧 $V_a = -1.0V$ のときのアノード電流であると定義し、まとめたのが図6である。図6の横軸は、図3で示したドナー分布条件が対応する。図6を見ると、構造A(構造AA~構造AC)の暗電流がバリア厚み(A, B, C)やドナー不純物分布条件(1-27)に

50

よらず、他の構造 B ~ 構造 E に比して 2 - 3 桁程度暗電流が多いことが分かる。一方で、構造 C (構造 C A ~ 構造 C C = 実施例 2)、構造 D (構造 D A ~ 構造 D C = 実施例 1) は、全て S_i で作った場合の構造 B (構造 B A ~ 構造 B C) と同等まで、暗電流を抑制できることが分かる。

【0053】

特筆すべきは構造 D と構造 E の比較であり、この 2 つの構造は、図 2 (d)、(e) 及び図 7 - 1 (d)、(e) に示すように、バリア層のバンドギャップ E_g や不純物分布状況は同様であるが、バリア層の少数キャリアである電子移動度が異なる。図 6 によれば、構造 E の暗電流値は構造 D の暗電流と比べると、一桁程度増えていることがわかる。単にバリア層のバンドギャップ E_g と、 S_i よりも可視光吸収係数が大きい層のバンドギャップ E_g との間の、バンドギャップ E_g の大小のみが問題であるというのであれば、構造 D の暗電流と構造 E の暗電流との分析結果は同じになるはずである。すなわち、得られた構造 D の暗電流と構造 E の暗電流との分析結果は、単にバンドギャップ E_g の大小ではなく、数式 7 の関係式 (すなわち、少数キャリアの項 D/L と n_i^2/N_{dop} との積) の大小関係が、少数キャリア拡散による暗電流を決めていることを、如実に強調していると言える。

10

【0054】

さて、上記の実施例 1、2 が数式 12、13 そしてそれを変形した数式 14、15 の関係を満たしているか確かめてみる。まずは、図 7 - 1 (a) ~ (e) に電子移動度 μ_n の分布、図 7 - 2 (a) ~ (e) にホール移動度 μ_p の分布、そして図 8 (a) ~ (e) に (pn) の分布図をそれぞれ示した上で、それらと図 3 の不純物分布条件から計算できる、電極近傍の「少数キャリアの項 D/L (μ) と n_i^2/N_{dop} との積」の大小を表にして比較したものが図 9 である。ここで、各 μ は数式 5 の下で議論した真性移動度値ではなく、シミュレーションの中で不純物濃度の関数になった移動度になっていることに注意する。真性キャリア濃度 n_i 値の抽出には、熱平衡が保たれている電極近傍の半導体領域においては $pn = n_i^2$ という pn 積が成立しているはずであるので、図 8 における各構造の $z = 0$ の地点 (= アノード電極と PD の接点) や z の負側の終端部の地点 (= カソード電極と PD の接点) の縦軸値が真性キャリア濃度 n_i に相当することを利用した。 S_iGe 層をそのままアノード電極につけた構造 A の積 (数式 7 参照) の値を、図 9 (a) では太枠で囲って強調した。それらと比べて、実施例 2、1 すなわち構造 C、D とともに積 (数式 7 参照) の値が小さいことがわかる。したがって、まず実施例 1、2 が数式 13、そしてそれを変形した 15 の関係を満たしていることが確かめられた。一方で、図 9 (b) の最終行には S_iGe 層をそのままカソード電極につけた場合の積の関係を計算し、太枠で囲って強調した。この数字と比べて、図 9 (b) の実施例 2、1 すなわち構造 C、D の積の値はいずれも小さいことがわかる。したがって、実施例 1、2 は数式 12、そしてそれを変形した数式 14 の関係を満たしていることも同時に確かめられた。以上のことから、実施例 1、2 は数式 12、13 そしてそれを変形した数式 14、15 の関係を両方とも満たしていることが確かめられた。このように、図 6 のような暗電流の大小関係が得られた理由は、「数式 12 - 15 のような大小関係を満たしていたからそうだった」と結論付けることができる。

20

30

40

【0055】

次に、ダングリングボンド等によるキャリアのトラップがある場合 (= 数式 1 のトラップ項もかかわる場合) についてシミュレーションを行った。

【0056】

上記では暗電流にトラップ起因項がない場合、すなわち少数キャリア拡散のみが暗電流を支配している場合についてシミュレーションを行った結果について述べた。しかしながら、数式 5、6 を用いて実測における S_iGe/S_i と $all\ S_i$ の暗電流差を考察した場合のように、少数キャリア拡散のみで暗電流が定量的に説明できる場合は稀である。

さて、数式 1 に記したトラップ起因の電流に関する生成項のうち n_i/g の部分 (次元 $1/cm^3\ sec$) は、Shockley-Read-Hall (SRH model

50

)によれば、

$$\begin{aligned} n_i / g &= G R_{S R H} \\ &= (p n - n_{i e}^2) / \{ g_n (p + n_{i e} \exp(E_{t r a p} / k_B T)) \\ &\quad + g_p (n + n_{i e} \exp(-E_{t r a p} / k_B T)) \} \cdots \text{数式} \\ &16 \end{aligned}$$

のように書き下すことができることが知られている。ここで、 p 、 n は、ホール、電子の濃度、 g はトラップに捕獲されたキャリアの寿命で、添え字 n 、 p はそれぞれ電子、ホールのものを意味する。 $E_{t r a p}$ はトラップの禁制帯内のエネルギー準位で、 $n_{i e}$ は平衡状態の真性キャリア濃度である。 g は、トラップの濃度 $N_{t r a p}$ に反比例することが知られる($1 / g = N_{t r a p}$)。

10

【0057】

さて、数式16の意味するところは、たとえトラップがあったとしても、平衡状態であれば(=バンドが曲がっていない状態であれば)、トラップ起因の $G R$ 項はゼロになるということである。このことは、平衡状態では $p n$ 積と $n_{i e}$ の間に、

$$p n = n_{i e}^2 \cdots \text{数式 17}$$

という質量作用則($p n$ 積一定)が成立し、数式16の分子が0になることから容易に理解される。逆に言うと、この $p n$ 積一定から著しくずれるところ(=バンドが曲がっているところ)にトラップが大量にあると(トラップ寿命が短いと)、トラップ起因の生成電流が増えるということの意味する。そして、バンドが曲がっている所とは、PD動作時に、バイアスと空間電荷の関数によって空乏層が広がっている領域に他ならない。

20

【0058】

トラップがある場合は、もっとも平衡からずれている領域(空乏層幅の両端から中央側に離れた領域)とトラップの位置が重なると、トラップ起因暗電流項が増大してしまうと考えられる。ゆえに発明の効果を見極めるに当たっては、トラップと不純物分布の関係についても留意すべきなのは明白である。そこで、シミュレーションにおいては、図2の構造と図3の不純物条件は固定したままで、格子定数の差によりトラップが生成されやすいと考えられる、 $S i G e / S i$ ヘテロ界面近傍にトラップサイトが分布していると仮定し、そのトラップサイトが数式16のような $S R H$ モデルを起因とする生成電流を生じると仮定する。そのような仮定の下で、シミュレーションを行った。端的に言うと、もっとも

30

【0059】

トラップがない場合の図5のように $I - V$ 特性を計算した後、アノード電極 $A N$ の電圧 $V_a = -1 V$ 地点の電流を暗電流とし、トラップがない場合の図6のように横軸をドナー不純物条件とし、縦軸を暗電流としてまとめたものが、図10(b)~(d)である。すなわち、 $N_{t r a p}$ の関数である寿命について $g_n = g_p = g$ と仮定し、 $1 e - 6 s e c$ 、 $1 e - 8 s e c$ 、 $1 e - 10 s e c$ の3種類の条件でシミュレーションした結果が図10(b)~(d)である。また、比較のために、トラップがない場合(すなわち、図6と同じもの)も図10(a)として示している。構造Bのみに関しては、あくまでレファレンスとしての役目(レファレンス $S i$)を担わせるため、図10(a)~(d)の4つのグラフのいずれもがトラップがないとした計算結果を用いている。ちなみに、図4の「 $S i G e / S i$ PD」の実測/シミュレーション比較は、 g に $1.0 e - 8 s e c$ を代入して得られたものである。このことから、図10で調査した3種類の寿命の中では、 $g = 1.0 e - 8 s e c$ として計算した結果が、一番もっともらしいと考えられる。

40

【0060】

そして、図10を別の見方で表したものが図11である。横軸の $t_{t r a p}$ とは上で述べた g のことであり、縦軸が暗電流値である。前述したように、 g はトラップ濃度 $N_{t r a p}$ に反比例するため、図11の横軸の値はそれが大きいほどトラップ濃度が小さくて、トラップフリーなきれいな光電変換部PDであることを意味する。図11からは、構

50

造 C (= 実施例 2) や構造 D (= 実施例 1) の場合であれば、曲線によっては、すなわち不純物分布条件によっては、調査したトラップ濃度範囲 (x 軸範囲) によらず、構造 B (レファレンス S_i) のレベルと同等の暗電流が実現できる場合があることが認められる。同時に、トラップ濃度が高い場合は S_i の暗電流レベルに達さない場合でも、光電変換部 PD 作成時にトラップを少なくするプロセスが実現できれば、 S_i の暗電流レベルに到達しうることも認められる。一方で、構造 A では、トラップ濃度によらず平坦な曲線の存在があることが認められる。このことは、構造 A では光電変換部 PD をどれだけきれいに作成してトラップ濃度を下げても、すなわち、暗電流を示す数式 1 のうちトラップ起因項をゼロに近づけても、数式 1 のうちの少数キャリア拡散に起因する項が下がらないため、構造 B (レファレンス S_i) の暗電流値と同等までに下がらないことを意味する。

10

【0061】

さて、トラップがない場合には暗電流が構造 B (レファレンス S_i 、 $all\ S_i$) と同等であった構造 C (= 実施例 2) や構造 D (= 実施例 1) も、トラップの寿命を短くすると (トラップが多いと仮定すると)、構造 B よりも明らかに暗電流が多くなる場合が認められる。たとえば構造 D (= 実施例 1) のドナー不純物条件 # 9 は、図 10 を見て分かるように、トラップを増大させても暗電流値は構造 B と同等のままである。一方で、構造 C (= 実施例 2) のドナー不純物条件 # 9 の場合は、図 10 を見て分かるように、トラップ寿命 $\tau_g = 1.0 \times 10^{-6}$ であったり (図 10 (b) 参照) そもそもトラップを考慮しない場合 (図 10 (a) 参照) は、構造 B (レファレンス S_i 、 $all\ S_i$) と同等の暗電流であるが、トラップの増大とともに構造 A よりも暗電流が増えてしまうということがある。つまり、構造 C (= 実施例 2) や構造 D (= 実施例 1) は、トラップの考慮有無で効果がまるで異なってしまう場合がありうることに注意したい。

20

【0062】

この差異の原因が、数式 16 に基づいたトラップ起因の暗電流増大であることを明確にするため、例としてドナー不純物条件 # 9 の場合の $V_a = -1\text{V}$ 地点における深さ方向のバンド図を、図 12 にまとめた。図 12 は、トラップと空乏層曲がりの位置関係を示す図である。白枠で囲った部分が、ヘテロ界面であるためトラップが多いと想定してシミュレーション上にトラップ分布を与えた領域である。トラップが増減しても構造 B と暗電流のほぼ変わらない構造 D (= 実施例 1、図 12 では 4C と表記) では、 W_{dep1} と表記した空乏層領域に対し、格子不整合によりトラップが多いと考えられる $a-Si/SiGe$ あるいは $SiGe/Si$ のヘテロ界面は、ちょうどその空乏層端位置に位置していることが分かる。言い換えると、構造 D (= 実施例 1、図 12 では 4C と表記) では、光電変換部 PD において、P 型の不純物の不純物プロファイルは、第 1 の半導体層 1 に近づくことに応じて増加し、第 1 の半導体層 1 内で平坦になっている。ゆえに、バンドの曲がりが小さいため、数式 16 の分子がほぼゼロであることから、トラップ起因の暗電流は少ないと解釈できる。

30

【0063】

一方で、構造 C (= 実施例 2、図 12 では 3C と表記) では、 W_{dep1} と表記した空乏層領域に対し、 $c-Si/SiGe$ 側 (表面側) のヘテロ界面が、 W_{dep1} の両端ではなく中央に近い方向に入ってしまうことが分かる。言い換えると、構造 C (= 実施例 2、図 12 では 3C と表記) では、光電変換部 PD において、P 型の不純物の不純物プロファイルは、第 1 の半導体層 1 に近づくことに応じて増加する点は構造 D と同様であるが、第 1 の半導体層 1 内で平坦になっておらず、第 1 の半導体層 1 内でも第 1 の半導体層 2 との界面付近で第 1 の半導体層 2 との界面から遠ざかるに従って不純物濃度が増加するような傾斜した部分が存在する。ゆえに、数式 16 の分子は pn 積一定の平衡状況から大きくずれており、トラップ起因の暗電流が増えてしまっていると解釈できる。

40

【0064】

図 2 及び図 7 に示したように、構造 D (= 実施例 1) と構造 C (= 実施例 2) との大きな違いはアノード電極 AN 近傍のアクセプタ濃度 N_A 分布である。この節で説明したように、トラップがある場合は、できるだけ外場に対してバンドの曲がらない平衡状態に近い

50

位置へそのトラップ位置がくるよう、不純物分布を設計することも必要である。表面側のバリア層が a - Si (残留電荷が多いので高濃度になり、バンドが曲がりにくい) である構造 D (= 実施例 1) の方が、そのヘテロ界面のバンドが平衡に近いことから、暗電流が小さいままで居られる可能性が高く、構造 D (= 実施例 1) のような形態が構造 C (= 実施例 2) に比べて、トラップ起因の暗電流をより効果的に低減できる点から好ましい。

【 0 0 6 5 】

以上のように、実施形態では、光電変換部 P D において、第 2 の半導体層 2 の材料の可視光に対する吸収係数は、第 3 の半導体層 3 の材料の可視光に対する吸収係数より高い。これにより、光電変換部 P D の単位膜厚当たりの光電変換効率を向上できる。また、光電変換部 P D において、第 2 の半導体層 2 の材料・構造を、第 1 の半導体層 1 の材料・構造や第 3 の半導体層 3 の材料・構造との関係で、数式 8 かつ数式 9 を満たすように、あるいは、数式 1 0 かつ数式 1 1 を満たすように、構成する。これにより、例えば、第 1 の半導体層 1 を、第 2 の半導体層 2 に対して暗電流を抑制するためのバリア (少数キャリア拡散流入を防ぐ障壁) として機能させることができる。すなわち、光電変換部 P D の単位膜厚当たりの光電変換効率を向上でき、それとともに光電変換部 P D における暗電流を低減できる。

10

【 0 0 6 6 】

したがって、光電変換効率を従来と同様に維持しながら光電変換部 P D の厚さを全体として薄くできるので、斜め入射光に対する隣接画素間の混色を抑えることができ、混色ノイズを低減できる。それとともに光電変換部 P D の暗電流を低減できるので、暗電流ノイズも低減できる。その結果、光電変換部で発生された電荷に応じた画像信号における S / N 比を向上でき、画像信号により得られる画像の画質を向上できる。

20

【 0 0 6 7 】

また、実施形態では、光電変換部 P D において、第 3 の半導体層 3 側が光入射側であり、第 1 の半導体層 1 及び第 2 の半導体層 2 が P 型の半導体層であり、第 3 の半導体層 3 が N 型の半導体層である。すなわち、光電変換部 P D において、第 2 の半導体層 2 の材料・構造を、第 1 の半導体層 1 の材料・構造や第 3 の半導体層 3 の材料・構造との関係で、数式 1 2 かつ数式 1 3 を満たすように、あるいは、数式 1 4 かつ数式 1 5 を満たすように、構成する。これにより、例えば、第 1 の半導体層 1 を、第 2 の半導体層 2 に対して暗電流を抑制するためのバリア (少数キャリア拡散流入を防ぐ障壁) として機能させることができる。

30

【 0 0 6 8 】

また、実施形態では、光電変換部 P D において、第 2 の半導体層 2 の材料のバンドギャップが、第 1 の半導体層 1 の材料のバンドギャップより小さく、かつ、第 3 の半導体層 3 の材料のバンドギャップより小さい。これにより、第 3 の半導体層 3 の材料として、例えば半導体基板の材料に広く用いられている Si を用いた場合に、第 2 の半導体層 2 の材料として、第 3 の半導体層 3 と親和性の高い Si Ge を用いることができる。

【 0 0 6 9 】

ここで、仮に、第 1 の半導体層 1 の材料として同じ Si 系半導体材料でも Si や Si Ge に比べてバンドギャップ E_g が著しく大きい材料を用いた場合を考える。一般に、真性キャリア濃度 n_i はバンドギャップ E_g が大きいほど小さくでき、またバンドの曲率に反比例するキャリアの有効質量も大きくなる。例えば、バリア層の材料として 4 H - Si C を用いると、バンドギャップ $E_g = 3.2 eV$ になり、真性キャリア濃度 $n_i = 1.8 e^{-6} cm^{-3}$ になり、キャリアの有効質量 $m_e^* = 0.33 - 0.58$ (方位によって異なる) になるため、積 (数式 7 参照) の大小関係は著しく大きくできると考えられる。確かに、暗電流のみの最適化を求めるのであれば、バリア層には Si Ge 層よりも著しく大きなバンドギャップ E_g を有する材料を用いればよいということになる。しかし、この場合、図 2 9 に示すように、バリア層である Si C 層と Si Ge 層との界面近傍にホールに対する障壁 (2.0 V 以上) が生じてしまう。現実的な動作温度範囲では、ホールはこの障壁を熱的な機構で通過できるとは想定できないため、障壁部にホールが滞留してしまう

40

50

。すると、滞留部でこれらホールと電子との再結合確率が上昇し、光電変換によって生成したキャリアが電流として取り出せずに、熱や光にまた変わってしまう。そのようにならないためには、ホールが障壁をトンネル機構で通過できるように、障壁の厚みを極めて薄くするなどの付加的な設計が必要となってしまう。以上のような理由で、式7の大小関係を E_g のみで満たそうとすると、光電流を簡易にそして効率的に取り出すことが困難になり、光電変換効率を損なう可能性がある。

【0070】

それに対して、実施形態では、光電変換部PDにおいて、第1の半導体層1の材料のバンドギャップと第3の半導体層3の材料のバンドギャップとが均等である。これにより、第1の半導体層1をSiGeのバンドギャップ E_g に近いc-Siやa-Siで構成することができ、暗電流を低減できるとともに、光電流を容易に取り出すことができ、光電変換効率を向上できる。

10

【0071】

また、実施形態では、例えば構造D (= 実施例1) の光電変換部PDにおいて、第1の導電型の不純物の不純物プロファイルが、第1の半導体層1に近づくことに応じて増加し、第1の半導体層1内で平坦になっている(図12参照)。これにより、トラップ起因の暗電流を効果的に低減できる。

【0072】

なお、図1に示す光電変換部PDにおいて、電荷素量を q とし、アノード電極ANから第1の半導体層1を通過して第1の半導体層1と第2の半導体層2との界面までの電流経路長を L_1 とすると、電流経路長 L_1 は、

20

$$L_1 > \{ (k_B T / q) \mu_{1m1} \tau_{1m1} \} \cdots \text{数式 18}$$

を満たすことが好ましい。数式18では、第1の半導体層1のバルク物性の少数キャリアの移動度を μ_{1m1} とし、固体撮像装置SISの動作温度(例えば、最大動作補償温度)を T とし、第1の半導体層1のバルク物性の少数キャリアの運動量緩和時間を τ_{1m1} としている。これは、電流経路長 L_1 が少数キャリア拡散長に比して十分に長いと、アノード電極から弾道的に射出される少数キャリア電流(この場合電子電流)に起因する暗電流が十分無視できるようになるからである。言い換えると、第1の半導体層1の厚さを TH_1 とした場合、第1の半導体層1の厚さ TH_1 は

$$TH_1 > \{ (k_B T / q) \mu_{1m1} \tau_{1m1} \} \cdots \text{数式 19}$$

30

を満たすことが好ましい。 L_1 の具体的な長さのオーダーは、図17に L の表として示す。

【0073】

同様に考えると、第2の半導体層2と第3の半導体層3との界面から第3の半導体層3を通過してカソード電極ANまでの電流経路長を L_3 とすると、電流経路長 L_3 は

$$L_3 > \{ (k_B T / q) \mu_{3m3} \tau_{3m3} \} \cdots \text{数式 20}$$

を満たすことが好ましい。数式20では、第3の半導体層3のバルク物性の少数キャリアの移動度を μ_{3m3} とし、固体撮像装置SISの動作温度(例えば、最大動作補償温度)を T とし、第3の半導体層3のバルク物性の少数キャリアの運動量緩和時間を τ_{3m3} としている。やはり、電流経路長 L_3 が少数キャリア拡散長に比して十分に長いと、カソード電極から弾道的に射出される少数キャリア電流(この場合ホール電流)に起因する暗電流が十分無視できるようになるからである。言い換えると、第3の半導体層3の厚さを TH_3 とした場合、第3の半導体層3の厚さ TH_3 は

40

$$TH_3 > \{ (k_B T / q) \mu_{3m3} \tau_{3m3} \} \cdots \text{数式 21}$$

を満たすことが好ましい。

【0074】

あるいは、光電変換部PDにおいて、第1の半導体層1、第2の半導体層2、第3の半導体層3が、その半導体層内で組成比の勾配などがあってもよい。例えば、図13に示すように、光電変換部PDにおいて、第1の半導体層1をSiで形成し、第2の半導体層2を $Si_{1-x}Ge_x$ ($0 < x < 1$) で形成し、第3の半導体層3をSiで形成する場合に、第2の半導体層2内のGe組成率を、第2の半導体層2及び第3の半導体層3の界面に

50

近づくことに応じて低くし、第1の半導体層1及び第2の半導体層2の界面に近づくことに応じて高くしてもよい。このとき、第2の半導体層2内のGe組成率を、第2の半導体層2及び第3の半導体層3の界面に近づくにつれて段階的に低くし、第1の半導体層1及び第2の半導体層2の界面に近づくにつれて段階的に高くしてもよいし、あるいは、例えば、図13に示すように、第2の半導体層2内のGe組成率を、第2の半導体層2及び第3の半導体層3の界面に近づくに従って関数的に（例えば、線形的に）低くし、第1の半導体層1及び第2の半導体層2の界面に近づくに従って関数的に（例えば、線形的に）高くしてもよい。

【0075】

あるいは、例えば図14に示すような $Si_{1-x}Ge_x$ 層のうちGe濃度が高くSi濃度が低い中央近傍の領域を第2の半導体層2とし、Ge濃度が低くSi濃度が高い両端の領域をそれぞれ第1の半導体層1及び第3の半導体層3として光電変換部PDを構成してもよい。

10

【0076】

あるいは、光電変換部PDにおいて、第1の半導体層1、第2の半導体層2、第3の半導体層3が、多層構造を有していてもよい。例えば、図15に示すように、第1の半導体層1は、第2の半導体層2側にアモルファスSi層12を含み、第2の半導体層2と反対側のSiC層11を含む2層構造を有していてもよい。ここでSiC層11とアモルファス層12の界面に生じるヘテロ障壁は、図29を用いて上で説明したように、トンネル電流が流れる程度に薄く構成することが望ましい。この場合、第1の半導体層1と第2の半導体層2との親和性を保ちながら、光電変換部PDにおける暗電流をさらに低減できる。

20

【0077】

また、例えば、第2の半導体層2は、第3の半導体層3側から第1の半導体層1へ順に、 $Si_{1-x}Ge_x$ 層25、Ge層24、InSb層23、Ge層22、 $Si_{1-x}Ge_x$ 層21が順に積層された多層構造を有していてもよい。この場合、第2の半導体層2と上下の第1の半導体層1及び第3の半導体層3との親和性を保ちながら、光電変換部PDの単位膜厚当たりの光電変換効率をさらに向上できる。

【0078】

あるいは、例えば、光電変換部PDにおいて、アノード電極ANa、ANbからカソード電極CAに至る電流経路が二方向以上に分かれていても良い。例えば、光電変換部PDにおいて、図16に示すように、第1の半導体層1は、第1の領域1a及び第2の領域1bを有する。第1の領域1a及び第2の領域1bは、互いに反対側で第2の半導体層2に隣接している。第3の半導体層3は、第2の半導体層2における第1の領域1aと第2の領域1bとの間の部分で第2の半導体層2に隣接している。この場合、光電変換部PDから読み出すべき電荷が電子であれば、第1の領域1aと第2の領域1bとからの電荷を第3の半導体層3内で加算して読み出すことができる。あるいは、光電変換部PDから読み出すべき電荷がホールであれば、第3の半導体層3の電荷を第1の領域1aと第2の領域1bとへ分割して読み出すことができる。

30

【0079】

あるいは、図18に示すように、例えば、光電変換部PDにおいて、第1の半導体層1側が光入射側であってもよい。より具体的には、固体撮像装置SISは、例えば表面照射型(FSI)CMOSイメージセンサ(図28(b)参照)であり、例えば第1の半導体層1側が光入射側であり、例えば光入射側にある第1の半導体層1がN型の半導体層であり、第2の半導体層2がN型の半導体層であり、第3の半導体層3がP型の半導体層である。すなわち、第1の導電型がN型であり第2の導電型がP型である。この場合、第1の導電型の少数キャリア「1m」がホールになるので、「1m」をホールを表す「p」で置き換え、第1の導電型の多数キャリア「1M」が電子になるので、「1M」を電子を表す「n」で置き換え、第2の導電型の少数キャリア「2m」が電子になるので、「2m」を電子を表す「n」で置き換え、第1の導電型の不純物濃度 N_1 がドナー濃度になるので、「 N_1 」をドナー濃度を表す「 N_D 」で置き換え、第2の導電型の不純物濃度 N_2 がアク

40

50

セプタ濃度になるので、「 N_s 」をドナー濃度を表す「 N_A 」で置き換えると、数式 8、9 は、下記の数式 22、23 のようになる。すなわち、固体撮像装置 S I S では、

$$D_{n3} / L_{n3} \times n_{i3}^2 / N_A < D_{n2} / L_{n2} \times n_{i2}^2 / N_A \cdots \text{数式 22}$$

かつ、

$$D_{p1} / L_{p1} \times n_{i1}^2 / N_D < D_{p2} / L_{p2} \times n_{i2}^2 / N_D \cdots \text{数式 23}$$

が成り立つ。

あるいは、上記のように置き換えると、数式 10、11 は、下記の数式 24、25 のようになる。固体撮像装置 S I S では、

$$(\mu_{n3}) \times n_{i3}^2 / N_A < (\mu_{n2}) \times n_{i2}^2 / N_A \cdots \text{数式 24}$$

かつ、

$$(\mu_{p1}) \times n_{i1}^2 / N_D < (\mu_{p2}) \times n_{i2}^2 / N_D \cdots \text{数式 25}$$

が成り立つ。

【0080】

言い換えると、固体撮像装置 S I S では、各光電変換部 P D において、第 2 の半導体層 2 の材料・構造を、第 1 の半導体層 1 の材料・構造や第 3 の半導体層 3 の材料・構造との関係で、数式 22 かつ数式 23 を満たすように、あるいは、数式 24 かつ数式 25 を満たすように、構成する。これにより、固体撮像装置 S I S が例えば表面照射型 (F S I) C M O S イメージセンサである場合に、光電変換部 P D の単位膜厚当たりの光電変換効率を向上でき、それとともに光電変換部 P D における暗電流を低減できる。

【0081】

なお、図 1 及び図 18 には、光電変換部 P D における光入射側の半導体層が N 型の半導体層である場合について例示しているが、光電変換部 P D における光入射側の半導体層は P 型の半導体層であってもよい。すなわち、固体撮像装置 S I S が例えば裏面照射型 (B S I) C M O S イメージセンサである場合に、各光電変換部 P D が図 18 に示すように構成されていてもよく、あるいは、固体撮像装置 S I S が例えば表面照射型 (F S I) C M O S イメージセンサである場合に、各光電変換部 P D が図 1 に示すように構成されていてもよい。

【0082】

(実装形態)

次に、実施形態における光電変換部 P D の実装形態について図 19 ~ 図 23 を用いて説明する。図 19 ~ 図 23 は、それぞれ、実施形態における光電変換部を適用した固体撮像装置の構成を示す図である。

【0083】

図 19 に示す固体撮像装置 100 では、複数の画素が 1 次元的に又は 2 次元的に配列されている。以下では、画素 P1 について例示的に説明する。

【0084】

固体撮像装置 100 の画素 P1 は、光電変換部 110、ゲート電極 20、及びフローティングディフュージョン 30 を備える。

【0085】

光電変換部 110 は、半導体基板 S B 内に設けられた第 2 の導電型の半導体領域 113 と、半導体基板 S B 上に設けられた第 1 の導電型の半導体膜 112 と、半導体膜 112 の上に設けられた第 1 の導電型の半導体膜 111 とを有している。半導体膜 111、半導体膜 112、半導体領域 113 は、それぞれ図 1 又は図 18 に示す第 1 の半導体層 1、第 2 の半導体層 2、第 3 の半導体層 3 に対応したものである。

光電変換部 110 は、導かれた光に対して P N 接合領域で光電変換を行い、光の応じた電荷を発生させて例えば半導体領域 113 に蓄積する。

【0086】

ゲート電極 20 は、半導体基板 S B 上における光電変換部 110 に隣接した位置に配さ

10

20

30

40

50

れている。ゲート電極 20 は、光電変換部 110 における半導体領域 113 及びフローティングディフュージョン 30 とともに転送トランジスタを構成している。この転送トランジスタは、アクティブレベルの制御信号がゲート電極 20 に供給された際にオンすることにより、光電変換部 110 (における例えば半導体領域 113) に蓄積された電荷をフローティングディフュージョン 30 へ転送する。

【0087】

フローティングディフュージョン 30 は、半導体基板 SB のウエル領域内に配されている。フローティングディフュージョン 30 は、第 2 の導電型の不純物を、ウエル領域における不純物の濃度よりも高い濃度で含む半導体で形成されている。フローティングディフュージョン 30 は、転送トランジスタにより転送された電荷を電圧に変換する。図示しない増幅トランジスタは、その変換された電圧に応じた信号を信号線へ出力する。

10

【0088】

図 20 に示す固体撮像装置 200 は、固体撮像装置 200 の画素 P201 の光電変換部 210 における半導体膜 212 が半導体領域 213 内に埋め込まれている点で図 19 に示す固体撮像装置 100 と異なる。

【0089】

図 21 に示す固体撮像装置 200i は、固体撮像装置 200i の画素 P201 の光電変換部 210i における半導体膜 211i 及び半導体膜 212 が半導体領域 213 内に埋め込まれている点で図 19 に示す固体撮像装置 100 と異なる。

【0090】

図 22 に示す固体撮像装置 300 は、固体撮像装置 300 の画素 P301 の光電変換部 310 における半導体領域 313 の下面 313b が半導体基板 SB300 の裏面 SB300b の一部を形成している点で第 1 の実施形態と異なる。すなわち、半導体領域 313 は、半導体基板 SB300 の表面 SB300a 及び裏面 SB300b の両側で露出されている。言い換えると、半導体基板 SB300 が薄板化されており、半導体基板 SB300 の厚さが半導体領域 313 の厚さにまで薄くなっている。

20

【0091】

図 23 に示す固体撮像装置 400 は、固体撮像装置 400 の画素 P401 の光電変換部 310 における半導体領域 313 の下面 313b が半導体基板 SB400 における埋め込み酸化層 450 に接している点で図 22 に示す固体撮像装置 300 と異なる。すなわち、半導体基板 SB400 は、アクティブ領域 340 が配された表面 SB400a と、埋め込み酸化層 450 が露出された裏面 SB400b とを有する。

30

【0092】

なお、転送トランジスタにより転送すべき電荷としてホールより電子を用いた方が転送トランジスタの動作速度を速くできることを考慮すると、図 19、図 22、図 23 に示すように第 2 の半導体層が第 3 の半導体層上に設けられた実装形態では、第 3 の半導体層に蓄積された電荷を取り出すことが容易であるため、各光電変換部 PD が図 1 に示すような構成であることが好ましい。あるいは、図 20、図 21 に示すように第 2 の半導体層が第 3 の半導体層内に埋め込まれた実装形態では、第 2 の半導体層に蓄積された電荷を取り出すことが容易であるため、各光電変換部 PD が図 18 に示すような構成であることが好ましい。

40

【0093】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

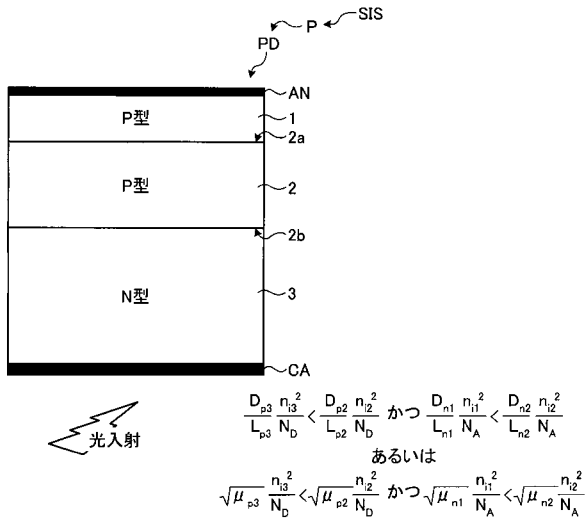
【符号の説明】

【0094】

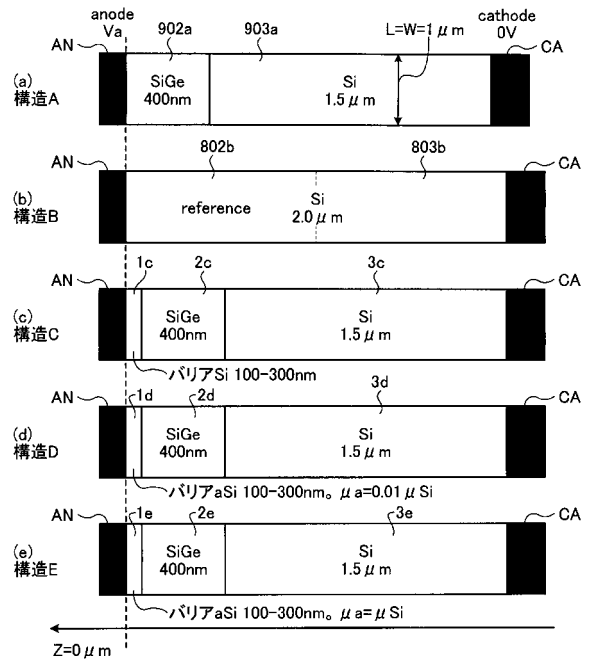
50

1 第1の半導体層、2 第2の半導体層、3 第3の半導体層、20 ゲート電極、
 30 フローティングディフュージョン、100、200、200i、300、400、
 SIS 固体撮像装置、110、210、310、PD 光電変換部、111、211i
 半導体膜、112、212 半導体膜、113、213、313 半導体領域。

【図1】



【図2】

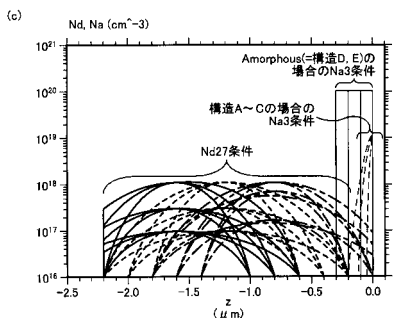
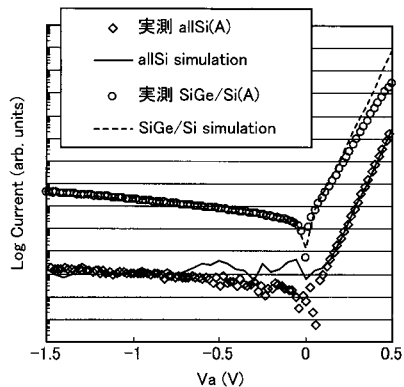


【 図 3 】

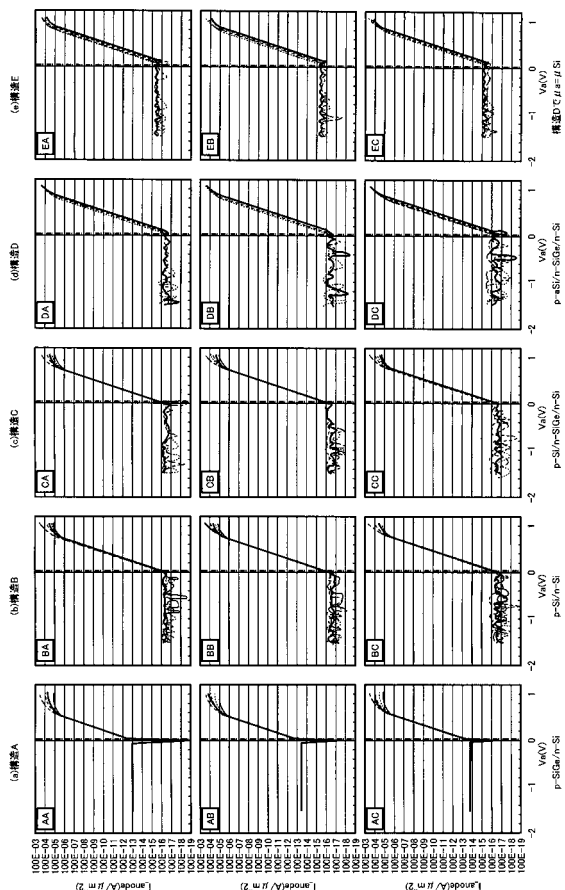
構造	Na (cm ⁻³)	t_barrier (μm)	Nasigma (μm)
構造CA		0.1	0.05
構造CB	1.00E+19	0.2	0.1
構造CC		0.3	0.15
構造AA			0.05
構造AB	1.00E+19	#N/A	0.1
構造AC			0.15
構造BA			0.05
構造BB	1.00E+19	#N/A	0.1
構造BC			0.15
構造DA		0.1	バリア内 一様
構造DB	1.00E+20	0.2	
構造DC		0.3	

ID	Nd (cm ⁻³)	Ndz (μm)	Nasigma (μm)
1			0.6
2		-1.6	0.8
3			1
4			0.6
5	-1.00E+17	-1.2	0.8
6			1
7			0.6
8		-0.8	0.8
9			1
10			0.6
11		-1.6	0.8
12			1
13			0.6
14	-3.00E+17	-1.2	0.8
15			1
16			0.6
17		-0.8	0.8
18			1
19			0.6
20		-1.6	0.8
21			1
22			0.6
23	-1.00E+18	-1.2	0.8
24			1
25			0.6
26		-0.8	0.8
27			1

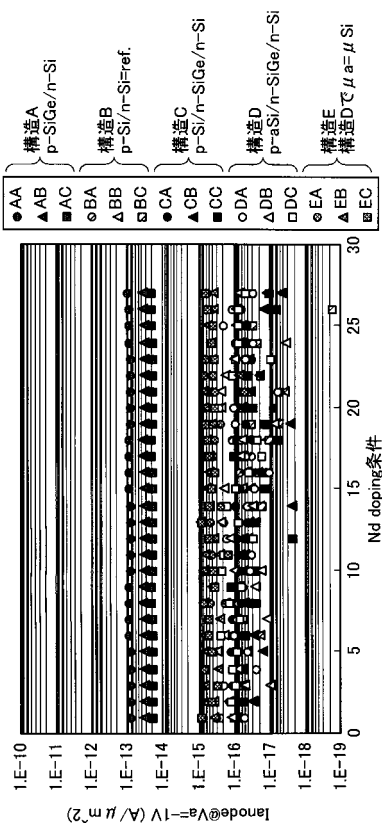
【 図 4 】



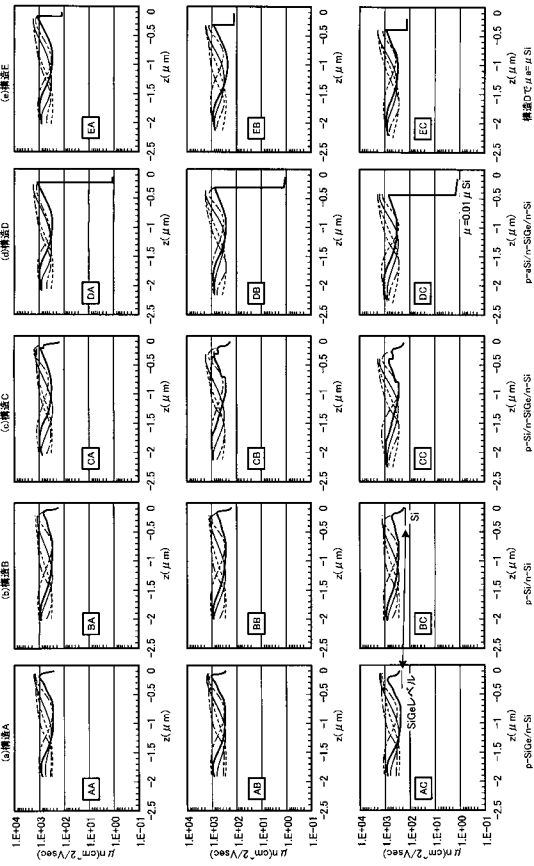
【 図 5 】



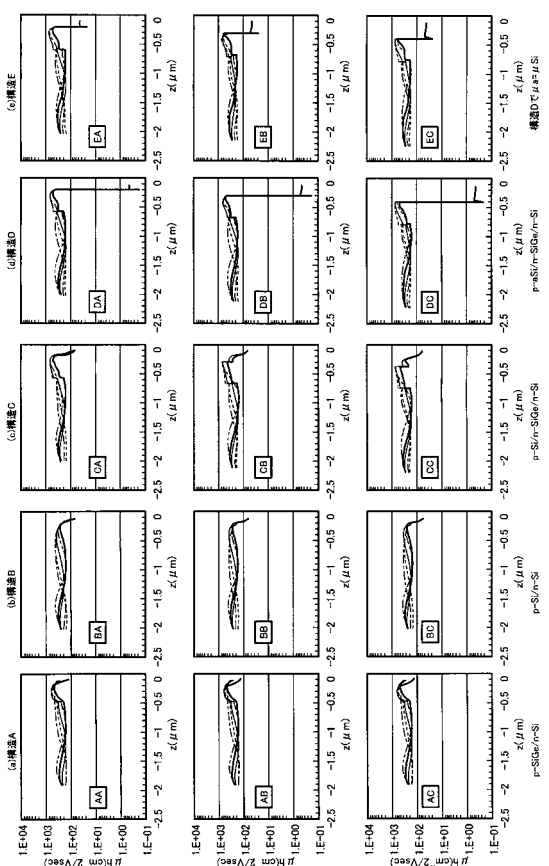
【 図 6 】



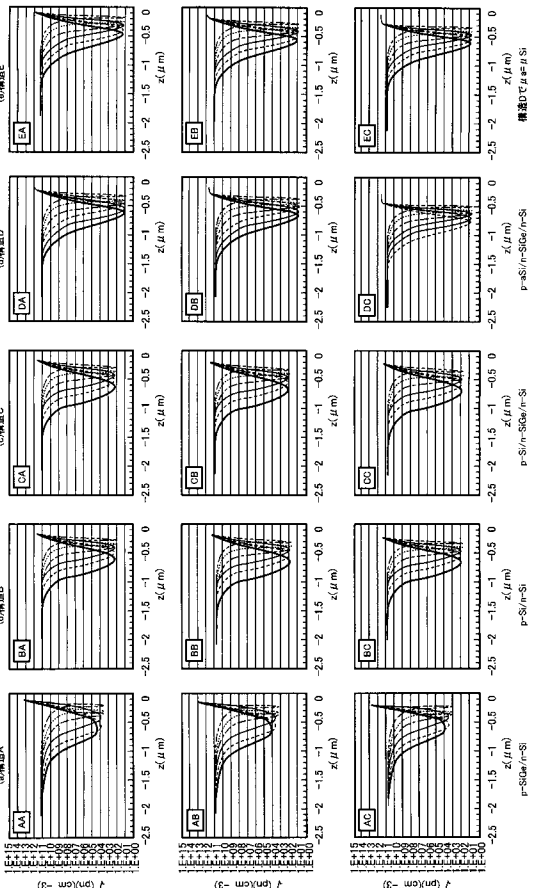
【図 7 - 1】



【図 7 - 2】



【図 8】



【図 9】

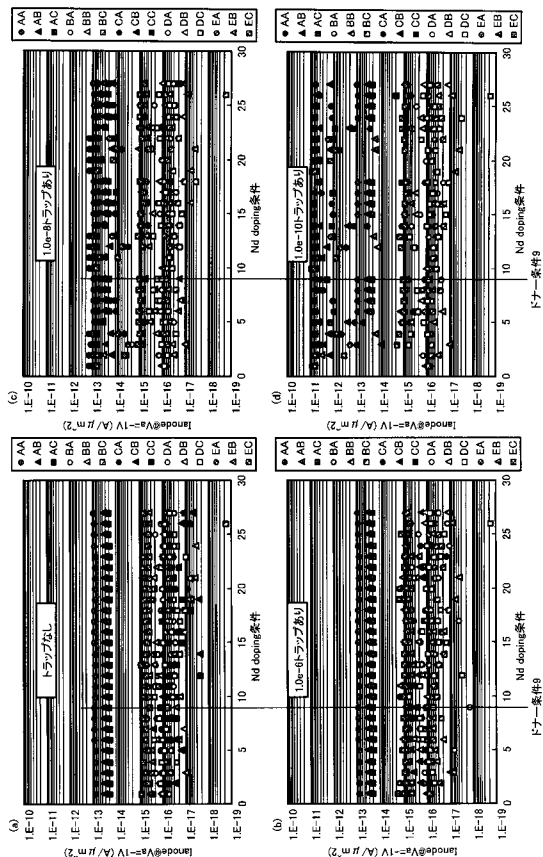
(a) 表. anode側の積の関係

構造	Na@z=0 (cm ⁻³)	ni@z=0 (cm ⁻³)	μ@z=0 (cm ² /Vsec)	anodeにおける積 √(μn) × ni ² /Na
A	1.00E+19	1.00E+13	200	1.41E+08
B	1.00E+19	5.00E+11	100	2.50E+05
C=実施例2	1.00E+19	5.00E+11	100	2.50E+05
D=実施例1	1.00E+20	1.00E+12	1	1.00E+04
E	1.00E+20	1.00E+12	100	1.00E+05

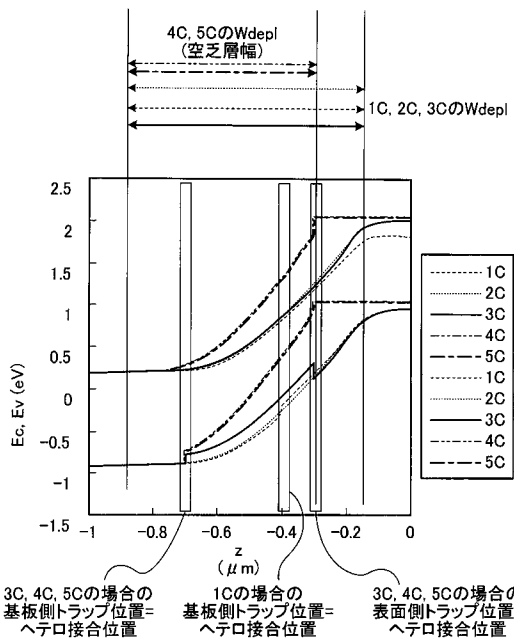
(b) 表. cathode側の積の関係

構造	Nd@z=終端 (cm ⁻³)	ni@z=終端 (cm ⁻³)	μ@z=終端 (cm ² /Vsec)	cathodeにおける積 √(μp) × ni ² /Nd
A	1.00E+16	1.00E+11	200	1.41E+07
B	1.00E+16	1.00E+11	200	1.41E+07
C=実施例2	1.00E+16	1.00E+11	200	1.41E+07
D=実施例1	1.00E+16	1.00E+11	200	1.41E+07
E	1.00E+16	1.00E+11	200	1.41E+07
cf.基板が SiGeの場合=領域2をそのまま cathode電極につけたと想定した場合	1.00E+16	1.00E+13	900	3.00E+11

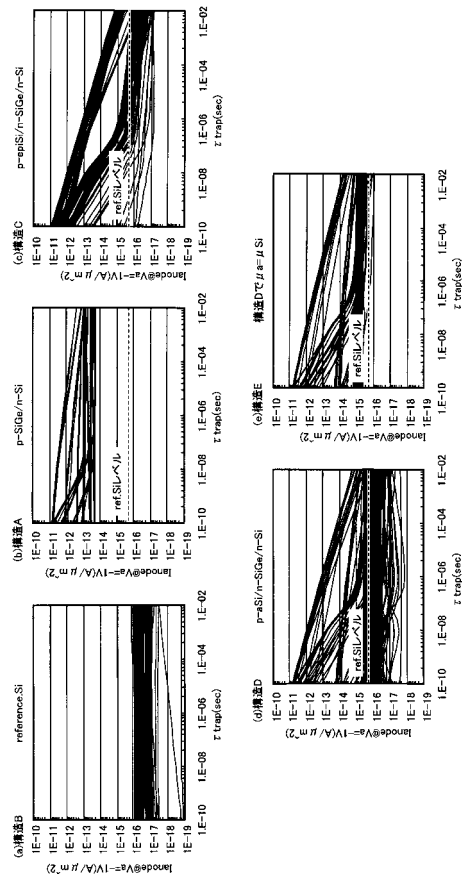
【 図 1 0 】



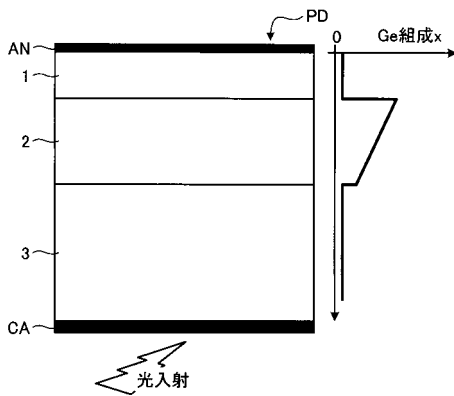
【 図 1 2 】



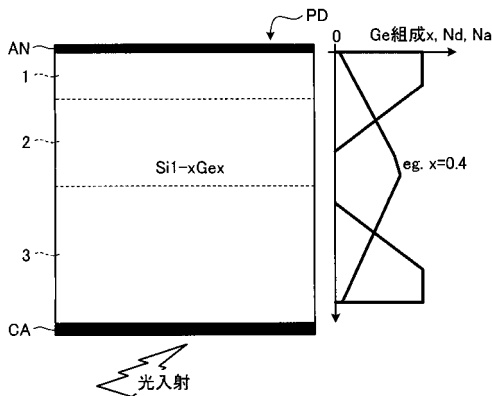
【 図 1 1 】



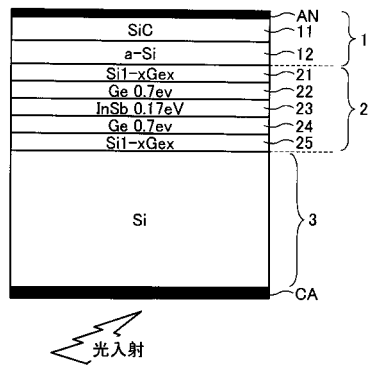
【 図 1 3 】



【 図 1 4 】



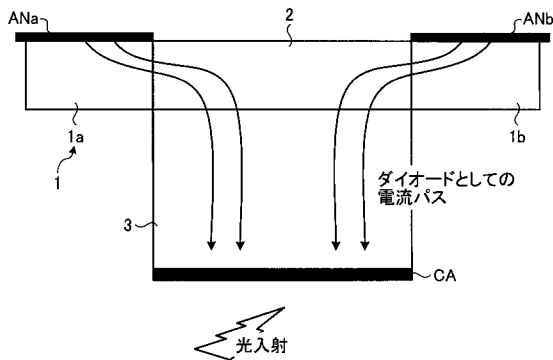
【図15】



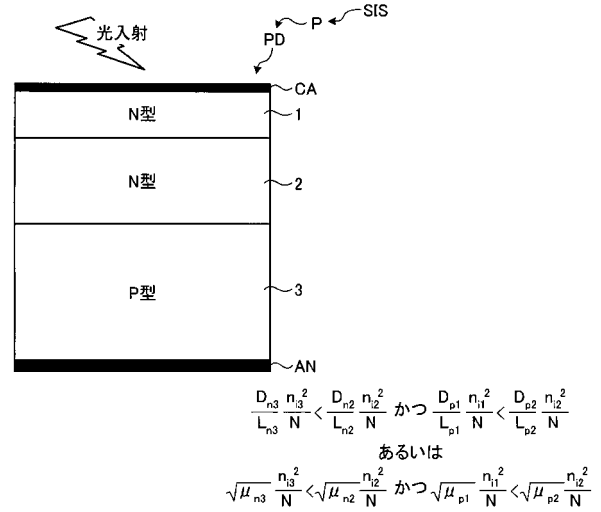
【図17】

バルク移動度 (cm ² /Vsec)	熱起電力 kBT/q(V)	L (nm)	説明
1450	0.021	55.15	Siの電子でT=243Kを想定
1450	0.031	66.94	Siの電子でT=358Kを想定
1450	0.026	61.28	Siの電子でT=300Kを想定
1	0.031	1.76	a-Siの電子でT=358Kを想定
3900	0.031	109.79	Ge電子でT=358Kを想定
400	0.031	35.16	4H-SiC電子でT=358Kを想定

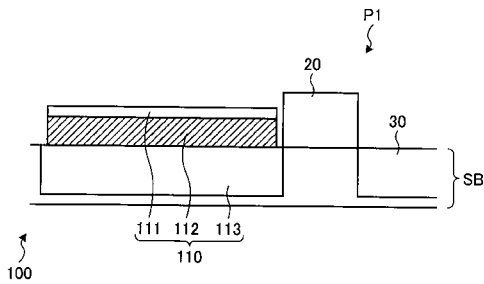
【図16】



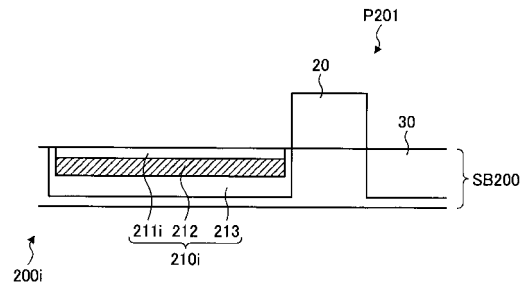
【図18】



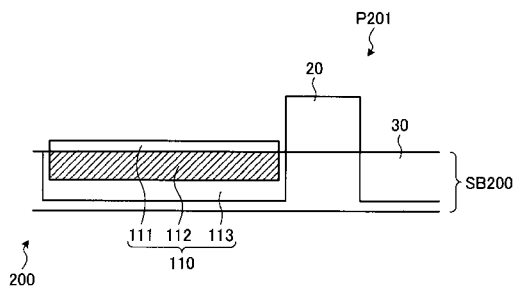
【図19】



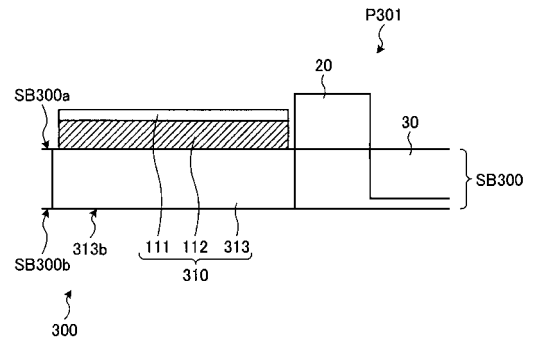
【図21】



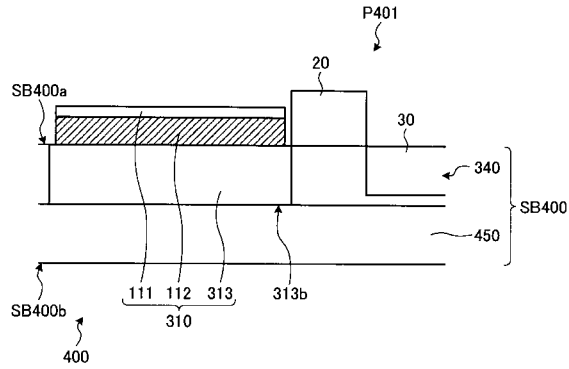
【図20】



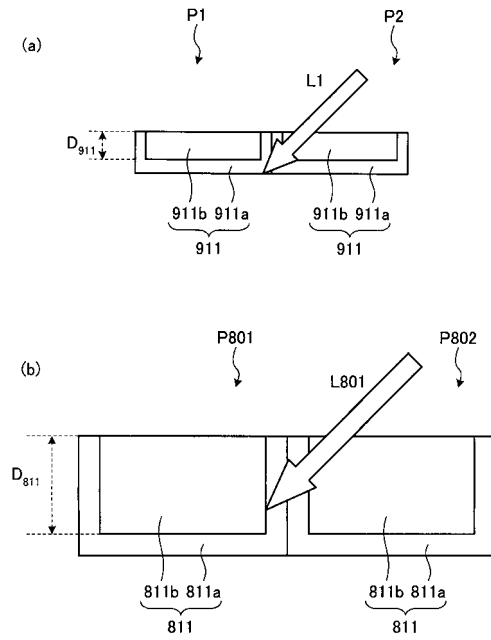
【図22】



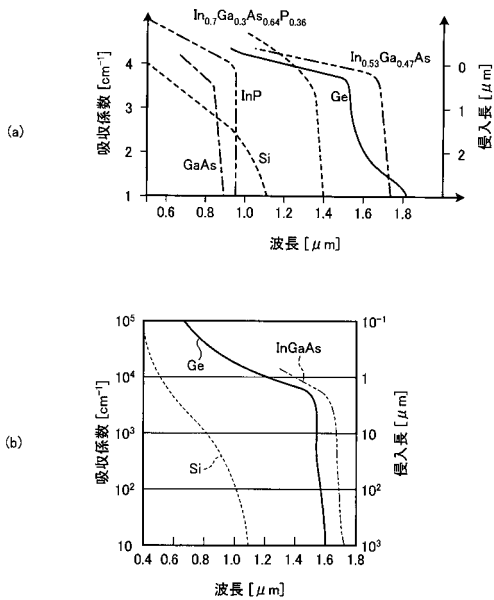
【図23】



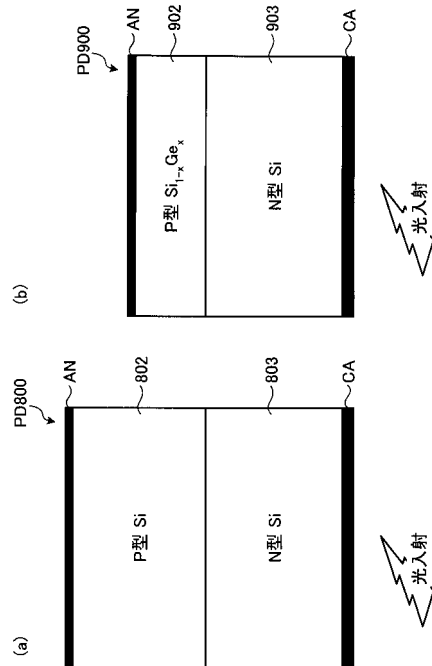
【図24】



【図25】

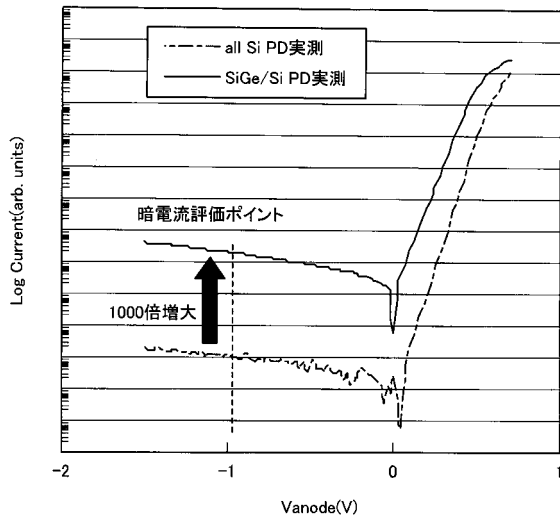


【図26】

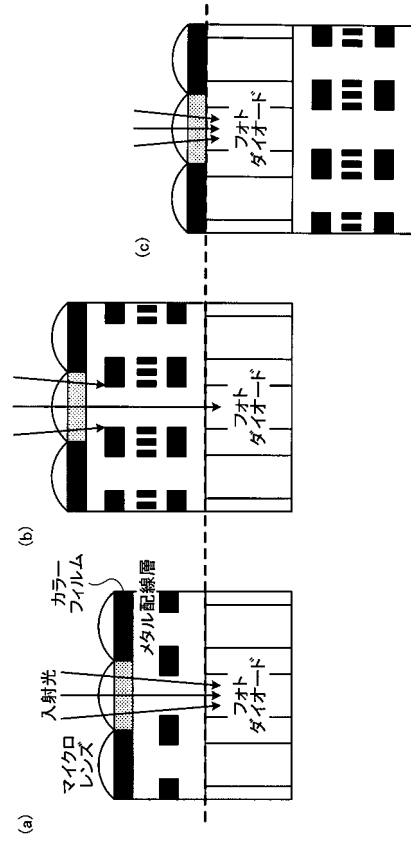


	Eg(eV)	Eg根拠の吸収端(nm)	μn ($cm^2/Vsec$)	μp ($cm^2/Vsec$)	バンド構造
Si	1.12	1107.14	1450	450	間接
Ge	0.66	1878.79	3900	1900	間接
SiGe	Geの分率に応じて、SiとGeの間の値を取るとされる				
InxGa1-xAs	0.4-1.4	3100-885	#N/A	#N/A	直接
InSb	0.17	7294.12	80000	1250	直接
GaAs	1.42	873.24	8500	400	直接
InP	1.35	918.52	4600	150	直接
6H-SiC	3.08	402.60	400	50	間接

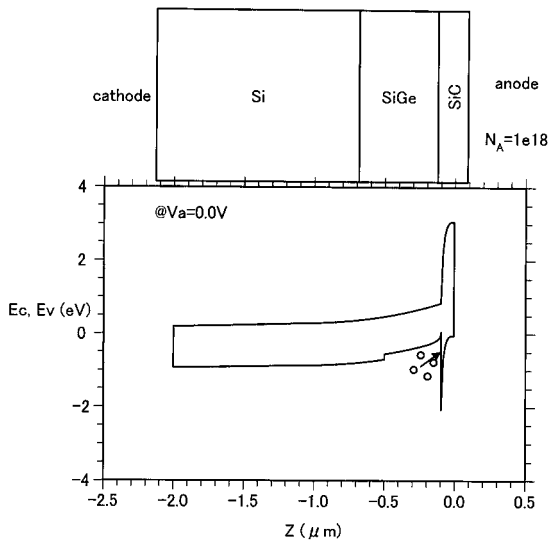
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(72)発明者 佐々木 広器

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M118 AB01 BA10 BA14 CA03 CA18 CB01 EA01 EA14 GC07 GD04
GD07
5C024 CX32 GX02
5F049 MA02 MB03 NA01 NA05 NB05 PA08 QA03 QA20 RA02 RA08
SE05 SS03