



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I657667 B

(45)公告日：中華民國 108 (2019) 年 04 月 21 日

(21)申請案號：103137278

(22)申請日：中華民國 103 (2014) 年 10 月 28 日

(51)Int. Cl. : **H03M1/12 (2006.01)**

(30)優先權：2013/11/27 日本 2013-244949

2014/05/14 日本 2014-100185

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：佐伯貴範 SAEKI, TAKANORI (JP)；高橋知宏 TAKAHASHI, TOMOHIRO (JP)；

武田祐一 TAKEDA, YUITI (JP)；鈴木篤史 SUZUKI, ATSUSHI (JP)

(74)代理人：陳長文

(56)參考文獻：

US 6570425B2

US 6580300B2

US 7212048B2

US 2010/0117692A1

US 2012/0229319A1

審查人員：陳明德

申請專利範圍項數：11 項 圖式數：32 共 128 頁

(54)名稱

A/D轉換裝置、格雷碼產生裝置、信號處理裝置、成像元件及電子裝置

A/D CONVERSION DEVICE, GRAY CODE GENERATION DEVICE, SIGNAL PROCESSING DEVICE, IMAGING ELEMENT, AND ELECTRONIC DEVICE

(57)摘要

本發明揭示一種類比轉數位(A/D)轉換裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及一 A/D 轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來對一輸入類比信號執行 A/D 轉換。

An A/D conversion device includes a phase-difference clock generation unit configured to use a plurality of phase interpolators to generate multi-phase clock signals, of which phases are shifted with respect to an input clock signal, from the input clock signal and a signal obtained by delaying the input clock signal; and an A/D conversion unit configured to perform A/D conversion on an input analog signal using the multi-phase clock signals generated by the phase-difference clock generation unit.

指定代表圖：

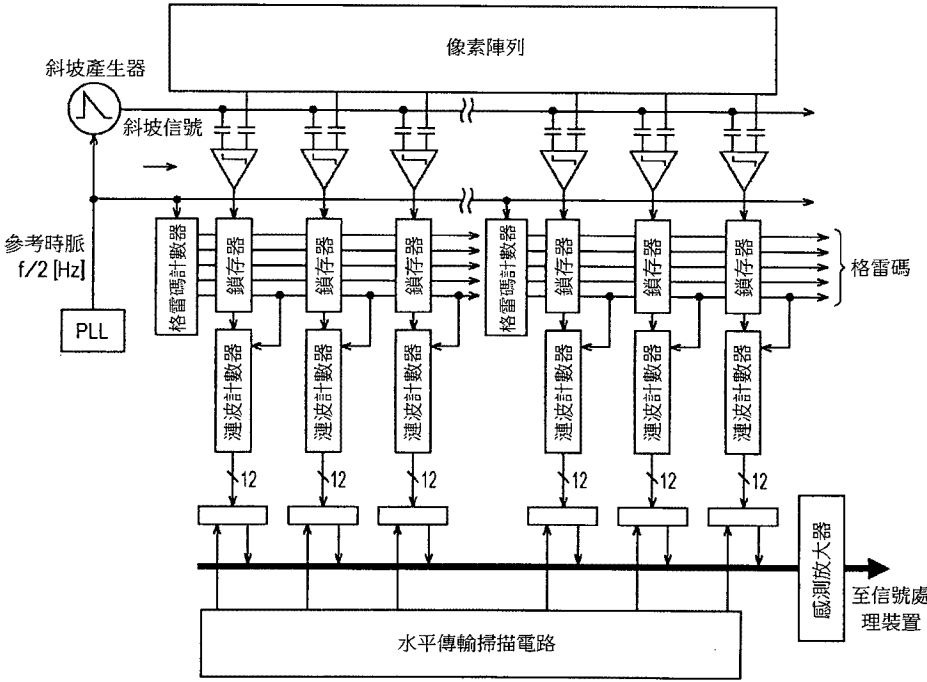


圖 3

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

A/D轉換裝置、格雷碼產生裝置、信號處理裝置、成像元件及電子裝置

A/D CONVERSION DEVICE, GRAY CODE GENERATION
DEVICE, SIGNAL PROCESSING DEVICE, IMAGING ELEMENT,
AND ELECTRONIC DEVICE

[相關申請案之交叉參考]

本申請案主張2013年11月27日申請之日本優先專利申請案JP 2013-244949及2014年5月14日申請之日本優先專利申請案JP 2014-100185之權利，該等案之各者之全文以引用的方式併入本文中。

【技術領域】

本發明係關於一種A/D轉換裝置、一種格雷碼產生裝置、一種信號處理裝置、一種成像元件及一種電子裝置，且更特定言之，本發明係關於經組態以更容易地達成高速率、高解析度或高速率及高解析度兩者之一種A/D轉換裝置、一種格雷碼產生裝置、一種信號處理裝置、一種成像元件及一種電子裝置。

【先前技術】

在過去，在成像元件中，已提出將格雷碼計數器用於像素陣列中所獲得之像素信號之A/D轉換中之方法(例如參閱PTL 1)。PTL 1中所揭示之一固態成像元件經組態使得一參考時脈自一PLL (鎖相迴路)分派給一格雷碼計數器且一格雷碼自該格雷碼計數器分派給各行之一A/D轉換器。

[引用列表]

[專利文獻]

[PTL 1]

日本未審查專利申請公開案第2011-234326號

【發明內容】

[技術問題]

然而，在PTL 1中所揭示之組態中，分派給所有A/D轉換器之參考時脈之頻率在一晶片中係最高的。因此，為達成高速率或高解析度，必須增大參考時脈之頻率。然而，由於必須將參考時脈分派給所有行，所以頻率之增大係不容易的。因此，難以達成高速率或高解析度。

鑑於此等情況而設計本發明且可期望更容易地達成高速率、高解析度或高速率及高解析度兩者。

[問題之解決方案]

根據本發明之一實施例，提供一種A/D轉換裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；及一A/D轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來對一輸入類比信號執行A/D轉換。

該相位差時脈產生單元可包含一個延遲電路及四個相位內插器，且自該輸入時脈信號產生4相時脈信號。

該相位內插器可在自兩個輸入信號之一相位差之一中間時點延遲達該相位內插器之一延遲時間的一時點處輸出一輸出信號。

該A/D轉換單元可包含：一計數器，其經組態以計數該時脈信號之週期數且輸出一計數值作為一高階位元；一比較單元，其經組態以比較一斜坡波形之一參考電壓與一輸入電壓；及一時間量化單元，其

經組態以藉由使用該比較單元之一輸出之一反相(作為一觸發)來同時鎖存由該相位差時脈產生單元產生之該等多相時脈信號而獲取相位資訊，解碼該相位資訊之值，且輸出所獲得之數位值作為具有比一週期之該時脈信號高之解析度的低階位元。

根據本發明之一實施例，提供一種成像元件，其包含：一像素陣列，其經組態使得各包含使入射光光電轉換之一光電轉換元件的單位像素被配置；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；及一A/D轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

該A/D轉換單元可安裝於該像素陣列之該等單位像素之各行或部分區域處，且可使用由該相位差時脈產生單元產生之該多相時脈信號來對自對應於該A/D轉換單元之該行或該部分區域之該單位像素輸出之一類比信號執行該A/D轉換。

該相位差時脈產生單元可安裝於預定數目個行或部分區域之間隔處。該A/D轉換單元可使用對應於該行或該部分區域(其對應於該A/D轉換單元)之由該相位差時脈產生單元產生之該多相時脈信號來執行該A/D轉換。

根據本發明之一實施例，提供一種電子裝置，其包含：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元透過該成像而獲得之影像資料執行影像處理。該成像單元包含：一像素陣列，其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一

信號產生其相位相對於該時脈信號而位移之多相時脈信號；及一A/D轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

根據本發明之另一實施例，提供一種格雷碼產生裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；及一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼。

該格雷碼產生單元可包含：一第一格雷碼產生單元，其經組態以自由該相位差時脈產生單元產生之該等多相時脈信號之一者產生一高階格雷碼；及一第二格雷碼產生單元，其經組態以自由該相位差時脈產生單元產生之該等多相時脈信號之剩餘部分產生一低階格雷碼。

根據本發明之另一實施例，提供一種A/D轉換裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及一A/D轉換單元，其經組態以使用由該格雷碼產生單元產生之該等格雷碼來對一輸入類比信號執行A/D轉換。

該A/D轉換單元可包含：一計數器，其經組態以計數該時脈信號之週期數且輸出一計數值作為一高階位元；一比較單元，其經組態以比較一斜坡波形之一參考電壓與一輸入電壓；及一鎖存器，其經組態以使用該比較單元之一輸出之一反相(作為一觸發)來同時鎖存由該格

雷碼產生單元產生之該等格雷碼，將該等格雷碼轉換成二進位值，且輸出所獲得之數位值作為低階位元。

根據本發明之另一實施例，提供一種成像元件，其包含：一像素陣列，其經組態使得各包含使入射光光電轉換之一光電轉換元件的單位像素被配置；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及一A/D轉換單元，其經組態以使用由該格雷碼產生單元產生之該等格雷碼來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

該A/D轉換單元可安裝於該像素陣列之該等單位像素之各行或各部分區域處，且可使用由該格雷碼產生單元產生之該格雷碼來對自對應於該A/D轉換單元之該行或該部分區域之該單位像素輸出之一類比信號執行該A/D轉換。

該格雷碼產生單元可安裝於預定數目個行或部分區域之間隔處。該A/D轉換單元可使用對應於該行或該部分區域(其對應於該A/D轉換單元)之由該格雷碼產生單元產生之該格雷碼來執行該A/D轉換。

根據本發明之另一實施例，提供一種電子裝置，其包含：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元透過該成像而獲得之影像資料執行影像處理。該成像單元包含：一像素陣列，其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相

位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及一A/D轉換單元，其經組態以使用由該格雷碼產生單元產生之該格雷碼來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

根據本發明之又一實施例，提供一種A/D轉換裝置，其包含：一相位差時脈產生單元，其經組態以產生由其相位相互位移之複數個時脈信號形成之多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器以校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來對一輸入類比信號執行A/D轉換。

根據本發明之又一實施例，提供一種成像元件，其包含：一像素陣列，其經組態使得各包含使入射光光電轉換之一光電轉換元件的單位像素被配置；一相位差時脈產生單元，其經組態以產生由其相位相互位移之複數個時脈信號形成之多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器以校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

根據本發明之又一實施例，提供一種電子裝置，其包含：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元透過該成像而獲得之影像資料執行影像處理。該成像單元包含：一像素陣列，其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素；一相位差時脈產生單元，其經組態以產生由其相位相互位移之複數個時脈信號形成之多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器以校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換

單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

根據本發明之又一實施例，提供一種信號處理裝置，其包含一相位校正單元，該相位校正單元經組態以使用複數個相位內插器以校正由其相位相互位移之複數個時脈信號形成之多相時脈信號之時脈信號之間之相位差。

根據本發明之一實施例，在一A/D轉換裝置中，複數個相位內插器用於自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號，且使用該等所產生之多相時脈信號來對一輸入類比信號執行A/D轉換。

根據本發明之一實施例，在一成像元件中，複數個相位內插器用於自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號，且使用該等所產生之多相時脈信號來對自一像素陣列(其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素)之各單位像素輸出之一類比信號執行A/D轉換。

根據本發明之一實施例，在一電子裝置中，複數個相位內插器用於自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號，使用該等所產生之多相時脈信號來對自一像素陣列(其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素)之一單位像素輸出之一類比信號執行A/D轉換，且所獲得之影像資料經受影像處理。

根據本發明之另一實施例，在一格雷碼產生裝置中，複數個相位內插器用於自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號，且複數個相位內插器及邏輯閘用於自該等所產生之多相時脈信號產生格雷碼。

根據本發明之另一實施例，在一A/D轉換裝置中，複數個相位內插器用於自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號，複數個相位內插器及邏輯閘用於自該等所產生之多相時脈信號產生格雷碼，且使用該等所產生之格雷碼來對一輸入類比信號執行A/D轉換。

根據本發明之另一實施例，在一成像元件中，複數個相位內插器用於自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號，複數個相位內插器及邏輯閘用於自該等所產生之多相時脈信號產生格雷碼，且使用該等所產生之格雷碼來對自像素陣列(其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素)之一單位像素輸出之一類比信號執行A/D轉換。

根據本發明之另一實施例，在一電子裝置中，複數個相位內插器用於自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號，複數個相位內插器及邏輯閘用於自該等所產生之多相時脈信號產生格雷碼，使用該等所產生之格雷碼來對自像素陣列(其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素)之一單位像素輸出之一類比信號執行A/D轉換，且所獲得之影像資料經受影像處理。

根據本發明之又一實施例，在一A/D轉換裝置中，產生由其相位相互位移之複數個時脈信號形成之多相時脈信號，複數個相位內插器用於校正該等所產生之多相時脈信號之時脈信號之間之相位差，且使用該等所校正之多相時脈信號來對一輸入類比信號執行A/D轉換。

根據本發明之又一實施例，在一成像元件中，產生由其相位相互位移之複數個時脈信號形成之多相時脈信號，複數個相位內插器用於校正該等所產生之多相時脈信號之時脈信號之間之相位差，且使用

該等所校正之多相時脈信號來對自像素陣列(其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素)之單位像素輸出之一類比信號執行A/D轉換。

根據本發明之又一實施例，在一電子裝置中，產生由其相位相互位移之複數個時脈信號形成之多相時脈信號，複數個相位內插器用於校正該等所產生之多相時脈信號之時脈信號之間之相位差，使用該等所校正之多相時脈信號來對自像素陣列(其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素)之單位像素輸出且藉由使一物體成像而獲得之一類比信號執行A/D轉換，且所獲得之影像資料經受影像處理。

根據本發明之又一實施例，在一信號處理裝置中，複數個相位內插器用於校正由其相位相互位移之複數個時脈信號形成之多相時脈信號之時脈信號之間之相位差。

根據本發明之又一實施例，提供一種類比轉數位(A/D)轉換，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及一A/D轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來轉換一輸入類比信號。

根據本發明之又一實施例，提供一種電子裝置，其包括：一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及一類比轉數位(A/D)轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來

轉換自該像素陣列之該單位像素輸出之一類比信號。

根據本發明之又一實施例，提供一種電子裝置，其包括：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元獲得之影像資料執行影像處理，其中該成像單元包含：一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及一類比轉數位(A/D)轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來轉換自該像素陣列之該單位像素輸出之一類比信號。

根據本發明之又一實施例，提供一種格雷碼產生裝置，其包括：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼。

根據本發明之又一實施例，提供一種類比轉數位(A/D)轉換裝置，其包括：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及一A/D轉換單元，其經組態以使用由該格雷碼產生單元產生之該等格雷碼來轉換一輸入類比信號。

根據本發明之又一實施例，提供一種成像元件，其包含：一像

素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及一類比轉數位(A/D)轉換單元，其經組態以使用由該格雷碼產生單元產生之該等格雷碼來轉換自該像素陣列之該單位像素輸出之一類比信號。

根據本發明之又一實施例，提供一種類比轉數位(A/D)轉換裝置，其包括：一相位差時脈產生單元，其經組態以產生由其相位相互位移之複數個時脈信號形成之多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器以校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來轉換一輸入類比信號。

根據本發明之又一實施例，提供一種成像元件，其包括：一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；一相位差時脈產生單元，其經組態以基於其相位相互位移之複數個時脈信號而產生多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器以校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來轉換自該像素陣列之該單位像素輸出之一類比信號。

根據本發明之又一實施例，提供：一種成像單元，其經組態以

使一物體成像；及一種影像處理單元，其經組態以對由該成像單元透過該物體成像而獲得之影像資料執行影像處理，其中該成像單元包含：一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；一相位差時脈產生單元，其經組態以基於其相位相互位移之複數個時脈信號而產生多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器以校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一類比轉數位(A/D)轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來轉換自該像素陣列之該單位像素輸出之一類比信號。

根據本發明之又一實施例，提供一種相位校正單元，其經組態以使用複數個相位內插器以校正由複數個時脈信號形成之多相時脈信號之時脈信號之間之相位差，其中該複數個時脈信號包含具有相互位移之相位的時脈信號。

[本發明之有利效應]

根據本發明之該等實施例，可處理一信號。根據本發明之該等實施例，可更容易地達成高速率、高解析度或高速率及高解析度兩者。

【圖式簡單說明】

圖1係繪示一成像元件之一主組態之一實例的一圖式。

圖2係用於描述一漣波計數器之一操作之一情形之一實例的一圖式。

圖3係繪示一成像元件之一主組態之一實例的一圖式。

圖4係繪示一成像元件之一主組態之一實例的一圖式。

圖5係繪示一4相時脈產生電路之一主組態之一實例的一圖式。

圖6係用於描述4相時脈產生電路之一操作之一情形之一實例的

一時序圖。

圖7係繪示4相時脈產生電路之各輸出信號之一延遲時間及一相位差的一圖式。

圖8係用於描述一相位內插器之一操作之一情形之一實例的一圖式。

圖9係用於描述相位內插器之操作之情形之一實例的一時序圖。

圖10係繪示相位內插器之一主組態之一實例的一圖式。

圖11係繪示相位內插器之一主組態之一實例的一圖式。

圖12係繪示一高解析度格雷碼產生電路之一主組態之一實例的一圖式。

圖13係繪示高解析度格雷碼產生電路之一操作之一情形之一實例的一時序圖。

圖14係繪示高解析度格雷碼產生電路之組態之另一實例的一圖式。

圖15係繪示高解析度格雷碼產生電路之一操作之一情形之另一實例的一時序圖。

圖16係繪示一A/D轉換電路之一主組態之一實例的一圖式。

圖17係繪示一成像元件之一主組態之一實例的一圖式。

圖18係繪示一單位像素之一主組態之一實例的一圖式。

圖19係繪示一成像元件之一主組態之一實例的一圖式。

圖20係繪示一A/D轉換電路之一主組態之一實例的一圖式。

圖21係繪示一成像元件之一主組態之一實例的一圖式。

圖22係繪示一成像元件之一主組態之一實例的一圖式。

圖23係繪示一周邊電路區域之一主組態之一實例的一圖式。

圖24係繪示一周邊電路區域之一主組態之一實例的一圖式。

圖25A係繪示一低階位元時間量化器之一實例的一圖式。

圖25B係繪示一低階位元時間量化器之一實例的一圖式。

圖26係繪示一相位校正電路之一主組態之一實例的一圖式。

圖27係繪示相位校正電路之輸入/輸出端子之相位之實例的一圖式。

圖28A係繪示相位校正電路之各節點之相位之一相對色散之一實例的一圖式。

圖28B係繪示相位校正電路之各節點之相位之一相對色散之一實例的一圖式。

圖29係繪示一成像元件之一主組態之一實例的一圖式。

圖30係繪示一時脈產生單元之一主組態之一實例的一圖式。

圖31係繪示一成像元件之一主組態之一實例的一圖式。

圖32係繪示一成像裝置之一主組態之一實例的一圖式。

【實施方式】

在下文中，將描述用於實施本發明之模式(下文中指稱實施例)。將依以下順序進行描述。

1. 成像元件之A/D轉換
2. 第一實施例(4相時脈產生電路)
3. 第二實施例(高解析度格雷碼產生電路-1)
4. 第三實施例(A/D轉換電路-1)
5. 第四實施例(成像元件-1)
6. 第五實施例(A/D轉換電路-2)
7. 第六實施例(成像元件-2)
8. 第七實施例(A/D轉換電路-3)
9. 第八實施例(使用多時脈信號之A/D轉換器)
10. 第九實施例(影像感測器-1)
11. 第十實施例(成像裝置)

<1. 成像元件之A/D轉換>

在一通用影像感測器中，一單位像素之一光接收部分(例如一光二極體)中所累積之一電荷被讀取為一信號電壓(像素信號)且經受類比/數位轉換(A/D轉換)。例如，已提出藉由與一信號電壓比較同時變動一參考電壓且獲取一協和時序而執行數位轉換之一方法來作為該A/D轉換之一方法。

日本未審查專利申請公開案第2005-323331號(下文中指稱PTL 2)提出其中整合型A/D轉換器並聯配置於一影像感測器之行中的一組態。圖1中繪示一整合並聯行型行A/D轉換器之一實例。在整合型A/D轉換器中，由一比較器比較具有一斜坡波形之一參考電壓RAMP (其之一電壓值隨時間線性變化)與一輸入電壓VSL，且輸出一比較結果作為VCO。藉由在VCO變動之一時點處開始或停止一漣波計數器之一操作且計數一計數週期而將一電壓變動轉換成一數位值。自一PLL(鎖相迴路)分派一時脈且將一斜坡自一斜坡產生器分派給所有行。

一般而言，若其他效能相同，則一A/D轉換器較佳地具有高解析度。此外，若其他效能相同，則一A/D轉換器較佳地高速操作。

例如，可提高漣波計數器之計數以增大PTL 2中所揭示之整合型A/D轉換器之一解析度。例如，可使計數器之計數加倍以使整合型A/D轉換器之解析度增大1位元，整合型A/D轉換器在一週期 H [s]期間使用具有一頻率 f [Hz]之一時脈信號來執行A/D轉換。為使計數加倍，如圖2中所繪示，當維持一轉換週期 H [s]時，必須將時脈信號之頻率加倍提高至 $2f$ [Hz]。由於需要將時脈信號分派給所有行，所以連接至時脈信號之行之負載較大且不易於實現高頻率。為此，難以實現PTL 2中所揭示之整合型A/D轉換器之高解析度。

藉由提高一時脈信號之頻率或增大一A/D轉換器之解析度而實現該A/D轉換器之一操作之高速率。然而，如上文所描述，提高頻率及

增大解析度兩者係不容易的。即，難以達成PTL 2中所揭示之整合型A/D轉換器之高速率。

同時，PTL 1提出用於低電力消耗目的之一A/D轉換器。圖3中繪示整合並聯行型行A/D轉換器之一實例。如圖3中所繪示，PTL 1中所揭示之整合型A/D轉換器經組態使得一參考時脈信號自一PLL分派給格雷碼計數器且一格雷碼自格雷碼計數器分派給各行。在此組態中，由於格雷碼計數器安置於給定彙集行群組之各者中，所以顯著減小分派參考時脈信號之佈線上之負載且使用格雷碼，且因此可用參考頻率 $f/2$ [Hz]來獲得相同解析度。

然而，即使在此情況中，分派給整個A/D轉換器之參考時脈信號在晶片中具有最高頻率。為此，在PTL 1中所揭示之整合型A/D轉換器中，亦難以達成高速率或高解析度，如同PTL 2中所揭示之整合型A/D轉換器之情況。

同時，日本未審查專利申請公開案第2008-92091號(下文中指稱PTL 3)提出藉由引起一環形振盪器產生具有不同相位之時脈信號且用一比較結果之一信號鎖存該等時脈信號使得一解析度被增大而獲得相位資訊之一方法。

圖4中繪示依據此方法之一整合並聯行型行A/D轉換器之一實例。如圖4中所繪示，PTL 3中所揭示之整合型A/D轉換器藉由將一參考時脈信號插入至一環形振盪器中而產生具有不同相位之時脈信號。將一PLL用於該環形振盪器中。接著，將具有不同相位之該等時脈信號分派給行之A/D轉換器。

在此方法中，由於聚焦於一相位差之一時間量化器(TDC(時間轉數位轉換器))用於執行A/D轉換，所以可降低參考時脈信號之頻率。例如，在其中TDC使用具有45度之一相位差之四個時脈信號來對低階3位元執行A/D轉換的一情況中，當輸入至PLL之一參考時脈具有 $f/8$

[Hz]時，PTL 3中所揭示之整合型A/D轉換器可獲得相同於圖1中之A/D轉換器之解析度的解析度。

然而，由於一環形振盪器(諸如一PLL)組態為包含一回饋之一類比電路，所以其面積較大且難以將該環形振盪器配置於給定彙集行群組之各者處。因此，將一相位差時脈信號分派給所有行，且因此難以維持一相位差(歸因於時脈偏移或其類似者)且難以達成高速率或高解析度。

相應地，藉由使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之信號產生其相位相對於該時脈信號而位移之多相時脈信號而設計更容易達成之高速率或高解析度，同時抑制一時脈信號之高頻率。

在下文中，將進行更具體描述。

<2. 第一實施例>

<4相時脈產生電路>

圖5係繪示一4相時脈產生電路之一主組態之一實例的一圖式，該4相時脈產生電路係本發明應用於其之一相位差時脈產生電路之一實例。該相位差時脈產生電路係產生由複數個時脈信號組態之相位差時脈信號(亦指稱多相時脈信號)的一電路，藉由使一輸入時脈信號之相位位移而使該複數個時脈信號之相位相互位移。圖5中所繪示之一4相時脈產生電路100依相同方式自一輸入時脈信號SLCK產生由其各位移達1/4週期之四個時脈信號形成之4相時脈信號。

如圖5中所繪示，4相時脈產生電路100包含一延遲電路101及一相位內插器(PI) 102-1至一相位內插器(PI) 102-4。延遲電路101使輸入時脈信號SLCK延遲達一預定延遲時間 t_{PD} 且輸出經延遲之時脈信號。可使用任何延遲時間 t_{PD} 。例如，延遲時間 t_{PD} 可為時脈信號SLCK之約1/4週期。延遲電路101將經延遲之時脈信號SLCK供應至相位內插

器(PI) 102-1至相位內插器(PI) 102-4。

相位內插器(PI) 102-1至相位內插器(PI) 102-4係相同電路。在下文中，當無需使相位內插器(PI) 102-1至相位內插器(PI) 102-4彼此區分來描述時，將相位內插器(PI) 102-1至相位內插器(PI) 102-4簡稱為相位內插器102。相位內插器102係具有兩個輸入及一個輸出之一電路，且在自兩個輸入信號之間之一相位差之一中間時點延遲達一預定延遲時間之一時點處輸出一信號。下文將描述相位內插器102之細節。

如圖5中所繪示，將時脈信號SLCK及藉由使時脈信號SLCK延遲達約1/4週期而獲得之一信號輸入至相位內插器(PI) 102-1。相位內插器(PI) 102-1自此等信號產生一時脈信號q0（其係4相時脈信號之一者）且將所產生之時脈信號輸出至4相時脈產生電路100之外部。將與時脈信號SLCK反相之一信號及藉由使時脈信號SLCK延遲達約1/4週期而獲得之一信號輸入至相位內插器(PI) 102-2。相位內插器(PI) 102-2自此等信號產生一時脈信號q1（其係4相時脈信號之一者）且將所產生之時脈信號輸出至4相時脈產生電路100之外部。將與時脈信號SLCK反相之一信號及與藉由使時脈信號SLCK延遲達約1/4週期而獲得之一信號反相之一信號輸入至相位內插器(PI) 102-3。相位內插器(PI) 102-3自此等信號產生一時脈信號q2（其係4相時脈信號之一者）且將所產生之時脈信號輸出至4相時脈產生電路100之外部。將時脈信號SLCK及與藉由使時脈信號SLCK延遲達約1/4週期而獲得之一信號反相之一信號輸入至相位內插器(PI) 102-4。相位內插器(PI) 102-4自此等信號產生一時脈信號q3（其係4相時脈信號之一者）且將所產生之時脈信號輸出至4相時脈產生電路100之外部。

即，相位內插器102自時脈信號SLCK及藉由使時脈信號SLCK延遲達約1/4週期而獲得之信號產生其相位各位移達1/4週期之4相時脈信

號且輸出該等4相時脈信號。

圖6係繪示4相時脈產生電路100之一操作之一情形之一實例之一時序圖。如圖6中所繪示，相位內插器(PI) 102-1產生時脈信號q0 (其具有相同於時脈信號SLCK之週期且在自時脈信號SLCK之一上升邊緣之一時點(T0)與僅延遲達延遲時間tPD之時脈信號SLCK (SLCK+delay)之一上升邊緣之一時點(T1)之間之一中間時點(T11)僅延遲達由一雙向箭頭111-1指示之相位內插器(PI) 102-1之一固定延遲時間之一時點處具有一上升邊緣)，且接著輸出所產生之時脈信號。

同樣地，相位內插器(PI) 102-2產生時脈信號q1 (其具有相同於時脈信號SLCK之週期且在自僅延遲達延遲時間tPD之時脈信號SLCK (SLCK+delay)之上升邊緣之時點(T1)與反相於時脈信號SLCK之信號之一上升邊緣(即，時脈信號SLCK之一下降邊緣)之一時點(T2)之間之一中間時點(T12)僅延遲達由一雙向箭頭111-2指示之相位內插器(PI) 102-2之一固定延遲時間之一時點處具有一上升邊緣)，且接著輸出所產生之時脈信號。

同樣地，相位內插器(PI) 102-3產生時脈信號q2 (其具有相同於時脈信號SLCK之週期且在自與時脈信號SLCK反相之信號之上升邊緣(即，時脈信號SLCK之一下降邊緣)之時點(T2)與反相於僅延遲達延遲時間tPD之時脈信號SLCK (SLCK+delay)之信號之一上升邊緣(即，僅延遲達延遲時間tPD之時脈信號SLCK (SLCK+delay)之一下降邊緣)之一時點(T3)之間之一中間時點(T13)僅延遲達由一雙向箭頭111-3指示之相位內插器(PI) 102-3之一固定延遲時間之一時點處具有一上升邊緣)，且接著輸出所產生之時脈信號。

同樣地，相位內插器(PI) 102-4產生時脈信號q3 (其具有相同於時脈信號SLCK之週期且在自與僅延遲達延遲時間tPD之時脈信號SLCK (SLCK+delay)反相之信號之上升邊緣(即，僅延遲達延遲時間tPD之時

脈信號SLCK (SLCK+delay)之下降邊緣)之時點(T3)與時脈信號SLCK之一上升邊緣之一時點(T4)之間之一中間時點(T14)僅延遲達由一雙向箭頭111-4指示之相位內插器(PI) 102-4之一固定延遲時間的一時點處具有一上升邊緣)，且接著輸出該所產生之時脈信號。

即，圖7之表中繪示時脈信號q0至時脈信號q3 (其等係4相時脈信號)相對於時脈信號SLCK之延遲時間。因此，如圖7之表中所繪示，時脈信號q0至時脈信號q3之間之相互相位差係時脈信號SLCK之 $1/4$ 週期($t_{CK}/4$)。即，4相時脈產生電路100可產生準確4相時脈信號。

[相位內插器之操作原理]

接著，將參考圖8及圖9來描述相位內插器102之一操作原理。如上文所描述，相位內插器102具有兩個輸入及一個輸出之一電路組態。當該兩個輸入之間存在一相位差時，在該相位差之一中間時點處輸出一信號。例如，假定將一信號IN1輸入至相位內插器(PI) 102-1之兩個輸入端子，如同圖8之實例。假定將信號IN1輸入至相位內插器(PI) 102-2之輸入端子之一者，且假定將一信號IN2輸入至另一輸入端子。假定將信號IN2輸入至相位內插器(PI) 102-3之兩個輸入端子。假定存在由信號IN1與信號IN2之間之一雙向箭頭T11指示之一延遲時間，如圖9中所繪示，且假定相位內插器102中存在由一雙向箭頭T12指示之一固定延遲時間。

由於僅將信號IN1輸入至相位內插器(PI) 102-1，所以相位內插器(PI) 102-1輸出自信號IN1延遲達雙向箭頭T12之一信號OUT11。即，當在一時間T0處發生信號IN1之一上升邊緣時，在使信號OUT11自時間T0延遲達雙向箭頭T12之一時間T2處發生信號OUT11之一上升邊緣。

由於僅將信號IN2輸入至相位內插器(PI) 102-3，所以相位內插器(PI) 102-3輸出自信號IN2延遲達雙向箭頭T12之一信號OUT13。即，

當在一時間T1處發生信號IN2之一上升邊緣時，在使信號OUT13自時間T1延遲達雙向箭頭T12之一時間T4處發生信號OUT13之一上升邊緣。

另一方面，由於將信號IN1及信號IN2兩者輸入至相位內插器(PI) 102-2，所以相位內插器(PI) 102-2輸出自信號IN1與信號IN2之間之相位差之中間時點延遲達雙向箭頭T12之一信號OUT12。即，當假定信號IN1之一上升邊緣發生於時間T0處且假定信號IN2之一上升邊緣發生於時間T1處時，信號OUT12之一上升邊緣發生於使信號自時間T0與時間T1之中間時間延遲達雙向箭頭T12之一時間T3處。

可根據相位內插器102之組態而設定任何中間時點。

[相位內插器之組態]

圖10及圖11中繪示相位內插器102之組態之一實例。具有圖10中所繪示之一組態之相位內插器102亦指稱一CMOS相位內插器(PI)。在此情況中，相位內插器102包含三個反相器且使兩個反相器(反相器121及122)之輸出短路以將其輸入至剩餘反相器(反相器123)。當一輸入電晶體之一驅動能力係1-W:W (假定W係一加權係數)時，一輸出時點變為W:1-W，如同圖9之信號OUT12。

具有圖11中所繪示之一組態之相位內插器102亦指稱一CML相位內插器(PI)。在此情況中，相位內插器102包含兩個差動電路且共用一負載電阻器R。當一輸入電阻器之一驅動能力係1-W:W (假定W係一加權係數)時，如同圖10之實例中之CMOS相位內插器(PI)，一輸出時點變為W:1-W，如同圖9之信號OUT12。驅動能力取決於一電流源131之一電流值及一電流源132之一電流值。

在4相時脈產生電路100 (參閱圖5)之相位內插器(PI) 102-1至相位內插器(PI) 102-4中設定一加權係數W=0.5。即，一輸出時點變為1:1之一時點(兩個輸入之間之相位差之一平分時點)。

[相位差時脈產生電路]

當產生一相位差時脈信號(多相時脈信號)時，通常使用一PLL或其類似者。由於一PLL係形成一濾波器或其類似者(其具有請求一回饋之一類比電路)之一被動元件，所以其面積較大。另一方面，上述相位內插器102可由三個反相器實現。相應地，可實現具有比一PLL簡單之一組態之4相時脈產生電路100。因此，可藉由使用4相時脈產生電路100而進一步減小一電路大小(面積)。相應地，可改良電路配置之自由度。此外，由於4相時脈產生電路100未使用一PLL，所以可比使用一PLL時更進一步減少電力消耗。

儘管已描述其中產生4相時脈信號之實例(4相時脈產生電路100)，但可使用所產生之相位差時脈信號之任何數目個相位。例如，藉由改變來自圖5中之實例(4相時脈產生電路100)之相位差時脈產生電路之相位內插器102之數目或組合，可產生其相位各位移達 $1/8$ 週期之8相時脈信號或其相位各位移達 $1/16$ 週期之16相時脈信號。同樣地，藉由改變來自圖5中之實例(4相時脈產生電路100)之相位差時脈產生電路之相位內插器102之數目、相位內插器102之一組合、及相位內插器102之加權係數 W ，亦可產生其相位各位移達 $1/3$ 週期之3相時脈信號或其相位各位移達 $1/5$ 週期之5相時脈信號。

<3. 第二實施例>

[高解析度格雷碼產生電路-1]

圖12係繪示一高解析度格雷碼產生電路之一主組態之一實例的一圖式，該高解析度格雷碼產生電路係本發明應用於其之一格雷碼產生裝置之一實例。該格雷碼產生裝置係自一輸入時脈信號產生一格雷碼(亦指稱一交替二進位碼)之一裝置。該格雷碼係其中前後相鄰碼之間之一漢明距離通常為1之一碼。同樣地，圖12中所繪示之一高解析度格雷碼產生電路200自一輸入時脈信號SLCK產生5位元格雷碼。

如圖12中所繪示，高解析度格雷碼產生電路200包含一4相時脈產生電路201及一格雷碼產生電路202。4相時脈產生電路201具有相同於第一實施例中所描述之4相時脈產生電路100（參閱圖5）之組態且執行相同程序的一電路。4相時脈產生電路201自輸入時脈信號SLCK產生4相時脈信號（一時脈信號q0、一時脈信號q1、一時脈信號q2及一時脈信號q3）且將該等4相時脈信號供應至格雷碼產生電路202。

格雷碼產生電路202包含複數個相位內插器及邏輯閘，且使用該等相位內插器及該等邏輯閘以自4相時脈產生電路201中所產生之4相時脈信號（時脈信號q0、時脈信號q1、時脈信號q2及時脈信號q3）產生5位元格雷碼且輸出該等5位元格雷碼。

如圖12中所繪示，格雷碼產生電路202包含一相位內插器(PI) 211-1至一相位內插器(PI) 211-8、一相位內插器(PI) 212-1至一相位內插器(PI) 212-16、一「互斥或(XOR)」閘213-1至一「互斥或」閘213-9及一「及(AND)」閘214-1至一「及」閘214-5。

相位內插器(PI) 211-1至相位內插器(PI) 211-8係各具有相同於第一實施例中所描述之相位內插器102（參閱圖5）之組態且執行相同程序的電路。

將自4相時脈產生電路201輸出之時脈信號q0輸入至相位內插器(PI) 211-1之兩個輸入端子。相位內插器(PI) 211-1自該等信號輸出延遲達相位內插器(PI) 211-1之一固定延遲時間的一信號。將自4相時脈產生電路201輸出之時脈信號q0及q1輸入至相位內插器(PI) 211-2。相位內插器(PI) 211-2自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 211-2之一固定延遲時間的一信號。

將自4相時脈產生電路201輸出之時脈信號q1輸入至相位內插器(PI) 211-3之兩個輸入端子。相位內插器(PI) 211-3自該等信號輸出延遲達相位內插器(PI) 211-3之一固定延遲時間的一信號。將自4相時脈

產生電路201輸出之時脈信號q1及q2輸入至相位內插器(PI) 211-4。相位內插器(PI) 211-4自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 211-4之一固定延遲時間的一信號。

將自4相時脈產生電路201輸出之時脈信號q2輸入至相位內插器(PI) 211-5之兩個輸入端子。相位內插器(PI) 211-5自該等信號輸出延遲達相位內插器(PI) 211-5之一固定延遲時間的一信號。將自4相時脈產生電路201輸出之時脈信號q2及q3輸入至相位內插器(PI) 211-6。相位內插器(PI) 211-6自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 211-6之一固定延遲時間的一信號。

將自4相時脈產生電路201輸出之時脈信號q3輸入至相位內插器(PI) 211-7之兩個輸入端子。相位內插器(PI) 211-7自該等信號輸出延遲達相位內插器(PI) 211-7之一固定延遲時間的一信號。將自4相時脈產生電路201輸出之時脈信號q3及q0輸入至相位內插器(PI) 211-8。相位內插器(PI) 211-8自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 211-8之一固定延遲時間的一信號。

在下文中，當無需使相位內插器(PI) 211-1至相位內插器(PI) 211-8彼此區分時，將相位內插器(PI) 211-1至相位內插器(PI) 211-8簡稱為相位內插器211。

相位內插器(PI) 212-1至相位內插器(PI) 212-16係各具有相同於第一實施例中所描述之相位內插器102 (參閱圖5)之組態且執行相同程序的電路。

將相位內插器(PI) 211-1之輸出輸入至相位內插器(PI) 212-1之兩個輸入端子。相位內插器(PI) 212-1自該等信號輸出延遲達相位內插器(PI) 212-1之一固定延遲時間的一信號P0。將相位內插器(PI) 211-1之輸出及相位內插器(PI) 211-2之輸出輸入至相位內插器(PI) 212-2。相位內插器(PI) 212-2自該等信號輸出自該等信號之一中間時點延遲

達相位內插器(PI) 212-2之一固定延遲時間的一信號P1。

將相位內插器(PI) 211-2之輸出輸入至相位內插器(PI) 212-3之兩個輸入端子。相位內插器(PI) 212-3自該等信號輸出延遲達相位內插器(PI) 212-3之一固定延遲時間的一信號P2。將相位內插器(PI) 211-2之輸出及相位內插器(PI) 211-3之輸出輸入至相位內插器(PI) 212-4。相位內插器(PI) 212-4自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 212-4之一固定延遲時間的一信號P3。

將相位內插器(PI) 211-3之輸出輸入至相位內插器(PI) 212-5之兩個輸入端子。相位內插器(PI) 212-5自該等信號輸出延遲達相位內插器(PI) 212-5之一固定延遲時間的一信號P4。將相位內插器(PI) 211-3之輸出及相位內插器(PI) 211-4之輸出輸入至相位內插器(PI) 212-6。相位內插器(PI) 212-6自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 212-6之一固定延遲時間的一信號P5。

將相位內插器(PI) 211-4之輸出輸入至相位內插器(PI) 212-7之兩個輸入端子。相位內插器(PI) 212-7自該等信號輸出延遲達相位內插器(PI) 212-7之一固定延遲時間的一信號P6。將相位內插器(PI) 211-4之輸出及相位內插器(PI) 211-5之輸出輸入至相位內插器(PI) 212-8。相位內插器(PI) 212-8自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 212-8之一固定延遲時間的一信號P7。

將相位內插器(PI) 211-5之輸出輸入至相位內插器(PI) 212-9之兩個輸入端子。相位內插器(PI) 212-9自該等信號輸出延遲達相位內插器(PI) 212-9之一固定延遲時間的一信號P8。將相位內插器(PI) 211-5之輸出及相位內插器(PI) 211-6之輸出輸入至相位內插器(PI) 212-10。相位內插器(PI) 212-10自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 212-10之一固定延遲時間的一信號P9。

將相位內插器(PI) 211-6之輸出輸入至相位內插器(PI) 212-11之兩

個輸入端子。相位內插器(PI) 212-11自該等信號輸出延遲達相位內插器(PI) 212-11之一固定延遲時間的一信號P10。將相位內插器(PI) 211-6之輸出及相位內插器(PI) 211-7之輸出輸入至相位內插器(PI) 212-12。相位內插器(PI) 212-12自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 212-12之一固定延遲時間的一信號P11。

將相位內插器(PI) 211-7之輸出輸入至相位內插器(PI) 212-13之兩個輸入端子。相位內插器(PI) 212-13自該等信號輸出延遲達相位內插器(PI) 212-13之一固定延遲時間的一信號P12。將相位內插器(PI) 211-7之輸出及相位內插器(PI) 211-8之輸出輸入至相位內插器(PI) 212-14。相位內插器(PI) 212-14自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 212-14之一固定延遲時間的一信號P13。

將相位內插器(PI) 211-8之輸出輸入至相位內插器(PI) 212-15之兩個輸入端子。相位內插器(PI) 212-15自該等信號輸出延遲達相位內插器(PI) 212-15之一固定延遲時間的一信號P14。將相位內插器(PI) 211-8之輸出及相位內插器(PI) 211-1之輸出輸入至相位內插器(PI) 212-16。相位內插器(PI) 212-16自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 212-16之一固定延遲時間的一信號P15。

即，如圖13中所繪示，相位內插器(PI) 212-1至相位內插器(PI) 212-16可產生其相位各位移達 $1/16$ 週期之信號P0至信號P15（即，16相時脈信號）。在下文中，當無需使相位內插器(PI) 212-1至相位內插器(PI) 212-16彼此區分時，將相位內插器(PI) 212-1至相位內插器(PI) 212-16簡稱為相位內插器212。

「互斥或」閘213-1至「互斥或」閘213-9係各具有兩個輸入及一個輸出且執行一「互斥或」運算的電路。「互斥或」閘213-1獲得信號P0及P2之一「互斥或」且輸出運算結果。「互斥或」閘213-2獲得信號P1及P5之一「互斥或」且輸出運算結果。「互斥或」閘213-3獲得信號

P3及P11之一「互斥或」且輸出運算結果。「互斥或」閘213-4獲得信號P4及P6之一「互斥或」且輸出運算結果。「互斥或」閘213-5獲得信號P7及一恆定電位(L)之一「互斥或」且輸出運算結果。「互斥或」閘213-6獲得信號P8及P10之一「互斥或」且輸出運算結果。「互斥或」閘213-7獲得信號P9及P13之一「互斥或」且輸出運算結果。「互斥或」閘213-8獲得信號P12及P14之一「互斥或」且輸出運算結果。「互斥或」閘213-9獲得信號P15及恆定電位(L)之一「互斥或」且輸出運算結果。當無需使「互斥或」閘213-1至「互斥或」閘213-9彼此區分時，將「互斥或」閘213-1至「互斥或」閘213-9簡稱為「互斥或」閘213。

「及」閘214-1至「及」閘214-5係各具有四個輸入及一個輸出且執行一邏輯「及」運算的電路。「及」閘214-1獲得「互斥或」閘213-1之輸出、「互斥或」閘213-4之輸出、「互斥或」閘213-6之輸出及「互斥或」閘213-8之輸出之一邏輯「及」，且輸出運算結果作為格雷碼之一最低有效位元GC0。「及」閘214-2獲得一恆定電位(H)、一恆定電位(H)、「互斥或」閘213-2之輸出及「互斥或」閘213-7之輸出之一邏輯「及」，且輸出運算結果作為自格雷碼之低階位元之一第二位元GC1。「及」閘214-3獲得一恆定電位(H)、一恆定電位(H)、一恆定電位(H)及「互斥或」閘213-3之輸出之一邏輯「及」，且輸出運算結果作為自格雷碼之低階位元之一第三位元GC2。「及」閘214-4獲得一恆定電位(H)、一恆定電位(H)、一恆定電位(H)及「互斥或」閘213-5之輸出之一邏輯「及」，且輸出運算結果作為自格雷碼之低階位元之一第四位元GC3。「及」閘214-5獲得一恆定電位(H)、一恆定電位(H)、一恆定電位(H)及「互斥或」閘213-9之輸出之一邏輯「及」，且輸出運算結果作為格雷碼之一最高有效位元GC4。

「及」閘214-1至「及」閘214-5產生5位元格雷碼(GC0至GC4)，

如圖13中所繪示。當無需使「及」閘214-1至「及」閘214-5彼此區分時，將「及」閘214-1至「及」閘214-5簡稱為「及」閘214。

如上文所描述，高解析度格雷碼產生電路200使用本發明應用於其之相位差時脈產生電路以自時脈信號SLCK產生4相時脈信號，且使用格雷碼產生電路202以將該等4相時脈信號轉換成格雷碼。相應地，如圖13中所繪示，高解析度格雷碼產生電路200可產生具有比信號P0至P15 (其等具有相同於時脈信號SLCK之頻率)高之一頻率分量的格雷碼(即，高解析度格雷碼)(GC0至GC3)。

當自時脈信號SLCK產生格雷碼時，必須提高時脈信號SLCK之頻率以產生一較高解析度格雷碼。然而，就一通用電路而言，由於時脈信號SLCK用於其他電路中，所以吾人擔心設計會較難。此外，即使提高時脈信號SLCK之頻率，吾人仍擔心電力消耗會顯著增加。可考量自時脈信號SLCK產生專用於高解析度格雷碼產生電路200之一高頻時脈信號的一方法。然而，在此情況中，一般使用一PLL。為此，吾人擔心電路大小或電力消耗會增加。

相比而言，高解析度格雷碼產生電路200可在無需提高時脈信號SLCK之頻率且無需使用一PLL或其類似者之情況下使用相位內插器及邏輯電路來產生高解析度格雷碼。即，高解析度格雷碼產生電路200可更容易地達成所產生之格雷碼之高解析度。高解析度格雷碼產生電路200可比使用一PLL時減少電力消耗，此係因為未使用PLL。可實現具有比使用一PLL時簡單之一組態的高解析度格雷碼產生電路200，且因此可進一步減小電路大小(面積)。相應地，高解析度格雷碼產生電路200可比使用一PLL時更進一步改良電路配置之自由度。

圖12中已描述其中使用4相時脈產生電路201之情況。然而，高解析度格雷碼產生電路200可使用產生具有任何數目個相位之時脈信號的一多相時脈產生電路來產生格雷碼。例如，在圖12中，包含4相

時脈產生電路201及相位內插器211之一8相時脈產生電路221產生8相時脈信號。即，高解析度格雷碼產生電路200可包含：8相時脈產生電路221；及一格雷碼產生電路223，其包含相位內插器212、「互斥或」閘213及「及」閘214。例如，在圖12中，包含4相時脈產生電路201、相位內插器211及相位內插器212之一16相時脈產生電路222產生16相時脈信號。即，高解析度格雷碼產生電路200可包含：16相時脈產生電路222；及一格雷碼產生電路224，其包含「互斥或」閘213及「及」閘214。

可實現格雷碼產生電路202 (其亦包含格雷碼產生電路223及格雷碼產生電路224)之相位內插器及邏輯電路之任何組態，且本發明不受限於圖12之實例。例如，可使用執行一「反及(NOT-AND)」運算之「反及(NAND)」閘來代替「互斥或」閘213。

可使用由高解析度格雷碼產生電路200產生之格雷碼之任何數目個位元，且本發明不受限於圖12之實例中之五個位元。例如，高解析度格雷碼產生電路200可產生6個或6個以上位元之格雷碼或可產生4個或4個以下位元之格雷碼。在此情況中，格雷碼產生電路202中之相位內插器及邏輯電路之組態可經適當設定使得所要數目個位元之格雷碼可自由4相時脈產生電路201自時脈信號SLCK產生之4相時脈信號產生。

[高解析度格雷碼產生電路-2]

圖14係繪示一高解析度格雷碼產生電路之一主組態之一實例的一圖式，該高解析度格雷碼產生電路係本發明應用於其之格雷碼產生裝置之一實例。圖14中所繪示之一高解析度格雷碼產生電路230自一輸入時脈信號SLCK產生具有比時脈信號SLCK之頻率高之一頻率分量的格雷碼(即，高解析度格雷碼)。

如圖14中所繪示，高解析度格雷碼產生電路230包含一相位差時

脈產生電路231及一格雷碼產生電路234。

相位差時脈產生電路231係本發明應用於其之相位差時脈產生電路之一實例，且自輸入時脈信號SLCK產生其相位各位移達1/8週期之8相時脈信號之部分。更具體言之，相位差時脈產生電路231產生其相位各位移達1/8週期之信號P0至信號P7中之一信號P0、一信號P1、一信號P2、一信號P4、一信號P6及一信號P7，如圖15中所繪示。

如圖14中所繪示，相位差時脈產生電路231包含一4相時脈產生電路241及一相位內插器(PI) 242-1至一相位內插器(PI) 242-6。

4相時脈產生電路241係具有相同於第一實施例中所描述之4相時脈產生電路100 (參閱圖5)之組態且執行相同程序的一電路。4相時脈產生電路241自輸入時脈信號SLCK產生4相時脈信號(一時脈信號q0、一時脈信號q1、一時脈信號q2及一時脈信號q3)且將該等4相時脈信號供應至相位內插器(PI) 242-1至相位內插器(PI) 242-6。

相位內插器(PI) 242-1至相位內插器(PI) 242-6係具有相同於第一實施例中所描述之相位內插器102 (參閱圖5)之組態且執行相同程序的電路。

將自4相時脈產生電路241輸出之時脈信號q0及q1輸入至相位內插器(PI) 242-1。相位內插器(PI) 242-1自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 242-1之一固定延遲時間的一信號P1。將自4相時脈產生電路241輸出之時脈信號q3及q0輸入至相位內插器(PI) 242-2。相位內插器(PI) 242-2自該等信號輸出自該等信號之一中間時點延遲達相位內插器(PI) 242-2之一固定延遲時間的一信號P7。將自4相時脈產生電路241輸出之時脈信號q0輸入至相位內插器(PI) 242-3之兩個輸入端子。相位內插器(PI) 242-3自該等信號輸出延遲達相位內插器(PI) 242-3之一固定延遲時間的一信號P0。

將自4相時脈產生電路241輸出之時脈信號q1輸入至相位內插器

(PI) 242-4之兩個輸入端子。相位內插器(PI) 242-4自該等信號輸出延遲達相位內插器(PI) 242-4之一固定延遲時間的一信號P2。將自4相時脈產生電路241輸出之時脈信號q2輸入至相位內插器(PI) 242-5之兩個輸入端子。相位內插器(PI) 242-5自該等信號輸出延遲達相位內插器(PI) 242-5之一固定延遲時間的一信號P4。將自4相時脈產生電路241輸出之時脈信號q3輸入至相位內插器(PI) 242-6之兩個輸入端子。相位內插器(PI) 242-6自該等信號輸出延遲達相位內插器(PI) 242-6之一固定延遲時間的一信號P6。

在下文中，當無需使相位內插器(PI) 242-1至相位內插器(PI) 242-6彼此區分時，將相位內插器(PI) 242-1至相位內插器(PI) 242-6簡稱為相位內插器242。如圖15中所繪示，信號P0至P7具有相同週期，同時信號P0至P7之相位彼此不同(相同於時脈信號SLCK)。

格雷碼產生電路234自相位差時脈產生電路231中所產生之多相時脈信號(信號P0、信號P1、信號P2、信號P4、信號P6及信號P7)產生高解析度格雷碼，且輸出該等高解析度格雷碼。如圖14中所繪示，格雷碼產生電路234包含一格雷碼產生電路232及一額外格雷碼產生電路233。

格雷碼產生電路232自信號P1產生5位元格雷碼(GC0至GC4)且輸出該等5位元格雷碼。圖15中繪示該等格雷碼之3個低階位元(GC0至GC2)。信號P1具有不同於時脈信號SLCK之相位的一相位，同時信號P1之週期未改變。即，格雷碼產生電路232可由自時脈信號SLCK產生格雷碼之一通用格雷碼產生電路實現。相應地，格雷碼產生電路232具有任何組態。例如，可使用圖3中所繪示之PTL 1中所描述之格雷碼計數器。

額外格雷碼產生電路233自信號P7、P0、P2、P4及P6產生比由格雷碼產生電路232產生之格雷碼(GC0至GC4)低之2位元格雷碼(GC-

LSB[0]及GC-LSB[1])且輸出該等格雷碼。圖15中繪示該等格雷碼(GC-LSB[0]及GC-LSB[1])之實例。即，額外格雷碼產生電路233產生具有比輸入至高解析度格雷碼產生電路230之時脈信號SLCK之頻率高之一頻率分量的格雷碼(即，高解析度格雷碼)。

如圖14中所繪示，額外格雷碼產生電路233包含五個「反及」閘(「反及」閘251至「反及」閘255)。「反及」閘251至「反及」閘255之各者係具有兩個輸入及一個輸出且執行一「反及」運算的一電路。

「反及」閘251獲得一恆定電位(H)及信號P7之一「反及」且輸出運算結果。「反及」閘252獲得一恆定電位(H)及「反及」閘251之輸出之一「反及」，且輸出運算結果作為自格雷碼之低階位元之第二位元GC-LSB[1]。「反及」閘253獲得信號P0及信號P2之一「反及」且輸出運算結果。「反及」閘254獲得信號P4及信號P6之一「反及」且輸出運算結果。「反及」閘255獲得「反及」閘253之輸出及「反及」閘254之輸出之一「反及」且輸出運算結果作為格雷碼之最低有效位元GC-LSB[0]。

如上文所描述，高解析度格雷碼產生電路230使用本發明應用於其之相位差時脈產生電路以自時脈信號SLCK產生8相時脈信號之部分，且使用格雷碼產生電路234以將8相時脈信號轉之部分換成格雷碼。相應地，高解析度格雷碼產生電路230可產生具有比信號P0至P7(其等具有相同於時脈信號SLCK之頻率)之頻率高之頻率分量的格雷碼(即，高解析度格雷碼)(GC-LSB[0]及GC-LSB[1])，如圖15中所繪示。

高解析度格雷碼產生電路230可在無需提高時脈信號SLCK之頻率且無需使用一PLL或其類似者之情況下使用相位內插器及邏輯電路來產生高解析度格雷碼。即，高解析度格雷碼產生電路230可更容易地達成所產生之格雷碼之高解析度。高解析度格雷碼產生電路230可比

使用一PLL時減少電力消耗，此係因為未使用PLL。因此，可進一步減小電路大小(面積)。

如圖14中所繪示，高解析度格雷碼產生電路230使用本發明應用於其之相位差時脈產生電路來產生8相時脈信號之部分。因此，由於僅將包含「反及」閘之額外格雷碼產生電路233新增至通用格雷碼產生電路232，所以可實現格雷碼之高解析度。即，可容易地設計高解析度格雷碼產生電路230，且因此可抑制開發成本之增加。

可使用由高解析度格雷碼產生電路230產生之格雷碼之任何數目個位元。可根據所產生之格雷碼之低階位元(具有比時脈信號SLCK之頻率高之頻率分量的格雷碼)之位元數而適當設定相位差時脈產生電路231中之相位內插器或其類似者之組態或額外格雷碼產生電路233中之邏輯電路之組態。

<4. 第三實施例>

[A/D轉換電路-1]

本發明除可應用於第二實施例中所描述之格雷碼產生電路之外，亦可應用於一電路或一裝置。例如，第二實施例中所描述之高解析度格雷碼產生電路可應用於一A/D轉換裝置。

圖16係繪示一A/D轉換電路之一主組態之一實例的一圖式，該A/D轉換電路係本發明應用於其之一A/D轉換裝置之一實例。該A/D轉換電路係將一輸入類比信號轉換成指示其信號位準之一數位信號的一電路。圖16中所繪示之一A/D轉換電路300比較一輸入類比信號IN之信號位準與一斜波之一參考電壓RAMP (其信號位準隨時間線性變化)之信號位準。A/D轉換電路300量測一時間之持續時間直至比較結果被改變，且輸出一量測值(數位值)作為輸入類比信號IN之信號位準。即，A/D轉換電路300係一整合型A/D轉換電路。

如圖16中所繪示，A/D轉換電路300包含一高解析度格雷碼產生

電路301、一比較電路302、一鎖存器303及一漣波計數器304。

高解析度格雷碼產生電路301自一輸入時脈信號SLCK產生具有比時脈信號SLCK之頻率高之一頻率分量的格雷碼(即，高解析度格雷碼)。例如，高解析度格雷碼產生電路301自時脈信號SLCK產生7位元格雷碼，該等7位元格雷碼包含比時脈信號SLCK之頻率高之頻率分量之兩個位元。高解析度格雷碼產生電路301將所產生之格雷碼供應至鎖存器303。

高解析度格雷碼產生電路301係具有相同於第二實施例中所描述之高解析度格雷碼產生電路200 (參閱圖12)或高解析度格雷碼產生電路230 (參閱圖14)之組態且執行相同程序的一電路。即，將本發明應用於其之格雷碼產生裝置應用於高解析度格雷碼產生電路301。

比較電路302比較輸入類比信號IN之信號位準與斜波之參考電壓RAMP之信號位準且將比較結果供應至鎖存器303。

鎖存器303在使比較電路302之比較結果改變之一時點處獲得及鎖存自高解析度格雷碼產生電路301供應之格雷碼。鎖存器303將經鎖存之格雷碼(其作為指示輸入類比信號IN之信號位準的一數位值之一低階位元)供應至漣波計數器304。

漣波計數器304形成為(例如)一可逆計數器，計數格雷碼之最高有效位元之下降時序，且將計數值設定為指示輸入類比信號IN之信號位準的一數位值之一高階位元。漣波計數器304將自鎖存器303供應之高階位元及低階位元設定為指示輸入類比信號IN之信號位準的數位值且輸出該等數位值。

如上文所描述，A/D轉換電路300使用本發明應用於其之格雷碼產生裝置來產生高解析度格雷碼，且使用該等格雷碼來執行A/D轉換。相應地，A/D轉換電路300可在無需提高時脈信號SLCK之頻率且無需使用一PLL或其類似者之情況下比使用時脈信號SLCK之計數值

來執行A/D轉換時更進一步提高A/D轉換之解析度。即，A/D轉換電路300可更容易地實現A/D轉換之高解析度。

換言之，A/D轉換電路300可依相對於時脈信號SLCK之一較高速率操作。即，A/D轉換電路300可在無需提高時脈信號SLCK之頻率且無需使用一PLL或其類似者之情況下比使用時脈信號SLCK之計數值來執行A/D轉換時更進一步達成A/D轉換之高速率。即，A/D轉換電路300可更容易地實現A/D轉換之高速率。

A/D轉換電路300可在無需提高時脈信號SLCK之頻率且無需使用一PLL或其類似者之情況下更容易地實現時脈信號SLCK之A/D轉換之高解析度及高速率兩者。即，A/D轉換電路300可更容易地達成A/D轉換之高速率、或高解析度、或高速率及高解析度兩者。

換言之，A/D轉換電路300可依相對於時脈信號SLCK之一較高速率操作。因此，藉由將A/D轉換之解析度及處理速率設定為相同於其中計數時脈信號SLCK的情況之A/D轉換之解析度及處理速率，可比使用時脈信號SLCK之計數值來執行A/D轉換時更進一步降低時脈信號SLCK之頻率。即，A/D轉換電路300可比計數時脈信號SLCK時更進一步減少電力消耗。

由於使用本發明應用於其之格雷碼產生裝置，所以A/D轉換電路300可在無需使用一PLL或其類似者之情況下使用相位內插器及邏輯電路來執行使用高解析度格雷碼之A/D轉換。相應地，A/D轉換電路300可用比使用一PLL來用於產生高解析度格雷碼時簡單之一組態來執行A/D轉換，且因此可進一步減小電路大小(面積)。相應地，A/D轉換電路300可改良電路配置之自由度。由於A/D轉換電路300未使用一PLL，所以可比使用一PLL時更進一步減少電力消耗。

<5. 第四實施例>

[成像元件-1]

在本發明中，例如，可將第二實施例中所描述之格雷碼產生電路應用於一成像元件。

圖17係繪示本發明應用於其之一成像元件之一主組態之一實例的一圖式。圖17中所繪示之一成像元件320係使一物體成像且獲得一擷取影像之數位資料之一元件。如圖17中所繪示，成像元件320包含一像素陣列321、一A/D轉換電路322、一水平掃描單元323、一PLL 324及一斜坡產生電路325。

像素陣列321係其中配置複數個單位像素之一陣列，該複數個單位像素各包含使入射光光電轉換之一光電轉換元件。自各單位像素讀取之一像素信號經由連接像素行之一垂直信號線而傳輸至A/D轉換電路322。各單位像素連接至連接像素列之一行選擇線(圖中未繪示)，且由一列掃描電路(圖中未繪示)經由列選擇線而控制各單位像素之一操作。

A/D轉換電路322對供應給像素陣列321之各行之單位像素的像素信號執行A/D轉換。A/D轉換電路322包含一高解析度格雷碼產生電路331-1至一高解析度格雷碼產生電路331-M及一行A/D轉換電路332-1至一行A/D轉換電路332-N。

高解析度格雷碼產生電路331-1至高解析度格雷碼產生電路331-M具有相同組態且執行相同程序。在下文中，當無需使高解析度格雷碼產生電路331-1至高解析度格雷碼產生電路331-M彼此區分時，將高解析度格雷碼產生電路331-1至高解析度格雷碼產生電路331-M簡稱為高解析度格雷碼產生電路331。行A/D轉換電路332-1至行A/D轉換電路332-N具有相同組態且執行相同程序。在下文中，當無需使行A/D轉換電路332-1至行A/D轉換電路332-N彼此區分時，將行A/D轉換電路332-1至行A/D轉換電路332-N簡稱為行A/D轉換電路332。

高解析度格雷碼產生電路331自一輸入參考時脈($f/2$)各產生具有

比參考時脈($f/2$)之頻率高之一頻率分量的一格雷碼(即，一高解析度格雷碼)。高解析度格雷碼產生電路331經安裝以用於像素陣列321之單位像素之各預定數目個列(N列/M列)。即，A/D轉換電路322包含M個高解析度格雷碼產生電路331。高解析度格雷碼產生電路331將所產生之格雷碼供應至對應於行(其對應於高解析度格雷碼產生電路331)之行A/D轉換電路332(行A/D轉換電路332之鎖存器343)。

高解析度格雷碼產生電路331係具有相同於第二實施例中所描述之高解析度格雷碼產生電路200(參閱圖12)或高解析度格雷碼產生電路230(參閱圖14)之組態且執行相同程序的一電路。

行A/D轉換電路332安裝於像素陣列321之單位像素之各行處。即，A/D轉換電路322包含N個行A/D轉換電路332。行A/D轉換電路332對自對應於行A/D轉換電路332之行之單位像素供應之像素信號(類比信號)執行A/D轉換，輸出指示各像素信號之一信號位準的數位資料，且將該數位資料供應至水平掃描單元323(水平掃描單元323之一緩衝器351)。

行A/D轉換電路332係具有相同於第三實施例中所描述之A/D轉換電路300(參閱圖16)之組態(除A/D轉換電路300之高解析度格雷碼產生電路301之外)且執行相同程序的一電路。即，如圖17中所繪示，行A/D轉換電路332包含比較電路342、鎖存器343及漣波計數器344。

比較電路342係具有相同於第三實施例中所描述之比較電路302(參閱圖16)之組態且執行相同程序的一電路。即，比較電路342比較對應於比較電路342之行之像素信號之一信號位準與自斜坡產生電路325供應之一斜坡之一參考電壓RAMP之一信號位準，且將比較結果供應至鎖存器343。

鎖存器343係具有相同於第三實施例中所描述之鎖存器303(參閱圖16)之組態且執行相同程序的一電路。鎖存器343在使比較電路342

之比較結果改變之一時點處獲得及鎖存自對應於鎖存器343之高解析度格雷碼產生電路331供應之格雷碼。鎖存器343將經鎖存之格雷碼(其作為指示對應於鎖存器343之行之像素信號之信號位準的數位值之一低階位元)供應至漣波計數器344。

漣波計數器344係具有相同於第三實施例中所描述之漣波計數器304 (參閱圖16)之組態且執行相同程序的一電路。即，漣波計數器344形成為(例如)一可逆計數器，計數格雷碼之最高有效位元之下降時序，且將計數值設定為指示像素信號之信號位準的數位值之一高階位元。漣波計數器344將自鎖存器343供應之高階位元及低階位元設定為指示對應於漣波計數器344之行之信號位準的數位值，且輸出該等數位值。

即，各行A/D轉換電路332具有相同於第三實施例中所描述之A/D轉換電路300 (參閱圖16)之組態且藉由新增對應於行A/D轉換電路332之高解析度格雷碼產生電路331而執行相同程序。即，在成像元件320中，將本發明應用於其之A/D轉換裝置應用為行A/D轉換電路332及高解析度格雷碼產生電路331。

水平掃描單元323將自A/D轉換電路322供應之像素陣列321之單位像素之各自行之像素信號之數位資料依序輸出至成像元件320之外部。如圖17中所繪示，水平掃描單元323包含一緩衝器351-1至一緩衝器351-N、一水平傳輸掃描電路352、一傳輸匯流排353及一感測放大器354。

緩衝器351-1至緩衝器351-N具有相同組態且執行相同程序。在下文中，當無需使緩衝器351-1至緩衝器351-N彼此區分時，將緩衝器351-1至緩衝器351-N簡稱為緩衝器351。

緩衝器351安裝於像素陣列之單位像素之各行處且暫時保存自對應於緩衝器351之行A/D轉換電路332輸出之數位資料。例如，緩衝器

351-1保存自行A/D轉換電路332-1輸出之數位資料。例如，緩衝器351-N保存自行A/D轉換電路332-N輸出之數位資料。在水平傳輸掃描電路352之控制下，緩衝器351將所保存之資料輸出至傳輸匯流排353。

水平傳輸掃描電路352控制各緩衝器351中所保存之數位資料之一輸出時序，即，各行之數位資料之一傳輸時序。即，各緩衝器351在由水平傳輸掃描電路352指定之一時點處將所保存之資料輸出至傳輸匯流排353。在水平傳輸掃描電路352之控制下依序傳輸各自行之數位資料。

傳輸匯流排353將自各自緩衝器351輸出之數位資料依序傳輸至感測放大器354。感測放大器354放大經由傳輸匯流排353而供應之各行之數位資料，且將經放大之數位資料輸出至成像元件320之外部(例如，執行信號處理或其類似者之一後級處理單元)。PLL 324產生具有 $f/2$ [Hz]之一頻率之一參考時脈。PLL 324將所產生之參考時脈($f/2$)供應至A/D轉換電路322 (各高解析度格雷碼產生電路331)及斜坡產生電路325。斜坡產生電路325使用自PLL 324供應之參考時脈($f/2$)來產生一斜坡之一參考電壓RAMP (其之一電壓值隨時間線性變化)。斜坡產生電路325將所產生之參考電壓RAMP供應至A/D轉換電路322 (A/D轉換電路322之各行A/D轉換電路332之比較電路342)。

[單位像素之組態]

圖18係繪示圖17中之像素陣列321之單位像素之組態之一實例的一圖式。如圖18中所繪示，一單位像素361除包含(例如)一光二極體371 (其係一光電轉換部分(光接收部分))之外，亦包含四個電晶體，例如一讀取電晶體372、一重設電晶體373、一放大電晶體374及一選擇電晶體375。

此處，例如，將N通道MOS (金屬氧化物半導體)電晶體用作為四

個電晶體(讀取電晶體372至選擇電晶體375)。然而，此處例示之讀取電晶體372、重設電晶體373、放大電晶體374及選擇電晶體375之導電組合僅為一實例且本發明不受限於此組合。

在單位像素361中，安裝(例如)三個驅動佈線(圖中未繪示)(即，一傳輸線、一重設線及一選擇線)作為共同用於相同像素列之各像素的行選擇線。該傳輸線、該重設線及該選擇線之各者之一端連接至對應於像素列單元中之一列掃描電路(圖中未繪示)之各像素列的一輸出端，且因此該傳輸線、該重設線及該選擇線傳輸一傳輸脈衝TRG、一重設脈衝RST及一選擇脈衝SEL，該等脈衝係用於驅動單位像素之驅動信號。

光二極體371之一陽極電極連接至一負側電源(例如接地)，且因此光二極體371根據光量將所接收之光光電地轉換成電荷量之光電荷(此處為光電子)且儲存該光電荷。光二極體371之一陰極電極經由讀取電晶體372而電連接至放大電晶體374之一閘極電極。電連接至放大電晶體374之閘極電極的一節點指稱一FD(浮動擴散區)。

讀取電晶體372連接於光二極體371之陰極電極與放大電晶體374之閘極電極(即，FD)之間。在一高位準(例如一Vdd位準)處有效(下文中亦指稱「高位準有效」)之傳輸脈衝TRF經由傳輸線而提供至讀取電晶體372之閘極電極。因此，讀取電晶體372進入一接通狀態且將由光二極體371光電轉換之光電荷傳輸至浮動擴散區(FD)。

重設電晶體373之一汲極電極及一源極電極分別連接至一像素電源Vrst及浮動擴散區(FD)。高位準有效之重設脈衝RST經由重設線而提供至讀取電晶體373之閘極電極。因此，重設電晶體373進入一接通狀態且藉由將浮動擴散區(FD)之電荷排出至像素電源Vrst而重設浮動擴散區(FD)。

放大電晶體374之一閘極電極及一汲極電極分別連接至浮動擴散

區(FD)及一像素電源Vdd。在藉由重設電晶體373之重設之後，放大電晶體374輸出浮動擴散區(FD)之電位作為一重設信號(重設位準)。在藉由讀取電晶體372而傳輸信號電荷之後，放大電晶體374輸出浮動擴散區(FD)之電位作為一光學累積信號(信號位準)。

例如，選擇電晶體375之一汲極電極及一源極電極分別連接至放大電晶體374之源極電極及一垂直信號線376。一高位準有效之選擇脈衝SEL經由選擇線而提供至選擇電晶體375之閘極電極。因此，選擇電晶體375進入一接通狀態且藉由將單位像素之狀態設定為一選擇狀態而將自放大電晶體374輸出之一信號轉送至垂直信號線376。

選擇電晶體375亦可具有連接於像素電源Vdd與放大電晶體374之汲極之間之一電路組態。

單位像素不受限於具有由具有上述組態之四個電晶體形成之像素組態的單位像素。例如，可使用由組合放大電晶體374及選擇電晶體375之三個電晶體形成之一像素組態且可採用像素電路之任何組態。

[本發明對成像元件-1之應用]

返回參考圖17，具有上述組態之成像元件320使用本發明應用於其之A/D轉換裝置以對像素陣列321之單位像素之各行之像素信號執行A/D轉換。相應地，在無需提高參考時脈之頻率($f/2$ [Hz])且無需使用一PLL或其類似者來產生具有比參考時脈高之一頻率之時脈信號之情況下，成像元件320可比使用參考時脈之計數值來執行A/D轉換時更進一步提高A/D轉換之解析度。即，成像元件320可更容易地實現A/D轉換之高解析度。相應地，例如，成像元件320可更容易地增大一擷取影像(影像資料)之一位元深度。即，成像元件320可更容易地達成一擷取影像之高解析度。

換言之，成像元件320可依相對於參考時脈之一高速率操作。

即，在無需提高參考時脈之頻率($f/2$ [Hz])且無需使用一PLL或其類似者來產生具有比參考時脈高之一頻率之時脈信號之情況下，成像元件320可比使用參考時脈之計數值來執行A/D轉換時更進一步達成A/D轉換之高速率。即，成像元件320可更容易地實現A/D轉換之高速率。相應地，例如，成像元件320可更容易地增大一擷取影像之一圖框速率。即，成像元件320可更容易地達成一擷取影像之高品質。

此外，在無需提高參考時脈之頻率($f/2$ [Hz])且無需使用一PLL或其類似者來產生具有比參考時脈高之一頻率之時脈信號之情況下，成像元件320亦可更容易地實現A/D轉換之高解析度及高速率兩者。即，在無需提高參考時脈之頻率($f/2$ [Hz])且無需使用一PLL或其類似者來產生具有比參考時脈高之一頻率之時脈信號之情況下，成像元件320亦可更容易地達成一擷取影像之位元深度之增大及圖框速率之增大兩者。即，成像元件320可更容易地實現A/D轉換之高速率或高解析度或高速率及高解析度兩者。相應地，例如，成像元件320可更容易地達成一擷取影像之位元深度之增大、圖框速率之增大、或位元深度之增大及圖框速率之增大兩者。

由於成像元件320使用本發明應用於其之A/D轉換裝置，所以成像元件320可在無需使用一PLL或其類似者之情況下藉由相位內插器及邏輯電路而執行使用高解析度格雷碼之A/D轉換。相應地，成像元件320可用比使用PLL來產生高解析度格雷碼時簡單之一組態來執行A/D轉換，且因此可進一步減小電路大小(面積)。相應地，成像元件320可改良電路配置之自由度。由於成像元件320未使用一PLL，所以可比使用一PLL時更進一步減少電力消耗。

如圖17中所繪示，成像元件320包含用於各預定數目個行之高解析度格雷碼產生電路331，且因此可在接近於行A/D轉換電路332之位置處使用格雷碼來產生高解析度格雷碼。因此，可容易地執行參考時

脈之偏移調整，且改良設計之自由度。即，成像元件320可更容易地達成A/D轉換之高速率或高解析度、或高速率及高解析度兩者。

由於行A/D轉換電路332可依相對於參考時脈之一較高速率操作，所以成像元件320可藉由將A/D轉換之解析度及處理速率設定為相同於其中使用參考時脈之計數值來執行A/D轉換的情況之解析度及處理速率而降低參考時脈信號之頻率(例如，至 $f/8$ [Hz])，如同圖19中所繪示之一實例。藉此，成像元件320可比圖17之實例之情況更進一步減少電力消耗。

<6. 第五實施例>

[A/D轉換電路-2]

本發明應用於其之相位差時脈產生電路亦可應用於格雷碼產生裝置。例如，本發明應用於其之相位差時脈產生電路可應用於一A/D轉換裝置。

圖20係繪示一A/D轉換電路之一主組態之一實例的一圖式，該A/D轉換電路係本發明應用於其之A/D轉換裝置之一實例。圖20中所繪示之一A/D轉換電路400係執行基本上相同於A/D轉換電路300 (參閱圖16)之A/D轉換的一整合型A/D轉換電路。即，A/D轉換電路400比較一輸入類比信號IN之一信號位準與一斜波之一參考電壓RAMP (其之一信號位準隨時間線性變化)之一信號位準。A/D轉換電路400量測一時間之持續時間直至比較結果被改變，且輸出一量測值(數位值)作為輸入類比信號IN之信號位準。

如圖20中所繪示，A/D轉換電路400包含一4相時脈產生電路401、一比較電路402、一TDC 403及一漣波計數器404。

4相時脈產生電路401係具有相同於第一實施例中所描述之4相時脈產生電路100 (參閱圖5)之組態且執行相同程序的一電路。即，4相時脈產生電路401自一輸入時脈信號SLCK產生4相時脈信號且將該等4

相時脈信號供應至TDC 403。

比較電路402係具有相同於比較電路302 (參閱圖16)之組態且執行相同程序的一電路。即，比較電路402比較輸入類比信號IN之信號位準與斜波之參考電壓RAMP之信號位準且將比較結果供應至TDC 403。

TDC (時間轉數位轉換器) 403係一時間量化器，在使比較電路402之比較結果改變之一時點處獲得及鎖存自4相時脈產生電路401供應之4相時脈信號，藉由解碼該等4相時脈信號而獲得指示輸入類比信號IN之信號位準的數位值之低階位元，且將該等低階位元供應至漣波計數器404。

漣波計數器404係具有相同於漣波計數器304 (參閱圖16)之組態且執行相同程序的一電路。即，漣波計數器404形成為(例如)一可逆計數器，計數4相時脈信號之一者之下降時序，且將計數值設定為指示輸入類比信號IN之信號位準的一數位值之一高階位元。漣波計數器404將自TDC 403供應之高階位元及低階位元設定為指示輸入類比信號IN之信號位準的數位值，且輸出該等數位值。

如上文所描述，A/D轉換電路400使用本發明應用於其之相位差時脈產生電路來產生相位差時脈信號(多相時脈信號)，且使用該等相位差時脈信號(多相時脈信號)來執行A/D轉換。相應地，在無需提高時脈信號SLCK之頻率且無需使用一PLL或其類似者之情況下，A/D轉換電路400可比使用時脈信號SLCK之計數值來執行A/D轉換時更進一步提高A/D轉換之解析度，如同使用本發明應用於其之格雷碼產生裝置之A/D轉換電路300之情況。即，A/D轉換電路400可更容易地實現A/D轉換之高解析度。

換言之，A/D轉換電路400可依相對於時脈信號SLCK之一較高速率操作，如同使用本發明應用於其之格雷碼產生裝置之A/D轉換電路

300之情況。即，在無需提高時脈信號SLCK之頻率且無需使用一PLL或其類似者之情況下，A/D轉換電路400可達成比使用時脈信號SLCK之計數值來執行A/D轉換時高之A/D轉換之速率。即，A/D轉換電路400可更容易地實現A/D轉換之高速率。

在無需提高時脈信號SLCK之頻率且無需使用一PLL或其類似者之情況下，A/D轉換電路400亦可更容易地實現A/D轉換之高解析度及高速率兩者，如同使用本發明應用於其之格雷碼產生裝置之A/D轉換電路300之情況。即，A/D轉換電路400可更容易地達成A/D轉換之高速率或高解析度、或高速率及高解析度兩者。

由於A/D轉換電路400可依相對於時脈信號SLCK之一較高速率操作，所以A/D轉換電路400可藉由將A/D轉換之解析度及處理速率設定為相同於其中計數時脈信號SLCK的情況之解析度及處理速率而比使用時脈信號SLCK之計數值來執行A/D轉換時更進一步降低時脈信號SLCK之頻率。即，A/D轉換電路400可比其中計數時脈信號SLCK之情況更進一步減少電力消耗。

由於A/D轉換電路400使用本發明應用於其之相位差時脈產生電路，使用A/D轉換電路400可在無需使用一PLL或其類似者之情況下藉由相位內插器及邏輯電路而執行使用相位差時脈信號(多相時脈信號)之A/D轉換。相應地，A/D轉換電路400可用比使用PLL來自時脈信號SLCK產生具有高頻率之時脈信號時簡單之一組態來執行A/D轉換，且因此可進一步減小電路大小(面積)。相應地，A/D轉換電路400可改良電路配置之自由度。由於A/D轉換電路400未使用一PLL，所以可比使用一PLL時更進一步減少電力消耗。

如上文所描述，已描述其中A/D轉換電路400使用4相時脈信號來執行A/D轉換的情況。然而，A/D轉換電路400可使用任何數目個相位之相位差時脈信號(多相時脈信號)來執行A/D轉換。即，可應用產生

任何數目個相位之相位差時脈信號(多相時脈信號)且本發明應用於其之相位差時脈產生電路來代替圖20中之4相時脈產生電路401。

<7. 第六實施例>

[成像元件-2]

在本發明中，例如，第五實施例中所描述之A/D轉換電路可應用於一成像元件。

圖21係繪示本發明應用於其之一成像元件之一主組態之一實例的一圖式。圖21中所繪示之一成像元件420係使一物體成像且獲得一擷取影像之數位資料的一元件，具有基本上相同於成像元件(參閱圖17)之組態，且執行相同程序。如圖21中所繪示，成像元件420包含一像素陣列421、一A/D轉換電路422、一水平掃描單元423、一PLL 424及一斜坡產生電路425。

像素陣列421具有基本上相同於像素陣列321 (參閱圖17)之組態且執行相同程序。即，在像素陣列421中，配置各包含使入射光光電轉換之一光電轉換元件的複數個單位像素。自各單位像素讀取之一像素信號經由連接像素行之一垂直信號線而傳輸至A/D轉換電路422。各單位像素連接至連接像素列之一行選擇線(圖中未繪示)，且由一列掃描電路(圖中未繪示)經由列選擇線而控制各單位像素之一操作。

A/D轉換電路422對供應給像素陣列421之單位像素之各行的像素信號執行A/D轉換。A/D轉換電路422包含一4相時脈產生電路431-1至一4相時脈產生電路431-M及一行A/D轉換電路432-1至一行A/D轉換電路432-N。

4相時脈產生電路431-1至4相時脈產生電路431-M具有相同組態且執行相同程序。在下文中，當無需使4相時脈產生電路431-1至4相時脈產生電路431-M彼此區分時，將4相時脈產生電路431-1至4相時脈產生電路431-M簡稱為4相時脈產生電路431。行A/D轉換電路432-1至

行A/D轉換電路432-N具有相同組態且執行相同程序。在下文中，當無需使行A/D轉換電路432-1至行A/D轉換電路432-N彼此區分時，將行A/D轉換電路432-1至行A/D轉換電路432-N簡稱為行A/D轉換電路432。

4相時脈產生電路431自一輸入參考時脈($f/8$)各產生一4相時脈信號。4相時脈產生電路431經安裝以用於像素陣列321之單位像素之各預定數目個列(N列/M列)。即，A/D轉換電路422包含M個4相時脈產生電路431。4相時脈產生電路431將所產生之4相時脈信號供應至對應於行(其對應於4相時脈產生電路431)之行A/D轉換電路432 (行A/D轉換電路432之一TDC 443)。

4相時脈產生電路431係具有相同於第一實施例中所描述之4相時脈產生電路100 (參閱圖5)之組態且執行相同程序的一電路。

行A/D轉換電路432安裝於像素陣列421之單位像素之各行處。即，A/D轉換電路422包含N個行A/D轉換電路432。行A/D轉換電路432對自對應於行A/D轉換電路432之行之單位像素供應之像素信號(類比信號)執行A/D轉換，輸出指示各像素信號之一信號位準的數位資料，且將該數位資料供應至水平掃描單元423 (水平掃描單元423之一緩衝器451)。

行A/D轉換電路432係具有相同於第五實施例中所描述之A/D轉換電路400 (參閱圖20)之組態(除4相時脈產生電路401之外)且執行相同程序的一電路。即，如圖21中所繪示，行A/D轉換電路432包含比較電路442、TDC 443及漣波計數器444。

比較電路442係具有相同於第五實施例中所描述之比較電路402 (參閱圖20)之組態且執行相同程序的一電路。即，比較電路442比較對應於比較電路442之行之像素信號之一信號位準與自斜坡產生電路425供應之一斜坡之一參考電壓RAMP之一信號位準，且將比較結果

供應至TDC 443。

TDC 443係具有相同於第五實施例中所描述之TDC 403 (參閱圖20)之組態且執行相同程序的一電路。即，TDC 443在使比較電路442之比較結果改變之一時點處獲得及鎖存自對應於TDC 443之4相時脈產生電路431供應之4相時脈信號，且執行解碼。TDC 443將解碼結果(其作為指示對應於TDC 443之行之像素信號之信號位準的數位值之一低階位元)供應至漣波計數器444。

漣波計數器444係具有相同於第五實施例中所描述之漣波計數器404 (參閱圖20)之組態且執行相同程序的一電路。即，漣波計數器444形成為(例如)一可逆計數器，計數4相時脈信號之一者之下降時序，且將計數值設定為指示像素信號之信號位準的數位值之一高階位元。漣波計數器444將自TDC 443供應之高階位元及低階位元設定為指示對應於漣波計數器444之行之信號位準的數位值，且輸出該等數位值。

即，各行A/D轉換電路432具有相同於第五實施例中所描述之A/D轉換電路400 (參閱圖20)之組態，且藉由新增對應於行A/D轉換電路432之4相時脈產生電路431而執行相同程序。即，在成像元件420中，將本發明應用於其之A/D轉換裝置應用為行A/D轉換電路432及4相時脈產生電路431。

水平掃描單元423將自A/D轉換電路422供應之像素陣列421之單位像素之各自行之像素信號之數位資料依序輸出至成像元件420之外部。如圖21中所繪示，水平掃描單元423包含一緩衝器451-1至一緩衝器451-N、一水平傳輸掃描電路452、一傳輸匯流排453及一感測放大器454。

緩衝器451-1至緩衝器451-N具有相同組態且執行相同程序。在下文中，當無需使緩衝器451-1至緩衝器451-N彼此區分時，將緩衝器

451-1至緩衝器451-N簡稱為緩衝器451。

緩衝器451係基本上相同於緩衝器351 (參閱圖17)之元件，安裝於像素陣列之單位像素之各行處，且暫時保存自對應於緩衝器451之行A/D轉換電路432輸出之數位資料。例如，緩衝器451-1保存自行A/D轉換電路432-1輸出之數位資料。例如，緩衝器451-N保存自行A/D轉換電路432-N輸出之數位資料。在水平傳輸掃描電路452之控制下，緩衝器451將所保存之資料輸出至傳輸匯流排453。

水平傳輸掃描電路452係基本上相同於水平傳輸掃描電路352 (參閱圖17)之元件，且控制各緩衝器451中所保存之數位資料之一輸出時序，即，各行之數位資料之一傳輸時序。即，各緩衝器451在由水平傳輸掃描電路452指定之一時點處將所保存之資料輸出至傳輸匯流排453。在水平傳輸掃描電路452之控制下依序傳輸各自行之數位資料。

傳輸匯流排453係基本上相同於傳輸匯流排353 (參閱圖17)之元件，且將自各自緩衝器451輸出之數位資料依序傳輸至感測放大器454。感測放大器454係基本上相同於感測放大器354 (參閱圖17)之元件，放大經由傳輸匯流排453而供應之各行之數位資料，且將經放大之數位資料輸出至成像元件420之外部(例如執行信號處理或其類似者之一後級處理單元)。PLL 424係基本上相同於PLL 324 (參閱圖19)之元件，且產生具有 $f/8$ [Hz]之一頻率之一參考時脈。PLL 424將所產生之參考時脈($f/8$)供應至A/D轉換電路422 (各4相時脈產生電路431)及斜坡產生電路425。斜坡產生電路425係基本上相同於斜坡產生電路325 (參閱圖17)之元件，且使用自PLL 424供應之參考時脈($f/8$)來產生一斜坡波形之一參考電壓RAMP (其之一電壓值隨時間線性變化)。斜坡產生電路425將所產生之參考電壓RAMP供應至A/D轉換電路422 (A/D轉換電路422之各行A/D轉換電路432之比較電路442)。

[本發明對成像元件-2之應用]

具有上述組態之成像元件420使用本發明應用於其之A/D轉換裝置以對像素陣列421之單位像素之各行之像素信號執行A/D轉換。相應地，在無需提高參考時脈之頻率($f/8$ [Hz])且無需使用一PLL或其類似者來產生具有比參考信號高之一頻率之時脈信號之情況下，成像元件420可比使用參考時脈之計數值來執行A/D轉換時更進一步提高A/D轉換之解析度。即，成像元件420可更容易地實現A/D轉換之高解析度。相應地，例如，成像元件420可更容易地增大一擷取影像(影像資料)之一位元深度。即，成像元件420可更容易地達成一擷取影像之高解析度。

換言之，成像元件420可依相對於參考時脈之一較高速率操作。即，在無需提高參考時脈之頻率($f/8$ [Hz])且無需使用一PLL或其類似者來產生具有比參考信號高之一頻率之時脈信號之情況下，成像元件420可比使用參考時脈之計數值來執行A/D轉換時更進一步提高A/D轉換之高速率。即，成像元件420可更容易地實現A/D轉換之高速率。相應地，例如，成像元件420可更容易地增大一擷取影像之一圖框速率。即，成像元件420可更容易地達成一擷取影像之高品質。

此外，在無需提高參考時脈之頻率($f/8$ [Hz])且無需使用一PLL或其類似者來產生具有比參考時脈高之一頻率之時脈信號之情況下，成像元件420亦可更容易地實現A/D轉換之高解析度及高速率兩者。即，在無需提高參考時脈之頻率($f/8$ [Hz])且無需使用一PLL或其類似者來產生具有比參考時脈高之一頻率之時脈信號之情況下，成像元件420亦可更容易地達成一擷取影像之位元深度之增大及圖框速率之增大加兩者。即，成像元件420可更容易地實現A/D轉換之高速率或高解析度、或高速率及高解析度兩者。相應地，例如，成像元件420可更容易地達成一擷取影像之位元深度之增大、圖框速率之增大、或位元深度之增大及圖框速率之增大兩者。

由於成像元件420使用本發明應用於其之A/D轉換裝置，所以成像元件420可在無需使用一PLL或其類似者之情況下藉由相位內插器及邏輯電路而執行使用相位差時脈信號(多相時脈信號)之A/D轉換。相應地，成像元件420可用比使用PLL來產生相位差時脈信號時簡單之一組態來執行A/D轉換，且因此可進一步減小電路大小(面積)。相應地，成像元件420可改良電路配置之自由度。由於成像元件420未使用一PLL，所以可比使用一PLL時更進一步減少電力消耗。

如圖21中所繪示，成像元件420包含用於各預定數目個行之4相時脈產生電路431。即，在成像元件420中，可在接近於行A/D轉換電路432 (其等係相位差時脈信號之供應源)之位置處產生相位差時脈信號。因此，可將相位差時脈信號之傳輸距離設定為較短且可容易地執行參考時脈之偏移調整，且因此改良設計之自由度。即，成像元件420可更容易地達成A/D轉換之高速率或高解析度、或高速率及高解析度兩者。

由於行A/D轉換電路432可依相對於參考時脈之一較高速率操作，所以成像元件420可藉由將A/D轉換之解析度及處理速率設定為相同於其中使用參考時脈之計數值來執行A/D轉換的情況之解析度及處理速率而降低參考時脈信號之頻率。藉此，成像元件420可減少電力消耗。

<8. 第七實施例>

[A/D轉換電路-3]

可使用本發明可應用於其之成像元件之任何組態，且成像元件之組態不受限於第四實施例及第六實施例中所描述之實例。例如，本發明亦可應用於其他A/D轉換電路以及安裝於像素陣列之單位像素之各行處之行A/D轉換電路。

圖22係繪示本發明應用於其之一成像元件之一實例之一主組態

之一實例的一圖式。圖22中所繪示之一成像元件500係使一物體成像且獲得一擷取影像之數位資料之一元件。如圖22中所繪示，成像元件500包含相互疊置之複數個半導體基板(半導體基板501及502)。在圖22之實例中，成像元件500由相互疊置之兩個半導體基板(半導體基板501及502)形成，但可疊置任何數目個半導體基板。

在半導體基板501中，形成其中配置複數個單位像素之一像素區域511，該複數個單位像素各包含使入射光光電轉換之一光電轉換元件。在半導體基板502中，形成其中形成周邊電路之一周邊電路區域512，該等周邊電路處理自像素區域511讀取之一像素信號。

半導體基板501及502形成一多層結構(層疊結構)。形成於半導體基板501中之像素區域511之各像素及形成於半導體基板502中之周邊電路區域512之一電路經由一通孔或其類似者而彼此電連接。

例如，圖23中所繪示之一A/D轉換電路522及一PLL 524形成於周邊電路區域512中。

A/D轉換電路522對供應給像素區域511之各部分區域(亦指稱一區域)的一像素信號執行A/D轉換。A/D轉換電路522包含高解析度格雷碼產生電路531及區域A/D轉換電路532。

區域A/D轉換電路532安裝於像素區域511之各區域中。可使用任何數目個區域及任何大小之區域。即，可使用任何數目個區域A/D轉換電路532及分配區域A/D轉換電路532之任何方法(將區域A/D轉換電路532分配至區域之一方式)。就圖23之實例而言，將區域A/D轉換電路532配置成一陣列形式(矩陣形式)。

各區域A/D轉換電路532對自對應於區域A/D轉換電路532之區域中之單位像素供應之一像素信號(類比信號)執行A/D轉換，且輸出指示各像素信號之一信號位準的數位資料。即，除分配單位像素之方法不同之外，區域A/D轉換電路532係基本上相同於行A/D轉換電路332

(參閱圖17)之電路。即，區域A/D轉換電路532係具有相同於第三實施例中所描述之A/D轉換電路300 (參閱圖16)之組態(除A/D轉換電路300之高解析度格雷碼產生電路301之外)且執行相同程序的一電路。

高解析度格雷碼產生電路531經安裝以用於像素區域511之各預定數目個區域。就圖23之實例而言，高解析度格雷碼產生電路531安裝於配置成一陣列形式(矩陣形式)之區域A/D轉換電路532之各列處。高解析度格雷碼產生電路531之數目或分配高解析度格雷碼產生電路531之方法(將高解析度格雷碼產生電路531分配至區域之一方式)不受限於圖23之實例，且可使用任何數目或任何方法。

高解析度格雷碼產生電路531各產生具有比自PLL 524供應之一參考時脈($f/8$)之頻率高之一頻率分量的一格雷碼(即，一高解析度格雷碼)。高解析度格雷碼產生電路531將所產生之格雷碼供應至對應於列(其對應於高解析度格雷碼產生電路531)之區域A/D轉換電路532。即，除分配單位像素之方法不同之外，高解析度格雷碼產生電路531係基本上相同於高解析度格雷碼產生電路331 (參閱圖17)之電路。即，高解析度格雷碼產生電路531係具有相同於第二實施例中所描述之高解析度格雷碼產生電路200 (參閱圖12)或高解析度格雷碼產生電路230 (參閱圖14)之組態且執行相同程序的一電路。

即，如同第四實施例中所描述之成像元件320 (參閱圖17)之情況，將本發明應用於其之A/D轉換裝置應用為成像元件500中之區域A/D轉換電路532及高解析度格雷碼產生電路531。

相應地，如同成像元件320，成像元件500可更容易地達成A/D轉換之高速率或高解析度、或高速率及高解析度兩者。相應地，例如，成像元件500可更容易地達成一擷取影像之位元深度之增大、圖框速率之增大、或位元深度之增大及圖框速率之增大兩者。由於成像元件500未使用一PLL來產生具有比參考時脈高之一頻率分量的格雷碼，

所以如同成像元件320之情況，可比使用一PLL時更進一步減少電力消耗。

如同成像元件320之情況，成像元件500可在接近於區域A/D轉換電路532之位置處使用格雷碼來產生高解析度格雷碼。因此，可容易地執行參考時脈之偏移調整，且改良設計之自由度。如同成像元件320之情況，成像元件500可依相同於其中使用參考時脈之計數值來執行A/D轉換之情況的解析度及處理速率實現A/D轉換，同時降低參考時脈之頻率且減少電力消耗。

[A/D轉換電路-4]

在圖23中，已描述其中使用本發明應用於其之高解析度格雷碼產生電路來執行A/D轉換之A/D轉換電路安裝於周邊電路區域512中的情況，如同第四實施例中所描述之A/D轉換電路322。然而，使用本發明應用於其之4相時脈產生電路來執行A/D轉換之A/D轉換電路可安裝於周邊電路區域512中，如同第六實施例中所描述之A/D轉換電路422。

圖24係繪示形成於周邊電路區域512中之一A/D轉換電路之另一實例的一圖式。就圖24之實例而言，形成於周邊電路區域512中之一A/D轉換電路522包含4相時脈產生電路561及區域A/D轉換電路562。

區域A/D轉換電路562安裝於像素區域511之各區域中。可使用任何數目個區域及任何大小之區域。即，可使用任何數目個區域A/D轉換電路562及分配區域A/D轉換電路562之任何方法(將區域A/D轉換電路562分配至區域之一方式)。就圖24之實例而言，將區域A/D轉換電路562配置成一陣列形式(矩陣形式)。

各區域A/D轉換電路562對自對應於區域A/D轉換電路562之區域中之單位像素供應之一像素信號(類比信號)執行A/D轉換，且輸出指示各像素信號之一信號位準的數位資料。即，除分配單位像素之方法

不同之外，區域A/D轉換電路562係基本上相同於行A/D轉換電路432 (參閱圖21)之電路。即，區域A/D轉換電路562係具有相同於第五實施例中所描述之A/D轉換電路400 (參閱圖20)之組態(除A/D轉換電路400之4相時脈產生電路401之外)且執行相同程序的一電路。

4相時脈產生電路561經安裝以用於像素區域511之各預定數目個區域。就圖24之實例而言，4相時脈產生電路561安裝於配置成一陣列形式(矩陣形式)之區域A/D轉換電路562之各列處。4相時脈產生電路561之數目或分配4相時脈產生電路561之方法(將4相時脈產生電路561分配至區域之一方式)不受限於圖24之實例，且可使用任何數目或任何方法。

4相時脈產生電路561自供應自PLL 524之參考時脈($f/8$)各產生一相位差時脈信號(多相時脈信號)。4相時脈產生電路561將所產生之相位差時脈信號(多相時脈信號)供應至對應於行(其對應於4相時脈產生電路561)之區域A/D轉換電路562。即，除分配單位像素之方法不同之外，4相時脈產生電路561係基本上相同於4相時脈產生電路431 (參閱圖21)之電路。即，4相時脈產生電路561係具有相同於第一實施例中所描述之4相時脈產生電路100 (參閱圖5)之組態且執行相同程序的一電路。

即，如同第六實施例中所描述之成像元件420 (參閱圖21)之情況，將本發明應用於其之A/D轉換裝置應用為成像元件500中之區域A/D轉換電路562及4相時脈產生電路561。

相應地，如同圖23之情況，成像元件500可更容易地達成A/D轉換之高速率或高解析度、或高速率及高解析度兩者。

在圖24中，已描述其中4相時脈產生電路561用作為本發明應用於其之相位差時脈產生電路之一實例的實例。然而，當然可使用所產生之相位差時脈信號之任何數目個相位。

<9. 第八實施例>

[使用多時脈信號之A/D轉換器]

日本未審查專利申請公開案第2008-92091號提出一整合型A/D轉換器，其中藉由一時間量化器(TDC (時間轉數位轉換器))藉由一正常高階位元計數器及一正常環形振盪器鎖存及解碼具有不同相位之時脈信號而獲取低階位元資訊。藉此，可在無需提高一時脈頻率之情況下改良A/D轉換器之解析度。

圖25A中繪示A/D轉換器之一主組態之一實例。如圖25A中所繪示，一A/D轉換器600包含一比較器601、一鎖存器及解碼器602、及一計數器603。比較器601比較自一像素讀取之一信號(VSL)與一斜坡信號(RAMP)且將一比較結果(VCO)供應至鎖存器及解碼器602及計數器603。計數器603執行計數直至比較結果(VCO)被改變，且獲得計數值作為高階位元資訊。鎖存器及解碼器602由一時間量化器組態，且鎖存及解碼具有互不相同相位之時脈信號(CLKA、CLKB、CLKC及CLKD)以獲得低階位元資訊。

更具體言之，例如，如同圖25B中所繪示之一時序圖，當鎖存器及解碼器602在使比較結果(VCO)改變之一時點處鎖存其相位在一時脈頻率之一個週期期間各相差45度之四個時脈信號CLKA、CLKB、CLKC及CLKD之值時，獲得八個擴展碼EB[3:0]。鎖存器及解碼器602解碼該八個編碼以獲得3位元低階位元資訊。

為進一步改良此方案中之低階位元之解析度，需要使每位元所傳輸之時脈信號之數目加倍且使相位差減半。歸因於一電路中所包含之電晶體(Tr)或佈線之形狀或特性之一變動(個別差異)，難以正常恆定地維持時脈信號之間之相位差。再者，當因相位差而無法忽略變動時，吾人擔心會發生計數值之錯誤判定。

例如，當複數個整合型A/D轉換器如同一成像元件之行A/D轉換

器般並聯配置時，關於各時脈信號，一般將稱為一轉發器或一緩衝器(當一信號限於為一時脈信號時為時脈緩衝器)之一驅動電路用於各信號以防止一信號位準歸因於一佈線之一時間常數而衰減。正常地，隨著並聯配置之A/D轉換器之數目增加，時脈信號之一傳輸距離延長且更多信號驅動電路連接於多級處。

信號驅動電路具有一延遲時間之一變動。吾人擔心該延遲時間之該變動會成為改變通過信號驅動電路之時脈信號之間之相位差的一起因。相應地，當連接於多級處之信號驅動電路之數目增加時，吾人擔心各時脈信號之延遲時間之一變動(換言之，時脈信號之間之相位差之一變動)會增大。

[信號處理裝置]

相應地，藉由實現包含一相位校正電路(其使用複數個相位內插器來校正由其相位相互位移之複數個時脈信號組態之多相時脈信號之時脈信號之間之一相位差)之一信號處理裝置，該等多相時脈信號之時脈信號之間之相位差之變動經組態以使其減小。

例如，可使用一相位內插器，其在自兩個輸入信號之一相位差之一中間時點延遲達該相位內插器之一延遲時間的一時點處輸出一輸出信號。

藉由使用信號處理裝置，可使多相時脈信號之各時脈信號之變動平穩且正常恆定地維持多相時脈信號之間之相位差。

圖26係繪示根據信號處理裝置之一實施例之一相位校正電路之一主組態之一實例的一圖式。圖26中所繪示之一相位校正電路700係校正由其之一相互相位差係90度之四個時脈信號組態之4相時脈信號之時脈信號之間之一相位差的一電路。

如圖26中所繪示，相位校正電路700包含組態於3級處之24個相位內插器。各級由8個並聯相位內插器組態。即，當自一輸入端子側

觀看時，一第一級由一相位內插器711-1至一相位內插器711-8組態，一第二級由一相位內插器712-1至一相位內插器712-8組態，且一第三級由一相位內插器713-1至一相位內插器713-8組態。當無需使相位內插器711-1至相位內插器711-8彼此區分來描述時，將相位內插器711-1至相位內插器711-8簡稱為相位內插器711。當無需使相位內插器712-1至相位內插器712-8彼此區分來描述時，將相位內插器712-1至相位內插器712-8簡稱為相位內插器712。當無需使相位內插器713-1至相位內插器713-8彼此區分來描述時，將相位內插器713-1至相位內插器713-8簡稱為相位內插器713。

將由其之一相互相位差係90度之四個時脈信號CLKA、CLKB、CLKC及CLKD組態之八個信號及此等信號之反相信號輸入至相位校正電路700。

當自輸入端子側觀看時，第一級處之相位內插器711產生其相位差係0度之兩個輸入信號之中間相位信號。更具體言之，相位內插器711-1產生時脈信號CLKA及時脈信號CLKA之反相信號之反型(NOT)的一中間相位信號。相位內插器711-2產生時脈信號CLKB及時脈信號CLKB之反相信號之反型的一中間相位信號。相位內插器711-3產生時脈信號CLKC及時脈信號CLKC之反相信號之反型的一中間相位信號。相位內插器711-4產生時脈信號CLKD及時脈信號CLKD之反相信號之反型的一中間相位信號。相位內插器711-5產生時脈信號CLKA之反型及時脈信號CLKA之反相信號的一中間相位信號。相位內插器711-6產生時脈信號CLKB之反型及時脈信號CLKB之反相信號的一中間相位信號。相位內插器711-7產生時脈信號CLKC之反型及時脈信號CLKC之反相信號的一中間相位信號。相位內插器711-8產生時脈信號CLKD之反型及時脈信號CLKD之反相信號的一中間相位信號。

當自輸入端子側觀看時，第二級處之相位內插器712產生其相位

差係90度之兩個輸入信號之中間相位信號。更具體言之，相位內插器712-1產生相位內插器711-1之一輸出及相位內插器711-3之一輸出的一中間相位信號。相位內插器712-2產生相位內插器711-2之一輸出及相位內插器711-4之一輸出的一中間相位信號。相位內插器712-3產生相位內插器711-3之一輸出及相位內插器711-5之一輸出的一中間相位信號。相位內插器712-4產生相位內插器711-4之一輸出及相位內插器711-6之一輸出的一中間相位信號。相位內插器712-5產生相位內插器711-5之一輸出及相位內插器711-7之一輸出的一中間相位信號。相位內插器712-6產生相位內插器711-6之一輸出及相位內插器711-8之一輸出的一中間相位信號。相位內插器712-7產生相位內插器711-7之一輸出及相位內插器711-1之一輸出的一中間相位信號。相位內插器712-8產生相位內插器711-8之一輸出及相位內插器711-2之一輸出的一中間相位信號。

當自輸入端子側觀看時，第三級處之相位內插器713產生其相位差係45度之兩個輸入信號之中間相位信號。更具體言之，相位內插器713-1產生相位內插器712-1之一輸出及相位內插器712-2之一輸出的一中間相位信號。相位內插器713-2產生相位內插器712-2之輸出及相位內插器712-3之一輸出的一中間相位信號。相位內插器713-3產生相位內插器712-3之輸出及相位內插器712-4之一輸出的一中間相位信號。相位內插器713-4產生相位內插器712-4之輸出及相位內插器712-5之一輸出的一中間相位信號。相位內插器713-5產生相位內插器712-5之輸出及相位內插器712-6之一輸出的一中間相位信號。相位內插器713-6產生相位內插器712-6之輸出及相位內插器712-7之一輸出的一中間相位信號。相位內插器713-7產生相位內插器712-7之輸出及相位內插器712-8之一輸出的一中間相位信號。相位內插器713-8產生相位內插器712-8之輸出及相位內插器712-1之輸出的一中間相位信號。

將相位內插器713-1之一輸出輸出為一時脈信號OUT_A。將相位內插器713-2之一輸出輸出為一時脈信號OUT_B。將相位內插器713-3之一輸出輸出為一時脈信號OUT_C。將相位內插器713-4之一輸出輸出為一時脈信號OUT_D。將相位內插器713-5之一輸出輸出為一時脈信號OUT_E。將相位內插器713-6之一輸出輸出為一時脈信號OUT_F。將相位內插器713-7之一輸出輸出為一時脈信號OUT_G。將相位內插器713-8之一輸出輸出為一時脈信號OUT_H。

圖27中繪示相位校正電路700之輸入信號及輸出信號之相位。即，使輸出信號之相位相對於輸入信號而延遲達67.5度，且輸出信號之間之相位差係45度，如同輸入信號。

即，除由相位內插器引起之延遲之外，相位內插器之輸出信號之延遲係輸入信號之延遲之一平均值。相應地，當假定t1至t8係輸入信號(時脈信號CLKA至CLKD及此等時脈信號之反相信號)之延遲時，圖28A及圖28B中所繪示之表中展示第一級處之相位內插器711之輸出(一節點A至一節點H之信號)之延遲、第二級處之相位內插器712之輸出(一節點I至一節點P之信號)之延遲、及輸出信號(時脈信號OUT_A至OUT_H)之延遲。即，輸出信號之延遲係所有輸入信號之延遲之平均值。相應地，即使輸入信號之間之延遲存在一變動，但輸出信號之延遲(相位差)之變動較平穩。

因此，相位校正電路700可校正多相時脈信號之時脈信號之間之相位且亦可使相位延遲。即，相位校正電路700可使多相時脈信號延遲，同時恆定地維持時脈信號之間之相位差(抑制相位差之變動)。

<10. 第九實施例>

[影像感測器-1]

藉由將前述相位校正電路700應用於一A/D轉換器，可實現使用多相時脈信號(其中時脈信號之間之相位差更準確)來獲得低階位元資

訊之A/D轉換器。即，可防止發生低階位元之錯誤判定，且因此可更容易地實現A/D轉換器之高解析度。此外，藉由將A/D轉換器應用於一成像元件，可更容易地實現擷取影像資料之高位元深度。

圖29係繪示根據本發明應用於其之成像元件之一實施例之一影像感測器之一主組態之一實例的一方塊圖。

在圖29所繪示之一影像感測器800中，使入射光光電轉換且使一電荷累積於一單位像素之一光接收部分(例如一光二極體)中，將對應於該電荷之一信號電壓讀取為一像素信號且使其經受A/D轉換，且獲得像素資料。接著，影像感測器800輸出各單位像素之像素資料作為影像資料。

圖29中繪示影像感測器800之一部分組態之一實例。如圖29中所繪示，影像感測器800包含一像素陣列811、一時脈產生單元812、一相位校正單元813及一A/D轉換單元814。

在像素陣列811中，配置各包含使入射光光電轉換之一光電轉換元件的複數個單位像素。單位像素包含：一個光電轉換元件或複數個光電轉換元件；及一電路，其讀取累積於該光電轉換元件中之電荷。例如，單位像素具有圖18中所繪示之一組態。在一像素陣列811中，複數個單位像素配置於一平坦表面或一彎曲表面上。例如，單位像素配置成一陣列形式(矩陣形式)。在像素陣列811中，形成：控制線，其傳輸控制信號以控制單位像素之電晶體；及信號線，其傳輸自單位像素讀取之信號(重設位準、像素信號或其類似者)。

光電轉換元件使入射光光電轉換且累積一所獲得之電荷。藉由根據經由各種控制線自一掃描單元(圖中未繪示)傳輸之各種控制信號而驅動單位像素中所包含之各電晶體，經由一信號線而自單位像素讀取電荷且將電荷供應至A/D轉換單元814。例如，該信號線形成於像素陣列811中之單位像素之各行處。即，當單位像素之行數係N(其中

N係任何自然數)時，形成N個信號線。自各單位像素讀取之一信號經讀取以用於單位像素之各列。經由各行之信號線而傳輸該讀取信號，且將該讀取信號供應至對應於A/D轉換單元814之各行的A/D轉換單元之各者(一A/D轉換單元821-1至一A/D轉換單元821-N)。

時脈產生單元812產生由其相互相位差係45度之四個時脈信號組態之4相時脈信號(CLKA、CLKB、CLKC及CLKD)及此等信號之反相信號，且將該等信號供應至相位校正單元813。

當相位校正單元813獲取自時脈產生單元812供應之4相時脈信號(CLKA、CLKB、CLKC及CLKD)及具有反相相位之反相信號時，相交校正單元813使用此等信號來校正該等信號之相位，使得該等信號之間之延遲(相位差)之一變動受抑制。相位校正單元813將其相位被校正之4相時脈信號供應至A/D轉換單元814。

A/D轉換單元814對自像素陣列811供應之信號執行A/D轉換。例如，A/D轉換單元814可包含用於連接至像素陣列811之各信號線的一A/D轉換單元。就圖29之實例而言，A/D轉換單元814包含用於像素陣列811之單位像素之各行的一A/D轉換單元。更具體言之，A/D轉換單元814包含一A/D轉換單元821-1至一A/D換換單元821-N。當無需使A/D轉換單元821-1至A/D轉換單元821-N彼此區分來描述時，將A/D轉換單元821-1至A/D轉換單元821-N簡稱為A/D轉換單元821。

A/D轉換單元821對經由指派給A/D轉換單元821之信號線而自像素陣列811供應之信號執行A/D轉換。例如，A/D轉換單元821-1對自像素陣列811之最左行之單位像素讀取之信號執行A/D轉換。例如，A/D轉換單元821-2對自像素陣列811之左邊第二行之單位像素讀取之信號執行A/D轉換。同樣地，例如，A/D轉換單元821-N對自像素陣列811之最右行之單位像素讀取之信號執行A/D轉換。

A/D轉換單元821具有任何組態。例如，A/D轉換單元821可具有

相同於A/D轉換器600 (參閱圖25A)之組態且可執行相同程序。即，A/D轉換單元821可比較自像素陣列811供應之信號與一斜坡信號，執行計數直至比較結果被改變，且獲得計數值作為高階位元資訊，且時間量化器可經組態以基於4相時脈信號(其由時脈產生單元812產生且其之信號之間之延遲(相位差)由相位校正單元813校正)而獲得具有比時脈信號高之解析度的3位元低階位元資訊。

A/D轉換單元814輸出自各A/D轉換單元814輸出之資料作為影像資料。

將4相時脈信號(其由時脈產生單元812產生且其之信號之間之延遲(相位差)由相位校正單元813校正)供應至A/D轉換單元821。如圖29中所繪示，A/D轉換單元814可在相位校正單元813與A/D轉換單元821之間傳輸多相時脈信號之佈線中包含預定數目個時脈緩衝器(例如一時脈緩衝器822-1至一時脈緩衝器822-M (其中M係任何自然數))以防止多相時脈信號之信號位準衰減。當無需使時脈緩衝器822-1至時脈緩衝器822-M彼此區分來描述時，將時脈緩衝器822-1至時脈緩衝器822-M簡稱為時脈緩衝器822。時脈緩衝器822可安裝於任何位置處，只要該等位置位於相位校正單元813與A/D轉換單元821之間。例如，時脈緩衝器822可安裝於一預定距離之間隔處。

例如，時脈緩衝器822由一放大電路或其類似者組態且放大及輸出一輸入信號。

在具有此一組態之影像感測器800中，可將參考(例如)圖26至圖28所描述之相位校正電路700應用為相位校正單元813。即，相位校正單元813可使用複數個相位內插器來校正輸入多相時脈信號之時脈信號之間之相位差。

即，影像感測器800可包含：像素陣列811，其中配置各包含使入射光光電轉換之光電轉換元件的單位像素；時脈產生單元812 (相位

差時脈產生單元)，其產生由其相互相位位移之複數個時脈信號組態之多相時脈信號；相位校正單元813，其使用複數個相位內插器來校正由時脈產生單元812產生之多相時脈信號之時脈信號之間之相位差；及A/D轉換單元814 (A/D轉換單元821)，其基於由相位校正單元813校正之多相時脈信號而對自像素陣列之單位像素輸出之一類比信號執行A/D轉換。

如上文所描述，A/D轉換單元821可安裝於像素陣列811之單位像素之各行處，且可基於由相位校正單元813校正之多相時脈信號而對自對應於A/D轉換單元821之行之單位像素輸出之類比信號執行A/D轉換。

藉此，可防止在A/D轉換中發生低階位元之錯誤判定且可更容易地實現A/D轉換單元814 (A/D轉換單元821)之高解析度。

相應地，影像感測器800可更容易地實現擷取影像資料之高位元深度。在此情況中，如上文所描述，由於可將相位校正電路700應用為相位校正單元813，所以無需顯著改變一既有佈局。相應地，可容易地達成開發且可減少開發所需之時間。此外，可防止電路大小(面積)增大。相應地，可抑制開發或製造成本增加。

[時脈產生電路]

圖30係繪示時脈產生單元812之一主組態之一實例的一方塊圖。如圖30中所繪示，時脈產生單元812包含一延遲元件831至一延遲元件838。延遲元件831至延遲元件838串聯連接且將該等延遲元件之輸出輸出為時脈信號或該等時脈信號之反相信號。

延遲元件831至延遲元件838使一輸入信號之相位各延遲達45度。例如，延遲元件831至延遲元件838各由(例如)用於一環形振盪器中之一「反及」電路、一「反或(NOR)」電路、一差動放大器或一反相器形成。

將由時脈產生單元812輸入之一時脈信號供應至延遲元件831，使該時脈信號之相位延遲達45度，且將此時脈信號作為時脈信號CLKA輸出至時脈產生單元812之外部。亦將時脈信號CLKA供應至延遲元件832，使該時脈信號之相位延遲達45度，且將此時脈信號作為時脈信號CLKB輸出至時脈產生單元812之外部。亦將時脈信號CLKB供應至延遲元件833，使該時脈信號之相位延遲達45度，且將此時脈信號作為時脈信號CLKC輸出至時脈產生單元812之外部。亦將時脈信號CLKC供應至延遲元件834，使該時脈信號之相位延遲達45度，且將此時脈信號作為時脈信號CLKD輸出至時脈產生單元812之外部。

亦將時脈信號CLKD供應至延遲元件835，使該時脈信號之相位延遲達45度，且將此時脈信號作為時脈信號CLKA之反相信號輸出至時脈產生單元812之外部。亦將時脈信號CLKA之反相信號供應至延遲元件836，使該時脈信號之相位延遲達45度，且將此時脈信號作為時脈信號CLKB之反相信號輸出至時脈產生單元812之外部。亦將時脈信號CLKB之反相信號供應至延遲元件837，使該時脈信號之相位延遲達45度，且將此時脈信號作為時脈信號CLKC之反相信號輸出至時脈產生單元812之外部。亦將時脈信號CLKC之反相信號供應至延遲元件838，使該時脈信號之相位延遲達45度，且將此時脈信號作為時脈信號CLKD之反相信號輸出至時脈產生單元812之外部。

例如，日本未審查專利申請公開案第2008-92091號提出一鎖相迴路電路，其包含一環形振盪器作為一時脈信號產生源。然而，該等鎖相迴路電路之組態較複雜且其電路大小較大。

如同圖30般組態之時脈產生單元812之電路組態比鎖相迴路電路簡單且其電路大小較小。然而，在如同圖30般組態之時脈產生單元812中，吾人擔心可歸因於延遲元件之間之一個別差異而發生延遲量之一變動。相應地，吾人擔心發生由時脈產生單元812產生之多相時

脈信號之時脈信號之間之相位差(延遲)之一不容許的大變動。

例如，當由時脈產生單元812產生之多相時脈信號在未通過相位校正單元813之情況下供應至A/D轉換電路821時，吾人擔心歸因於多相時脈信號之時脈信號之間之相位差(延遲)之變動而發生A/D轉換單元821中之計數值之錯誤判定。

然而，如上文所描述，藉由將相位校正電路700應用為相位校正單元813而抑制多相時脈信號之時脈信號之間之相位差(延遲)之變動。因此，即使應用具有圖30中所繪示之簡單組態的時脈產生單元812，仍可獲得具有足夠高精確度之多相時脈信號(時脈信號之相位差(延遲)之變動足夠小)。

換言之，可藉由將相位校正電路700應用為相位校正單元813而簡化時脈產生單元812之組態，藉此防止電路大小或成本增加。

[A/D轉換單元]

可整合圖29中所繪示之相位校正單元813及A/D轉換單元814。即，在圖29中，A/D轉換單元814可包含相位校正單元813。例如，相位校正單元813及A/D轉換單元814可形成為一單一獨立裝置(例如一A/D轉換裝置)(或形成為任何單元(諸如一單元、一模組、一晶片或一區塊)中之一單一裝置)。

同樣地，可整合圖29中所繪示之時脈產生單元812、相位校正單元813及A/D轉換單元814。即，在圖29中，A/D轉換單元814可包含時脈產生單元812及相位校正單元813。例如，時脈產生單元812、相位校正單元813及A/D轉換單元814可形成為一單一獨立裝置(例如一A/D轉換裝置)(或形成為任何單元(諸如一單元、一模組、一晶片或一區塊)中之一單一裝置)。

可藉由將相位校正電路700應用為具有此一組態之A/D轉換裝置中之相位校正單元813而容易地實現A/D轉換之高解析度。

即，A/D轉換裝置可包含：時脈產生單元812（相位差時脈產生單元），其產生由其相互相位位移之複數個時脈信號組態之多相時脈信號；相位校正單元813，其使用複數個相位內插器來校正由時脈產生單元812產生之多相時脈信號之時脈信號之間之相位差；及A/D轉換單元814（A/D轉換單元821），其基於由相位校正單元813校正之多相時脈信號而對一輸入類比信號執行A/D轉換。

相位內插器可在自兩個輸入信號之一相位差之一中間時點延遲達相位內插器之一延遲時間的一時點處輸出一輸出信號。

時脈產生單元812可產生其相位差係45度之4相時脈信號。相位校正單元813可藉由第一級處之相位內插器而產生其相位差係0度之兩個輸入信號之一中間相位信號，藉由第二級處之相位內插器而產生其相位差係90度之兩個輸入信號之一中間相位信號，且藉由第三級處之相位內插器而產生其相位差係45度之兩個輸入信號之一中間相位信號。

A/D轉換單元821可包含：計數器603，其計數時脈信號之週期數且輸出計數值作為一高階位元；比較器601，其比較一斜坡波形之一參考電壓與一輸入電壓；及鎖存器及解碼器602（時間量化器），其藉由使用比較單元之輸出之一反相（作為一觸發）來同時鎖存由相位校正單元校正之多相時脈信號而獲取相位資訊，解碼該相位資訊之值，且輸出所獲得之數位值作為具有比時脈信號之週期高之解析度的一低階位元。

[影像感測器-2]

可將相位校正電路700應用為一時脈緩衝器。圖31繪示此情況中之一影像感測器之一主組態之一實例。圖31中所繪示之一影像感測器850具有基本上相同於影像感測器800（參閱圖29）之組態。

然而，就影像感測器850而言，一A/D轉換電路814包含相位校正

單元813 (一相位校正單元813-2至一相位校正單元813-K (其中K係等於或大於2之一整數))以代替時脈緩衝器822 (時脈緩衝器822-1至時脈緩衝器822-M)。

即，例如，相位校正單元813可安裝於預定數目個行之間隔處，且A/D轉換單元821可使用由對應於行(其A/D轉換單元821)之相位校正單元813校正之多相時脈信號來執行A/D轉換。

即使在此組態之情況中，仍可獲得相同於圖29之情況中之優點的優點。

可一起使用相位校正單元813及時脈緩衝器822。即，不可用相位校正單元813 (相位校正單元813-2至相位校正單元813-K)取代A/D轉換單元814之所有時脈緩衝器822 (時脈緩衝器822-1至時脈緩衝器822-M)，但可用相位校正單元813取代時脈緩衝器822之部分。例如，可將多相時脈信號基本上傳輸至時脈緩衝器822，且多相時脈信號之時脈信號之間之相位差之變動可經組態以在相位差之變動增大且達到一不容許位準之前由相位校正單元813即時重設。

[其他組態]

如同上述情況，可將本發明之一實施例應用於其之相位校正單元813應用於一成像元件，該成像元件包含(例如)彼此疊置之複數個半導體基板(半導體基板501至半導體基板502)，如圖22中所繪示。

本發明之一實施例應用於其之相位校正單元813不僅可應用於使用行A/D轉換單元(其等各安裝於上文所描述之像素陣列之各行處)之一成像元件，且類似地應用於使用一區域A/D轉換單元(其對自對應於A/D轉換單元之一區域(其中形成像素陣列811之一像素區域之一部分區域)中之一單位像素供應之像素信號(類比信號)執行A/D轉換，且輸出指示各像素信號之一信號位準的數位資料)之一成像元件，例如，如圖24中所繪示。

當在使用區域A/D轉換之一成像元件之情況中應用相位校正單元813來代替時脈緩衝器822時，相位校正單元813可安裝於預定數目個部分區域之間隔處且A/D轉換單元821可使用由對應於部分區域(其對應於A/D轉換單元821)之相位校正單元813校正之多相時脈信號來執行A/D轉換。

<11. 第十實施例>

[成像裝置]

圖32係繪示一成像裝置之一主組態之一實例的一方塊圖，該成像裝置係本發明應用於其之一電子裝置之一實例。圖32中所繪示之一成像裝置900係使一物體成像且輸出該物體之一影像作為一電信號的一裝置。

如圖32中所繪示，成像裝置900包含一光學單元911、一CMOS感測器912、一A/D轉換器913、一操作單元914、一控制單元915、一影像處理單元916、一顯示單元917、一編解碼處理單元918及一記錄單元919。

光學單元911包含：一透鏡，其調整一物體之聚焦且聚集來自一聚焦位置之光；一光圈，其調整曝光；及一快門，其控制成像之一時序。光學單元911容許來自該物體之光(入射光)穿過且將該光供應至CMOS感測器912。

CMOS感測器912使入射光光電轉換且將各像素之一信號(像素信號)供應至A/D轉換器913。

A/D轉換器913將在一預定時點處自CMOS感測器912供應之像素信號轉換成數位資料(影像資料)且將該數位資料依序供應至影像處理單元916。

CMOS感測器912及A/D轉換器913可被整合(形成為一個模組)且可組態為一成像元件921(成像單元)。

操作單元914包含(例如)一微動轉盤(商標)、一鍵、一按鈕或一觸控面板，接收由一使用者輸入之一操作，且將對應於該操作輸入之一信號供應至控制單元915。

基於對應於由操作單元914輸入之使用者之操作輸入的信號，控制單元915藉由控制光學單元911、CMOS感測器912、A/D轉換器913、影像處理單元916、顯示單元917、編解碼處理單元918及記錄單元919之驅動而執行與各單元之成像有關之一程序。

影像處理單元916對藉由成像而獲得之影像資料執行影像處理。更具體言之，影像處理單元916對自A/D轉換器913 (成像元件921)供應之影像資料執行各種影像處理，諸如混合色校正、黑色位準校正、白色平衡調整、去馬賽克處理、矩陣處理、伽馬校正及YC轉換。影像處理單元916將經受影像處理之影像資料供應至顯示單元917及編解碼處理單元918。

顯示單元917被組態為(例如)一液晶顯示器，且基於自影像處理單元916供應之影像資料而顯示一物體之一影像。

編解碼單元918對自影像處理單元916供應之影像資料執行一預定方案之一編碼程序，且將所獲得之編碼資料供應至記錄單元919。

記錄單元919記錄來自編解碼處理單元918之編碼資料。根據需要，記錄於記錄單元919上之編碼資料由影像處理單元916讀取及解碼。將藉由解碼程序而獲得之影像資料供應至顯示單元917，使得對應影像被顯示。

將本發明之上述技術應用為包含前述成像裝置900之CMOS感測器912及A/D轉換器913的成像元件921。即，將上述實施例之成像元件用作為成像元件921。因此，成像元件921可更容易地達成高速率、高解析度、或高速率及高解析度兩者。相應地，成像裝置900可藉由使一物體成像而獲得具有較高品質之一影像。

本發明應用於其之成像裝置不受限於上述組態，而是可具有另一組態。例如，該成像裝置可為具有一成像功能之一資訊處理裝置，諸如一可攜式電話、一智慧型電話、一平板型裝置或一個人電腦，以及一數位靜態相機或一視訊攝影機。該成像裝置亦可為安裝於待使用之另一資訊處理裝置上(或安裝為一嵌入式裝置)之一相機模組。

在以上描述中，描述為一個裝置(或處理單元)之組態可經劃分以組態為複數個裝置(或處理單元)。相比而言，描述為複數個裝置(或處理單元)之組態可經整合以組態為一個裝置(或處理單元)。當然，可將上述組態之另一組態新增至各裝置(或各處理單元)之組態。此外，當整個系統中之組態或操作相同時，一給定裝置(或處理單元)之組態之一部分亦可包含於另一裝置(或另一處理單元)之組態中。

上文已參考附圖而描述本發明之較佳實施例，但本發明之技術範疇不受限於實例。熟習此項技術者應瞭解，各種修改及校正可發生於申請專利範圍中所描述之技術精神及本質之範疇內，且當然，該等修改及該等校正應被理解為屬於本發明之技術範疇。

本發明可組態為如下。

(1) 一種A/D轉換裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；及一A/D轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來對一輸入類比信號執行A/D轉換。

(2) 在(1)、(3)及(4)之任一項中所描述之A/D轉換裝置中，該相位差時脈產生單元可包含一個延遲電路及四個相位內插器且自該輸入時脈信號產生4相時脈信號。

(3) 在(1)、(2)及(4)之任一項中所描述之A/D轉換裝置中，該相位內插器可在自兩個輸入信號之一相位差之一中間時點延遲達該相位

內插器之一延遲時間的一時點處輸出一輸出信號。

(4) 在(1)至(3)之任一項中所描述之A/D轉換裝置中，該A/D轉換單元可包含：一計數器，其經組態以計數該時脈信號之週期數且輸出一計數值作為一高階位元；一比較單元，其經組態以比較一斜坡波形之一參考電壓與一輸入電壓；及一時間量化單元，其經組態以藉由使用該比較單元之一輸出之一反相(作為一觸發)來同時鎖存由該相位差時脈產生單元產生之該等多相時脈信號而獲取相位資訊，解碼該相位資訊之值，且輸出所獲得之數位值作為具有比該時脈信號之一週期高之解析度的低階位元。

(5) 一種成像元件，其包含：一像素陣列，其經組態使得各包含使入射光光電轉換之一光電轉換元件的單位像素被配置；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；及一A/D轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

(6) 在(5)及(7)至(9)之任一項中所描述之成像元件中，該A/D轉換單元可安裝於該像素陣列之該等單位像素之各行處，且使用由該相位差時脈產生單元產生之該多相時脈信號來對自對應於該A/D轉換單元之該行之該單位像素輸出之一類比信號執行該A/D轉換。

(7) 在(5)、(6)、(8)及(9)之任一項中所描述之成像元件中，該相位差時脈產生單元可安裝於預定數目個行之間隔處。該A/D轉換單元可使用由對應於該行之該相位差時脈產生單元產生之該多相時脈信號來執行該A/D轉換，該行對應於該A/D轉換單元。

(8) 在(5)至(7)及(9)之任一項中所描述之成像元件中，該A/D轉換單元可安裝於該像素陣列之該等單位像素之各部分區域處，且使用

由該相位差時脈產生單元產生之該多相時脈信號來對自對應於該 A/D 轉換單元之該部分區域之該單位像素輸出之一類比信號執行該 A/D 轉換。

(9) 在(5)至(8)之任一項中所描述之成像元件中，該相位差時脈產生單元可安裝於預定數目個部分區域之間隔處。該 A/D 轉換單元可使用由對應於該部分區域之該相位差時脈產生單元產生之該多相時脈信號來執行該 A/D 轉換，該部分區域對應於該 A/D 轉換單元。

(10) 一種電子裝置，其包含：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元透過該成像而獲得之影像資料執行影像處理。該成像單元包含：一像素陣列，其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；及一 A/D 轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來對自該像素陣列之該單位像素輸出之一類比信號執行 A/D 轉換。

(11) 一種格雷碼產生裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；及一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼。

(12) 在(11)中所描述之格雷碼產生裝置中，該格雷碼產生單元可包含：一第一格雷碼產生單元，其經組態以自由該相位差時脈產生單元產生之該等多相時脈信號之一者產生一高階格雷碼；及一第二格雷碼產生單元，其經組態以自由該相位差時脈產生單元產生之該等多相

時脈信號之剩餘部分產生一低階格雷碼。

(13) 一種A/D轉換裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及一A/D轉換單元，其經組態以使用由該格雷碼產生單元產生之該等格雷碼來對一輸入類比信號執行A/D轉換。

(14) 在(13)中所描述之A/D轉換裝置中，該A/D轉換單元可包含：一計數器，其經組態以計數該時脈信號之週期數且輸出一計數值作為一高階位元；一比較單元，其經組態以比較一斜坡波形之一參考電壓與一輸入電壓；及一鎖存器，其經組態以使用該比較單元之一輸出之一反相(作為一觸發)來同時鎖存由該格雷碼產生單元產生之該等格雷碼，將該等格雷碼轉換成二進位值，且輸出所獲得之數位值作為低階位元。

(15) 一種成像元件，其包含：一像素陣列，其經組態使得各包含使入射光光電轉換之一光電轉換元件的之單位像素被配置；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及一A/D轉換單元，其經組態以使用由該格雷碼產生單元產生之該等格雷碼來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

(16) 在(15)及(17)至(19)之任一項中所描述之成像元件中，該A/D轉換單元可安裝於該像素陣列之該等單位像素之各行處，且使用

由該格雷碼產生單元產生之該格雷碼來對自對應於該 A/D 轉換單元之該行之該單位像素輸出之一類比信號執行該 A/D 轉換。

(17) 在(15)、(16)、(18)及(19)之任一項中所描述之成像元件中，該格雷碼產生單元可安裝於預定數目個行之間隔處。該 A/D 轉換單元可使用由對應於該行之該格雷碼產生單元產生之該格雷碼來執行該 A/D 轉換，該行對應於該 A/D 轉換單元。

(18) 在(15)至(17)及(19)之任一項中所描述之成像元件中，該 A/D 轉換單元可安裝於該像素陣列之該等單位像素之各部分區域處，且使用由該格雷碼產生單元產生之該格雷碼來對自對應於該 A/D 轉換單元之該部分區域之該單位像素輸出之一類比信號執行該 A/D 轉換。

(19) 在(15)至(18)之任一項中所描述之成像元件中，該格雷碼產生單元可安裝於預定數目個部分區域之間隔處。該 A/D 轉換單元可使用由對應於該部分區域之該格雷碼產生單元產生之該格雷碼來執行該 A/D 轉換，該部分區域對應於該 A/D 轉換單元。

(20) 一種電子裝置，其包含：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元透過該成像而獲得之影像資料執行影像處理。該成像單元包含：一像素陣列，其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及一 A/D 轉換單元，其經組態以使用由該格雷碼產生單元產生之該格雷碼來對自該像素陣列之該單位像素輸出之一類比信號執行 A/D 轉換。

(21) 一種 A/D 轉換裝置，其包含：一相位差時脈產生單元，其經

組態以產生由其相位互相位移之複數個時脈信號形成之多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器來校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來對一輸入類比信號執行A/D轉換。

(22) 在(21)中所描述之A/D轉換裝置中，該相位內插器可在自兩個輸入信號之一相位差之一中間時點延遲達該相位內插器之一延遲時間的一時點處輸出一輸出信號。

(23) 在(21)或(22)中所描述之A/D轉換裝置中，該相位差時脈產生單元可產生其之一相位差係45度之4相時脈信號。該相位校正單元可藉由一第一級相位內插器而產生其相位差係0度之兩個輸入信號之一中間相位信號，藉由一第二級相位內插器而產生其相位差係90度之兩個輸入信號之一中間相位信號，且藉由一第三級相位內插器而產生其相位差係45度之兩個輸入信號之一中間相位信號。

(24) 在(21)至(23)之任一項中所描述之A/D轉換裝置中，該A/D轉換單元可包含：一計數器，其經組態以計數該時脈信號之週期數且輸出一計數值作為一高階位元；一比較單元，其經組態以比較一斜坡波形之一參考電壓與一輸入電壓；及一時間量化單元，其經組態以藉由使用該比較單元之一輸出之一反相(作為一觸發)來同時鎖存由該相位校正單元校正之該等多相時脈信號而獲取相位資訊，解碼該相位資訊之值，且輸出所獲得之數位值作為具有比該時脈信號之一週期高之解析度的低階位元。

(25) 一種成像元件，其包含：一像素陣列，其經組態使得各包含使入射光光電轉換之一光電轉換元件的單位像素被配置；一相位差時脈產生單元，其經組態以產生由其相位相互位移之複數個時脈信號形成之多相時脈信號；一相位校正單元，其經組態以使用複數個相位

內插器來校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

(26) 在(25)中所描述之成像元件中，該A/D轉換單元可安裝於該像素陣列之該等單位像素之各行處，且使用由該相位校正單元校正之該多相時脈信號來對自對應於該A/D轉換單元之該行之該單位像素輸出之一類比信號執行該A/D轉換。

(27) 在(25)或(26)中所描述之成像元件中，該相位校正單元可安裝於預定數目個行之間隔處。該A/D轉換單元可使用由對應於該行之該相位校正單元校正之該多相時脈信號來執行該A/D轉換，該行對應於該A/D轉換單元。

(28) 在(25)至(27)之任一項中所描述之成像元件中，該A/D轉換單元可安裝於該像素陣列之該等單位像素之各部分區域處，且使用由該相位校正單元校正之該多相時脈信號來對自對應於該A/D轉換單元之該部分區域之該單位像素輸出之一類比信號執行該A/D轉換。

(29) 在(25)至(28)中所描述之成像元件中，該相位校正單元可安裝於預定數目個部分區域之間隔處。該A/D轉換單元可使用由對應於該部分區域之該相位校正單元校正之該多相時脈信號來執行該A/D轉換，該部分區域對應於該A/D轉換單元。

(30) 一種電子裝置，其包含：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元透過該成像而獲得之影像資料執行影像處理。該成像單元包含：一像素陣列，其中配置各包含使入射光光電轉換之一光電轉換元件的單位像素；一相位差時脈產生單元，其經組態以產生由其相位相互位移之複數個時脈信號形成之多相時脈信號；一相位校正單元，其經組態以使用複數個

相位內插器來校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來對自該像素陣列之該單位像素輸出之一類比信號執行A/D轉換。

(31) 一種信號處理裝置，其包含一相位校正單元，該相位校正單元經組態以使用複數個相位內插器來校正由其相位相互位移之複數個時脈信號形成之多相時脈信號之時脈信號之間之相位差。

(32) 在(31)中所描述之信號處理裝置中，該相位內插器可在自兩個輸入信號之一相位差之一中間時點延遲達該相位內插器之一延遲時間的一時點處輸出一輸出信號。

(33) 在(31)或(32)中所描述之信號處理裝置中，該等多相時脈信號係包含其相互相位差係45度之一第一時脈信號至一第四時脈信號的4相時脈信號。

(34) 在(31)至(33)之任一項中所描述之信號處理裝置中，該相位校正單元可藉由一第一級相位內插器而產生其相位差係0度之兩個輸入信號之一中間相位信號，藉由一第二級相位內插器而產生其相位差係90度之兩個輸入信號之一中間相位信號，且藉由一第三級相位內插器而產生其相位差係45度之兩個輸入信號之一中間相位信號。

(35) 在(31)至(34)之任一項中所描述之信號處理裝置中，該相位校正單元可包含以下各者作為該等第一級相位內插器：一第一相位內插器，其經組態以產生該第一時脈信號及該第一時脈信號之一反相信號之反型的一中間相位信號；一第二相位內插器，其經組態以產生該第二時脈信號及該第二時脈信號之一反相信號之反型的一中間相位信號；一第三相位內插器，其經組態以產生該第三時脈信號及該第三時脈信號之一反相信號之反型的一中間相位信號；一第四相位內插器，其經組態以產生該第四時脈信號及該第四時脈信號之一反相信號之反

型的一中間相位信號；一第五相位內插器，其經組態以產生該第一時脈信號之反型及該第一時脈信號之該反相信號的一中間相位信號；一第六相位內插器，其經組態以產生該第二時脈信號之反型及該第二時脈信號之該反相信號的一中間相位內信號；一第七相位內插器，其經組態以產生該第三時脈信號之反型及該第三時脈信號之該反相信號的一中間相位信號；及一第八相位內插器，其經組態以產生該第四時脈信號之反型及該第四時脈信號之該反相信號。該相位校正單元可包含以下各者作為該等第二級相位內插器：一第九相位內插器，其經組態以產生該第一相位內插器之一輸出及該第三相位內插器之一輸出的一中間相位信號；一第十相位內插器，其經組態以產生該第二相位內插器之一輸出及該第四相位內插器之一輸出的一中間相位信號；一第十一相位內插器，其經組態以產生該第三相位內插器之該輸出及該第五相位內插器之一輸出的一中間相位信號；一第十二相位內插器，其經組態以產生該第四相位內插器之該輸出及該第六相位內插器之一輸出的一中間相位信號；一第十三相位內插器，其經組態以產生該第五相位內插器之該輸出及該第七相位內插器之一輸出的一中間相位信號；一第十四相位內插器，其經組態以產生該第六相位內插器之該輸出及該第八相位內插器之一輸出的一中間相位信號；一第十五相位內插器，其經組態以產生該第七相位內插器之該輸出及該第一相位內插器之該輸出的一中間相位信號；及一第十六相位內插器，其經組態以產生該第八相位內插器之該輸出及該第二相位內插器之該輸出的一中間相位信號。該相位校正單元可包含以下各者作為該等第三級相位內插器：一第十七相位內插器，其經組態以產生該第九相位內插器之一輸出及該第十相位內插器之一輸出的一中間相位信號；一第十八相位內插器，其經組態以產生該第十相位內插器之該輸出及該第十一相位內插器之一輸出的一中間相位信號；一第十九相位內插器，其經組態以

產生該第十一相位內插器之該輸出及該第十二相位內插器之一輸出的一中間相位信號；一第二十相位內插器，其經組態以產生該第十二相位內插器之該輸出及該第十三相位內插器之一輸出的一中間相位信號；一第二十一相位內插器，其經組態以產生該第十三相位內插器之該輸出及該第十四相位內插器之一輸出的一中間相位信號；一第二十二相位內插器，其經組態以產生該第十四相位內插器之該輸出及該第十五相位內插器之一輸出的一中間相位信號；一第二十三相位內插器，其經組態以產生該第十五相位內插器之該輸出及該第十六相位內插器之一輸出的一中間相位信號；及一第二十四相位內插器，其經組態以產生該第十六相位內插器之該輸出及該第一相位內插器之該輸出的一中間相位信號。

(35) 一種類比轉數位(A/D)轉換裝置，其包含：

一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及

一A/D轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來轉換一輸入類比信號。

(36) 如(35)之A/D轉換裝置，其中該相位差時脈產生單元包含一延遲電路及數個相位內插器，及該相位差時脈產生單元經組態以基於該輸入時脈信號而產生對應於該數個相位內插器之數個相位時脈信號。

(37) 如(36)之A/D轉換裝置，其中該數個相位內插器之一相位內插器經組態以基於兩個輸入信號之間之一相位差而輸出具有一延遲之一輸出信號。

(38) 如(35)至(36)中任一項之A/D轉換裝置，其中基於該輸入時脈信號及一經延遲之輸入時脈信號，使各多相時脈信號之相位相對於

該輸入時脈信號而位移。

(39) 如(35)至(38)中任一項之A/D轉換裝置，其中該A/D轉換單元包含：一比較單元，其經組態以比較一斜坡波形之一參考電壓與一輸入電壓；及一時間量化單元，其經組態以基於該比較單元之一輸出之一反相藉由鎖存由該相位差時脈產生單元產生之該等多相時脈信號而獲取相位資訊，解碼該相位資訊之值，且輸出具有比該輸入時脈信號之一週期大之一解析度的所獲得之數位值。

(40) 如(39)之A/D轉換裝置，其中該A/D轉換單元進一步包含一計數器，該計數器經組態以計數該輸入時脈信號之週期數且輸出一計數值作為一高階位元，其中將該等所獲得之數位值輸出為較低階位元。

(41) 一種成像元件，其包含：

一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；

一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及

一類比轉數位(A/D)轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來轉換自該像素陣列之該單位像素輸出之一類比信號。

(42) 如(41)之成像元件，其中該像素陣列之該等單位像素之各行或部分區域包含一A/D轉換單元，該A/D轉換單元經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來將自對應於該A/D轉換單元之該行或該部分區域之該單位像素輸出之一類比信號轉換成一數位輸出信號。

(43) 如(42)之成像元件，其中預定數目個行或部分區域包含一相

位差時脈產生單元，且其中該A/D轉換單元使用由對應於該行或該部分區域之該相位差時脈產生單元產生之該等多相時脈信號來執行該A/D轉換，該行或該部分區域對應於該A/D轉換單元。

(44) 如(40)至(43)中任一項之成像元件，其中基於該輸入時脈信號及一經延遲之輸入時脈信號，使各多相時脈信號之相位相對於該輸入時脈信號而位移。

(45) 一種電子裝置，其包含：

一成像單元，其經組態以使一物體成像；及

一影像處理單元，其經組態以對藉由該成像單元而獲得之影像資料執行影像處理，

其中該成像單元包含：一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及一類比轉數位(A/D)轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來轉換自該像素陣列之該單位像素輸出之一類比信號。

(46) 一種格雷碼產生裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼。

(47) 如(46)之格雷碼產生裝置，其中該格雷碼產生單元包含：一第一格雷碼產生單元，其經組態以自由該相位差時脈產生單元產生之

該等多相時脈信號之一者產生一高階格雷碼；及一第二格雷碼產生單元，其經組態以自由該相位差時脈產生單元產生之該等多相時脈信號之剩餘部分產生一低階格雷碼。

(48) 一種類比轉數位(A/D)轉換裝置，其包含：

一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；

一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及

一A/D轉換單元，其經組態以使用由該格雷碼產生單元產生之該等格雷碼來轉換一輸入類比信號。

(49) 如(48)之A/D轉換裝置，其中該A/D轉換單元包含：一比較單元，其經組態以比較一斜坡波形之一參考電壓與一輸入電壓；及一鎖存器，其經組態以使用該比較單元之一輸出之一反相來鎖存由該格雷碼產生單元產生之該等格雷碼，將該等格雷碼轉換成二進位值，且輸出所獲得之數位值。

(50) 如(48)之A/D轉換裝置，其中該A/D轉換單元進一步包含一計數器，該計數器經組態以計數該輸入時脈信號之週期數且輸出一計數值作為一高階位元，其中將該等所獲得之數位值輸出為較低階位元。

(51) 一種成像元件，其包含：

一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；

一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生

其相位相對於該輸入時脈信號而位移之多相時脈信號；一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及

一類比轉數位(A/D)轉換單元，其經組態以使用由該格雷碼產生單元產生之該等格雷碼來轉換自該像素陣列之該單位像素輸出之一類比信號。

(52) 如(51)之成像元件，其中該像素陣列之該等單位像素之各行或部分區域包含一A/D轉換單元，該A/D轉換單元經組態以使用由該格雷碼產生單元產生之一格雷碼來轉換自對應於該A/D轉換單元之該行或該部分區域之該單位像素輸出之一類比信號。

(53) 如(51)至(52)中任一項之成像元件，其中預定數目個行或部分區域包含該格雷碼產生單元，且其中該A/D轉換單元使用由對應於該行或該部分區域之該格雷碼產生單元產生之該格雷碼來執行一A/D轉換，該行或該部分區域對應於該A/D轉換單元。

(54) 一種電子裝置，其包含：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元透過該成像而獲得之影像資料執行影像處理，其中該成像單元包含：

一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；

一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該輸入時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；

一格雷碼產生單元，其經組態以使用複數個相位內插器及邏輯閘以自由該相位差時脈產生單元產生之該等多相時脈信號產生格雷碼；及

一A/D轉換單元，其經組態以使用由該格雷碼產生單元產生之該

等格雷碼來轉換自該像素陣列之該單位像素輸出之一類比信號。

(55) 一種類比轉數位(A/D)轉換裝置，其包含：

一相位差時脈產生單元，其經組態以產生由其相位相互位移之複數個時脈信號形成之多相時脈信號；

一相位校正單元，其經組態以使用複數個相位內插器來校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及

一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來轉換一輸入類比信號。

(56) 一種成像元件，其包含：一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；一相位差時脈產生單元，其經組態以基於其相位相互位移之複數個時脈信號而產生多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器來校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一A/D轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來轉換自該像素陣列之該單位像素輸出之一類比信號。

(57) 一種電子裝置，其包含：一成像單元，其經組態以使一物體成像；及一影像處理單元，其經組態以對由該成像單元透過該物體之該成像而獲得之影像資料執行影像處理，

其中該成像單元包含：一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；一相位差時脈產生單元，其經組態以基於其相位相互位移之複數個時脈信號而產生多相時脈信號；一相位校正單元，其經組態以使用複數個相位內插器來校正由該相位差時脈產生單元產生之該等多相時脈信號之時脈信號之間之相位差；及一類比轉數位

(A/D)轉換單元，其經組態以使用由該相位校正單元校正之該等多相時脈信號來轉換自該像素陣列之該單位像素輸出之一類比信號。

(58) 一種信號處理裝置，其包含一相位校正單元，該相位校正單元經組態以使用複數個相位內插器來校正由複數個時脈信號形成之多相時脈信號之時脈信號之間之相位差，其中該複數個時脈信號包含具有相互位移之相位的時脈信號。

熟習此項技術者應瞭解，可根據設計要求及其他因數而進行各種修改、組合、子組合及變更，只要其等係在附屬申請專利範圍或其等效物之範疇內。

【符號說明】

100	4相時脈產生電路
101	延遲電路
102	相位內插器
102-1至102-4	相位內插器(PI)
111-1至111-4	固定延遲時間
121	反相器
122	反相器
123	反相器
131	電流源
132	電流源
200	高解析度格雷碼產生電路
201	4相時脈產生電路
202	格雷碼產生電路
211	相位內插器(PI)
211-1至211-8	相位內插器(PI)
212	相位內插器(PI)

212-1至212-16	相位內插器(PI)
213	「互斥或(XOR)」閘
213-1至213-9	「互斥或(XOR)」閘
214	「及(AND)」閘
214-1至214-5	「及(AND)」閘
221	8相時脈產生電路
222	16相時脈產生電路
223	格雷碼產生電路
224	格雷碼產生電路
230	高解析度格雷碼產生電路
231	相位差時脈產生電路
232	格雷碼產生電路
233	格雷碼產生電路
234	格雷碼產生電路
241	4相時脈產生電路
242	相位內插器(PI)
242-1至242-6	相位內插器(PI)
251至255	「反及(NAND)」閘
300	類比轉數位(A/D)轉換電路
301	高解析度格雷碼產生電路
302	比較電路
303	鎖存器
304	連波計數器
320	成像元件
321	像素陣列
322	類比轉數位(A/D)轉換電路

323	水平掃描單元
324	鎖相迴路(PLL)
325	斜坡產生電路
331	高解析度格雷碼產生電路
331-1至331-M	高解析度格雷碼產生電路
332	行類比轉數位(A/D)轉換電路
332-1至332-N	行類比轉數位(A/D)轉換電路
342	比較電路
343	鎖存器
344	漣波計數器
351	緩衝器
351-1至351-N	緩衝器
352	水平傳輸掃描電路
353	傳輸匯流排
354	感測放大器
361	單位像素
371	光二極體
372	讀取電晶體
373	重設電晶體
374	放大電晶體
375	選擇電晶體
376	垂直信號線
400	類比轉數位(A/D)轉換電路
401	4相時脈產生電路
402	比較電路
403	時間轉數位轉換器(TDC)

404	漣波計數器
420	成像元件
421	像素陣列
422	類比轉數位(A/D)轉換電路
423	水平掃描單元
424	鎖相迴路(PLL)
425	斜坡產生電路
431	4相時脈產生電路
431-1至431-M	4相時脈產生電路
432	行類比轉數位(A/D)轉換電路
432-1至432-N	行類比轉數位(A/D)轉換電路
442	比較電路
443	時間轉數位轉換器(TDC)
444	漣波計數器
451	緩衝器
451-1至451-N	緩衝器
452	水平傳輸掃描電路
453	傳輸匯流排
454	感測放大器
500	成像元件
501	半導體基板
502	半導體基板
511	像素區域
512	周邊電路區域
522	類比轉數位(A/D)轉換電路
524	鎖相迴路(PLL)

531	高解析度格雷碼產生電路
532	區域類比轉數位(A/D)轉換電路
552	類比轉數位(A/D)轉換電路
561	4相時脈產生電路
562	區域類比轉數位(A/D)轉換電路
600	類比轉數位(A/D)轉換器
601	比較器
602	鎖存器及解碼器
603	計數器
700	相位校正電路
711	相位內插器(PI)
711-1至711-8	相位內插器(PI)
712	相位內插器(PI)
712-1至712-8	相位內插器(PI)
713	相位內插器(PI)
713-1至713-8	相位內插器(PI)
800	影像感測器
811	像素陣列
812	時脈產生單元
813	相位校正單元
813-1至813-K	相位校正單元
814	類比轉數位(A/D)轉換單元
821	類比轉數位(A/D)轉換單元
821-1至821-N	類比轉數位(A/D)轉換單元
822	時脈緩衝器
822-1至822-M	時脈緩衝器

831至838	延遲元件
850	影像感測器
900	成像裝置
911	光學單元
912	互補金屬氧化物半導體(CMOS)感測器
913	類比轉數位(A/D)轉換器
914	操作單元
915	控制單元
916	影像處理單元
917	顯示單元
918	編解碼處理單元
919	記錄單元
921	成像元件
A至P	節點
CLKA	時脈信號
$\overline{CLKA}$	時脈信號CLKA之反相信號
CLKB	時脈信號
$\overline{CLKB}$	時脈信號CLKB之反相信號
CLKC	時脈信號
$\overline{CLKC}$	時脈信號CLKC之反相信號
CLKD	時脈信號
$\overline{CLKD}$	時脈信號CLKD之反相信號
EB	擴展碼
FD	浮動擴散區
GC0	最低有效位元
GC1	第二位元

GC2	第三位元
GC3	第四位元
GC4	最高有效位元
IN	輸入類比信號
IN1	信號
IN2	信號
OUT_A至OUT_H	時脈信號
OUT11	信號
OUT12	信號
OUT13	信號
P0至P15	信號
q0	時脈信號
q1	時脈信號
q2	時脈信號
q3	時脈信號
R	負載電阻器
RAMP	參考電壓/斜坡信號
RST	重設脈衝
SEL	選擇脈衝
SLCK	輸入時脈信號
tPD	延遲時間
TRG	傳輸脈衝
VCO	比較結果
Vdd	像素電源
Vrst	像素電源
VSL	輸入電壓/信號

I657667

發明摘要

※ 申請案號：103137278

※ 申請日：103/10/28

※IPC 分類：H03M 1/12 (2006.01)

【發明名稱】

A/D轉換裝置、格雷碼產生裝置、信號處理裝置、成像元件及電子裝置

A/D CONVERSION DEVICE, GRAY CODE GENERATION
DEVICE, SIGNAL PROCESSING DEVICE, IMAGING ELEMENT,
AND ELECTRONIC DEVICE

【中文】

本發明揭示一種類比轉數位(A/D)轉換裝置，其包含：一相位差時脈產生單元，其經組態以使用複數個相位內插器以自一輸入時脈信號及藉由使該時脈信號延遲而獲得之一信號產生其相位相對於該輸入時脈信號而位移之多相時脈信號；及一A/D轉換單元，其經組態以使用由該相位差時脈產生單元產生之該等多相時脈信號來對一輸入類比信號執行A/D轉換。

【英文】

An A/D conversion device includes a phase-difference clock generation unit configured to use a plurality of phase interpolators to generate multi-phase clock signals, of which phases are shifted with respect to an input clock signal, from the input clock signal and a signal obtained by delaying the input clock signal; and an A/D conversion unit configured to perform A/D conversion on an input analog signal using the multi-phase clock signals generated by the phase-difference clock generation unit.

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

圖式

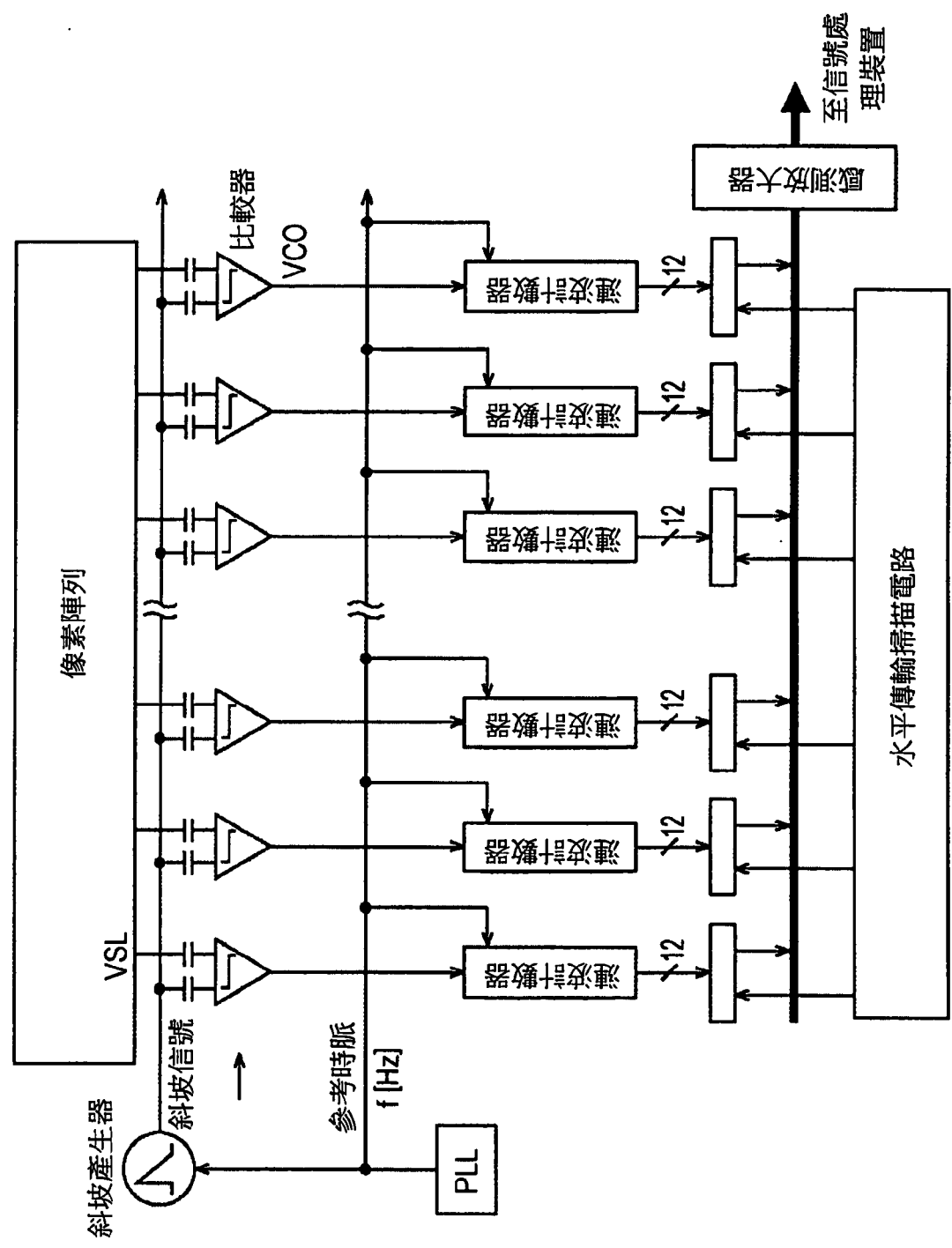


圖 1

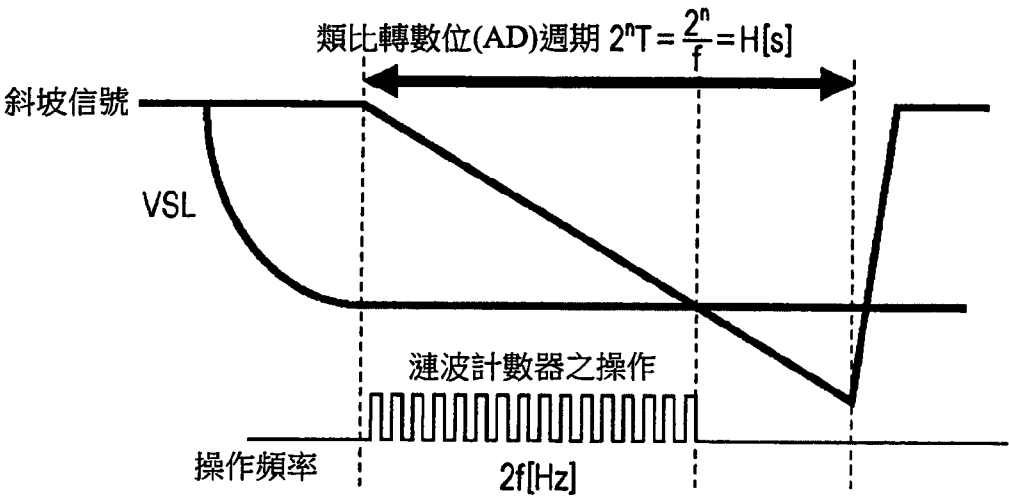


圖 2

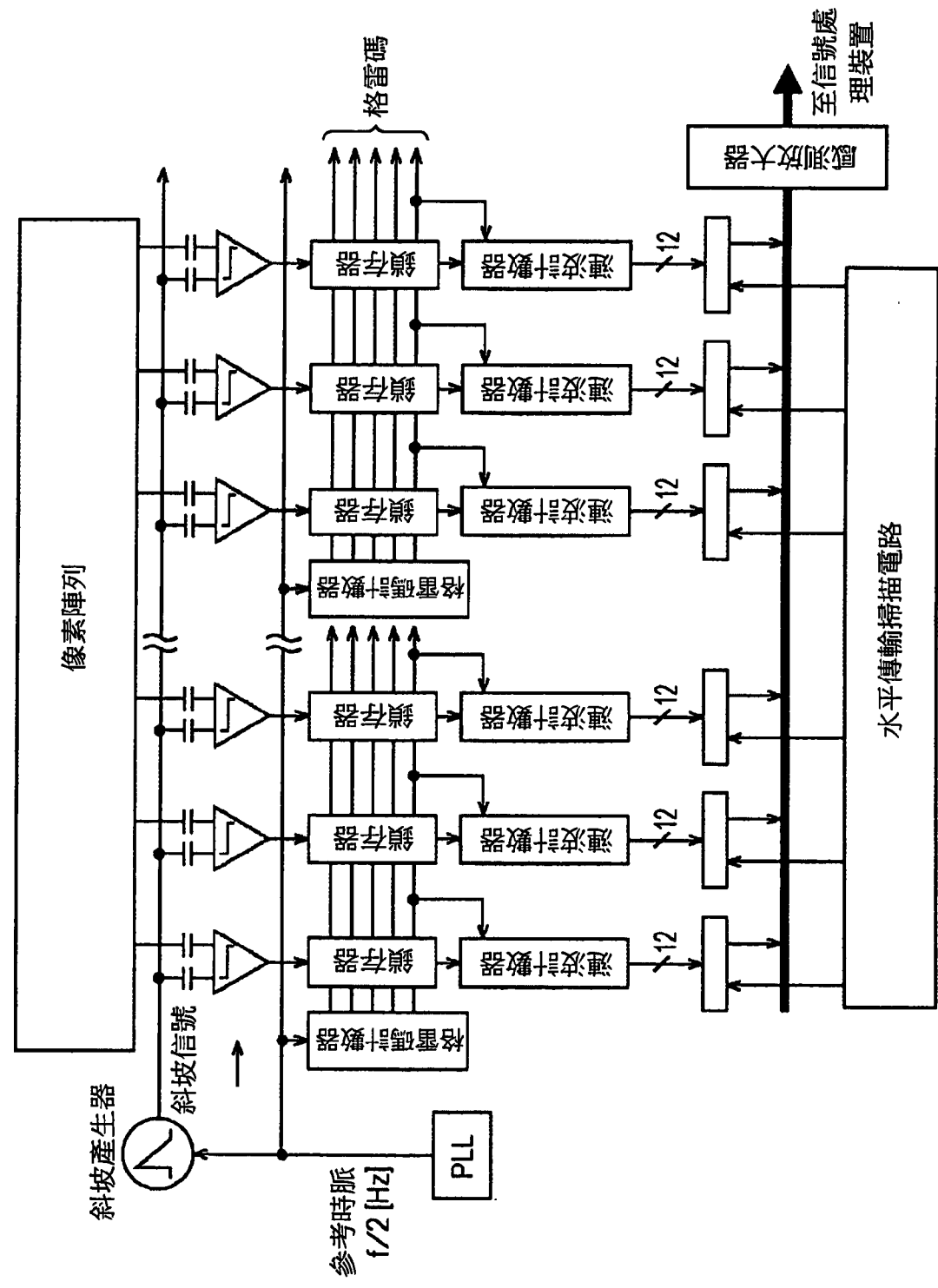


圖 3

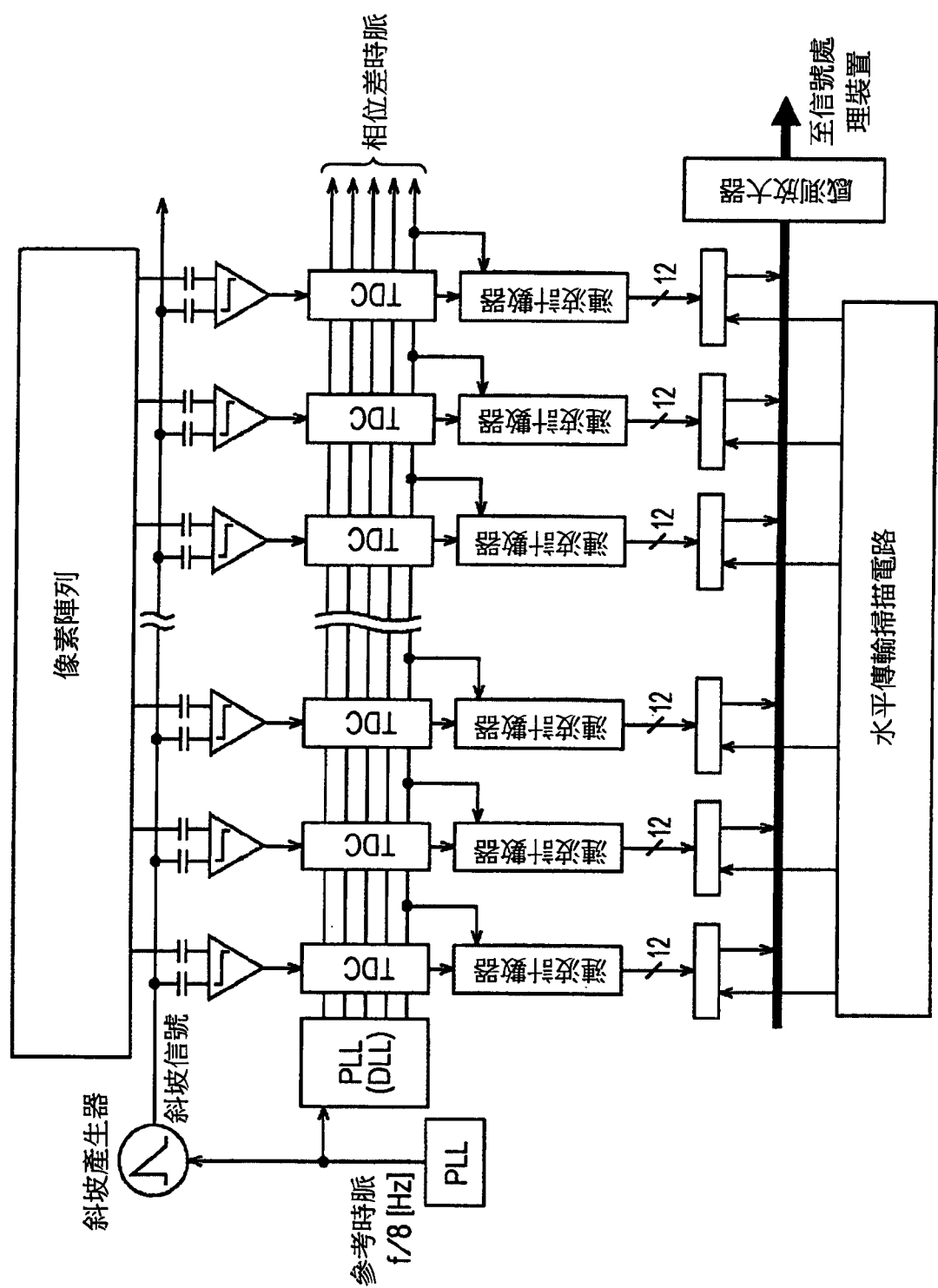


圖 4

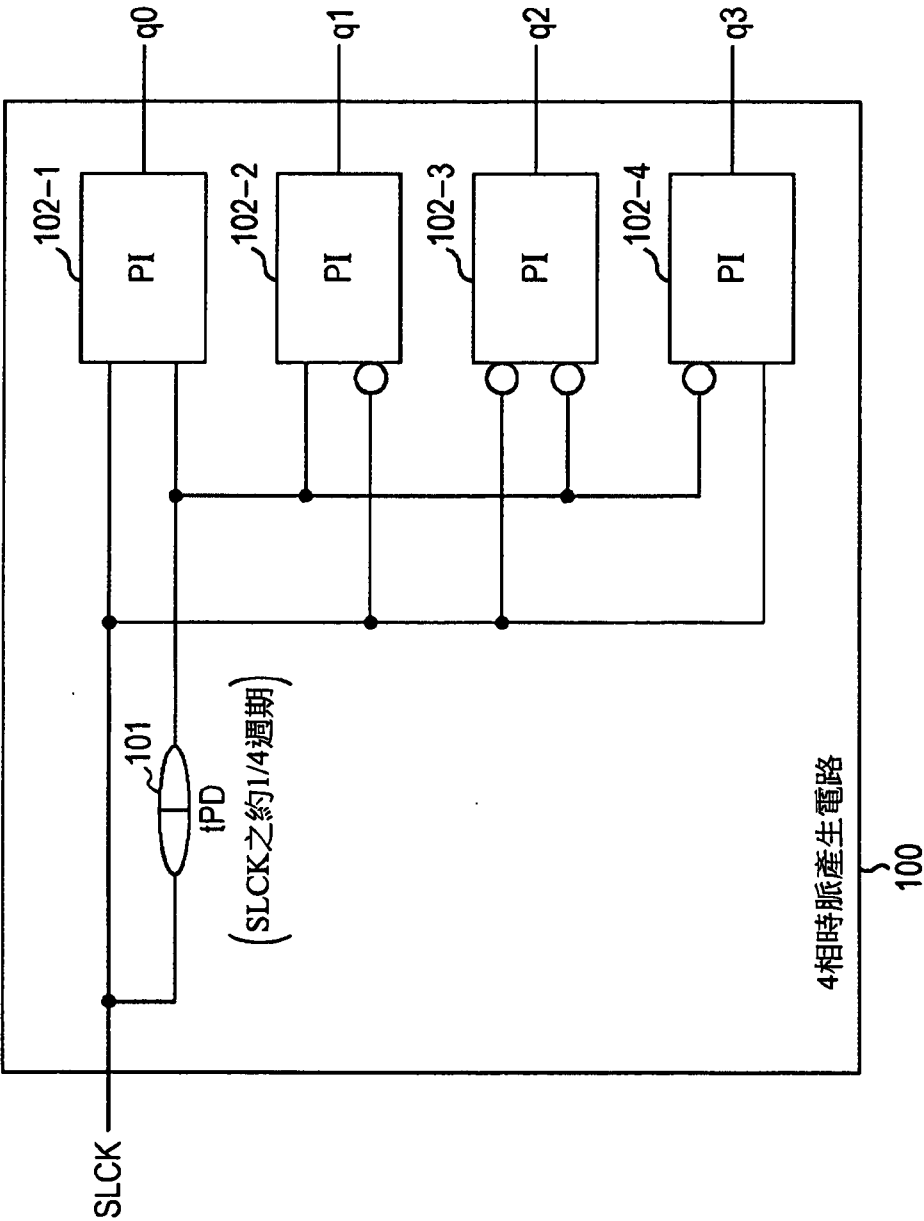


圖 5

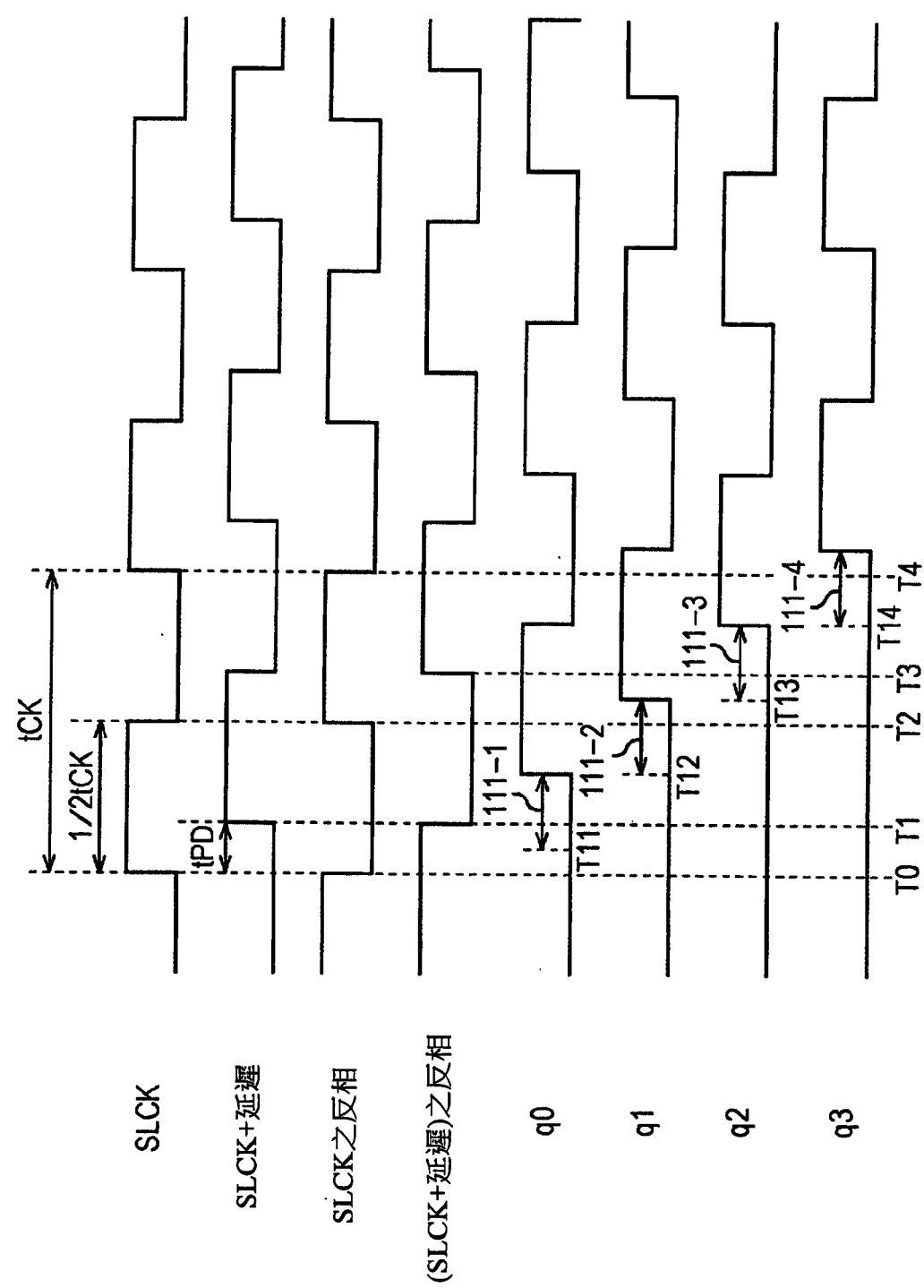


圖 6

	自上升邊緣至SLCK之各上升 邊緣之延遲時間tPDqN	後一相位差 tPDq(N+1)-tPDqN
q0	$(0+tPD)/2+PI$ 固定延遲時間	tCK/4
q1	$(tPD+tCK/2)/2+PI$ 固定延遲時間	tCK/4
q2	$(tCK/2+(tCK/2+tPD))/2+PI$ 固定延遲時間	tCK/4
q3	$((tCK/2+tPD)+tCK)/2+PI$ 固定延遲時間	tCK/4

圖 7

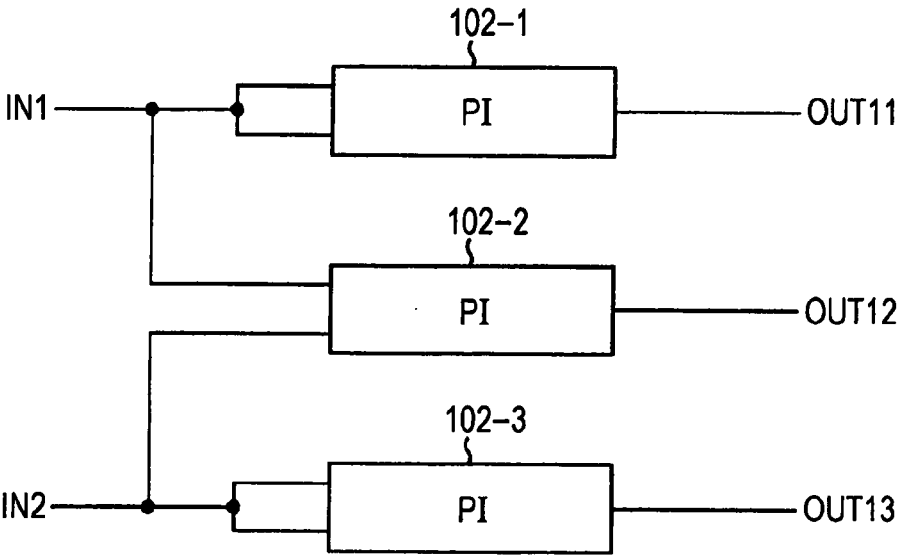


圖 8

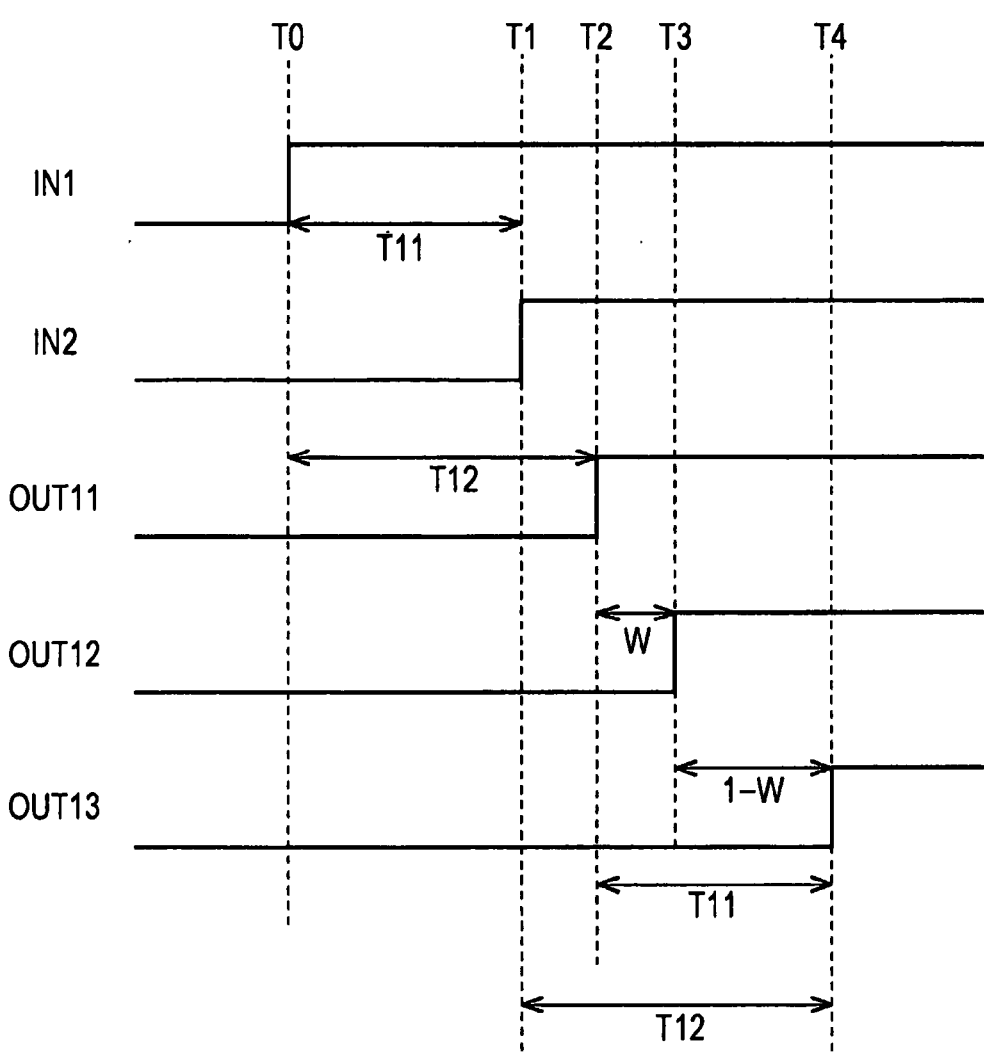


圖 9

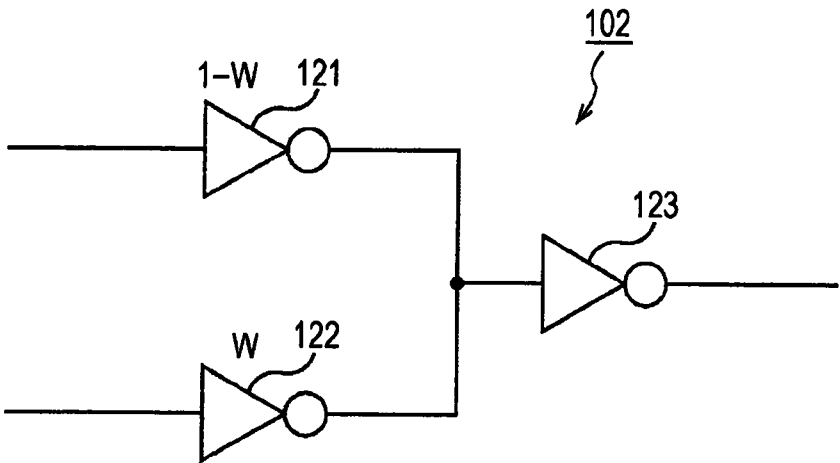


圖 10

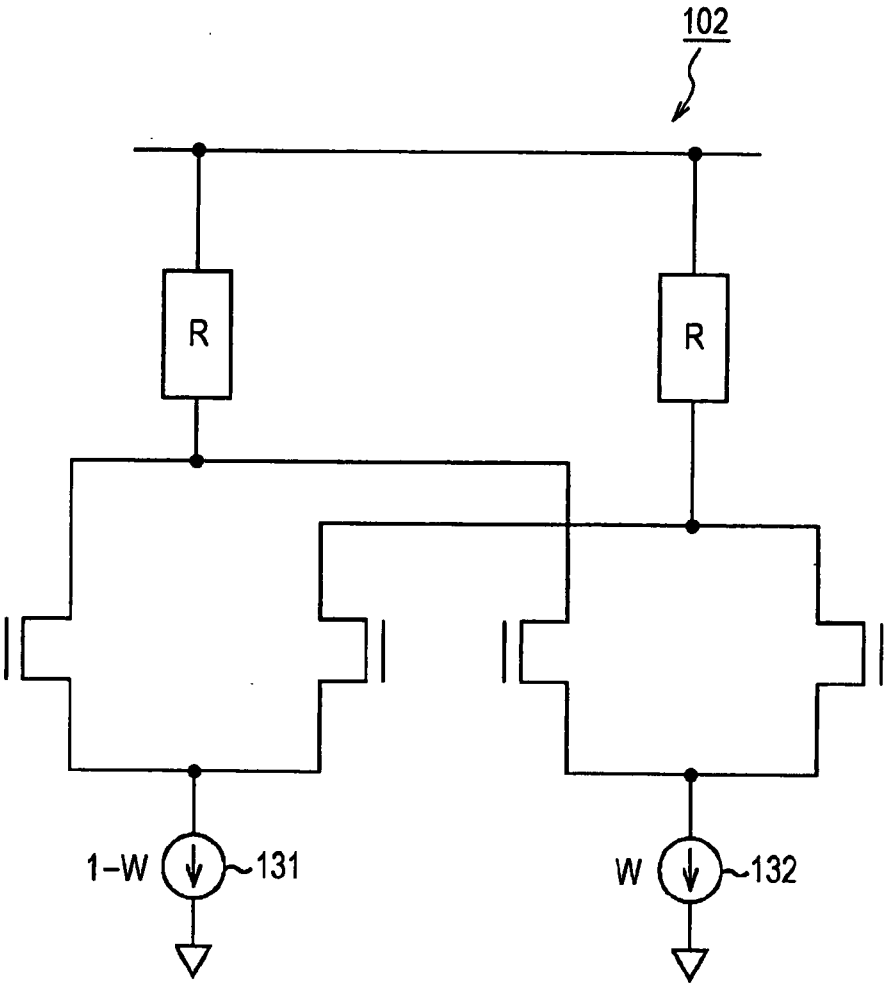


圖 11

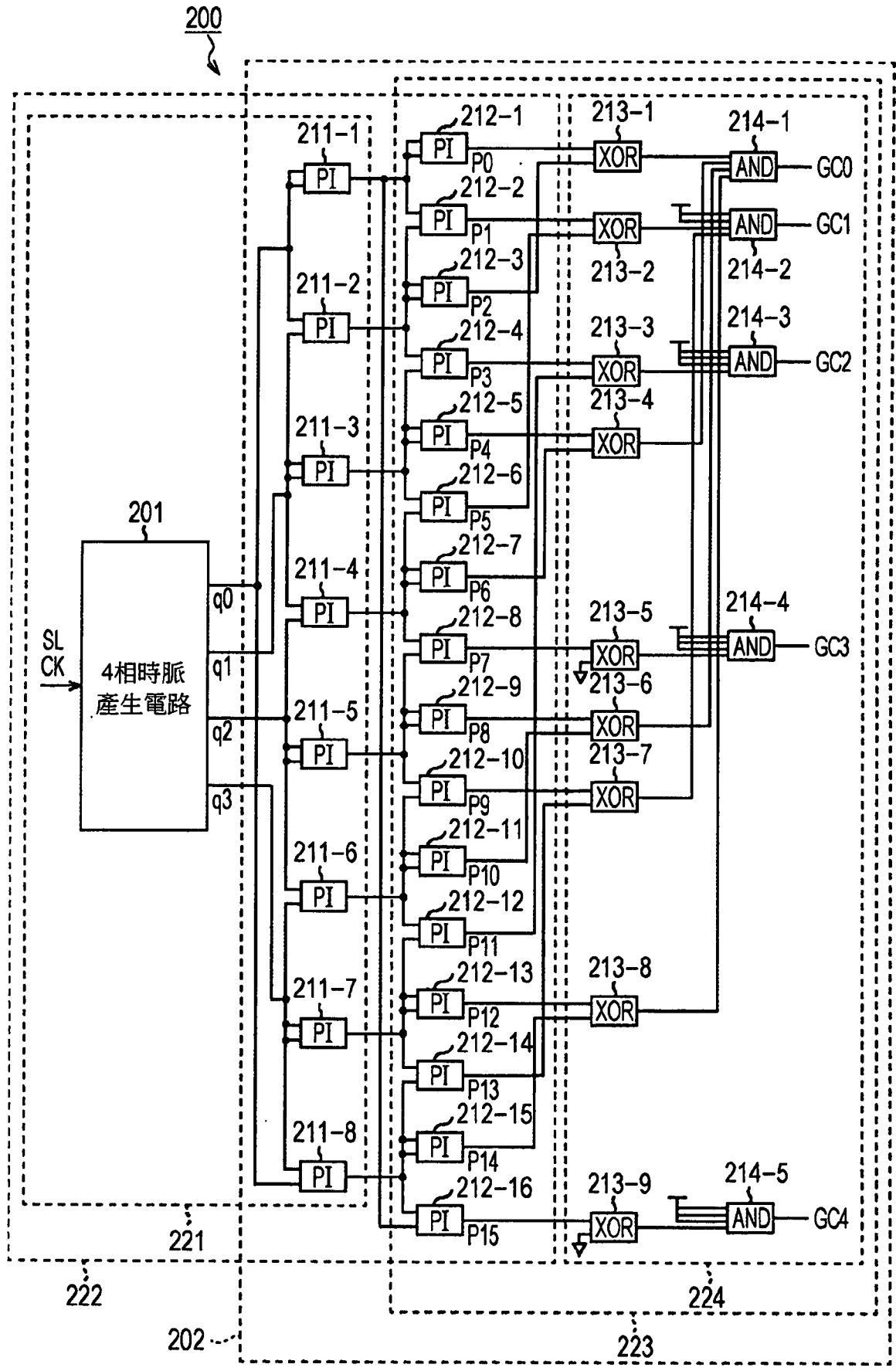


圖 12

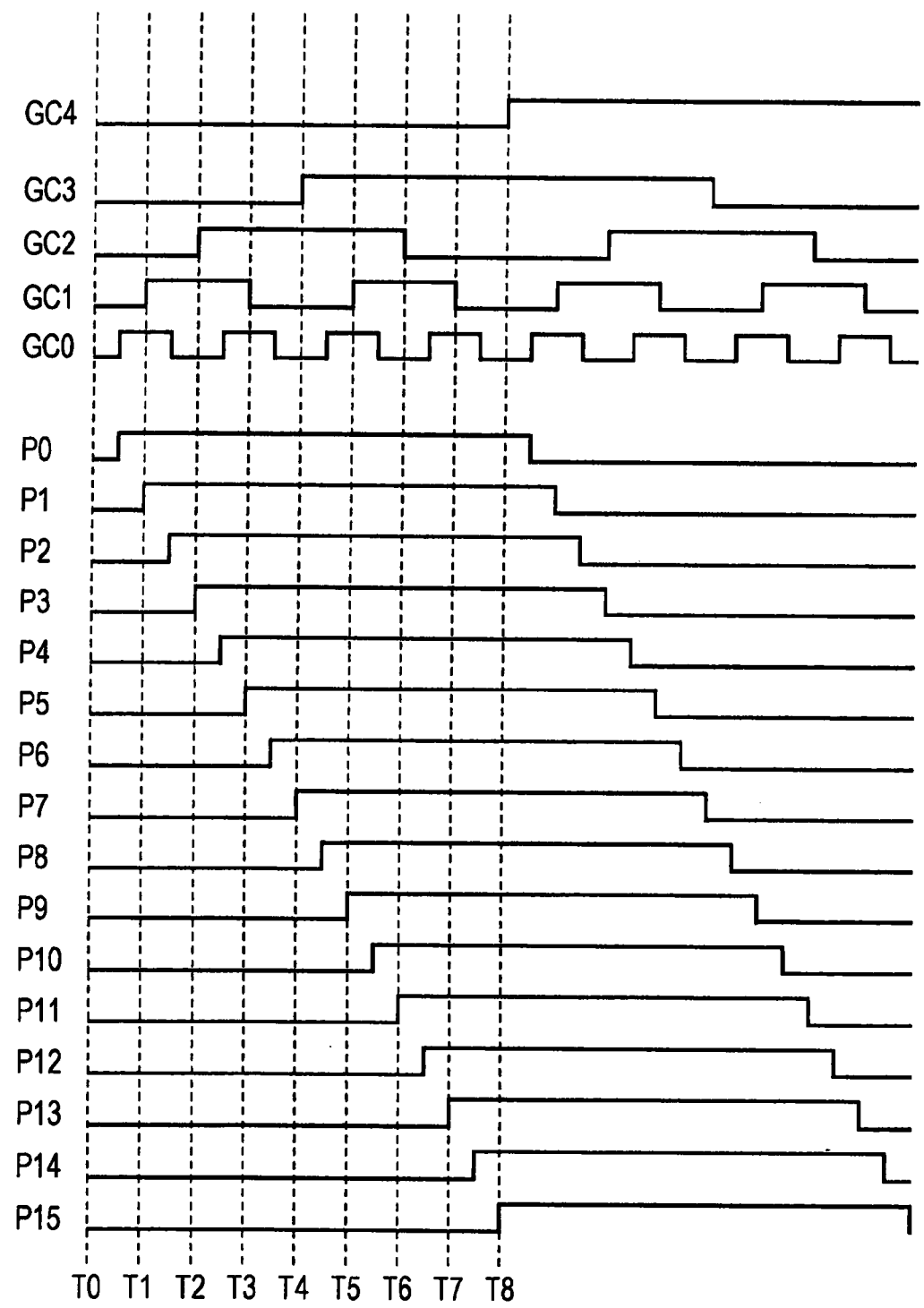


圖 13

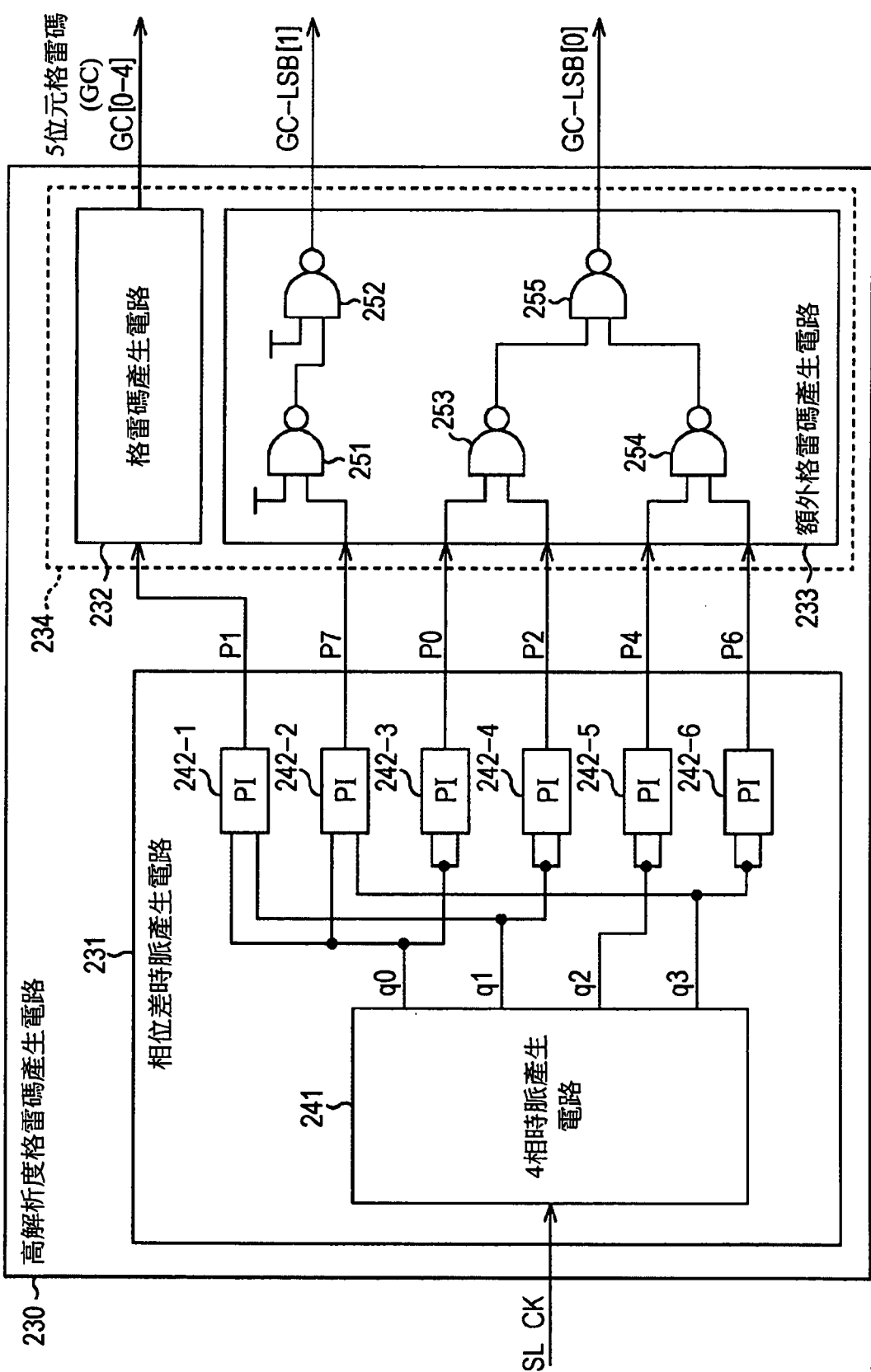


圖 14

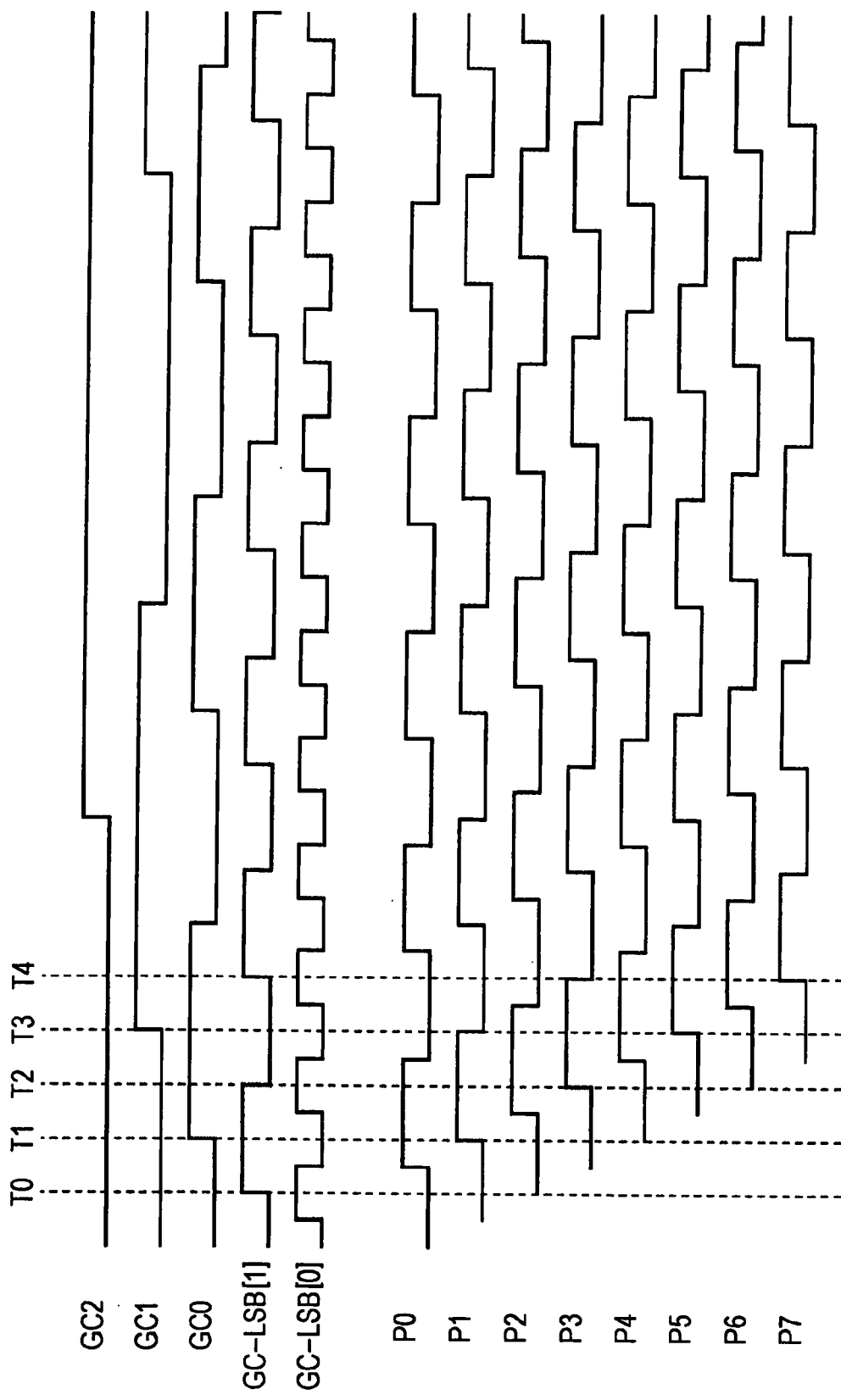


圖 15

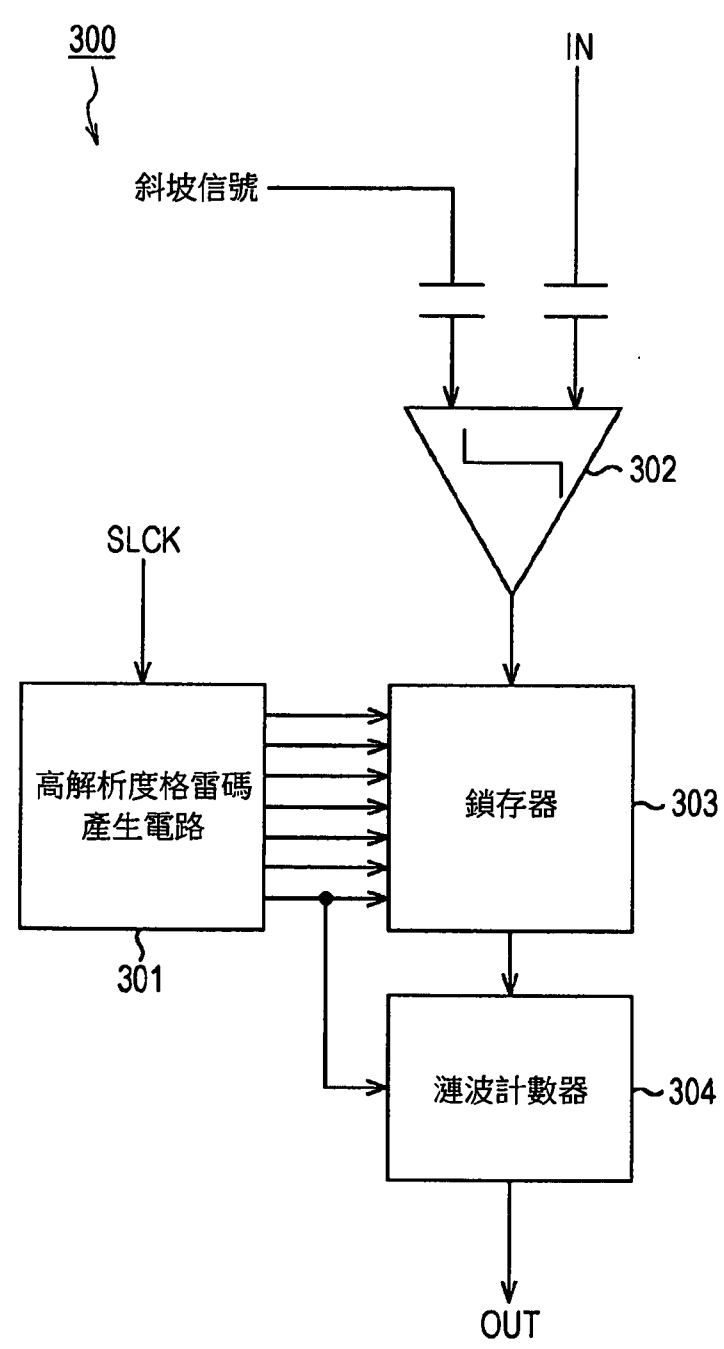


圖 16

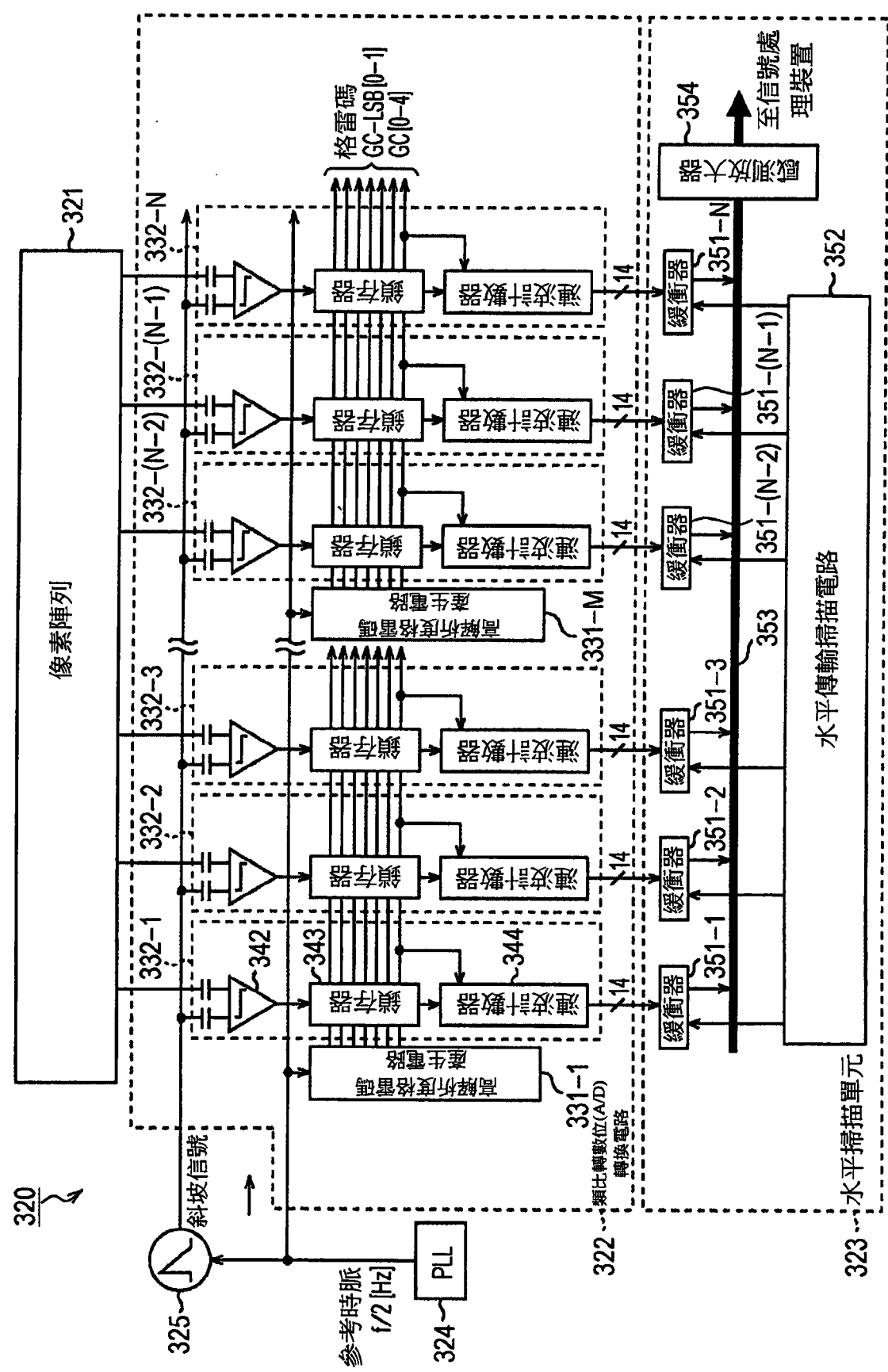


圖 17

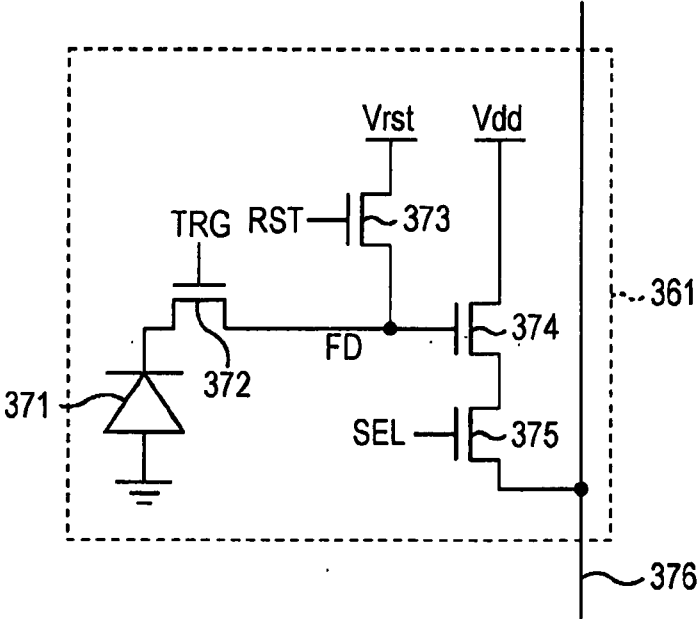


圖 18

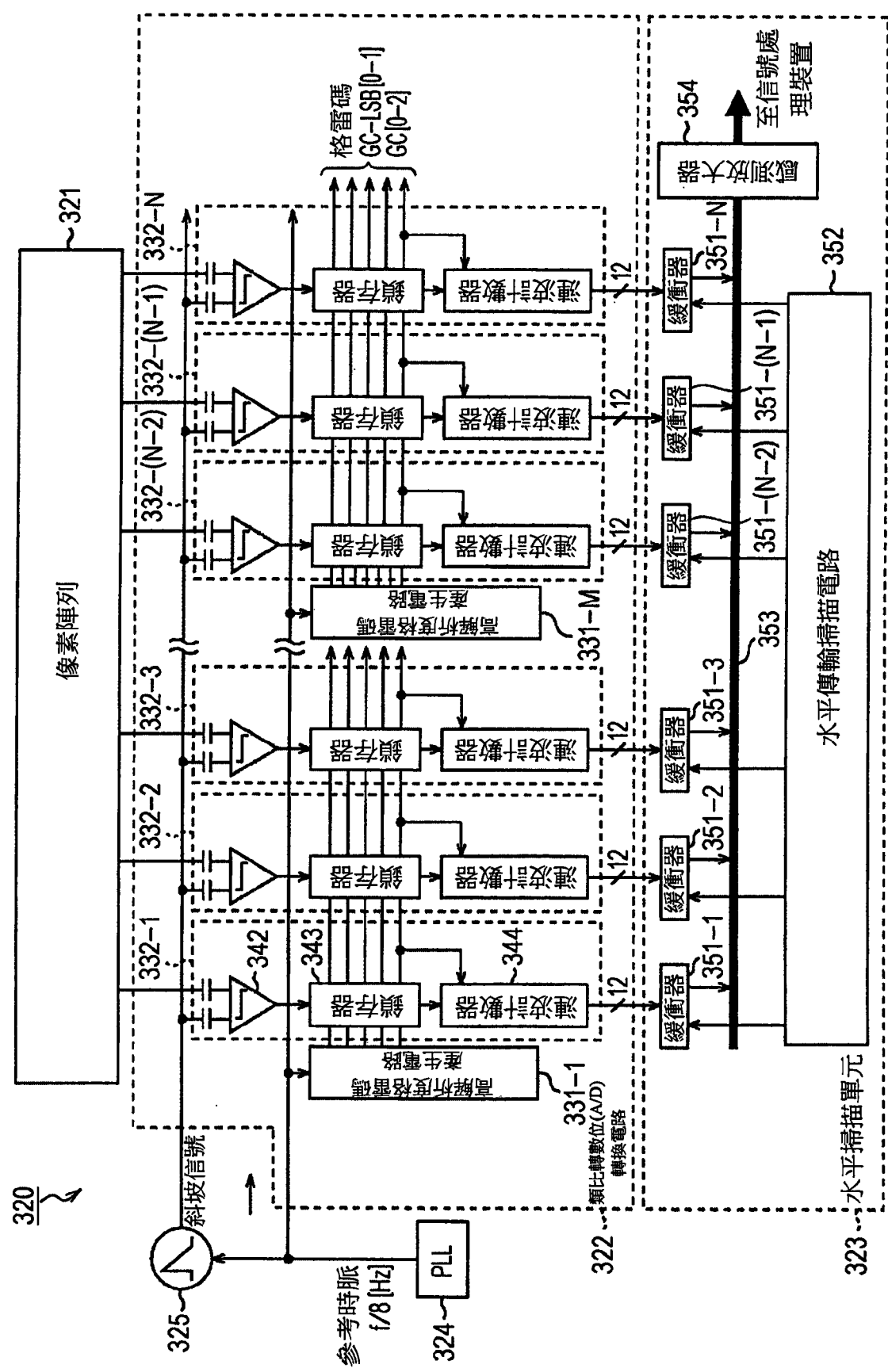


圖 19

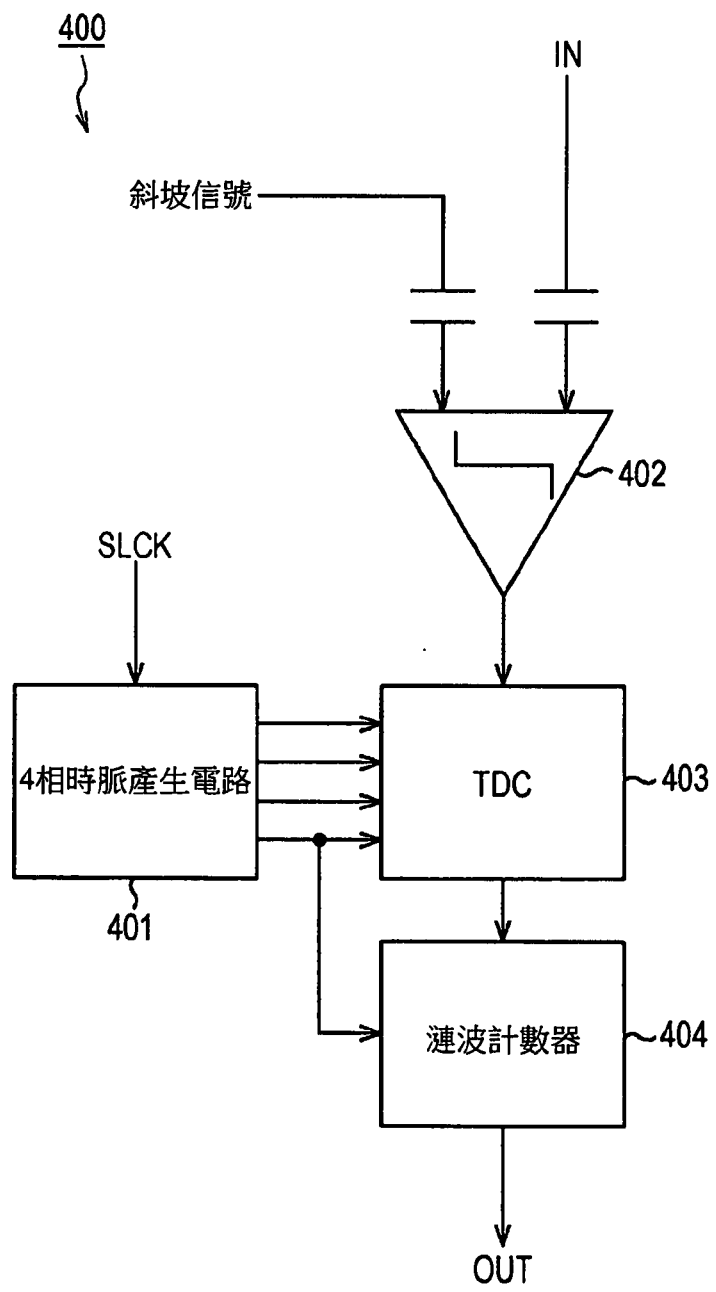


圖 20

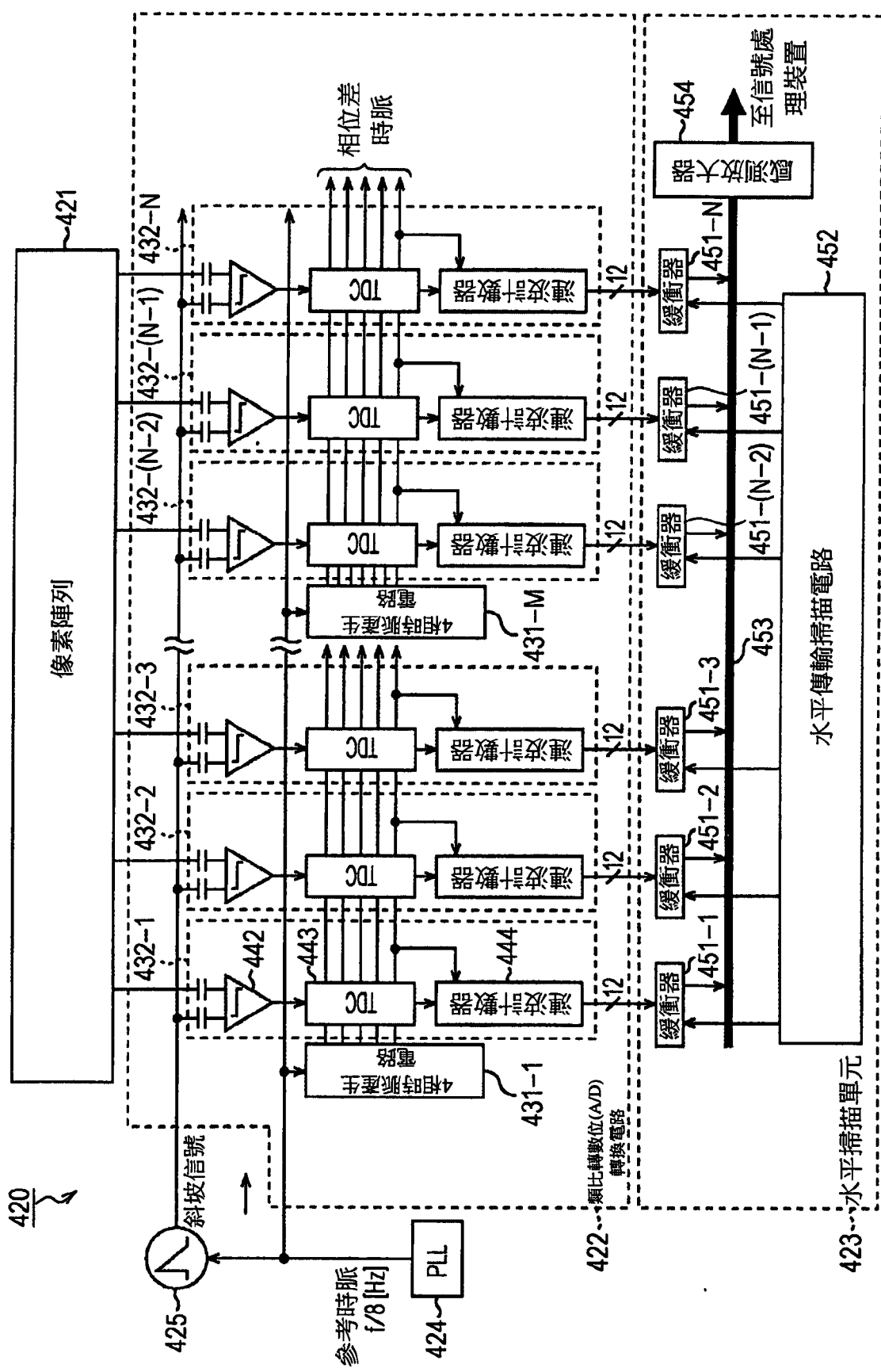


圖 21

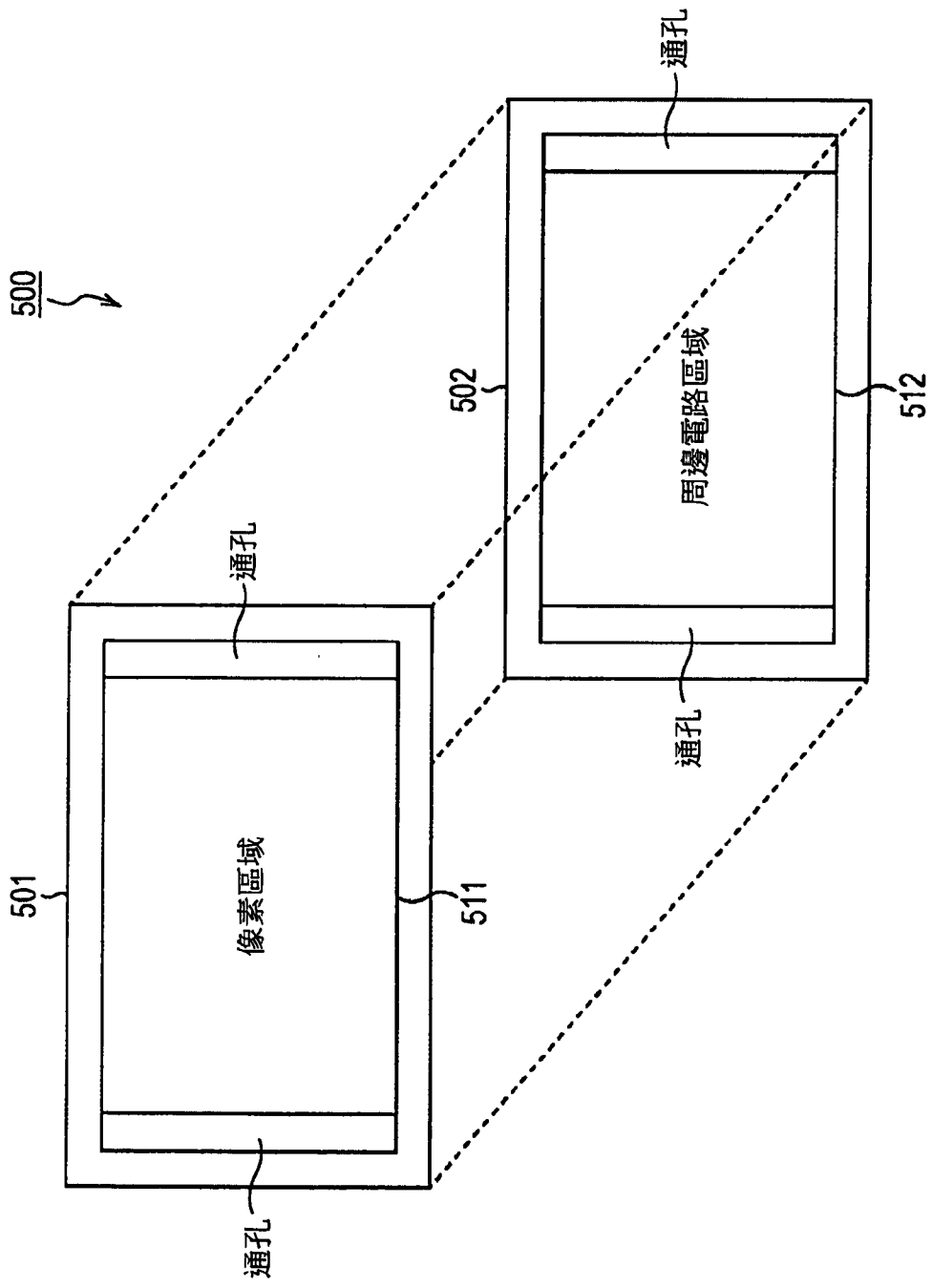


圖 22

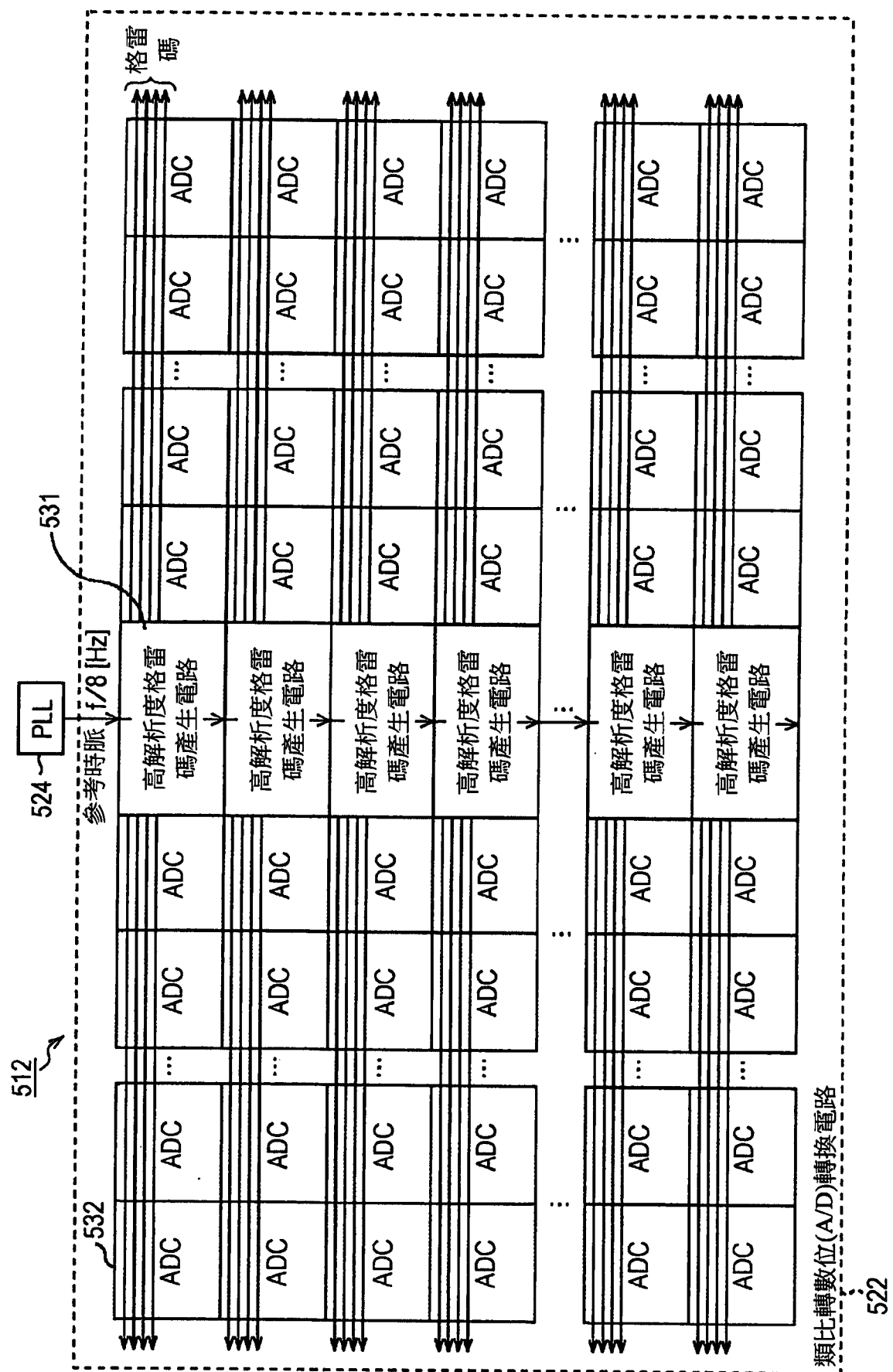


圖 23

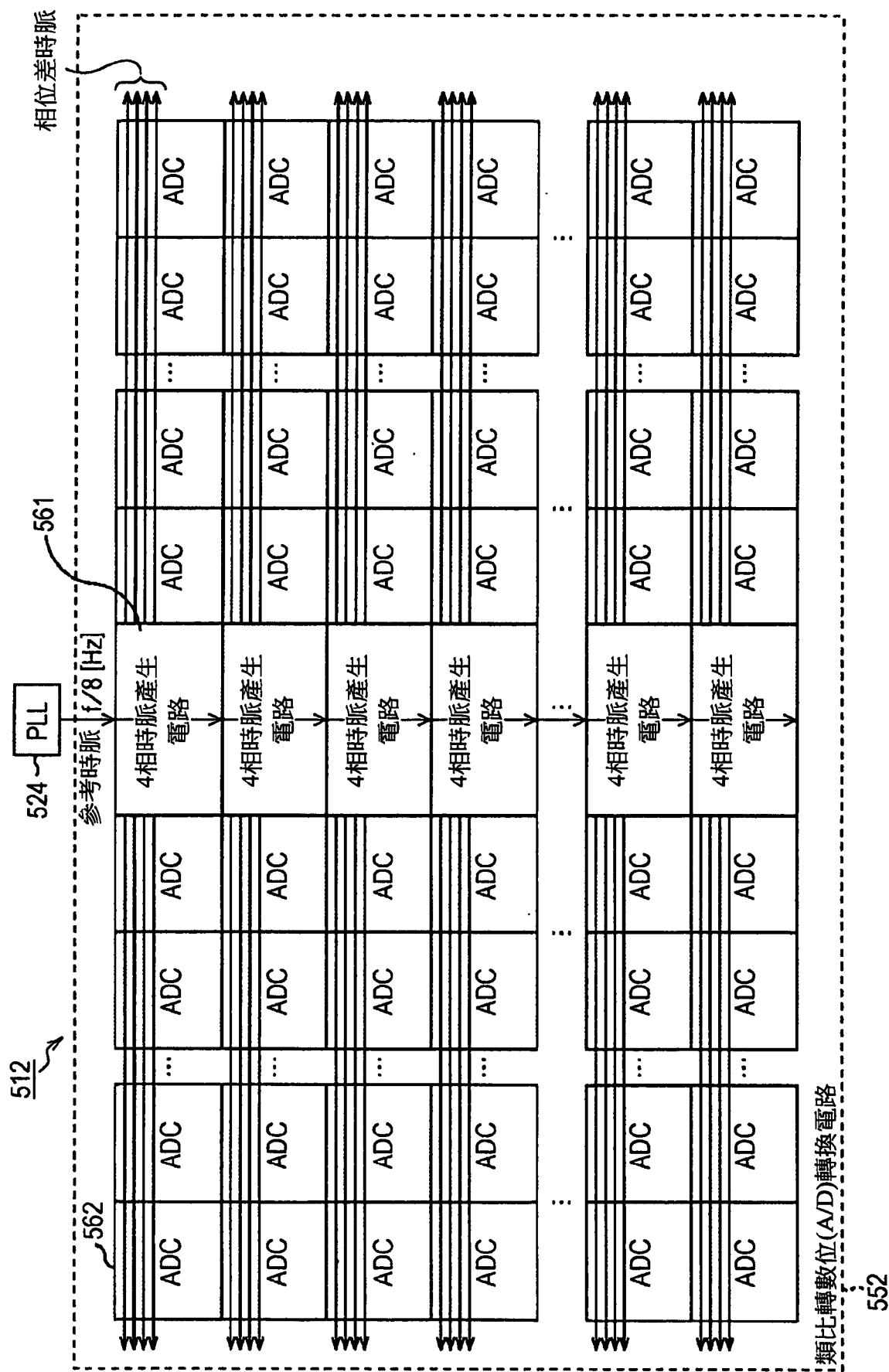


圖 24

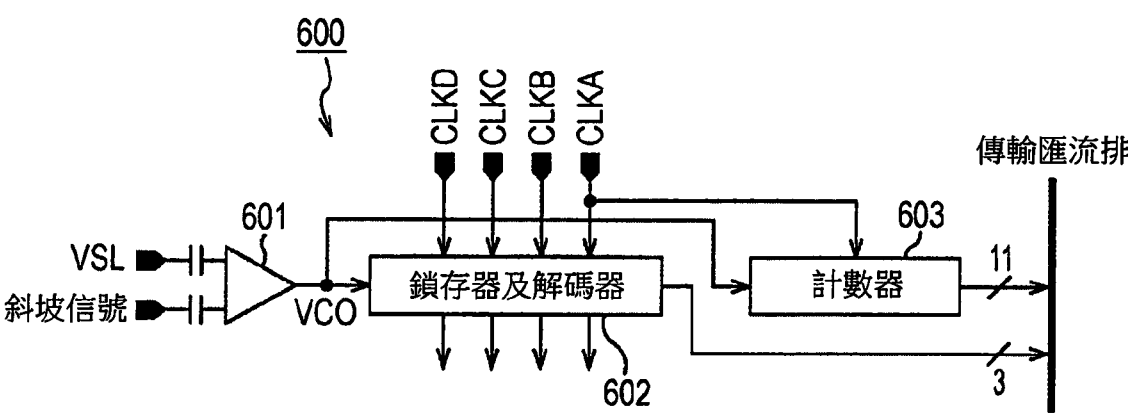


圖 25A

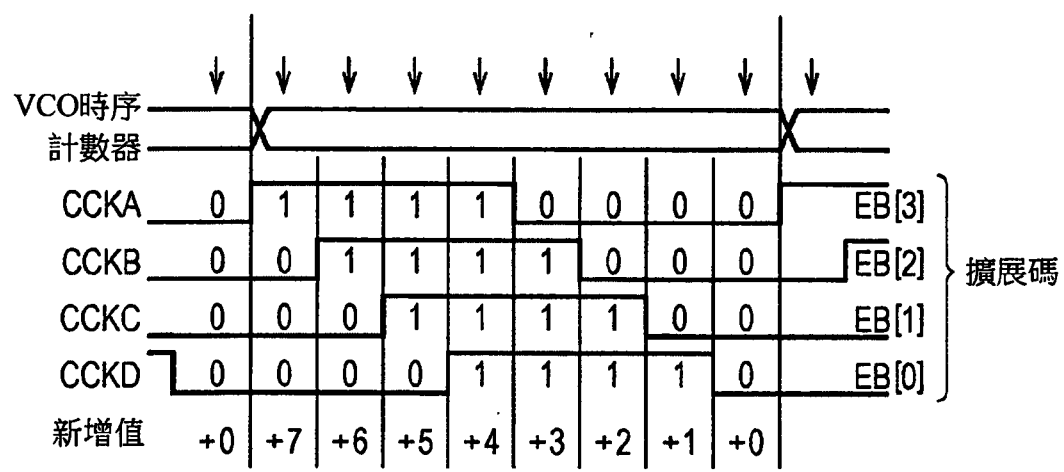


圖 25B

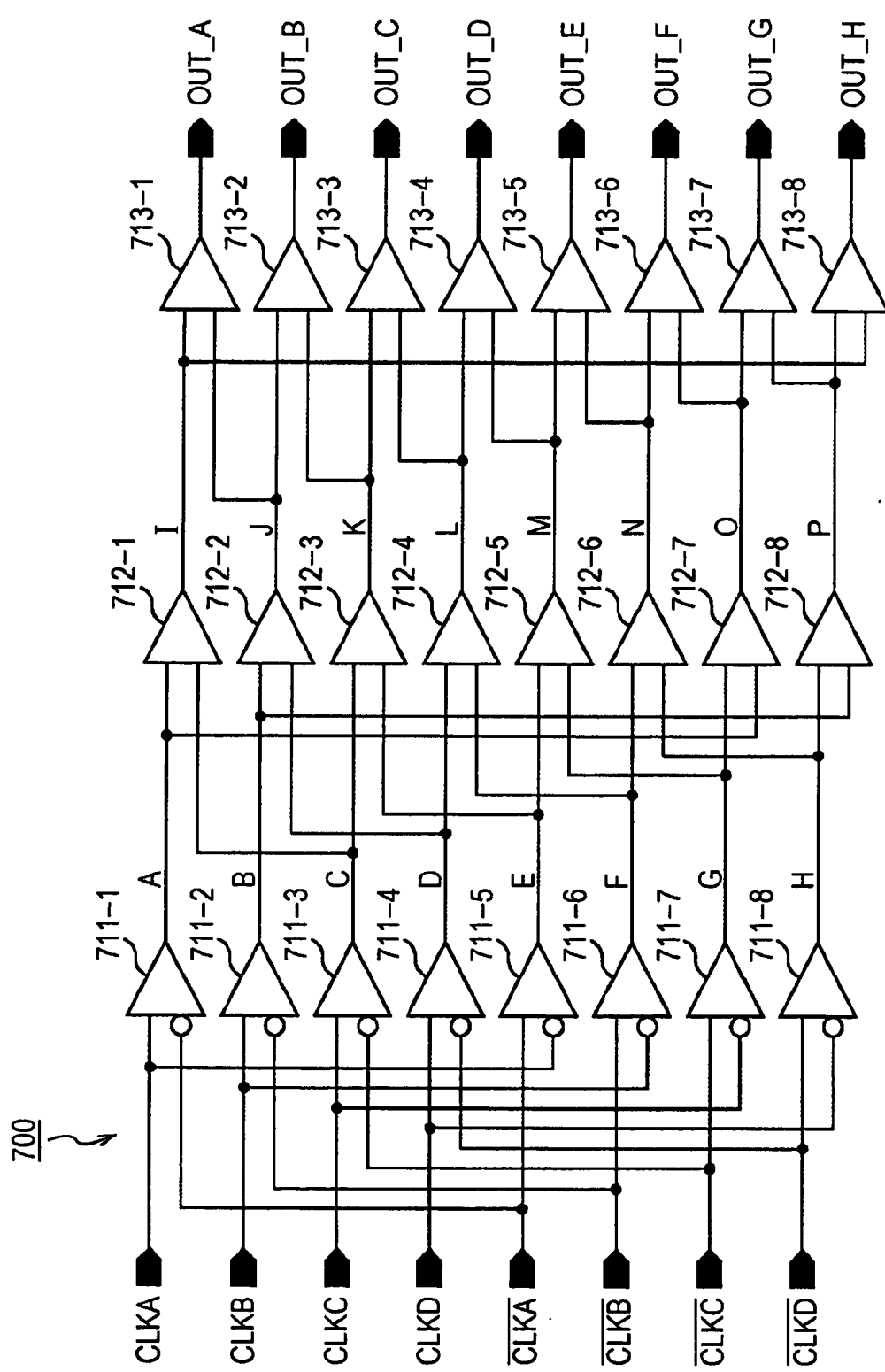


圖 26

CLKA	0	OUT_A	67.5
CLKB	45	OUT_B	112.5
CLKC	90	OUT_C	157.5
CLKD	135	OUT_D	202.5
$\overline{\text{CLKA}}$	180	OUT_E	247.5
$\overline{\text{CLKB}}$	225	OUT_F	292.5
$\overline{\text{CLKC}}$	270	OUT_G	337.5
$\overline{\text{CLKD}}$	315	OUT_H	382.5

圖 27

節點 名稱	相對變動	節點 名稱	相對變動
CLKA	t_1	A	$(t_1 + t_5)/2$
CLKB	t_2	B	$(t_2 + t_6)/2$
CLKC	t_3	C	$(t_3 + t_7)/2$
CLKD	t_4	D	$(t_4 + t_8)/2$
$\overline{\text{CLKA}}$	t_5	E	$(t_5 + t_1)/2$
$\overline{\text{CLKB}}$	t_6	F	$(t_6 + t_2)/2$
$\overline{\text{CLKC}}$	t_7	G	$(t_7 + t_3)/2$
$\overline{\text{CLKD}}$	t_8	H	$(t_8 + t_4)/2$

圖 28A

節點 名稱	相對變動	節點 名稱	相對變動
I	$(t_1 + t_5 + t_7 + t_3)/4$	OUT_A	$(t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8)/8$
J	$(t_2 + t_6 + t_8 + t_4)/4$	OUT_B	$(t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8)/8$
K	$(t_3 + t_7 + t_5 + t_1)/4$	OUT_C	$(t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8)/8$
L	$(t_4 + t_8 + t_6 + t_2)/4$	OUT_D	$(t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8)/8$
M	$(t_5 + t_1 + t_7 + t_3)/4$	OUT_E	$(t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8)/8$
N	$(t_6 + t_2 + t_8 + t_4)/4$	OUT_F	$(t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8)/8$
O	$(t_7 + t_3 + t_1 + t_5)/4$	OUT_G	$(t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8)/8$
P	$(t_8 + t_4 + t_2 + t_6)/4$	OUT_H	$(t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8)/8$

圖 28B

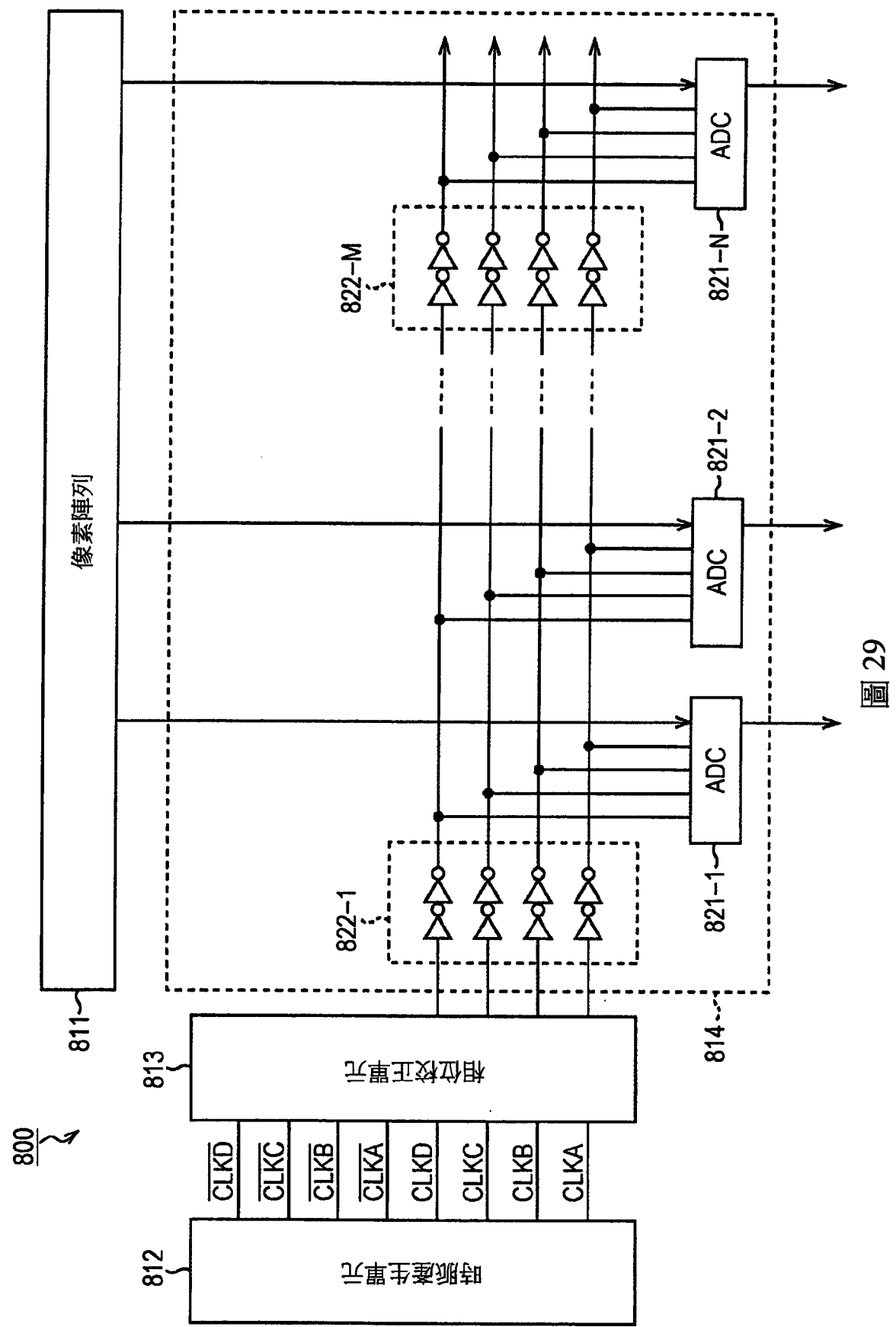


圖 29

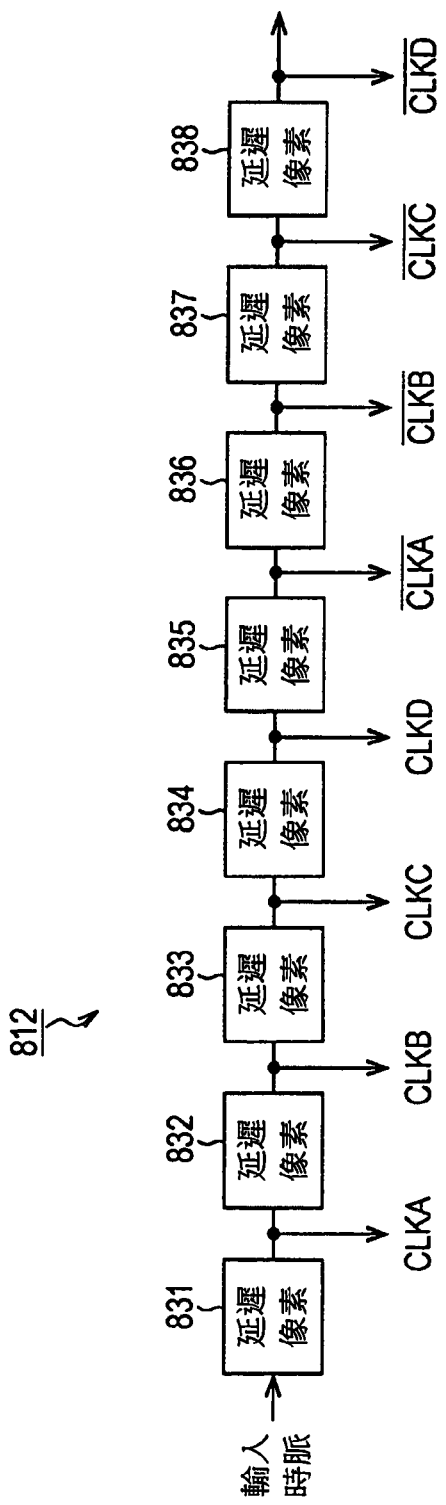


圖 30

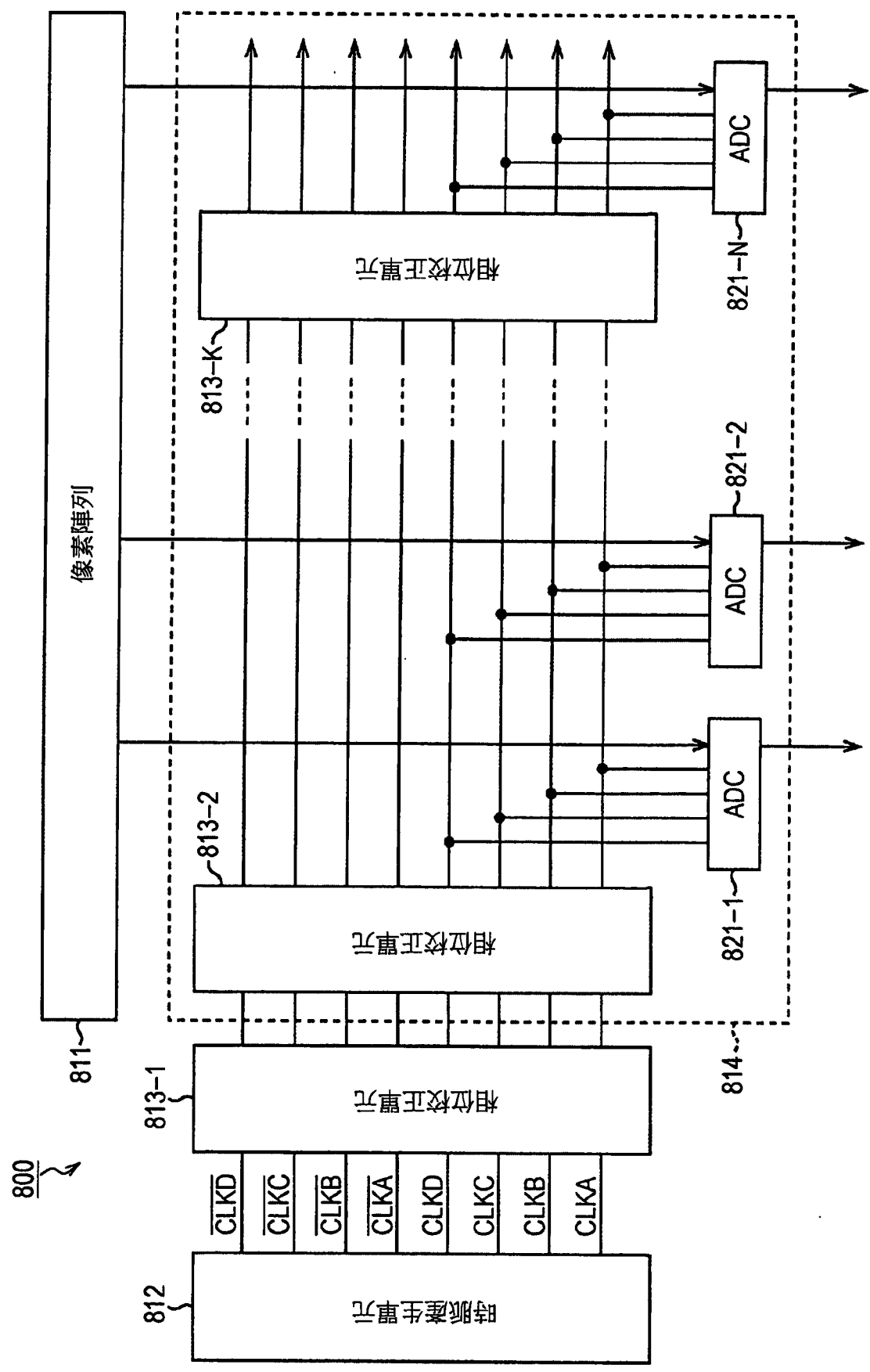


圖 31

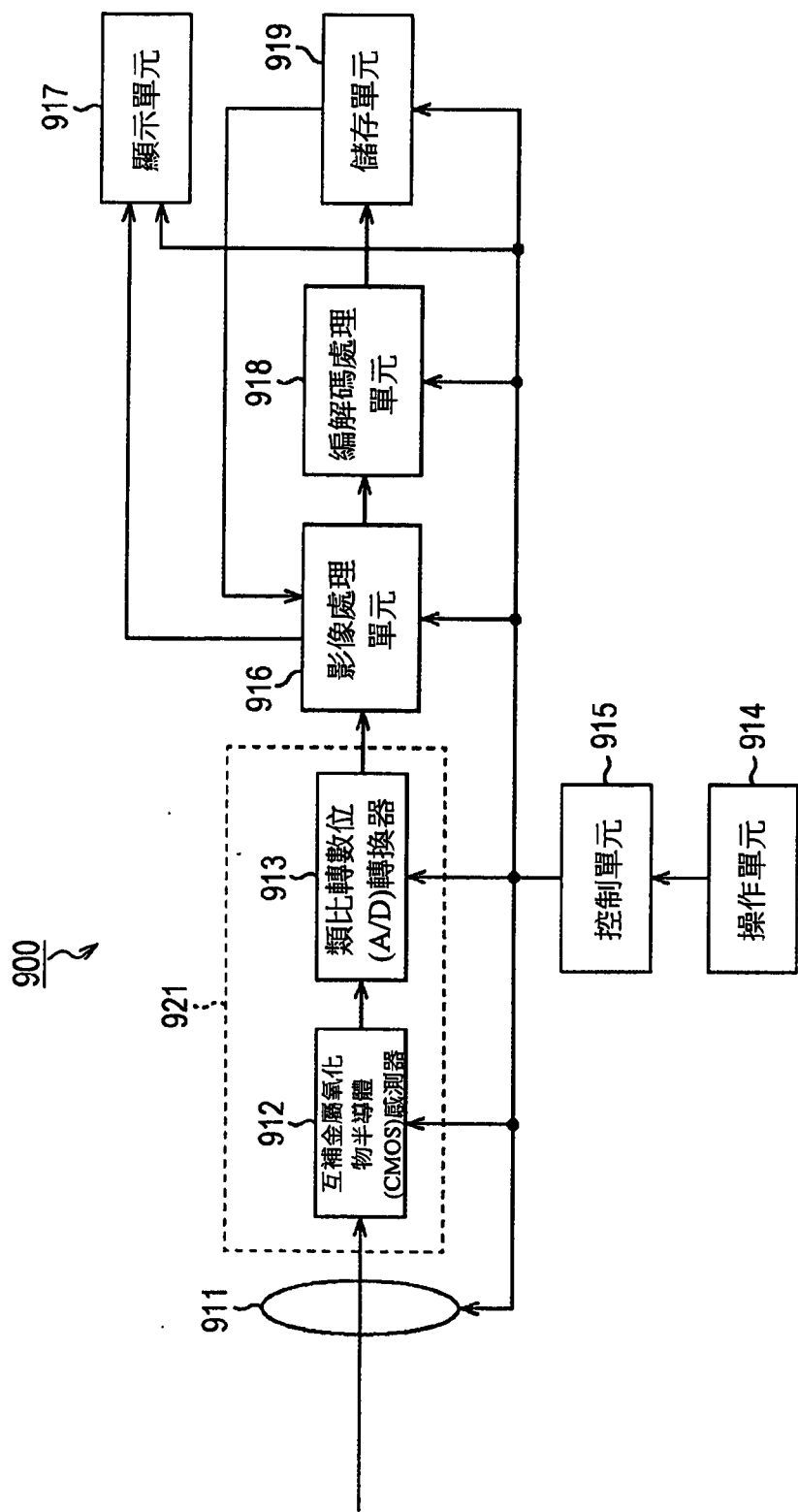


圖 32

申請專利範圍

1. 一種類比轉數位(A/D)轉換裝置，其包括：

電路，其經組態以：

藉由使用複數個相位內插器以自一輸入時脈信號產生多相時脈信號，其中該等多相時脈信號之相位係相對於該輸入時脈信號而位移；

基於在該輸入時脈信號中的一延遲以產生一經延遲之輸入時脈信號；及

基於該等經產生之多相時脈信號以轉換一輸入類比信號。

2. 如請求項1之A/D轉換裝置，其中該電路經進一步組態以基於該輸入時脈信號而產生對應於該複數個相位內插器之複數個相位時脈信號。
3. 如請求項2之A/D轉換裝置，其中該複數個相位內插器之一第一相位內插器經組態以輸出具有該延遲之一輸出信號，其中該延遲係基於兩個輸入信號之間之一相位差。
4. 如請求項1之A/D轉換裝置，其中基於該輸入時脈信號及該經延遲之輸入時脈信號，使該等多相時脈信號之該等相位相對於該輸入時脈信號而位移。
5. 如請求項1之A/D轉換裝置，其中該電路進一步經組態以：

比較一斜坡波形之一參考電壓與一輸入電壓；

基於該等多相時脈信號之一鎖存及該參考電壓與該輸入電壓之比較之一輸出之一反相(inversion)以獲取相位資訊；

解碼該相位資訊之值；及

輸出具有比該輸入時脈信號之一週期大之一解析度的所獲得之數位值。

6. 如請求項5之A/D轉換裝置，其進一步包括一計數器，該計數器經組態以：

計數該輸入時脈信號之週期數；及

基於該週期數之該計數以輸出一計數值作為一高階位元，其中將該等所獲得之數位值輸出為較低階位元。

7. 一種成像元件，其包括：

一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；

第一電路，其經組態以：

藉由使用複數個相位內插器以自一輸入時脈信號產生多相時脈信號，其中該等多相時脈信號之相位係相對於該輸入時脈信號而位移；及

基於在該輸入時脈信號中的一延遲以產生一經延遲之輸入時脈信號；及

第二電路，其經組態以基於該等經產生之多相時脈信號以轉換來自該像素陣列之該各單位像素之一類比信號輸出。

8. 如請求項7之成像元件，

其中該複數個單位像素之各行或該複數個單位像素之一部分區域包含該第二電路，

其中該第二電路經進一步組態以基於該等經產生之多相時脈信號以將來自對應於該第二電路之該各行或該部分區域所輸出之一類比信號轉換為一數位輸出信號。

9. 如請求項8之成像元件，

其中一特定數目個行或一特定數目個部分區域中之一者包含該第一電路；

其中該第二電路經進一步組態以基於由對應於該複數個單位像素之該特定數目個行或該特定數目個部分區域中之一者之該第一電路所產生之該等多相時脈信號以轉換該類比信號。

10. 如請求項7之成像元件，其中基於該輸入時脈信號及該經延遲之輸入時脈信號，使該等多相時脈信號之該等相位相對於該輸入時脈信號而位移。

11. 一種電子裝置，其包括：

一成像感測器，其經組態以使一物體成像及獲得影像資料；及
一影像處理單元，其經組態以處理藉由該成像感測器而獲得之該影像資料；

其中該成像感測器包含：

一像素陣列，其包含複數個單位像素，其中該複數個單位像素之各單位像素包含經組態以使入射光光電轉換之一光電轉換元件；

第一電路，其經組態以：

藉由使用複數個相位內插器以自一輸入時脈信號產生多相時脈信號，其中該等多相時脈信號之相位係相對於該輸入時脈信號而位移；及

基於在該輸入時脈信號中的一延遲以產生一經延遲之輸入時脈信號；及

第二電路，其經組態以基於該等經產生之多相時脈信號以轉換來自該像素陣列之該各單位像素所輸出之一類比信號。