



## (12)发明专利

(10)授权公告号 CN 104412220 B

(45)授权公告日 2018.08.28

(21)申请号 201380034624.9

(22)申请日 2013.06.20

(65)同一申请的已公布的文献号

申请公布号 CN 104412220 A

(43)申请公布日 2015.03.11

(30)优先权数据

1211426.0 2012.06.27 GB

(85)PCT国际申请进入国家阶段日

2014.12.29

(86)PCT国际申请的申请数据

PCT/GB2013/051607 2013.06.20

(87)PCT国际申请的公布数据

W02014/001764 EN 2014.01.03

(73)专利权人 北欧半导体公司

地址 挪威特隆赫姆

(72)发明人 马库斯·巴卡·耶尔托

阿恩·万维克·维纳斯

(74)专利代理机构 北京市万慧达律师事务所

11111

代理人 朱凤成 段晓玲

(51)Int.Cl.

G06F 5/06(2006.01)

G06F 1/12(2006.01)

(56)对比文件

US 2009225915 A1, 2009.09.10,

US 2009225915 A1, 2009.09.10,

US 2003123588 A1, 2003.07.03,

CN 101063894 A, 2007.10.31,

EP 1433059 B1, 2007.05.23,

CN 1717643 A, 2006.01.04,

审查员 原野

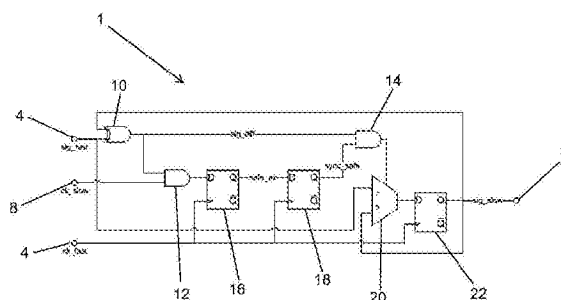
权利要求书2页 说明书8页 附图4页

### (54)发明名称

时钟域之间传输数据信号的系统和方法

### (57)摘要

本发明公开了一种用于从第一时钟域(4)向第二时钟域(8)传输数据信号(sig\_fast)的系统(1)。第一时钟域(4)的第一时钟(ck\_fast)的频率高于第二时钟域(8)的第二时钟(ck\_slow)的频率。系统(1)还包括信号输入端(10),所述输入端(10)用于接收第一时钟域(4)的输入信号(sig\_fast);检测元件(16,18),用于检测第二时钟是否处于其周期内远离即将来临转换的部分;以及传输元件(22),如果检测元件(16,18)确定第二时钟(ck\_slow)处于其周期内远离即将来临转换的部分,所述传输元件(22)向第二时钟域传输输入信号(sig\_fast)。检测元件(16,18)由第一时钟(ck\_fast)计时。



1. 一种用于从第一时钟域向第二时钟域传输数据信号的系统, 其中, 第一时钟域包括第一时钟, 所述第一时钟的频率大于第二时钟域第二时钟的频率, 所述系统包括:

信号输入端, 用于从第一时钟域接收输入信号;

检测部分, 被设置来确定第二时钟是否处于其周期内远离即将来临转换的部分, 所述检测部分由第一时钟计时; 以及

传输部分, 如果检测部分确定第二时钟处于其周期内远离即将来临转换的部分, 所述传输部分被设置来传输输入信号至第二时钟域。

2. 根据权利要求1所述的系统, 其中, 即将来临转换为即将来临正转换。

3. 根据权利要求1或2所述的系统, 其中, 输入信号并不经由检测部分从第一时钟域传输至第二时钟域。

4. 根据权利要求1或2所述的系统, 其中, 输入信号包括至少8比特。

5. 根据权利要求1或2所述的系统, 其中, 第二时钟的检测包括确定第二时钟是否处于其周期的正部分。

6. 根据权利要求1或2所述的系统, 其中, 所述第一时钟的频率至少是第二时钟频率的4倍。

7. 根据权利要求1或2所述的系统, 其中, 检测在第一时钟的上升沿处执行。

8. 根据权利要求1或2所述的系统, 包括确定部分, 所述确定部分被设置来确定第二时钟是否有效。

9. 根据权利要求1或2所述的系统, 其中, 检测部分包括触发器。

10. 根据权利要求1或2所述的系统, 其中, 检测部分包括两个串联的触发器。

11. 根据权利要求1或2所述的系统, 包括探测部分, 所述探测部分被设置来探测是否有来自第一时钟域的新输入信号。

12. 根据权利要求11所述的系统, 其中, 探测部分包括比较器, 所述比较器处于第一时钟域的输入信号和第二时钟域的输出信号之间。

13. 根据权利要求1或2所述的系统, 包括初始化部分, 所述初始化部分被设置来对第二时钟的检测进行初始化。

14. 根据权利要求1或2所述的系统, 包括存储部分, 所述存储部分被设置来存储输入信号。

15. 一种用于从第一时钟域向第二时钟域传输数据信号的系统, 其中, 第一时钟域包括第一时钟, 以及第二时钟域包括第二时钟, 所述系统包括:

信号输入端, 用于从第一时钟域接收输入信号;

检测部分, 被设置来确定第一或第二时钟中的较慢时钟是否处于其周期内远离即将来临转换的部分, 所述检测部分由第一或第二时钟中的较快时钟进行计时; 以及

传输部分, 如果检测部分确定较慢时钟处于其周期内远离即将来临转换的部分, 所述传输部分被设置来传输输入信号至第二时钟域。

16. 一种从第一时钟域向第二时钟域传输数据信号的方法, 其中, 第一时钟域包括第一时钟, 所述第一时钟的频率大于第二时钟域的第二时钟的频率, 所述方法包括:

从第一时钟域接收输入信号;

利用由第一时钟计时的检测部分来检测第二时钟域是否处于其周期内远离即将来临

转换的部分;以及

如果检测确定第二时钟处于其周期内远离即将来临转换的部分,传输输入信号至第二时钟域。

17.根据权利要求16所述的方法,其中,即将来临转换为即将来临正转换。

18.根据权利要求16或17所述的方法,其中,输入信号并不经由检测部分从第一时钟域传输至第二时钟域。

19.根据权利要求16或17所述的方法,其中,输入信号包括至少8比特。

20.根据权利要求16或17所述的方法,其中,第二时钟的检测包括确定第二时钟是否处于其周期的正部分。

21.根据权利要求16或17所述的方法,其中,所述第一时钟的频率至少是第二时钟频率的4倍。

22.根据权利要求16或17所述的方法,其中,检测在第一时钟的上升沿处执行。

23.根据权利要求16或17所述的方法,包括确定第二时钟是否有效。

24.根据权利要求16或17所述的方法,其中,检测部分包括触发器。

25.根据权利要求16或17所述的方法,其中,检测部分包括两个串联的触发器。

26.根据权利要求16或17所述的方法,包括探测是否有来自第一时钟域的新输入信号。

27.根据权利要求26所述的方法,其中,探测步骤包括利用处于第一时钟域的输入信号和第二时钟域的输出信号之间的比较器。

28.根据权利要求16或17所述的方法,包括对第二时钟的检测进行初始化。

29.根据权利要求16或17所述的方法,包括存储输入信号。

30.一种从第一时钟域向第二时钟域传输数据信号的方法,其中,第一时钟域包括第一时钟,以及第二时钟域包括第二时钟,所述方法包括:

从第一时钟域接收输入信号;

利用由第一或第二时钟中的较快时钟计时的检测部分来检测第一或第二时钟中的较慢时钟是否处于其周期内远离即将来临转换的部分;以及

如果检测确定较慢时钟处于其周期内远离即将来临转换的部分,传输输入信号至第二时钟域。

## 时钟域之间传输数据信号的系统和方法

### 技术领域

[0001] 本发明涉及数字系统中时钟域之间传输数据信号的系统和方法,尤其是非同步时钟域。

### 背景技术

[0002] 在不同的电子系统中,例如无线(例如蓝牙)系统,其中存在两个或多个以不同频率运行的时钟域,其需要至少偶发地彼此通信。例如,中央处理器可以以高频率运行,而一个或多个外围设备以低频率运行。此外,当其未被使用以节约电能时,其中一个时钟域可以进入无效周期,例如休眠或者待机模式。在此周期内,两个时钟域之间无通信,然而,当一个时钟域退出休眠或待机模式时,其通常需要与其他时钟域通信。此外,快速和慢速时钟域彼此之间一般不同步。

[0003] 已知系统包括多个彼此不同步的时钟域(也可以是不同频率)来应用“握手”过程,其中时钟域协商参数,例如通过忙碌标志,来建立较慢时钟域准备从较快时钟域接收信号。其对于在较慢时钟域的安全周期内信号能够由较快时钟域传输是必需的,即远离较慢时钟域的正转换(其中时序由0变为1),从而避免信号的讹误或系统的亚稳态。然而,已知的握手过程相对较慢,这是由于其由较慢时钟域进行计时且需要花费多个周期,以便获取时钟域间的同步。除了慢以外,由于过程中需要较快时钟域必须保持运行,从而需要消耗大量电能。

[0004] 此外,尤其当应用传统握手过程由较快时钟域向较慢时钟域传输数据时,必须保证较快时钟域的源数据在握手过程中不被改变,直到数据传输完成,否则将存在一些比特位传输呈现为新数据,而一些比特位未传输呈现为老数据的风险,其增加了数据讹误的风险。由于需要多个同步信号在两个时钟域之间来回传输,来检测传输数据是否安全,所以传统的将“冻结(freeze)”加入源数据是不便的,尤其考虑到上述传输延时。

### 发明内容

[0005] 本发明的目的在于提供改善不同频率的两个时钟域之间通信的系统和方法。

[0006] 由本发明第一方面来看,其提供一种用于从第一时钟域向第二时钟域传输数据信号的系统,其中,第一时钟域包括第一时钟,第二时钟域包括第二时钟,所述系统包括:

[0007] 信号输入端,用于从第一时钟域接收输入信号;

[0008] 检测元件,用于检测第一或第二时钟中较慢时钟是否处于其周期内远离即将来临转换的部分,所述检测元件由第一或第二时钟中的较快时钟计时;以及

[0009] 传输元件,如果检测元件确定较慢时钟处于其周期内远离即将来临转换的部分,所述传输元件传输输入信号至第二时钟域。

[0010] 本发明还提供一种用于从第一时钟域向第二时钟域传输数据信号的方法,其中,第一时钟域包括第一时钟,第二时钟域包括第二时钟,所述方法包括:

[0011] 从第一时钟域接收输入信号;

[0012] 利用由第一或第二时钟中的较快时钟计时的检测元件来检测第一或第二时钟中的较慢时钟是否处于其周期内远离即将来临转换的部分;以及

[0013] 如果检测确定较慢时钟处于其周期内远离即将来临转换的部分,传输输入信号至第二时钟域。

[0014] 尽管本发明可以用于从第一较慢时钟域向第二较快时钟域传输信号,但本发明尤其利于从第一较快时钟域向第二较慢时钟域传输数据信号。

[0015] 因此,由本发明另一方面来看,其提供一种用于从第一时钟域向第二时钟域传输数据信号的系统,其中,第一时钟域包括第一时钟,所述第一时钟的频率大于第二时钟域的第二时钟的频率,所述系统包括:

[0016] 信号输入端,用于从第一时钟域接收输入信号;

[0017] 检测元件,用于检测第二时钟是否处于其周期内远离即将来临转换的部分,所述检测元件由第一时钟计时;以及

[0018] 传输元件,如果检测元件确定第二时钟处于其周期内远离即将来临转换的部分,所述传输元件传输输入信号至第二时钟域。

[0019] 本发明还提供一种从第一时钟域向第二时钟域传输数据信号的方法,其中,第一时钟域包括第一时钟,所述第一时钟的频率大于第二时钟域的第二时钟的频率,所述方法包括:

[0020] 从第一时钟域接收输入信号;

[0021] 利用由第一时钟计时的检测元件来检测第二时钟域是否处于其周期内远离即将来临转换的部分;以及

[0022] 如果检测确定第二时钟处于其周期内远离即将来临转换的部分,传输输入信号至第二时钟域。

[0023] 检测装置可以配置为探测正和/或负转换,即第二时钟域中的数据值可以变为1或者第二时钟的全部正和负转换。然而,在一组实施例中,被探测到的转换为正转换。

[0024] 因此,可不使用握手和/或忙碌标志,根据本发明实施检测,该检测是关于慢速时钟域位于其周期内的哪个部分,并且只要其处于周期内的“安全”部分(即并无转换即将来临之处),快速时钟域的信号就可以简单地传输至慢速时钟域,或者慢速时钟域的信号就可以简单地被快速时钟域读取。申请人已经认识到,由于慢速时钟的检测由快速时钟计时,其导致信号由第一时钟域向第二时钟域更为快速地传输。例如,已知采用握手的装置中,同步和传输时间通常需要至少两个较慢时钟周期,对比于本发明实施例的同步和传输时间,其仅需要两个较快时钟周期。虽然,本发明具有从第一较慢时钟域向第二较快时钟域传输数据信号的优点,然而在随后一系列的实施例中主要表现为第一时钟的频率远大于第二时钟。第二时钟的检测保证其周期远离由0变为1的即将来临正转换,使得从第一时钟域向第二时钟传输输入信号不与第二时钟周期的转换重叠。因为第二时钟域的数据值在正边沿时进行读取,所以在此时向第二时钟域传输数据值可能导致数据讹误或亚稳态。

[0025] 申请人已经认识到,由于传输发生在第二慢速时钟周期的安全部分内,所以不需要同步所传输的数据信号。因此,在一组优选实施例中,输入信号并未经过检测元件从第一时钟域传输至第二时钟域。在一组优选实施例中,在第一时钟域的输入端和第二时钟域的输出端没有引入时钟周期延时的部件。

[0026] 虽然其利于单比特 (single bit) 信号的应用, 尤其当第一和第二时钟域之间频率相差较大时, 其尤其利于多比特 (multi-bit) 总线, 这是由于全部信号可以在对第二时钟进行检测的基础上传输, 而无需对每一位进行检测, 由此无需大量数量的门电路以及因此带来的集成电路面积的显著增加和大量的电力消耗。这也意味着本发明的实施例并不需要引入与串联触发器或者现有技术中其他用于匹配时钟域的装置相关联的延时。

[0027] 在本发明的一些实施例中, 输入信号包括至少 8, 16 或 32 比特, 例如从总线, 虽然总线包括多比特位中的任意数量。当此处传输数据的参照被确立, 其包含全部单位信号和多位总线。

[0028] 快速传输使得一个或全部时钟快速进入或者恢复到休眠状态, 因此其可以实现减少电力消耗的好处。这典型地将变为更快和更多电力损耗第一时钟域, 例如周期性地从充当低功率计时器的第二时钟域读取数据。

[0029] 第二时钟的检测可以包括, 在从第一时钟域向第二时钟域传输输入信号之前, 确定其时钟周期内不会发生转换 (从 0 至 1 或者 1 至 0) 的任何适当方法。在一组实施例中, 第二时钟的检测包括确定第二时钟是否处于其周期的正部分。如果以此情况, 至少半个慢速时钟周期用于执行检测和传输输入信号。在这组实施例中, 所述第一时钟所需要具有的频率 (检测元件由其计时) 大于第二时钟的频率, 大了至少两倍于检测步骤的数目的倍数, 从而获得充足的时间来执行全部检测步骤, 并在第二时钟域的安全部分内从第一时钟域向第二时钟域传输输入信号。

[0030] 虽然, 第一时钟的频率可以是第二时钟频率的整数倍, 和/或具有固定相位, 但是在本发明中一般无需同步或特定关系。此外, 本发明的实施例容忍第二时钟域进入休眠或者待机模式, 以及异步重启。

[0031] 在一组实施例中, 第一时钟的频率至少是第二时钟频率的 4 倍, 例如至少 10 倍, 例如至少 100 倍, 例如至少 1000 倍。从而保证拥有充足的时间来执行对第二时钟的检测以及信号从第一时钟域向第二时钟域的传输, 避免传输期间第二时钟发生转换的风险以及相关的数据讹误和亚稳态风险。同时还反映了商业产品中存在的不同时钟域。在一组典型实施例中, 第一时钟频率为 16MHz, 第二时钟频率为 32kHz。

[0032] 对第二时钟的检测可以在第一时钟周期内的任意点上执行, 其无需固定。在一组实施例中, 所述检测在第一时钟的上升沿处执行。所述检测包括多个步骤, 随后步骤随后完成, 例如在下一个第一时钟的上升沿处。如前所述, 可以看到所述第一时钟所需具有的频率大于第二时钟的频率, 大了至少两倍于检测步骤的数目的倍数, 从而获得充足的时间来执行全部检测步骤, 并在第二时钟域的安全部分内从第一时钟域向第二时钟域传输输入信号。

[0033] 在一组实施例中, 第二时钟域可以进入无效周期, 例如休眠或者待机模式。然而, 即便第二时钟无效, 即其时钟周期未运行, 其可能同样需要从第一时钟域向第二时钟域传输信号。在此情况下, 检测第二时钟处于其周期内的哪个部分是不可能实现的, 因此所述系统可以包括确定第二时钟是否有效的元件。如果该检测是令人满意的 (即第二时钟被发现是无效的), 随后输入信号可从第一时钟域传输至第二时钟域。在此情况下, 由于第二时钟域的无效保证了在传输期间第二时钟不会发生转换, 所以输入信号可安全传输。

[0034] 检测元件可以包括依靠检测性质的任意适用装置。在一组实施例中, 用于执行检

测的元件包括触发器,例如D触发器,也可以应用任意类型的定时触发器。例如,这适于当检测包括确定第二时钟是否为高电平。优选地,用于执行检测的元件包括两个串联的触发器。提供多于一个的触发器用于增加触发器执行检测的确定性。触发器的输出会出现处于不稳定状态的小概率事件,从而需要时间自我解决,例如如果在第二时钟正在经由转换时恰好执行检测。然而,如果输出随后被传输至另一触发器的输出端,不稳定状态传输给全部触发器的概率将非常小,即因为概率是相乘的。

[0035] 通过第一时钟对每个触发器进行计时。因此,在一组优选实施例中,每个触发器通过第一时钟的上升沿触发,触发器通过跟随触发所述触发器执行第一检测的上升沿的随后上升沿触发来执行第二检测。可以使用超过两个的串联触发器。增加额外的触发器能进一步增加第二时钟检测的准确性,并且处于非常高的频率的情况下,当亚稳态的风险增加时,可能需要多于两个的触发器。

[0036] 在一组实施例中,所述系统包括用于探测是否有来自第一时钟域的新输入信号,例如,其是否改变自先前的传输值。这使得系统获知何时其需要在第一和第二时钟域之间执行同步,也使得第二时钟在信号被传输之后和新信号被检测之前的期间内进入休眠模式,从而节省电力消耗。优选地,探测元件包括比较器,例如异或(XOR)门电路,该比较器设置于第一时钟域的输入信号和第二时钟域的输出信号之间。当两个信号不相等时,由于输入信号已经改变,并且未被传输至输出信号端时,比较器向系统发出输入信号已经改变的信号。

[0037] 在一组实施例中,第二时钟的检测可以连续执行,例如在第一时钟的每个周期。然而,在另一组实施例中,所述系统包括用于对第二时钟检测进行初始化的元件。为了实现检测可以发送特定信号,或者与系统中的其他信号或者周期相关。例如,检测可以由如前所述的输入信号的改变而发起,或者通过系统进入或退出待机或休眠模式发起。实施例中的检测的发起并不是连续执行的,其优点在于由于只在必要时执行检测,从而帮助系统减少电力消耗。

[0038] 在一组实施例中系统如此配置,输入信号可以在同步期间的任意时间被改变,而不影响同步过程或输入信号从第一时钟域向第二时钟域的所得到的传输,例如通过引起输出信号的亚稳态。第二时钟检测的执行独立于输入信号的状态,例如,如先前实施例所述,其中检测可以作为在第二时钟的输入,也是由于输入信号绕开执行检测元件的事实。在一组实施例中,检测元件由第一时钟计时,并且其输入为第二时钟域,因此其简单地产生“安全”同步信号,使得系统获知其可安全传输输入信号。因此输入信号的状态无所谓,其可以在此同步周期内进行改变。相反的,传统的握手过程为了在第一和第二时钟域之间实现同步,将“冻结”加入由第一时钟域传输的数据信号中,例如通过忙碌标志的应用。这会明显增加时间并导致系统电力消耗的增加。本发明的实施例克服了上述限制,从而实现快速传输数据信号,其消耗较少电力。

[0039] 在一组实施例中,系统包括用于存储输入信号的元件,例如存储设备或部件,方法包括存储输入信号的步骤。这使得当第二时钟的检测被执行时,将输入信号存储在系统内,以及信号可由此输出。然而,在前述特征中第二时钟检测的执行独立于输入信号,这意味着可以不需要存储元件。在一组实施例中,可以在第一时钟域的信号输入和第二时钟域的输出之间提供直接连接。因此,一旦第二时钟的检测完成,可以“打开”系统简便地从第一时钟

域传输输入信号至第二时钟域。

[0040] 用于存储来自第一时钟域的输入信号的元件可以包括任意适当的数据存储部件,装置或者设备,其能够在第二时钟周期的非安全部分和/或同步过程中存储信号,使得当第二时钟域进入其安全部分时,准备输出信号至第二时钟域。其可以包括寄存器/触发器。所述部件可以存储输入信号,直到其接收到(例如来自同步过程)表示向第二时钟域传输信号是安全的信号。存储元件可以从信号输入端接收输入信号,即存储元件和信号输入端可以包括单独部件:一个用于接收输入信号,一个用于存储输入信号。然而,该功能也可以通过接收和存储来自第一时钟域的信号输入的单一部件来执行。

[0041] 向第二时钟域的输出可以简单包括输出线或导线。可替代的或此外,输出可以包括部件,该部件从用于实施检测第二时钟是否处于其周期内远离即将来临转换的部分的元件处接收信号,并且随后向第二时钟域输出信号。其可以是单独部件或者与系统中一些其他元件相同的部件,例如一旦其接收到向第二时钟域传输信号是安全的信号就输出信号的接收和/或存储输入信号的元件。优选地,输出由第一时钟计时。从而使得,一旦完成了对第二时钟令人满意的检测,则来自第一时钟域的输入信号快速传输至第二时钟域。

[0042] 系统中的每个部件,例如接收元件,所述元件用于执行第二时钟域的检测,输出元件可以包括逻辑元件,如前所述。在一组实施例中,上述部件间的逻辑关系由设计编译器进行接合。优选地,所述系统设置为硅芯片或等效电路上集成电路的一部分。

## 附图说明

[0043] 本发明的确定实施例将通过实例并参考附图进行描述,其中:

[0044] 图1所示为根据本发明的逻辑电路的实施例;

[0045] 图2所示为与图1中电路图相关联的时序图;

[0046] 图3所示为根据本发明的不同逻辑电路的实施例;

[0047] 图4所示为类似于图3的实施例,但其用于总线。

## 具体实施方式

[0048] 图1所示为根据本发明实施例相应的逻辑电路框图。电路1配置为从第一时钟域4传输输入信号sig\_fast并作为第二时钟域8的输出信号sig\_slow。第一时钟的频率大于第二时钟的频率,第一时钟的典型频率为50MHz,第二时钟域的典型频率为32kHz。

[0049] 电路1包括异或门电路10,所述异或门电路10用作比较器且以输入信号sig\_fast和输出信号sig\_slow作为输入。异或门电路10的输出传输至两个与门电路12,14。所述第一与门电路12以低频率的第二时钟域8的时钟ck\_slow作为输入。第二与门电路14以异或门电路10的输出sig\_diff和配置为串联的D触发器16,18的输出sync\_safe作为输入。

[0050] 第一触发器16以第一与门电路12的输出作为D输入端,且由高频的第一时钟域4的时钟ck\_fast进行计时。第一触发器16的Q输出safe\_ax被传输至第二触发器18的D输入,其再次由快速时钟ck\_fast计时。如上所述,第二触发器的Q输出sync\_safe被传输至第二与门电路14的输入端。

[0051] 第二与门电路14的输出被传输至复用器20的选择器输入端。复用器20的输入端为输入信号sig\_fast和最终触发器22的输出信号sig\_slow。复用器20的输出被传输至另一D

触发器22,其再次由快速时钟ck\_fast计时。最终触发器22的Q输出为第二时钟域8的输出sig\_slow。

[0052] 现在将参考图1以及图2对系统的运行进行描述,图2展示了1比特(one-bit)逻辑信号经过系统的时序。典型的时标24被细分为50ns。如图2所示且出于显示目的,较高频率的第一时钟域4的时钟频率ck\_fast为16MH,较低频率的第二时钟域8的时钟频率ck\_slow为1.5MHz。如前所述,实践中可能与此迥然不同,但此处为了便于显示而选择了更具有可比性的数值。

[0053] 开始时,系统处于第一时钟域4的输入信号sig\_fast和第二时钟域8的输出信号sig\_slow均为0的状态。这导致异或门电路10的输出sig\_diff为0,并且因此第二与门电路14的输出为0,使得复用器20输出0值(即sig\_slow)至最终触发器22的输入。因此,第二时钟域8的输出sig\_slow保持为0。

[0054] 在500ns时,输入信号sig\_fast由0变为1。从而使得异或门电路10的输出sig\_diff同时变为1。在666.67ns时,慢速时钟ck\_slow由0变为1。此点之后不久即为其周期内可以安全传输信号的部分,这是因为在不期望的正转换(0到1)发生之前至少有半个慢速时钟周期可用于所述传输。这使得第一与门电路12的输出由0变为1,随后传输至第一触发器16的D输入。在587.5ns时,当快速时钟ck\_fast由0变为1时,即ck\_fast的第一上升沿跟随ck\_slow的上升沿,触发第一触发器16为其D输入至Q输出safe\_ax进行计时。信号safe\_ax被传输至第二触发器18的D输入,直到快速时钟ck\_fast的下一上升沿在750ns时到来,其被传输至Q输出sync\_safe。

[0055] 信号sync\_safe和sig\_diff此时均为1,第二与门电路14的输出为1,因此复用器20的输出由0输入变为1输入,即复用器20的输出此时为信号sig\_fast,即1。其被传输至最终触发器22的D输入,以便在快速时钟ck\_fast位于812.5ns的下一上升沿处,所述信号被计时输出至最终触发器22的Q输出,从而sig\_slow作为输出传输至第二时钟域8。

[0056] 一旦第二时钟域8的输出sig\_slow变为1,其反馈至异或门电路10,使得其输出sig\_diff变为0,以此指示sig\_fast的变化已经传输至sig\_slow。同时,第一时钟域4的输入信号sig\_fast保持为1。这使得第二与门电路14的输出信号0,从而将复用器20的0输入输出至最终触发器22。然而,其仅仅为第二时钟域8的输出sig\_slow,因此其输出保持不变,直到检测到输入信号sig\_fast的改变,以及同步检测,即第一对触发器16,18确定第二时钟处于其可以传输输入信号的安全周期内。

[0057] sig\_diff变为0还导致0信号通过第一与门12以及第一和第二触发器16,18,导致输出sync\_safe为0信号。这使得第二与门电路14输出为0信号,使得复用器20的0输入继续输出至最终触发器22,即复用器20的输出值不变。来自第一时钟域4的输入信号sig\_fast同样保持不变,因此输出至第二时钟域8的sig\_slow保持为1。

[0058] 因此可以看到,从第一时钟域4向第二时钟域8传输新信号所需的时间小于第二时钟域8的半个周期与第一时钟域4的两个周期之和,即如图2所示的时钟域频率的最大传输时间为458.33ns。然而,如图2所示和前述的信号的特定期序,传输时间实际上要更小,为312.5ns。

[0059] 在975ns处,来自第一时钟域4的输入sig\_fast由1变为0,从而使得异或门电路10的输出sig\_diff由0变为1,即因为输入信号sig\_fast不同于输出信号sig\_slow。由于第二

时钟域8仍处于其周期的正部分,即其值为1,经第一对触发器16,18传输另一个1信号,产生为1的sync\_safe信号,使得新输入信号sig\_fast经最终触发器22传输至第二时钟域8的输出sig\_slow。然而可以看到,在输入sig\_fast由1变为0之后不久,第二时钟域8由1变为0。然而,由于其发生在第一时钟域4的正边沿,第二时钟域8的采样值为1,且该值经由第一对触发器16,18传输。输入信号sig\_fast仍可以安全的从第一时钟域4传输至第二时钟域8,因为其仍存在在不期望的正转换发生之前的第二时钟的半个周期,因此有足够的时间来执行必须的同步检测并传输输入信号sig\_fast。例如,数据传输的发生在仅150ns内,并遵循输入信号sig\_fast的变化。然而,第二时钟域8的数据信号sig\_slow不会被此时钟域用于更新各种其他值,直到第二时钟域8的下一个正转换发生,即1333.33ns处。

[0060] 图3所示的逻辑电路框图101为根据本发明的第二实施例。如图1中的电路图所示,系统中心位置存在两个配置为串联的触发器116,118,以便第一触发器116的Q输出传输至第二触发器118的D输入。两个触发器116,118用于保证第二时钟域108位于其周期内远离正边沿的部分,从而输入信号sig\_fast可以安全的从第一时钟域104传输。如图1和图2所示的系统,第一时钟域时钟信号ck\_fast的频率远高于第二时钟域时钟信号ck\_slow的频率。

[0061] 第一对触发器116,118由第一时钟域104的时钟信号ck\_fast计时,使得第一和第二时钟域104,108的同步得以快速实现。第一触发器116的输入D为或门电路111的输出,或门电路111以第二时钟域104的时钟ck\_slow以及用于指示出第二时钟域104是否有效的标志running\_ck\_slow作为输入,该标识首先通过非门电路110。快速时钟域104的另一同步重置信号art\_fast被传输至触发器116,118的S(设置)输入端来重写由第一时钟域104快速时钟ck\_fast所进行的计时,以此将D输入传输至触发器116,118的Q输出。

[0062] 第二触发器118的Q输出sync\_safe被传输至锁存器122的使能输入端,所述锁存器122以第一时钟域104的输入信号sig\_fast作为其D输入。锁存器122的Q输出为第二时钟域108的输出sig\_slow。一旦被电路101同步,锁存器122用于从第一时钟域104向第二时钟域108正常传输数据信号。另一锁存器123也以第二触发器118的Q输出sync\_safe作为其使能输入。锁存器123的D输入接地,且输入reset\_fast至锁存器123的S输入。其Q输出rest\_slow使得重置信号从第一时钟域104传输至第二时钟域108。如图3所示的装置中,所述锁存器123在高电平下激活,即当reset\_fast信号应用到锁存器123的S输入时,信号值1从Q输出输出至reset\_slow。可选地,锁存器123可以通过rest\_fast输入连接至锁存器123的R(Reset)输入而以低模式运行。

[0063] 图3所示的电路运行图如下所述。如果第二时钟域108无效,信号running\_ck\_slow将为0。由于第二时钟ck\_slow不运行,则其信号不可能发生导致亚稳态的正转换,因此只要第二时钟ck\_slow不运行,向第二时钟域108传输数据就一直是安全的。running\_ck\_slow的0值通过非门电路110转变为信号1,从而导致信号1从或门电路111输出。因此根据第一时钟域104时钟周期信号ck\_fast的随后的上升沿,信号1被传输至第一触发器116的D输入,并传输至第二触发器118的Q输出。

[0064] 如果第一时钟域104处于重置阶段,信号arst\_fast可以用于重写触发器116,118的D输入。在重置期间,其使得已知输出被传输至锁存器122,123,从而给出可以作为第二时钟域108输出sig\_slow的已知值。这不影响第二时钟域108输出信号sig\_slow的同步,第二时钟ck\_slow不允许被启动,直到第一时钟域104的重置周期和两个触发器116,118的输出

重置回0之后,随后电路101正常运行。

[0065] 如果第二时钟域108有效,信号running\_ck\_slow将置为1,用于指示第二时钟ck\_slow正在运行,且因此需要监控正转换以便确定何时从第一时钟域104传输数据信号至第二时钟域108是安全的。running\_ck\_slow的数值1通过非门电路111变为0,并且因此慢速时钟ck\_slow需要为了或门电路110变为1以提供输出数值1,即第二时钟ck\_slow要在其信号的正部分从而保证其充分远离即将来临的正转换,以便使得第一和第二时钟域104,108之间产生同步,以此安全传输来自第一时钟域104的输入信号sig\_fast。因此,一旦慢速时钟ck\_slow变为1,其可以通过触发器116,118。

[0066] 无论第二时钟域有效或无效,其结果均为安全信号1被传输至锁存器122的使能输入端,使得输入信号sig\_fast从第一时钟域104直接传输以作为第二时钟域108的输出sig\_slow。当第二时钟域108处于其时钟周期的安全周期内时,同步过程的安全信号1还会使得低电平信号0传输通过另一锁存触发器123,来取消重置信号reset\_slow。这将一直保持,除非从第一时钟域104接收的重置信号reset\_fast传输至触发器123的S输入。

[0067] 图4所示为与图3基本相同的电路201,其运行方式也非常相似。不同仅在于图3中的输出锁存器122,123由并联的多路输出锁存器222,223所代替。因此电路201可以很容易的适用于所应用的总线。其运行过程与图3相同,除了数据信号sig\_fast或重置信号reset\_fast从第一时钟域的总线向第二时钟域的总线传输时,其利用各个输出锁存器222,223并联完成,且均由同一信号sync\_safe控制。

[0068] 本领域技术人员根据上述实施例的多种变化和修改均在本发明的不同方面的保护范围内。例如不必提供最终触发器向第二时钟域输出传输信号,其可以由任意其他数据存储部件实现,或者仅通过电路的开启使得输入信号从第一时钟域的输入直接传输至第二时钟域的输出。

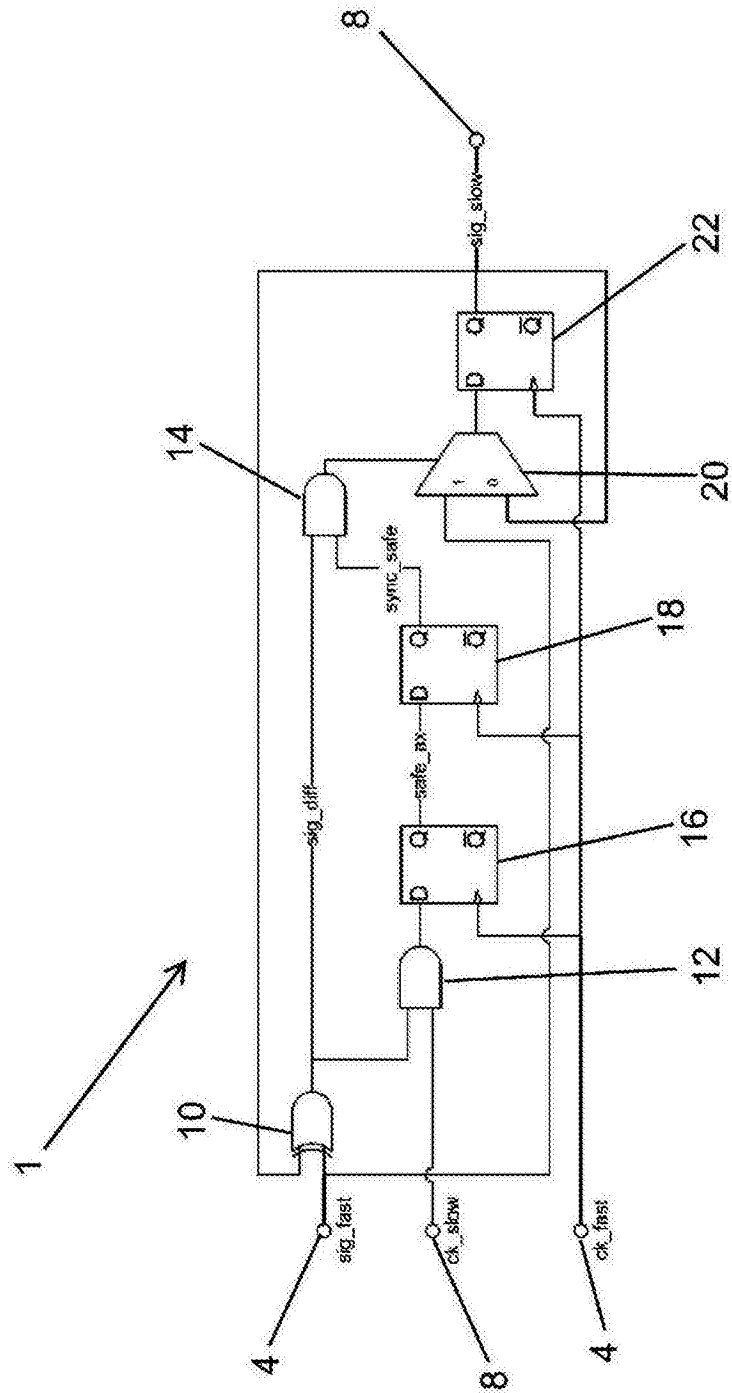


图1

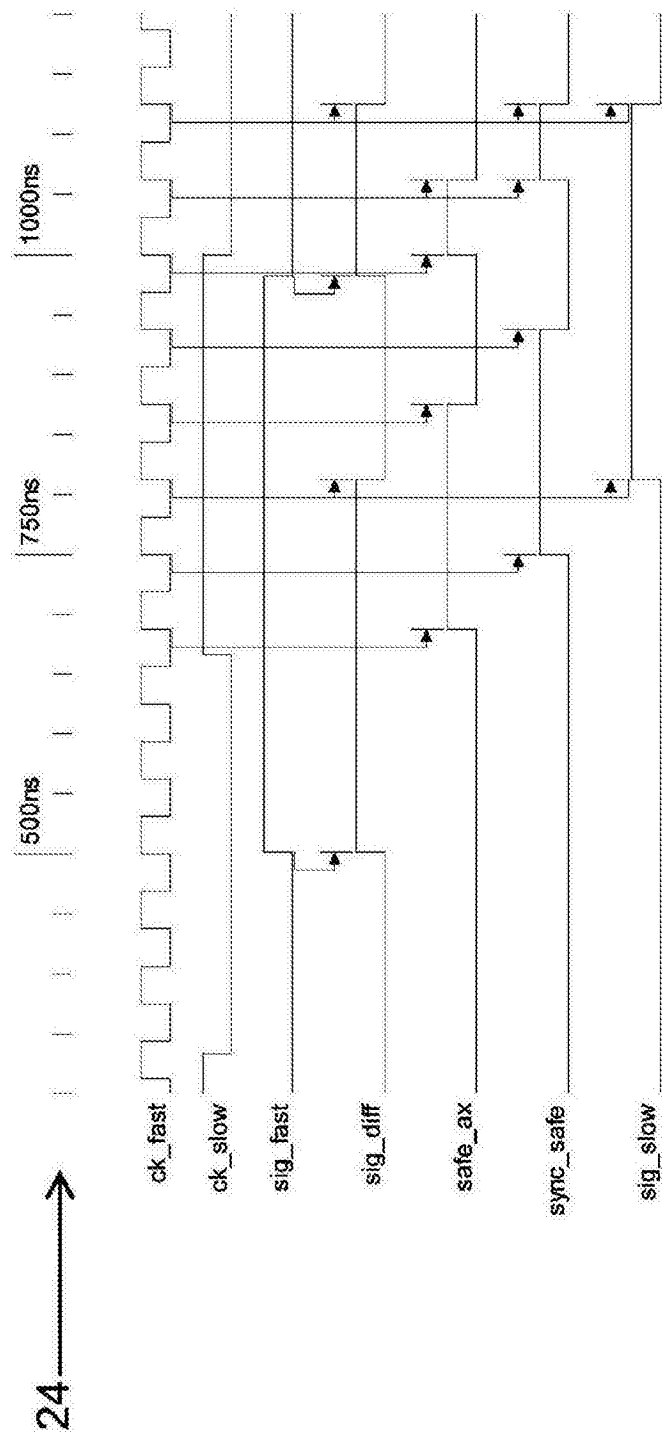


图2

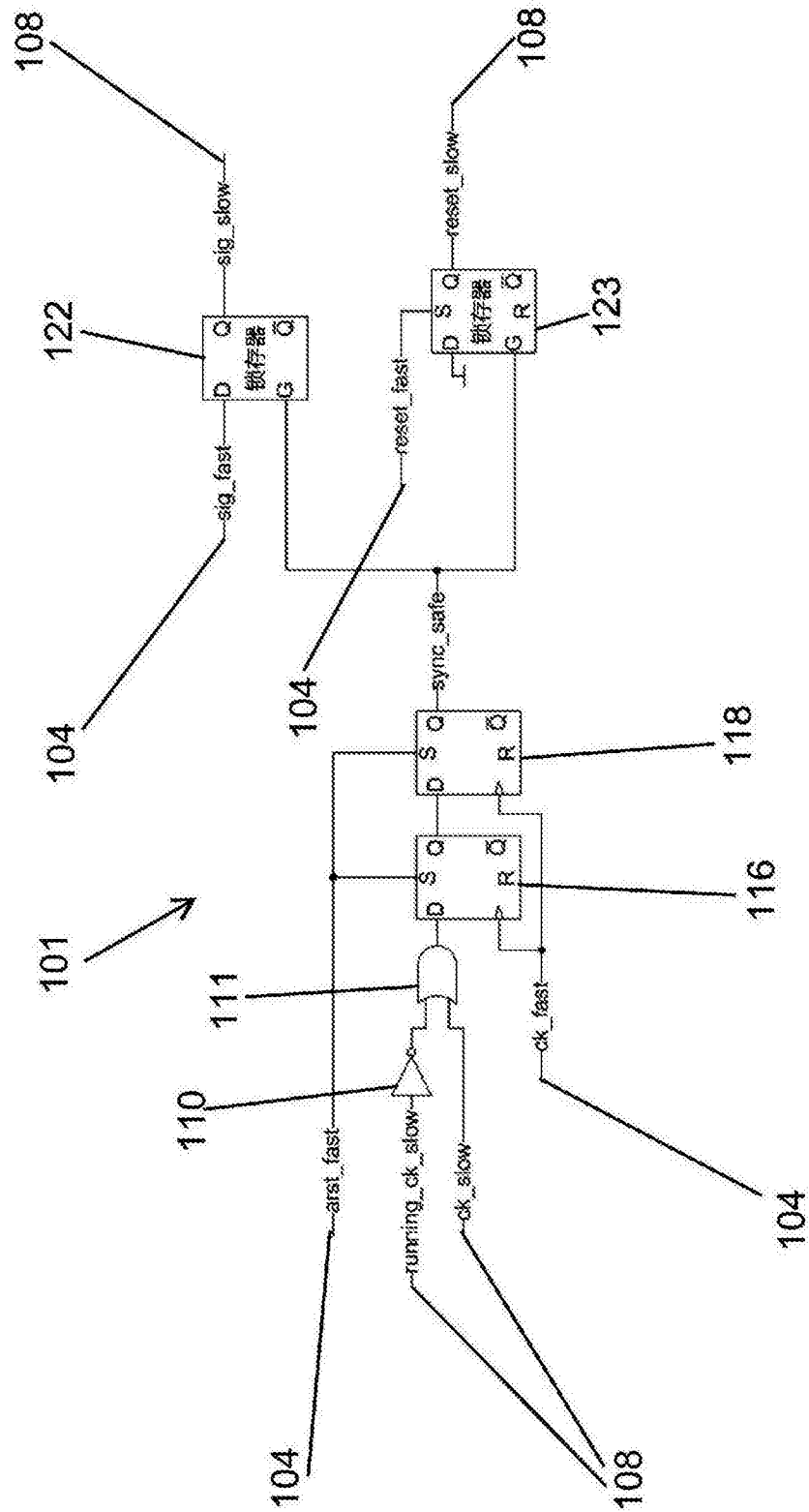


图3

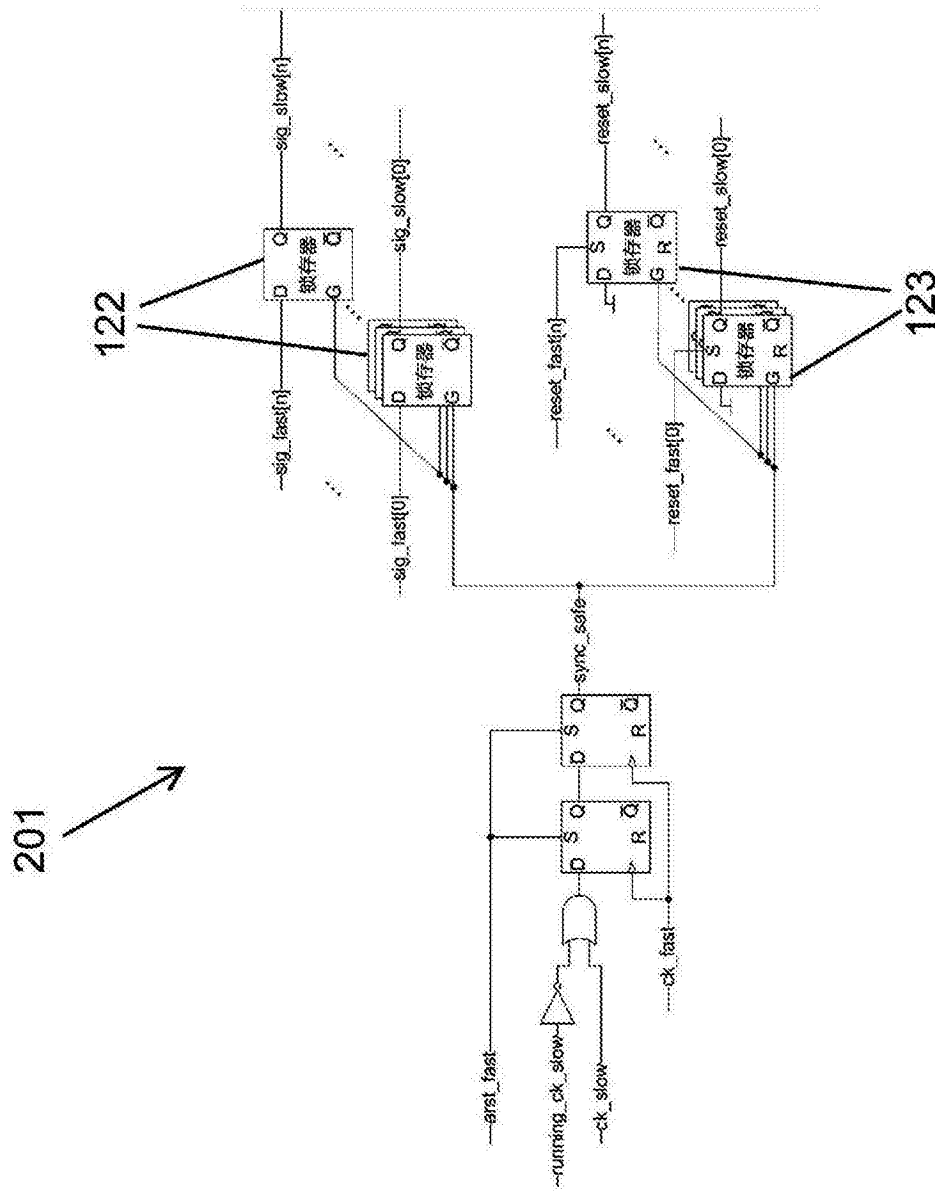


图4