

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-509697
(P2013-509697A)

(43) 公表日 平成25年3月14日(2013.3.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 B	
HO 1 L 27/12 (2006.01)	HO 1 L 21/02 B	

審査請求 有 予備審査請求 未請求 (全 13 頁)

(21) 出願番号	特願2012-535721 (P2012-535721)	(71) 出願人	598054968 ソイテック Soitec フランス国, 38190 ベルナン, パルク テクノロジーク デ フォンテーヌ, シュマン デ フランク Parc Technologique des fontaines chemi n Des Franques 3819 O Bernin, France
(86) (22) 出願日	平成22年9月30日 (2010.9.30)	(74) 代理人	100107456 弁理士 池田 成人
(85) 翻訳文提出日	平成24年5月29日 (2012.5.29)	(74) 代理人	100148596 弁理士 山口 和弘
(86) 国際出願番号	PCT/EP2010/064604		
(87) 国際公開番号	W02011/051078		
(87) 国際公開日	平成23年5月5日 (2011.5.5)		
(31) 優先権主張番号	0957662		
(32) 優先日	平成21年10月30日 (2009.10.30)		
(33) 優先権主張国	フランス (FR)		

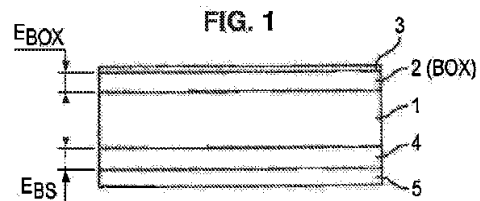
最終頁に続く

(54) 【発明の名称】 半導体・オン・絶縁体型構造における応力の分布を制御するための方法およびこの方法に関連した構造

(57) 【要約】

本発明は、半導体・オン・絶縁体型の構造における応力の分布をその製造中に制御するための方法において、この構造は、支持基板(1)上に存在する半導体材料の薄層(3)を含み、絶縁層(2、4)が、それぞれ、支持基板(1)の前面および裏面上に存在し、前面(2)上に存在する絶縁層は、厚い埋め込み絶縁体(BOX)の少なくとも一部分を形成し、この方法による製造方法は、前記薄層(3)を前記支持基板(1)上に付着結合するステップに進み、付着結合に先立って、前記支持基板の裏面上に存在する絶縁層(4)を脱酸に耐える個別材料(5)によって被覆するステップに進み、支持基板(1)の裏面上に存在するこの絶縁層(4)と組み合わせられたこの個別材料は、埋め込み絶縁体(BOX)によって支持基板(1)に加えられる応力を少なくとも部分的に補償することを特徴とする方法に関する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体・オン・インシュレータ型の構造における応力の分布を前記構造の製造中に制御するための方法において、

前記構造は、支持基板（１）上に存在する半導体材料の薄層（３）を含み、絶縁層（２、４）が、前記支持基板（１）の前面（１０）および裏面（１１）のそれぞれの上に存在し、前記前面上に存在する前記絶縁層（２）が、厚い埋め込み絶縁体（BOX）の少なくとも一部分を形成し、

この方法による製造方法が、前記薄層（３）を前記支持基板（１）上に付着結合するステップに進み、

10

前記付着結合に先立って、前記支持基板の前記裏面上に存在する前記絶縁層（４）を脱酸に耐える個別材料（５）によって被覆するステップに進み、前記支持基板の前記裏面（１１）上に存在するこの絶縁層（４）と組み合わせられた材料が、前記埋め込み絶縁体（BOX）によって前記支持基板（１）に加えられる応力を少なくとも部分的に補償する、ことを特徴とする方法。

【請求項 2】

前記絶縁層（２、４）が、特に、酸化物を含むことを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記厚い埋め込み絶縁体（BOX）が、前記薄層（３）上に付加された絶縁体層（２）からなり、かつ/または、前記支持層（１）上に付加された絶縁体層からなることを特徴とする請求項 1 又は 2 に記載の方法。

20

【請求項 4】

前記厚い埋め込み絶縁体（BOX）と前記支持基板（１）の前記裏面（１１）上に存在する前記絶縁層（４）とが、等しい応力レベルを前記基板（１）に加えることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の方法。

【請求項 5】

前記厚い埋め込み絶縁体（BOX）と前記支持基板（１）の前記裏面（１１）上に存在する前記絶縁層（４）とが、異なる応力レベルを前記基板（１）に加えることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の方法。

30

【請求項 6】

脱酸に耐える前記材料（５）によって、前記支持基板（１）の前記裏面（１１）を被覆するステップに進むだけでなく、前記支持基板（１）の他の面も被覆するステップに進み、それによって、前記支持基板（１）全体を封入することを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 7】

前記支持基板（１）の前記前面（１０）上に存在する脱酸に耐える前記材料（５）の層が除去されることを特徴とする請求項 6 に記載の方法。

【請求項 8】

脱酸に耐える前記材料（５）が、例えばホウ素またはリンを特にドーピングされた多結晶シリコン、恐らくはドーピングされたであろうアモルファス・シリコン、または、シリコン窒化物から選択されることを特徴とする請求項 1 ~ 7 のいずれか一項に記載の方法。

40

【請求項 9】

脱酸に耐える前記材料（５）が多結晶シリコンである請求項 8 に記載の方法において、前記支持基板（１）の前記裏面（１１）上に存在する前記絶縁層（４）を被覆することに先立って、前記支持基板（１）の前記前面（１０）上に存在する中間絶縁層を除去するステップに進むことを特徴とする方法。

【請求項 10】

前記中間絶縁層が、前記支持基板（１）の前記裏面上に存在する前記絶縁層（４）を形成中に得られた層であることを特徴とする請求項 9 に記載の方法。

50

【請求項 1 1】

前記支持基板(1)の前記前面上に存在する前記絶縁層(2)が、前記多結晶シリコン上においておよび/または前記薄層(3)と一体化したドナー基板(30)上において、熱酸化または酸化物の堆積によって形成されることを特徴とする請求項9又は10に記載の方法。

【請求項 1 2】

前記支持基板(1)が、高い抵抗率、すなわち、少なくとも500・cmよりも大きい抵抗率、好ましくは、1,000・cmよりも大きい抵抗率を前記支持基板(1)に与えることのできる処理を施されることを特徴とする請求項1~11のいずれか一項に記載の方法。

10

【請求項 1 3】

支持基板(1)上に存在する半導体材料の薄層(3)を含み、絶縁層(2、4)が、前記支持基板(1)の前面(10)および裏面(11)のそれぞれの上に存在し、前記前面(11)上に存在する前記層が、厚い埋め込み絶縁体(BOX)の少なくとも一部分を形成する、半導体・オン・絶縁体型の構造において、

前記支持基板(1)の前記裏面(11)上に存在する前記絶縁層(4)を被覆するための脱酸に耐える個別材料からなる層(5)を含み、前記支持基板(1)の前記裏面上に存在する前記絶縁層(4)と組み合わせられた材料が、前記埋め込み絶縁体(BOX)によって前記支持基板(1)に加えられる応力を少なくとも部分的に補償する、

ことを特徴とする構造。

20

【請求項 1 4】

前記支持基板(1)の前記前面(10)上に存在する絶縁層(2)の厚さと前記支持基板(1)の前記裏面(11)上に存在する絶縁層の厚さとの差が、200ナノメートル以下であることを特徴とする請求項13に記載の構造。

【発明の詳細な説明】**【技術分野及び背景技術】****【0001】**

本発明は、半導体・オン・絶縁体型の構造を製造するとき、この半導体・オン・絶縁体型の構造における応力の分布を制御するための方法に関する。

【0002】

本発明は、また、そのような構造に関し、この構造は、マイクロエレクトロニクス、オプトエレクトロニクス、集積フォトニクス(integrated photonics)、などの分野で使用されてもよい。

30

【0003】

分子付着によって結合するならば、機械的支持基板と活性半導体層との間に絶縁層を埋め込むことによって、SOI(シリコン・オン・絶縁体)型の基板を作成することができる。

【0004】

一般的には、SOI基板は、単結晶シリコンからなる活性層および機械的支持基板を含み、絶縁体は、多くの場合、シリコン酸化膜である。

40

【0005】

「Smart Cut」という商標として、または、「BESOI」(「Bonded and Etched-Back Silicon on Insulator」という頭字語として、それぞれ、知られているような方法は、2つの基板を付着結合することを含み、一方の基板はレシーバー(将来の機械的支持基板)であり、他方の基板はドナーであり、このドナーから活性層が得られる。埋め込み絶縁体を形成するために、絶縁体の全部または一部が、結合されるべき2つの基板のいずれか一方の基板上に形成または堆積されてもよい。

【0006】

現在、特に、最終的な埋め込み絶縁体が薄い(<500nm)場合、絶縁体全体は、ド

50

ナー基板上に形成される。その他の場合、特に、埋め込み絶縁体が厚い ($> 2000 \text{ nm}$) 場合、ドナー基板は、将来の埋め込み絶縁体のほんの一部 (例えば、 200 nm) だけをもたらしてもよく、残りの部分 (例えば、 1800 nm) は、支持基板によって提供される。

【0007】

埋め込み絶縁体の存在は、最終的なSOIが変形することをもたらす。実際に、例えば、厚さが $400 \sim 800 \mu\text{m}$ の支持基板と厚さが $10 \sim 10,000 \text{ nm}$ のSiからなる活性層との間に存在する埋め込みSi酸化膜 ($100 \sim 1000 \text{ nm}$) の場合、構造は、対称的なものではなく、かつ、酸化膜はシリコンと同じ熱膨張係数を有していないので、変形する。これは、また、応力を受けた状態でも見られ、「たわみ (deflection)」すなわち変形を最終的なSOI基板に与えるために、応力は緩和する。絶縁体は厚いので、このたわみは、それだけますます大きくなる。

10

【0008】

そのようにして作成されたウェーハのわずかな変形は、ユーザには許容できるものである。他方において、変形がある程度の大きさ (変形量 $< 50 \mu\text{m}$) を超えると、SOI上に作成されるコンポーネントの微細度に依存して、焦点合わせ問題 (focusing problem) が、フォトリソグラフィ・ステップ中に発生し、あるいは、極端な場合には、ロボットによってウェーハを操作するときに問題が発生する。

【0009】

このように、埋め込み絶縁体の厚さが所望の厚さを備えているSOIウェーハを提供することが要求されているが、それらのSOIの変形は、大きいものであってはならない。したがって、厚い埋め込み絶縁体を備えかつわずかなたわみしか備えていないSOIを製造することは、難しいことであり、かつ、特別の対策および方法に頼らなければならない。

20

【0010】

今日まで、応力すなわちたわみを制限するために、第1の解決方法は、酸化膜のほんの一部しか提供しないドナー基板と、将来の埋め込み酸化膜の大部分、あるいは、それどころか、酸化膜の全体を含むレシーバーとを付着結合することによって、厚い埋め込み絶縁体を備えたSOIを製造することからなる。

【0011】

最終的なSOIが変形するのを防止するために、レシーバーは、酸化膜を前面上だけでなく裏面上にも含まなければならない (これは、例えば、熱酸化の場合である)。

30

【0012】

この裏面酸化膜は、SOI製造方法が終了するまで、維持されなければならない、これは、異なる脱酸ステップが前面にだけ実行されなければならないので、制約となる (安定化ステップの後に少なくとも1回の脱酸ステップ、そして、恐らくは、薄化ステップの後に第2の脱酸ステップ)。

【0013】

この種の方法は、実行できそうなものであるが、コストがかかり、かつ、特別な装置 (前面上だけに限られた脱酸、など) によって厚い埋め込み酸化膜SOIを製造することを強いる。

40

【0014】

さらにまた、電子部品の製造業者に供給される裏面上にそのような酸化膜を備えたSOIは、同様に、ユーザ自身が前面上だけに脱酸を実行することをそれらのユーザに強いる。

【0015】

裏面上に存在する酸化膜構造の変形は、厚い埋め込み酸化膜SOIが同じ酸化膜厚さをレシーバー基板の裏面上に含む場合、ゼロになるはずである。

【0016】

SOIまたはこのSOI上のコンポーネントを製造するための方法中に、裏面酸化膜が

50

部分的に除去されるならば、変形が、同様に、埋め込み酸化膜の厚さと裏面上の酸化膜の厚さとの差に依存した量で現れる。

【0017】

例えば、厚さが1,000nmの埋め込み酸化膜(BOX)を備えたSOIは、酸化膜が裏面に存在しなければ、約85 μ mの変形量を特徴とする。この変形量は、500nmの酸化膜が裏面に残されるならば、約40 μ mにまで減少させることができる。

【発明の概要】

【0018】

したがって、本発明は、半導体・オン・絶縁体を製造しているときにこの半導体・オン・絶縁体型構造における応力の分布を制御するための方法を提案することによって、この問題を解決することを目的とし、この方法は、単純なものであり、かつ、適用するのが容易なものであり、そして、この方法によれば、得られた構造の変形は、要求に応じて「管理」されることが可能である。

10

【0019】

したがって、半導体・オン・インシュレータ型の構造における応力の分布を前記構造の製造中に制御するための方法であって、前記構造は、支持基板上に存在する半導体材料の薄層を含み、絶縁層が、前記支持基板の前面および裏面のそれぞれの上に存在し、前記前面上に存在する前記絶縁層が、厚い埋め込み絶縁体の少なくとも一部分を形成し、この方法による製造方法が、前記薄層を前記支持基板上に付着結合するステップに進む、方法は、結合に先立って、前記支持基板の前記裏面上に存在する前記絶縁層を脱酸に耐える個別材料によって被覆するステップに進み、前記支持基板の前記裏面上に存在するこの絶縁層と組み合わせられた材料が、前記埋め込み絶縁体によって前記支持基板に加えられる応力を少なくとも部分的に補償する、ことを特徴とする。

20

【0020】

このようにして、支持基板の裏面上に存在する絶縁層は、埋め込み絶縁体によって支持基板に加えられる応力を少なくとも部分的に補償するだけでなく、脱酸に耐える材料によって保護される。

【0021】

本明細書全体において、用語および表現は、以下において、対応づけられた定義を有する。

30

・厚い埋め込み絶縁体：少なくとも500nm、それどころか、少なくとも800nmの厚さを備えた埋め込み絶縁体。

・脱酸に耐える材料：フッ化水素酸(HF、0.5%から50%までの範囲、好ましくは、10%から20%までの範囲に存在する濃度、および、一般的には、20°Cから25°Cまでの範囲に存在する温度において)によるエッチング速度が、シリコン酸化物のエッチング速度の1/10未満である材料。

【0022】

その他の利点および限定するものではない特徴によれば、

・前記絶縁層は、特に、酸化物を含む。

・前記厚い埋め込み絶縁体は、薄層上に付加された絶縁体層からなり、かつ/または、支持層上に付加された絶縁体層からなる。

40

・厚い埋め込み絶縁体と支持基板の裏面上に存在する絶縁層とが、等しい応力レベルをこの基板に加える。

・厚い埋め込み絶縁体と支持基板の裏面上に存在する絶縁層とが、異なる応力レベルをこの基板に加える。

・脱酸に耐える前記材料によって、支持基板全体を封入するために、前記支持基板の裏面を被覆するステップに進むだけでなく、前記支持基板の他の面も被覆するステップにも進む。

・前記支持基板の前面上に存在する脱酸に耐える前記材料の層は、除去される。

・脱酸に耐える前記材料は、例えばホウ素またはリンを特にドーピングされた多結晶シ

50

リコン、恐らくはドーピングされたであろうアモルファス・シリコン、または、シリコン窒化物から選択される。

・脱酸に耐える前記材料が、多結晶シリコンであり、前記支持基板の裏面上に存在する絶縁層を被覆することに先立って、前記支持基板の前面上に存在する中間絶縁層を除去するステップに進む。

・前記中間絶縁層は、前記支持基板の裏面上に存在する絶縁層を形成中に得られた層である。

・前記支持基板の前面上に存在する前記絶縁層は、多結晶シリコン上においておよびノまたは前記薄層と一体化したドナー基板上において、熱酸化によって、または、酸化物を堆積することによって、形成される。

・前記支持基板が、高い抵抗率、すなわち、少なくとも500 cmよりも大きい抵抗率、好ましくは、1,000 cmよりも大きい抵抗率を支持基板に与えることのできる処理を施される。

【0023】

さらにまた、本発明は、支持基板上に存在する半導体材料の薄層を含み、絶縁層が、支持基板の前面および裏面のそれぞれの上に存在し、前面上に存在する層は、厚い埋め込み絶縁体の少なくとも一部分を形成する、半導体・オン・絶縁体型の構造に関し、この構造は、前記支持基板の裏面上に存在する絶縁層を被覆するための脱酸に耐える個別材料からなる層を含み、支持基板の裏面上に存在するこの絶縁層と組み合わせられた材料は、埋め込み絶縁体によって支持基板に加えられる応力を少なくとも部分的に補償することを特徴とする。

【0024】

有利には、支持基板の前面上に存在する絶縁層の厚さと支持基板の裏面上に存在する絶縁層の厚さとの差が、200ナノメートルよりも小さいかまたは200ナノメートルに等しい。

【図面の簡単な説明】

【0025】

【図1】様々な応力状態で示される本発明による構造の断面図である。

【図2】様々な応力状態で示される本発明による構造の断面図である。

【図3】様々な応力状態で示される本発明による構造の断面図である。

【図4】さらに別の構造の断面図である。

【図5A】図1に示される構造が得られるステップの概略図である。

【図5B】図1に示される構造が得られるステップの概略図である。

【図5C】図1に示される構造が得られるステップの概略図である。

【図5D】図1に示される構造が得られるステップの概略図である。

【図5E】図1に示される構造が得られるステップの概略図である。

【図5F】図1に示される構造が得られるステップの概略図である。

【図5G】図1に示される構造が得られるステップの概略図である。

【図5H】図1に示される構造が得られるステップの概略図である。

【図5I】図1に示される構造が得られるステップの概略図である。

【図5J】図1に示される構造が得られるステップの概略図である。

【発明を実施するための形態】

【0026】

本発明のその他の特徴および利点が、ある特定の実施形態に関する以下の説明を理解することによって明らかとなる。この説明は、添付の図面を参照してなされる。

【0027】

本発明による構造が、図1からわかる。機械的支持基板1の上方において、SOIは、厚さがEBOXである埋め込み酸化膜2と活性層3とを備える。

【0028】

支持基板の下方において、厚さがEBSである封入絶縁体(encapsulated

10

20

30

40

50

insulator) 4 が、この支持基板と絶縁体 4 をエッチングまたは脱酸から保護する層 5 との間に配置される。

【0029】

そのようにして形成された SOI の変形は、絶縁体層 2 および絶縁体層 4 の厚さと応力を選択することによって管理される。応力が等しい場合、 $EBS = EBOX$ であれば、変形はゼロにより近い (図 1)。

【0030】

その後コンポーネントを SOI 上に製造するための方法において発生する変形を防止するために、オペレータは、非ゼロ変形を備えた SOI、すなわち、正のたわみ (図 2 に示されるように、SOI が凸状である場合、 $EBS < EBOX$) または負のたわみ (図 3 に示されるように、SOI が凹状である場合、 $EBS > EBOX$) を備えた SOI を必要とするかもしれない。

【0031】

絶縁体層 2 および絶縁体層 4 が、同じ応力レベルを有していない場合、所望の変形を達成するように層 4 の厚さを調節するために、この応力を考慮に入れることになるかもしれない。また、裏面上の絶縁体内に封入された層 5 が、SOI の変形に寄与するのであれば、層 4 および層 5 の厚さも補正されてもよい。

【0032】

図 1 に示される構造を得ることのできる方法の様々なステップが、図 5 A ~ 図 5 J に示される。

【0033】

ここで、この構造は、支持基板およびドナー基板の両方がシリコン酸化膜絶縁体を備えたシリコンの形態を有する構造である。

【0034】

シリコンの形態を有する支持基板 1 が、図 5 A に示され、この支持基板 1 の前面および裏面は、符号 10 および符号 11 によって識別される。

【0035】

絶縁体 40 を形成するステップが、図 5 B に示され、この絶縁体 40 は、典型的には、支持基板を熱酸化することによって、あるいは、さらに、薄層を堆積することによって、特に、低圧化学蒸着 (Low chemical Pressure Vapor Deposition (LPCVD)) 技術によって、形成される。

【0036】

このステップにおいて支持基板 1 の裏面上に形成された酸化膜は、将来の活性層の下方に形成される将来の埋め込み酸化膜に等しい厚さを有する。

【0037】

図 5 C に示されるように、支持基板 1 の前面 10 上だけにおける脱酸に進む。

【0038】

図 5 D に示されるように、その後、封入層 50 の堆積が、例えば、前記 LPCVD 技術によって、支持基板のすべての表面において実行され、その後、図 5 E に示されるように、支持基板の前面上におけるこの封入層の除去に進む。

【0039】

封入層 50 に使用される材料は、例えば、多結晶シリコンの層、アモルファス・シリコンの層、あるいは、さらに、シリコン窒化物の層であってもよい。

【0040】

ドナー基板 30 が、図 5 F に示される。

【0041】

図 5 G に示されるように、支持基板 1 の下方に存在する埋め込み酸化膜と同じ厚さを備えた酸化膜 20 を形成し、それによって、擬似ゼロ変形 (quasi-zero deformation) を備えた最終的な構造を得るために、熱酸化に進む。

【0042】

10

20

30

40

50

脆化領域 (embrittlement area) 300 を形成するためにドナー基板内にイオン注入するステップが、図 5 H に示される。

【 0043 】

その後、ドナー基板 30 を裏返しにすること、および、分子付着によって支持基板 1 上に貼り合わせることに進む。

【 0044 】

その後、支持基板 1、半導体材料層 3 およびその絶縁体 20 上にドナー基板 30 を転写するために、脆化領域 300 に沿ってドナー基板 30 を劈開することに進む。

【 0045 】

最後に、図 5 J に示される構造を得るために、特に、フッ化水素酸 (HF) の 1 つかまたは複数の鍋に浸すことによって脱酸を施すことによって構造を仕上げるステップに進む。

10

【 0046 】

SOI を仕上げるためのこれらのステップ (薄層を転写した後のいくつかのステップ) 中、支持基板の前面上に存在する酸化膜を除去するために、HF 浴を備えた 1 つかまたはそれ以上の洗浄処理が、使用される。

【 0047 】

これらの浸漬中、支持基板の裏面も HF によるエッチングに曝される。

【 0048 】

しかしながら、封入層が存在するために、裏面が、エッチングされることはなくまたは実質的にエッチングされない。

20

【 0049 】

したがって、LPCVD によって得られた窒化物層を HF によってエッチングする速度は、熱酸化する速度よりも約 1 / 30 だけ遅い。アモルファス・シリコン層または多結晶シリコン層のエッチング速度は、同じ条件下においては擬似ゼロである。10 に少なくとも等しい選択比によって、上述したように、材料は、脱酸に耐えることができる。

【 0050 】

本発明による別の構造が、図 4 に示され、この構造は、高い抵抗率を有する。この構造は、埋め込み酸化膜 2 の下方に多結晶シリコン層 5' を含み、1,000 nm の厚さを備えた埋め込み酸化膜にもかかわらず、ゼロに等しい変形を有し、これは、支持基板 1 の裏面上に存在する酸化膜 4 によるものであり、この酸化膜 4 は、多結晶シリコン層 5 によって封入される。

30

【 0051 】

この構造の製造技術は、上述した製造技術とほぼ同じものである。

【 0052 】

しかしながら、支持基板は、事前に、この支持基板を高い抵抗率を有するものにする熱処理を施されたものである (500 \cdot cm よりも大きい抵抗率、好ましくは、1,000 \cdot cm よりも大きい抵抗率) 。

【 0053 】

さらにまた、800 nm の厚さを備えた酸化膜を支持基板のすべての面に生成するために、支持基板は、熱酸化を施される。

40

【 0054 】

この支持基板の前面を脱酸した後、支持基板のすべての面に多結晶シリコンを 1 μ m を超える厚さにまで LPCVD 堆積することに進む。

【 0055 】

それによって、擬似ゼロ変形を備えた仕上げられた構造を得るために、ドナー基板の熱酸化は、800 nm の酸化膜、すなわち、支持基板の下方にすでに形成されている酸化膜の厚さに等しい厚さを備えた酸化膜が形成されるように、達成される。

【 0056 】

50

そのようにして得られた構造は、最小限の変形を保証する裏面上に存在する埋め込み酸化膜 4 から利益を得ることができ、この埋め込み酸化膜 4 は、活性層 3 の下方に存在する埋め込み酸化膜 2 によって発生する応力を補償する。

【0057】

無線周波数帯域において構造の電气的性能をさらに改善する層 5' を埋め込み酸化膜 2 の下方に提供するために、堆積された多結晶シリコン 5 および多結晶シリコン 5' は、実質的に純粋なものである (1×10^{15} 原子 / cm^2 よりも小さい残留ドーピング・レベル)。

【0058】

さらに、支持基板の裏面上に存在する多結晶シリコン層 5 によって、構造を仕上げるときに酸化層 4 をエッチングから保護することが可能であり、かつ、構造のコンポーネントを製造するための方法が終了するまで、酸化層 4 を保護し続けることが可能である。

10

【0059】

図面には示されない別の例示的实施形態においては、1,800 nm の厚さを超える支持基板の熱酸化に進む。

【0060】

その後、支持基板のすべての面におけるアモルファス・シリコンの堆積 (1 μm) に進み、その後、支持基板の前面上に存在するこのアモルファス・シリコンの除去に進む。

【0061】

20

200 nm の厚さを有する熱酸化が、ドナー基板に施される。

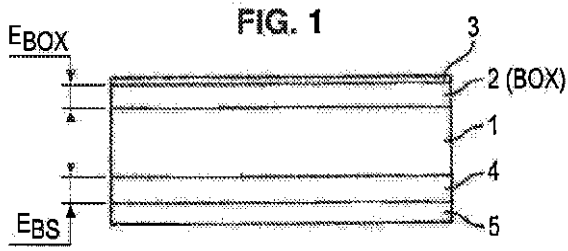
【0062】

最後に、これらの基板の両方を用いて、上述した Smart-Cut 技術によって SOI を作成することに進む。

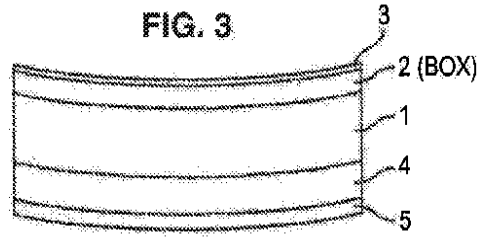
【0063】

2 μm の総厚さを備えた埋め込み酸化膜と、アモルファス・シリコンによって封入された、裏面上に存在する 1.8 μm の酸化膜とを特徴とする。このようにして得られた SOI は、典型的には、20 μm のたわみ (わずかに凸状の) を有する。この変形は、酸化膜が支持基板の裏面上において封入されなければ、200 μm 程度のものである。

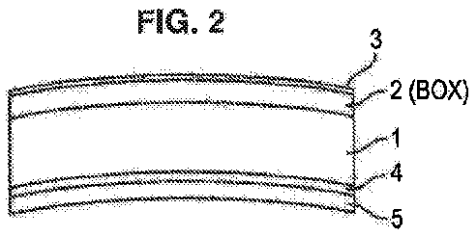
【 図 1 】



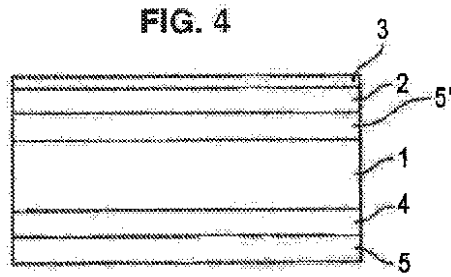
【 図 3 】



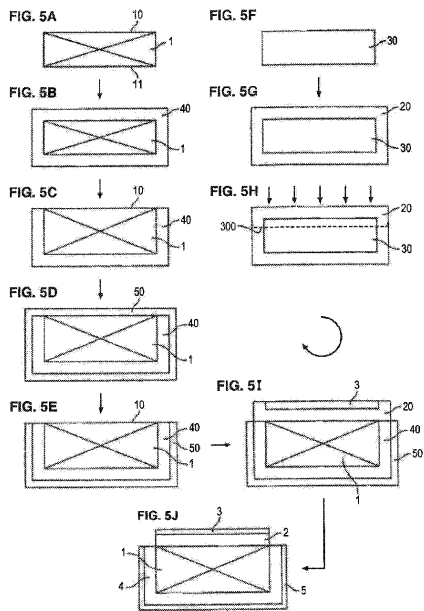
【 図 2 】



【 図 4 】



【 図 5 A - 5 J 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2010/064604

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/762 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 662 560 A2 (APPLIED MATERIALS INC [US]) 31 May 2006 (2006-05-31) paragraph [0015] - paragraph [0018]; figures 1a-2b	1-14
X	US 6 331 473 B1 (HIRABAYASHI YUKIYA [JP]) 18 December 2001 (2001-12-18) column 3, line 66 - column 7, line 10; figures 1-9	1
A		2-14
A	WO 2009/112306 A1 (SOITEC SILICON ON INSULATOR [FR]; MALEVILLE CHRISTOPHE [FR]) 17 September 2009 (2009-09-17) page 5, line 6 - page 10, line 10; figures 1-3f	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *B* document member of the same patent family
Date of the actual completion of the international search 1 November 2010		Date of mailing of the international search report 16/11/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Hedouin, Mathias

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2010/064604

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
EP 1662560	A2	31-05-2006	EP 2048701 A2	15-04-2009
			JP 2006179887 A	06-07-2006
			JP 2009283964 A	03-12-2009
			US 2008138987 A1	12-06-2008
			US 2009061545 A1	05-03-2009
			US 2006115986 A1	01-06-2006
US 6331473	B1	18-12-2001	NONE	
WO 2009112306	A1	17-09-2009	FR 2928775 A1	18-09-2009

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100123995

弁理士 野田 雅一

(72)発明者 ケルディレス, セバスチャン

フランス, エフ - 3 8 3 3 0 セント - イスミエ, インパッサ ドゥ パジュオニエール,
2 8 1

(72)発明者 レイノード, パトリック

フランス, エフ - 3 8 4 0 0 セント マーティン デレス, ル フローラ トリスタン,
2 0