

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 12 月 3 日 (03.12.2020)



(10) 国际公布号
WO 2020/237682 A1

(51) 国际专利分类号:
G11C 15/00 (2006.01) *G11C 7/10* (2006.01)

(21) 国际申请号: PCT/CN2019/089687

(22) 国际申请日: 2019 年 5 月 31 日 (31.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 杨兵 (YANG, Bing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) Title: CONTENT-ADDRESSABLE STORAGE APPARATUS AND METHOD, AND RELATED DEVICE

(54) 发明名称: 一种内容可寻址存储装置、方法及相关设备

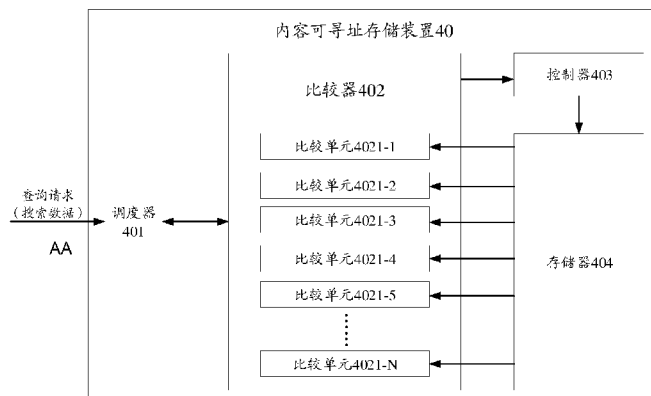


图 4

40 Content-addressable storage apparatus
401 Scheduler
402 Comparator
403 Controller
404 Memory
4021-1, 4021-2, 4021-3, 4021-4, 4021-5, 4021-N Comparison unit
AA Query request (search data)

(57) Abstract: Disclosed in embodiments of the present application are a content-addressable storage apparatus and method, and a related device, wherein the content-addressable storage apparatus may comprise: a memory used for storing data to be matched; a comparator comprising N comparison units, the N comparison units being respectively coupled to the memory; a scheduler used for acquiring K pieces of search data and for scheduling the K pieces of search data to K target comparison units among the N comparison units respectively, the target comparison units being comparison units in an idle state; a controller used for controlling the memory to

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

read out the data to be matched and send same to the K target comparison units respectively; and each target comparison unit among the K target comparison units is used for comparing corresponding search data with the data to be matched, and outputting a corresponding matching result according to the comparison result. By employing the present application, the low power consumption and flexibility of a content-addressable storage device may be ensured.

(57) 摘要: 本申请实施例公开了一种内容可寻址存储装置、方法及相关设备, 其中的内容可寻址存储装置可包括: 存储器, 用于存储待匹配的数据; 比较器, 包括N个比较单元, 所述N个比较单元分别耦合至所述存储器; 调度器, 用于获取K个搜索数据, 并将所述K个搜索数据分别调度给所述N个比较单元中的K个目标比较单元, 所述目标比较单元为处于空闲状态的比较单元; 控制器, 用于控制所述存储器读出所述待匹配的数据并分别发送至所述K个目标比较单元; 所述K个目标比较单元中的每一个目标比较单元, 用于将对应的搜索数据与所述待匹配的数据进行比较, 并根据比较结果输出对应的匹配结果。采用本申请, 可以保证内容可寻址存储装置的低功耗性和灵活性。

一种内容可寻址存储装置、方法及相关设备

技术领域

本申请涉及存储器技术领域，尤其涉及一种内容可寻址存储装置、方法及相关设备。

背景技术

内容可寻址存储器 (Content Addressable Memory, CAM) 是以内容进行寻址的存储器，是一种特殊的存储阵列随机存取存储器 (Random Access Memory, RAM)。它除了可以像传统的 RAM 一样进行读和写，还可以进行搜索操作，其搜索机制就是将一个输入数据项与存储在 CAM 中的所有数据项进行比较，判别该输入数据项与 CAM 中存储的数据项是否相匹配，并输出该数据项对应的匹配信息。如图 1A 所示，图 1A 为现有技术中的一种 RAM 和 CAM 的功能区别示意图，RAM 是根据输入的地址搜索对应的数据，而 CAM 则可以根据输入数据搜索对应的地址。

如图 1B 所示，图 1B 为现有技术中的一种典型的 CAM 结构示意图，CAM 主要由以下几部分组成：CAM 阵列 (M 阵列)、敏感放大器 (SA)、搜索线驱动 (Search Line drivers, SL drivers) 以及编码器 (encoder)。图 1B 中 CAM 阵列包括 ($W \times K$) 个 CAM 存储单元 M，每个存储单元 M 负责存储数据以及将存储的数据与外来搜索数据进行比较。其中，一行存储单元 M (图中 W 个为例) 构成 CAM 的一个字 (也可称之为数据项、数据表项、表项等)，W 则为“字宽或位宽”，CAM 阵列内所有字的条数 (图中 K 条为例) 称为“深度”，CAM 的容量通过 ($K \text{ 字} \times W \text{ 位}$) 来表征。在进行搜索操作时，搜索数据 (Search Key) 经过搜索线驱动 SL drivers 加载到搜索线 SL 中，储存在存储单元 M 中的数据与 SL 进行匹配，匹配结果以电平变化的形式反映在匹配线 (Match Line, ML) 上，ML 上电压变化经过灵敏方法器 SA 放大，最后输出到优先级编码器 (encoder) 上，与搜索数据发生匹配的数据项的优先级最高的地址被编码输出。

可见，CAM 在进行内容查找时，利用每个存储单元 M 中的比较电路，可将搜索数据和所有存储单元中存储的数据同时比较，使得整个 CAM 阵列的所有数据项最快可在一个时钟周期被查询，实现快速匹配，并行度高、查找速度不受 CAM 容量的影响。相比于普通的内存只能在软件的控制下，按地址顺序逐一读出内存中的数据进行比较，CAM 通过硬件电路实现了高速搜索的功能，极大地提高搜索效率和搜索系统的性能，被广泛地应用于网络通信、模式识别等领域。

但是，由于 CAM 使用专用电路进行并行比较的特点，导致其不可避免的存在芯片面积较大、功耗较高的问题，且存在可移植性差、灵活性较低的弊端，降低了 CAM 芯片的性能和可靠性。

申请内容

本申请实施例提供了一种内容可寻址存储装置、方法及相关设备，能够实现内容可寻址功能的同时，保证内容可寻址存储装置的低功耗性和灵活性。

第一方面，本申请实施例提供了一种内容可寻址存储装置，可包括：存储器，用于存

储待匹配的数据；比较器，包括N个比较单元，所述N个比较单元分别耦合至所述存储器，N为大于1的整数；调度器，用于获取K个搜索数据，并将所述K个搜索数据分别调度给所述N个比较单元中的K个目标比较单元，所述目标比较单元为处于空闲状态的比较单元，K为大于或者等于1且小于或者等于N的整数；控制器，用于控制所述存储器读出所述待匹配的数据并分别发送至所述K个目标比较单元；所述K个目标比较单元中的每一个目标比较单元，用于将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果。

本申请实施例，通过在内容可寻址存储装置中，将比较器中的多个比较单元作为动态灵活可调用的比较资源，当有输入的搜索数据需要进行查找时，则调用上述多个比较单元中的空闲比较单元将搜索数据与存储器中待匹配的数据依次进行比较，其中，由于比较器中包括N个比较单元，因此最多可以同时实现N个搜索数据的并行查找。不同于现有技术的CAM，其CAM阵列的每个存储单元中都有一个比较电路，虽然使得搜索数据可同时与存储阵列中的所有存储数据同时比较，从而在较少甚至是一个时钟周期得到比较结果，但是，由于每个存储单元都有专用比较电路的特性，导致了芯片面积大、功耗大、成本高等问题。并且，CAM一旦出厂后，其物理结构和相关参数就固定了，因此可移植性和灵活性较差。而本申请实施例中，将内容可寻址存储装置中的比较器的比较单元进行共享，且可以根据实际查找需求实现搜索数据的并行查找功能，成倍提升装置的处理能力，同时满足网络瞬时吞吐量较低和较高的场景，避免使用高成本、高功耗的CAM结构，保证了性能、降低了成本和功耗。进一步地，由于装置中的存储器无需专用CAM结构，而可以使用相对通用的存储器结构，而装置中的其他功能结构（调度器、控制器等）则可以基于硬件描述语言verilog等通用描述语言进行实现，因而使得其可移植性、灵活性较强，从而极大的保证了内容可寻址存储装置的高可用性、低成本和低功耗性。

在一种可能的实现方式中，所述装置还包括结果输出寄存器，所述N个比较单元分别耦合于所述结果输出寄存器；所述待匹配的数据包括多条数据项；所述K个目标比较单元中的每一个目标比较单元，还用于将对应的匹配结果发送至所述结果输出寄存器，所述匹配结果包括匹配指示信息、对应的搜索数据的匹配数据项、所述匹配数据项的地址中的一个或者多个，其中，所述匹配指示信息用于指示是否有匹配数据项；所述结果输出寄存器，用于接收并存储所述K个目标比较单元分别发送的匹配结果。本申请实施例中的N个比较单元还分别耦合于内容可寻址存储装置中的结果输出寄存器，当N个比较单元中的任意一个比较单元完成搜索数据的匹配，都可以将匹配结果发送至结果输出寄存器，其中匹配结果可以是是否匹配成功、具体的匹配数据或者匹配数据的地址中的一种或多种。

在一种可能的实现方式中，所述待匹配的数据包括M条数据项。M为大于1的整数；所述控制器，具体用于按照地址遍历方式，控制所述存储器依次读出所述M条数据项并分别发送至所述K个目标比较单元；所述K个目标比较单元中的每一个目标比较单元，具体用于将对应的搜索数据依次与所述M条数据项进行比较，确定对应的搜索数据的匹配数据项。本申请实施例，通过地址遍历的方式，将存储器中存储的M条数据项串行读出，并逐步发送给对应的目标比较单元进行比较，以获得对应的匹配结果。

在一种可能的实现方式中，所述待匹配的数据包括M条数据项；所述控制器，具体用

于通过地址轮询方式，在每个时钟周期控制所述存储器读出 L 条数据项，并将读出的 L 条数据项广播至所述 N 个比较单元， L 为小于或者等于 M 的正整数；所述 K 个比较单元中的每一个比较单元，用于将每次接收到的 L 条数据项与对应的搜索数据进行比较。本申请实施例中，当有多个搜索数据在进行查找时，则对应应有多个比较单元在同时执行搜索操作，其具体可以为，控制器通过控制读出存储器中 L 条数据项且并行发送至当前在执行搜索操作的比较单元，而正在执行搜索操作的比较单元则是将每次接收到的 L 条数据与存储的搜索数据进行比较，从而得到对应的匹配结果。例如，比较器中包括 8 个比较单元，当前有 4 个比较单元正在进行数据比较，控制器每个时钟周期从待匹配的 64 条数据项中，读出 2 条数据项且并行发送至上述 4 个比较单元中，每个比较单元则将每次接收到的 2 条数据项与自身存储的搜索数据进行比较，其中，对于每个比较单元来说，其得到了匹配结果（与待匹配的所有 64 条数据项的全部或者部分进行了比较）则可以停止该比较单元的搜索操作，此时控制器控制不再将从存储器中读出的数据项发送至已完成搜索操作的比较单元。

在一种可能的实现方式中，所述 N 个比较单元中的每一个比较单元的位宽为所述 M 条数据项中的每一个数据项的位宽的 L 倍。在本申请实施例中，比较器中的每一个比较单元的位宽可以为存储器中存储的待匹配的数据中的每一条数据项的位宽的 L 倍，此时，比较单元可以在每个时钟周期进行 L 条数据项的比较。例如，若每一条数据项的位宽为 W ，比较单元比较位宽为 $L*W$ ，则该比较单元可以在一个时钟周期完成 $L*W$ 位/bit 数据的比较。

在一种可能的实现方式中，所述控制器，还用于控制所述存储器以预设方式写入所述待匹配的数据。本申请实施例中，控制器在初始阶段可以在装置外部或内部处理器的控制下，以预设方式完成待匹配的数据的初始配置控制，例如，枚举所有待匹配的数据的地址，并将地址对应的待匹配的数据相应的写入至存储器中，而其中的待匹配的数据的内容则取决于具体的业务需求。

在一种可能的实现方式中，所述调度器，还用于当在预设时间段内接收到的搜索数据超过预设数量时，或者当前没有空闲的比较单元时，则控制在预设时间间隔之后，再从所述 N 个比较单元中确定目标比较单元。本申请实施例，当网络中的吞吐量较高，如瞬时突发最大 pps 较大时，或者当前没有空闲的比较单元时，则可以通过流量整形处理即控制在一定的时间之后再进行比较，来提高本申请实施例中的内容可寻址存储装置的适配性以降低瞬时比较资源的需求。

在一种可能的实现方式中，所述控制器，还用于在控制所述存储器读出所述待匹配的数据的过程中，控制所述存储器写入新的待匹配的数据或修改所述待匹配的数据。本申请实施例中，控制器可以通过边读边写的方式将待匹配的数据写入到存储器中，例如，对于有在线刷新待匹配的数据的需求的系统，可以通过选用带独立读/写两个端口的存储器来进行待匹配的数据的边读边更新或边读边修改；如果选用单端口存储器，则控制器在控制待匹配的数据读出时，需额外插入一些刷新时间来完成待匹配的数据的刷新，此时可能减低部分查询速度。其中的刷新时间是指，在刷新（写表项/数据项）时，暂停查询（读表项/数据项）地址序列增加（同时写使能无效），在写结束后，重新使能查询（读使能，读地址序列增加）。

在一种可能的实现方式中，所述待匹配的数据包括 M 条数据项，其中，每一条数据项

包括待匹配的内容、查询控制信息和输出结果；所述 K 个目标比较单元中的每一个目标比较单元，具体用于分别根据所述 M 条数据项的查询控制信息，将对应的搜索数据与每一条数据项中的待匹配的内容进行比较，并将匹配的数据项中的输出结果作为对应的搜索数据的匹配结果进行输出。本申请实施例，通过在待匹配的数据所包含的数据项中携带查询控制信息和对应的输出结果（例如该输出结果为该待匹配的内容对应的地址），从而控制比较单元在进行搜索数据查询时的查询方法和相关参数，以满足多种场景下的业务需求。

第二方面，本申请实施例提供了一种内容可寻址存储方法，可应用于内容可寻址存储装置，所述装置包括：比较器和存储器，所述比较器包括 N 个比较单元，所述 N 个比较单元分别耦合于所述存储器， N 为大于 1 的整数；所述方法包括：在所述存储器中存储待匹配的数据；获取 K 个搜索数据，并将所述 K 个搜索数据分别调度给所述 N 个比较单元中的 K 个目标比较单元，所述目标比较单元为处于空闲状态的比较单元， K 为大于或者等于 1 且小于或者等于 N 的整数；控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元；通过所述 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果。

在一种可能的实现方式中，所述装置还包括结果输出寄存器，所述 N 个比较单元分别耦合于所述结果输出寄存器；所述待匹配的数据包括多条数据项；所述方法还包括：将所述 K 个目标比较单元中的每一个目标比较单元对应的匹配结果发送至所述结果输出寄存器，所述匹配结果包括匹配指示信息、对应的搜索数据的匹配数据项、所述匹配数据项的地址中的一个或者多个，其中，所述匹配指示信息用于指示是否有匹配数据项；通过所述结果输出寄存器接收并存储所述 K 个目标比较单元分别发送的匹配结果。

在一种可能的实现方式中，所述待匹配的数据包括 M 条数据项， M 为大于 1 的整数；所述控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元，包括：按照地址遍历方式，控制所述存储器依次读出所述 M 条数据项并分别发送至所述 K 个目标比较单元；所述通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果，包括：所述通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据依次与所述 M 条数据项进行比较，确定对应的搜索数据的匹配数据项。

在一种可能的实现方式中，所述待匹配的数据包括 M 条数据项， M 为大于 1 的整数；所述控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元，包括：通过地址轮询方式，在每个时钟周期控制所述存储器读出 L 条数据项，并将读出的 L 条数据项广播至所述 N 个比较单元， L 为小于或者等于 M 的正整数；通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，包括：通过所述 K 个比较单元中的每一个比较单元，将每次接收到的 L 条数据项与对应的搜索数据进行比较。

在一种可能的实现方式中，所述 N 个比较单元中的每一个比较单元的位宽为所述 M 条数据项中的每一个数据项的位宽的 L 倍。

在一种可能的实现方式中，所述方法还包括：控制所述存储器以预设方式写入所述待

匹配的数据。

在一种可能的实现方式中，所述方法还包括：当在预设时间段内接收到的搜索数据超过预设数量时，或者当前没有空闲的比较单元时，则控制在预设时间间隔之后，再从所述N个比较单元中确定目标比较单元。

在一种可能的实现方式中，所述方法还包括：在控制所述存储器读出所述待匹配的数据的过程中，控制所述存储器写入新的待匹配的数据或修改所述待匹配的数据。

在一种可能的实现方式中，所述待匹配的数据包括多条数据项，其中，每一条数据项包括待匹配的内容、查询控制信息和输出结果；所述通过K个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果，包括：通过所述K个目标比较单元中的每一个目标比较单元，分别根据所述M条数据项的查询控制信息，将对应的搜索数据与每一条数据项中的待匹配的内容进行比较，并将匹配的数据项中的输出结果作为对应的搜索数据的匹配结果进行输出。

第三方面，本申请提供一种半导体芯片，可包括：

上述第一方面以及结合上述第一方面中的任意一种实现方式所提供的内容可寻址存储装置。

第四方面，本申请提供一种半导体芯片，可包括：

上述第一方面、以及结合上述第一方面中的任意一种实现方式所提供的内容可寻址存储装置、耦合于所述内容可寻址存储装置的处理器以及所述内容可寻址存储装置外部的存储器。

第五方面，本申请提供一种片上系统SoC芯片，该SoC芯片包括上述第一方面、以及结合上述第一方面中的任意一种实现方式所提供的内容可寻址存储装置、耦合于所述内容可寻址存储装置的处理器和所述内容可寻址存储装置的外部存储器。该芯片系统，可以由芯片构成，也可以包含芯片和其他分立器件。

第六方面，本申请提供一种芯片系统，该芯片系统包括：包含上述第一方面以及结合上述第一方面中的任意一种实现方式所提供的内容可寻址存储装置，以及包含耦合于所述内容可寻址存储装置的处理器和所述内容可寻址存储装置的外部存储器的芯片。该芯片系统，可以由芯片构成，也可以包含芯片和其他分立器件。

第七方面，本申请提供一种电子设备，该电子设备中包括上述第一方面以及结合上述第一方面中的任意一种实现方式所提供的内容可寻址存储装置、所述内容可寻址存储装置的外部存储器，以及耦合于所述内容可寻址存储装置的处理器。所述外部存储器用于存储必要的程序指令和数据，所述处理器用于运行该电子设备必要的通用操作系统，且用于与所述内容可寻址存储装置耦合完成内容可寻址存储装置中的相关处理功能。该电子设备还可以包括通信接口，用于该电子设备与其他设备或通信网络通信。

第八方面，本申请提供一种计算机存储介质，所述计算机存储介质存储有计算机程序，当该计算机程序被处理器执行时，可以实现上述第二方面以及结合上述第二方面中的任意一种实现方式所提供的内容可寻址存储方法中的流程。

第九方面，本申请实施例提供了一种计算机程序，该计算机程序包括指令，当该计算

机程序被计算机执行时，使得计算机可以执行上述第二方面以及结合上述第二方面中的任意一种实现方式所提供的内容可寻址存储方法中的流程。

附图说明

图 1A 为现有技术中的一种 RAM 和 CAM 的功能区别示意图；

图 1B 为现有技术中的一种典型的 CAM 结构示意图；

图 2 为本申请实施例提供的一种基于 Memory 地址遍历的模拟 CAM 的处理示意图；

图 3 为本申请实施例提供的一种基于 Memory 地址遍历的扩展位宽模拟 CAM 处理的示意图；

图 4 是本申请实施例提供的一种内容可寻址存储装置的结构示意图；

图 5 为本申请实施例提供的另一种内容可寻址存储装置的结构示意图；

图 6 为本申请实施例提供的又一种内容可寻址装置的结构示意图；

图 7 为本申请实施例所提供的比较单元比较的时序图；

图 8 是本申请实施例提供的一种内容可寻址存储方法的流程示意图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例进行描述。

本申请的说明书和权利要求书及所述附图中的术语“第一”、“第二”、“第三”和“第四”等是用于区别不同对象，而不是用于描述特定顺序。此外，术语“包括”和“具有”以及它们的任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有局限于已列出的步骤或单元，而是可选地还包括没有列出的步骤或单元，或可选地还包括对于这些过程、方法、产品或设备固有的其它步骤或单元。

在本文中提及“实施例”意味着，结合实施例描述的特定特征、结构或特性可以包含在本申请的至少一个实施例中。在说明书中的各个位置出现该短语并不一定均是指相同的实施例，也不是与其它实施例互斥的独立的或备选的实施例。本领域技术人员显式地和隐式地理解的是，本文所描述的实施例可以与其它实施例相结合。

在本说明书中使用的术语“部件”、“模块”、“系统”等用于表示计算机相关的实体、硬件、固件、硬件和软件的组合、软件、或执行中的软件。例如，部件可以是但不限于，在处理器上运行的进程、处理器、对象、可执行文件、执行线程、程序和/或计算机。通过图示，在计算设备上运行的应用和计算设备都可以是部件。一个或多个部件可驻留在进程和/或执行线程中，部件可位于一个计算机上和/或分布在 2 个或更多个计算机之间。此外，这些部件可从在上面存储有各种数据结构的各种计算机可读介质执行。部件可例如根据具有一个或多个数据分组（例如来自与本地系统、分布式系统和/或网络间的另一部件交互的二个部件的数据，例如通过信号与其它系统交互的互联网）的信号通过本地和/或远程进程来通信。

首先，对本申请中的部分用语进行解释说明，以便于本领域技术人员理解。

(1) 系统级芯片(System on Chip, SoC), SoC 称为系统级芯片，也有称片上系统，意指它是一个产品，是一个有专用目标的集成电路，其中包含完整系统并有嵌入软件的全部

内容。同时它又是一种技术，用以实现从确定系统功能开始，到软/硬件划分，并完成设计的整个过程。

(2) 随机存取存储器(Random Access Memory, RAM), 用来存储和保存数据。它在任何时候都可以读写, RAM 通常是作为操作系统或其他正在运行程序的临时存储介质(可称作系统内存)。当电源关闭时 RAM 不能保留数据, 如果需要保存数据, 就必须把它们写入到一个长期的存储器中(例如硬盘)。

(3) 随机存取存储器 RAM 可以进一步分为: 静态随机存储(Static Random Access Memory, SRAM), 和动态随机存储(Dynamic Random Access Memory, DRAM)两大类。这两者基本原理上有相同的地方, 都是将电荷存储到记忆体内部, 其中, SRAM 的结构比较复杂, 单位面积的容量少, 存取速度很快; DRAM 则结构简单, 单位面积存储的容量比较多, 存取时间相对 SRAM 慢, 同时 DRAM 因为构造比较简单, 存储的电荷会随着时间逐渐消失, 因此需要定时再充电(Refresh), 以保持电容存储的资料。

(4) 双倍速率同步动态随机存取存储器(Double Data Rate Synchronous Dynamic Random Access Memory, DDR SDRAM), 简称 DDR, DDR 内存是在 SDRAM 内存基础上发展而来的, 仍然沿用 SDRAM 生产体系, 因此对于内存厂商而言, 只需对制造普通 SDRAM 的设备稍加改进, 即可实现 DDR 内存的生产, 可有效的降低成本。与传统的单数据速率相比, DDR 技术实现了一个时钟周期进行两次读/写操作, 即在时钟的上升沿和下降沿分别执行一次读/写操作。

(5) 只读存储器(Read Only Memory, ROM), 是一种只能读出事先所存数据的固态半导体存储器。其特性是一旦储存资料就无法再将之改变或删除。通常用在不需经常变更资料的电子或电脑系统中, 并且资料不会因为电源关闭而消失。

(6) 现场可编程门阵列(Field Programmable Gate Array, FPGA)是在可编程阵列逻辑(PAL)、通用阵列逻辑(GAL)、复杂可编程逻辑器件(CPLD)等可编程器件的基础上进一步发展的产物。它是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点。

(7) 仿真器(Emulator, Emu), 指的是几乎能够百分之百地模拟某硬件或软件系统的全部特性、行为的装置或程序, 其目的是完全仿真被仿真硬件在接收到各种外界信息时候的反应。

(8) 轮询调度(Round Robin Scheduling)算法就是以循环的方式依次请求调度/处理就绪的任务队列或进程等。

(9) 查找表(Look up Table, LUT)本质上就是一个 RAM。目前 FPGA 中多使用 4 输入的 LUT, 所以每一个 LUT 可以看成是一个有 4 位地址线的 RAM, 当用户通过原理图或 HDL 语言描述了一个逻辑电路, 以后 PLD/FPGA 开发软件会自动计算逻辑电路的所有可能结果, 并把真值表(即结果)事先写入 RAM, 这样每输入一个信号进行逻辑运算就等于输入一个地址进行查表, 找出地址对应的内容, 然后输出即可。

(10) 包每秒(packets per second, pps)常用的网络吞吐率的单位(即每秒发送多少个分组数据包), 网络的性能通常用吞吐率(throughput)这个指标来衡量。包转发率标志了交换机转发数据包能力的大小, 一般交换机的包转发率在几十 Kpps 到几百 Mpps 不等。

包转发速率是指交换机每秒可以转发多少百万个数据包 (Mpps)，即交换机能同时转发的数据包的数量。包转发率以数据包为单位体现了交换机的交换能力。

(11) 吞吐量，吞吐量是指对网络、设备、端口或其他设施在单位时间内成功地传送数据的数量 (以比特、字节等测量单位)，也就是说吞吐量是指在没有帧丢失的情况下，设备能够接收并转发的最大数据速率。吞吐量的大小主要由网络设备的内外网口硬件，及程序算法的效率决定，尤其是程序算法，对于像需要进行大量运算的设备来说，算法的低效率会使通信量大打折扣。

为了便于理解本申请实施例，以下进一步分析申请实施例具体要解决的技术问题以及对应的实际应用场景。由于 CAM 在进行内容查找时，其高度并行搜索的特征是基于 CAM 阵列中的每个存储单元中的比较电路来完成的，也即是说，CAM 中的 CAM 阵列结构不同于普通的存储器 (如内存 Memory、RAM 等) 中的数据存储阵列结构，即 CAM 无法使用通用的 Memory 结构来实现基于内容寻址的功能。以下提供两种可利用通用 Memory 结构来实现内容可寻址存储功能的方案：

方案一，基于 Memory 地址遍历的模拟 CAM：

该方案可简单描述为，初始时先将待匹配的表项数据存储在 Memory 中，后续每单次查询启动后，按照地址遍历方式读取一遍 Memory 深度的所有表项数据，在读取过程中，同时逐个比对目标匹配数据 (即本申请中的搜索输入数据) 和读出表项数据 (即本申请中的数据项)，地址遍历结束时，完成一次模拟 CAM 处理；下次查询启动需等待上次查询结束，再重复上述完整地址遍历过程。如图 2 所示，图 2 为本申请实施例提供的一种基于 Memory 地址遍历的模拟 CAM 的处理示意图，假设 Memory 中所有表项数据对应的地址为 0、1、2、3、4、5、6、7， T_0 代表第一次查询启动时刻， T_1 代表第二次查询启动时刻， T_3 代表第三次查询启动时刻。其中，可以看出，第 2 次查询最早只能从第 1 次查询完成后才能启动，各单次查询时间片之间无重叠，同一时间只在处理一个查询请求。上述方案为串行比较方式，且使用通用 Memory 结构，成本功耗相对较低，后端风险小 (即将逻辑设计转换为物理电路的可行性风险小)，灵活性较高。

上述处理结构的缺点：由于其单次查询需等待地址遍历的处理延时，因此导致吞吐量小，性能较低。

方案二，基于 Memory 地址遍历的扩展位宽的模拟 CAM：

该方案可简单描述为在上述方案一的基础上，将 Memory 的存储字宽加大，例如，加宽为 2 个表项数据的字宽，一次比较 2 个表项数据，则 Memory 深度可以减少为原来的 1/2，同时，处理延时相应减小。其中单次查询时间减少为原来的一半，一个时钟周期比对了两个表项。如图 3 所示，图 3 为本申请实施例提供的一种基于 Memory 地址遍历的扩展位宽模拟 CAM 处理的示意图，假设 Memory 中所有表项数据对应的地址为 0、1、2、3、4、5、6、7， T_0 代表第一次查询启动时刻， T_1 代表第二次查询启动时刻， T_3 代表第三次查询启动时刻。其中，可以看出，每个时钟周期可以比较两个表项数据，单次查询时间减小为原来的一半，但是，第 2 次查询同样最早只能从第 1 次查询完成后才能启动，各单次查询时间片之间仍然无重叠，同一时间只在处理一个查询请求。即上述方案同样可以理解为串行比

较方式,也可使用通用 Memory 结构,成本功耗相对较低,后端风险小,灵活性较高。

上述处理结构的缺点:使得 Memory 字宽显著变宽,深度显著变小,但实际资源较优化的 Memory 形状一般都存在一定约束,上述变化可能导致 Memory 选型劣化,极端场景可能丧失 Memory 的高集成度存储优势,最终反映为芯片的面积、功耗增加。

而通过分析一般的网络系统应用场景发现,通常不需要做到每个系统时钟周期都需要发起一次查询请求的极限性能需求,典型的,如以太报文处理,一般按包查询即可,而无需按字节查询,而包速率远小于包的字节速率,因此通常不会在短时间内有大量查询请求;但是在短包突发场景,如果表项深度较长(待匹配的数据项条数较多),上述的方案一的 pps 性能可能也无法满足性能要求,因为表项深度较长,导致单次查询的时间较长,而各单次查询之间又无时间重叠,导致短包突发的场景,无法保证网络吞吐率;而现有技术中的 CAM 和上述方案二相较于上述方案一的网络吞吐率会优化一些,但又存在资源、功耗劣化或匹配灵活性问题。

综上所述,现有的基于内容的寻址方案无法满足网络的性能。因此,在本申请提供一种低功耗、面积小、可移植性强、可扩展性强的灵活的 CAM,用于解决上述技术问题。

基于上述,下面对本申请实施例提供的内容可寻址存储装置以及相关设备进行描述。请参见图 4,图 4 是本申请实施例提供的一种内容可寻址存储装置的结构示意图,该内容可寻址存储装置 40 中可包括调度器 401、比较器 402、存储器 403 和存储器 404,其中,比较器 402 包括 N 个比较单元 4021,并且该 N 个比较单元分别耦合于存储器 403, N 为大于 1 的整数;可选的,上述调度器 401、比较器 402、存储器 403 和存储器 404 可以位于一个集成电路衬底上。其中,

存储器 404,用于存储待匹配的数据,该待匹配的数据为调度器 401 获取的 K 个搜索数据所分别需要匹配的多个数据项,即每个搜索数据都需要与待匹配的数据项匹配,从而得到对应的匹配结果。该待匹配的数据可以通过多种方式获得,比如静态配置、动态学习等。在任意一个目标比较单元 4021 开始进行搜索数据的比较之前,控制器 404 会控制存储器 404 写入所述待匹配的数据。可选的,控制器 403 还可以在控制存储器 404 读出所述待匹配的数据的过程中,控制存储器 404 写入新的待匹配的数据或修改所述待匹配的数据。即控制器 403 可以控制存储器 404 以边读边写的方式将待匹配的数据写入到存储器 403 中,例如,对于有在线刷新待匹配的数据的需求的系统,可以通过选用带独立读/写两个端口的存储器来进行待匹配的数据的边读边更新或边读边修改;如果选用单端口存储器,则控制器 403 可在控制存储器 404 读出待匹配的数据时,额外插入一些刷新时间来完成待匹配的数据的刷新,此时可能降低部分查询速度,其中的刷新时间是指,在刷新(写表项/数据项)时,暂停查询(读表项/数据项)地址序列增加(同时写使能无效),在写结束后,重新使能查询(读使能,读地址序列增加)。

在一种可能的实现方式中,存储器 404 的存储结构可以为存储阵列形式,存储阵列由许多基本存储单元构成,每个基本存储单元存放一位二进制数码(1 或 0),称为位(bit),而一行存储单元构成存储器 403 的一个字(也可称之为数据项、数据表项、表项等),W 则为"字宽或位宽",存储器阵列内所有字的条数 K 称为"深度",存储器 403 的容量通过(K

字 $\times$ W位)来表征。不同于现有技术中的CAM,该存储器403自身没有数据比较的功能,即不包含比较电路,因此可以采用通用的存储器结构,例如,存储器403可以是通用的随机存取存储器(Random Access Memory, RAM)或掉电易失性存储设备,如静态随机存取存储器(Static Random Access Memory, SRAM)、动态随机存取存储器(Dynamic Random Access Memory, DRAM)或同步动态随机存储器(Synchronous DRAM, SDRAM)、双倍速率SDRAM(Dual Data Rate SDRAM, DDR SDRAM)等;存储器403也可以是通用的只读存储器(Read Only Memory, ROM)或非掉电易失性存储器,如可编程ROM(Programmable ROM, PROM)、可擦写可编程ROM(Erasable Programmable ROM, EPROM)、电可擦除可编程ROM(Electrically Erasable Programmable ROM, EEPROM)、快速擦写ROM(FLASH ROM)等;存储器403还可以是处理器上的通用寄存器、闪存、或任何其他合适类型存储器。可以理解的是,若存储器403为RAM,则待匹配的数据是可以变化的,若存储器403为ROM,则待匹配的数据为固化在存储器403中的数据。需要说明的是,关于存储器404具体以何种形式来存储待匹配的数据本申请不作具体限定,可以依据实际的需求或业务情况,作相关的变化。

调度器401,用于获取K个搜索数据,并将所述K个搜索数据分别调度给所述N个比较单元中的K个目标比较单元,所述目标比较单元为处于空闲状态的比较单元,K为大于或者等于1且小于或者等于N的整数。例如,当调度器401接收到查询请求时,而查询请求中包括搜索数据、查找类型等,则表明该内容可寻址存储装置40需要执行搜索数据的查找操作。此时,调度器401需要为该搜索数据分配相应的比较单元进行匹配结果的查找,当有多个查询请求时,则调度器401需要分别为不同的查询请求分配不同的目标比较单元;调度器401根据动态接收到的查询请求,并结合比较器402中的N个比较单元4021当前的状态,动态选择出空闲可用的目标比较单元(可以为图4中的任意一个比较单元4021),启动或使能该目标比较单元的查询功能,并将该搜索数据发送至该目标比较单元4021中,从而完成查询请求到查询资源的分配调度。其中,调度器401获取的K个搜索数据,可以是同一时刻获取的,也可以是在不同时刻获取的,即K个搜索数据可以在同一个时刻被调度至K个目标比较单元的,也可以是有先有后的被调度至K个目标比较单元的,可以取决于该K个搜索数据达到调度器的先后顺序,也可以取决于调度器401预设或灵活可变的调度规则,本申请实施例对此不作具体限定。例如,调度器401可以是在接收到某个搜索数据后立即将其调度给某个目标比较单元,也可以是调度器401在接收到一定数量的搜索数据之后,再统一将其进行调度至对应的目标比较单元。需要说明的是,调度器401可能在某个时刻或时间段内接收到大量的查询请求,即接收到大量的搜索数据,此时,由于比较器402中的比较单元的数量有限,因此,调度器401可以基于一定的流量整形控制,即当前只获取其中的K个搜索数据进行查询,待后续有空闲的比较单元之后,再进行其它搜索数据的调度,以尽可能的避免搜索数据的拥堵或丢弃。

控制器403,用于控制存储器404读出所述待匹配的数据并分别发送至所述K个目标比较单元。当比较器402中的有比较单元被选择为目标比较单元,即有一个或多个比较单元需要执行搜索操作时,比较器402可将目标比较单元的状态信息(空闲态或使用态)通知给控制器403,以完成比较器402对控制器403的读写使能合并控制,并最终控制存储

器 404 的输出。也即是说，当比较器 402 中有至少一个比较单元被选择为目标比较单元时，那么，控制器 403 则需要控制存储器 404 持续将待匹配的数据项进行读出，因为需要控制存储器 404 的端口保持为可读状态，进而实现读出操作。可选的，也可以由调度器 401 将目标比较单元的状态信息通知给控制器 403，以完成比较器 402 对控制器 403 的读写使能合并控制，本申请实施例对此不作具体限定。图 4 中的结构是以由比较器 402 通知给控制器 403 为例，可以理解的是，若是由调度器 401 通知给控制器 403，则调度器 401 与控制器 403 之间需要有通信连接，在此不再赘述。而存储器 404 在控制器 403 的控制下，将读出的待匹配的数据分别发送至所述 K 个目标比较单元，可以是广播至 N 个比较单元（包括该 K 个目标比较单元），可选的，也可以是仅发送给所述 K 个目标比较单元。例如，当控制器 403 通过调度器 401 或比较器 402 获知当前有比较单元 4021-2 和比较单元 4021-4 作为目标比较单元，进行搜索数据的比较操作时，则控制器 403 控制存储器 404 将读出的待匹配的数据广播至所述 N 个比较单元，或者仅发送至比较单元 4021-2 和比较单元 4021-4 中。需要说明的是，若存储器 404 是将读出的待匹配的数据仅发送至所述 K 个目标比较单元，那么，存储器 404 则需要获知当前有哪些比较单元为目标比较单元，此时，可以通过控制器 403 所获知的每个比较单元的状态信息（调度器 401 通知或者比较器 402 通知的）来控制存储器 404 的输出。

进一步地，在搜索操作开始之前，控制器 403 还用于控制存储器 404 以预设方式写入所述待匹配的数据。控制器 403 可以在初始阶段，在装置外部或内部处理器的控制下以预设方式完成待匹配的数据的初始配置控制。例如，内容可寻址存储装置 40 上电后，在进入数据搜索操作之前，控制器 403 在外部处理器的控制下，先完成存储器 404 的初始化过程，如包括定义匹配字宽和输出结果位宽、选择数据表项（待匹配的数据）的读/写模式、枚举所有待匹配的数据的地址，并将地址对应的待匹配的数据相应的写入至存储器 404 中等，而其中的待匹配的数据的内容则取决于具体的业务需求。

比较器 402，包括 N 个用于进行搜索数据查找的比较单元 4021，即图 4 中的比较单元 4021-1、4021-2、……4021-N 的集合。由于比较器 402 中的 N 个比较单元分别耦合于存储器 404，如图 4 中所示，每个比较单元 4021 与存储器 404 之间都分别存在物理连接，即 N 个比较单元 4021 之间为并行比较结构，查找的过程互不干扰，其进行查找的起始时间、查找的搜索数据之间均可以无关联。当某个空闲的比较单元 4021 被选定为目标比较单元后，则该目标比较单元将调度器 401 发送的搜索数据与存储器 404 发送过来的待匹配的数据进行比较，并根据比较结果确定搜索数据的匹配结果。其中，所述匹配结果包括匹配指示信息、对应的搜索数据的匹配数据项、所述匹配数据项的地址中的一个或者多个，其中，所述匹配指示信息用于指示是否有匹配数据项。例如，实际应用中，可能不需要完整遍历所有数据项，比如只取第一次匹配的结果或仅判断有无匹配项即可，此时可以不用完整遍历所有数据项以加快响应速度或减小翻转功耗；相应的匹配结果可以保持固定延时，或立刻输出，可以视系统其他组件的要求确定。即有些情况下，只需要查找是否有命中的匹配项、有些情况下则需要查找具体匹配项或者匹配项对应的地址等。可以理解的是，每一个比较单元 4021 除了包括比较电路等逻辑资源，还可以包括自身的对比状态等必要信息的维护控制、以及用来存储调度器 401 发送的搜索数据的寄存器。

在一种可能的实现方式中，当调度器 401 在预设时间段内接收到的搜索数据超过预设数量时，或者当前没有空闲的比较单元时，则调度器 401 还控制在预设时间间隔之后，再从所述 N 个比较单元中确定空闲的目标比较单元。即当网络中的吞吐量较高，如瞬时突发最大 pps 较大时，或者当前没有空闲的比较单元时，则可以通过流量整形处理方式，即控制在一定的时间之后再进行比较，来提高本申请实施例中的内容可寻址存储装置的适配性以降低瞬时比较资源的需求。

本申请实施例，通过在内容可寻址存储装置中，将比较器中的多个比较单元作为动态灵活可调用的比较资源，当有输入的搜索数据需要进行查找时，则调用上述多个比较单元中的空闲比较单元将搜索数据与存储器中待匹配的数据依次进行比较，其中，由于比较器中包括 N 个比较单元，因此最多可以同时实现 N 个搜索数据的并行查找。不同于现有技术的 CAM，其 CAM 阵列的每个存储单元中都有一个比较电路，虽然使得搜索数据可同时与存储阵列中的所有存储数据同时比较，从而在较少甚至是一个时钟周期得到比较结果，但是，由于每个存储单元都有专用比较电路的特性，导致了芯片面积大、功耗大、成本高等问题。并且，CAM 一旦出厂后，其物理结构和相关参数就固定了，因此可移植性和灵活性较差。而本申请实施例中，将内容可寻址存储装置中的比较器的比较单元进行共享，且可以根据实际查找需求实现搜索数据的并行查找功能，成倍提升装置的处理能力，同时满足网络瞬时吞吐量较低和较高的场景，避免使用高成本、高功耗的 CAM 结构，保证了性能、降低了成本和功耗。进一步地，由于装置中的存储器无需专用 CAM 结构，而可以使用相对通用的存储器结构，而装置中的其他功能结构（调度器、控制器等）则可以基于硬件描述语言 verilog 等通用描述语言进行实现，因而使得其可移植性、灵活性较强，从而极大的保证了内容可寻址存储装置的高可用性、低成本和低功耗性。

上述图 4 中，调度器 401 从 N 个比较单元 4021 中选择出空闲的目标比较单元，或者在控制器 403 确定将当前读出的待匹配的数据发送至哪个比较单元的之前，均可以由比较器 402 中各个比较单元 4021 将自身的状态信息（空闲或者使用状态）直接发送至调度器 401 和/或者控制器 403，也可以由各个比较单元 4021 将状态信息统一发送至比较器 402 中的某一状态合并模块进行汇总，再由该状态合并模块将汇总的全部状态信息发送至调度器 401 和/或控制器 403，本申请实施例对此不作具体限定。

如图 5 所示，图 5 为本申请实施例提供的另一种内容可寻址存储装置的结构示意图，其中，调度器 401 与 N 个比较单元 4021 之间通过 N 个物理连线 001 并行连接，N 个比较单元 4021 的空闲状态或使用状态可以通过电平变化的形式反映在物理连线 001 上，而调度器 401 则可以根据该物理连线 001 上的电压变化来感知每个比较单元 4021 当前的空闲或使用状态。比如，当比较单元 4021 为空闲状态，调度器 401 保持与其之间的物理连线 001 为低电平，当比较单元 4021 为使用状态，调度器 401 拉高与其之间的物理连线 001 为高电平。当空闲的比较单元 4021 被选定为目标比较单元后，则该目标比较单元（如图 5 中的目标比较单元 4021-2、4021-4 和 4021-5），可接收调度器 401 通过对应的物理连线（图 5 中的 001a、001b、001c）发送的搜索数据（搜索数据 a、搜索数据 b、搜索数据 c），并存储对应的搜索数据。

进一步地, 比较器 402 中的每一个比较单元 4021 均可以通过物理连线 002 将自身当前状态信息 (空闲状态或者使用状态) 反馈至控制器 403, 控制器 403 通过物理连线 002 获知并统计当前正在执行搜索操作的比较单元有哪些, 并控制存储器 404 中的待匹配的数据逐步通过物理连线 003 并行的发送至对应的目标比较单元。

假设当前有三个搜索数据: 搜索数据 a、搜索数据 b 和搜索数据 c, 调度器 401 为其选择的比较单元分别为目标比较单元 4021-2、目标比较单元 4021-4、目标比较单元 4021-5, 并开启了 4021-2、4021-4 和 4021-5 的搜索操作功能之后, 比较器 402 将目标比较单元的使能的状态通知至控制器 403 (也可以是由调度器 401 通知的), 控制器 403 获知比较单元的状态信息后合并 N 个比较单元的状态, 即 4021-2、4021-4 和 4021-5 均为使能态, 其他比较单元为非使能态。控制器 403 结合上述比较单元的状态以及存储器 404 的初始化控制, 将合并后的控制信息发送至存储器 404, 从而控制逐步读出数据项且并行的发送给使能状态下的目标比较单元 4021-2、4021-4 和 4021-5。比如, 按照地址轮询方式, 在每个时钟周期向目标比较单元 4021-2、4021-4 和 4021-5 分别并行发送一个数据项 (也可以是多个数据项, 取决于比较单元 4021 和存储器 404 之间的位宽关系)。最终, 目标比较单元 4021-2、4021-4 和 4021-5 将存储的搜索数据与控制器 403 控制逐步从存储器 404 读出并分别通过对应的物理连线 (图 5 中的 003a、003b、003c) 发送过来的数据项逐步进行比较, 直到得到搜索数据最终的匹配结果。可以理解的是, 每个比较单元 4021 开始查找的时刻可以是同时, 也可以不同时, 即不同比较单元 4021 之间进行搜索数据是互不影响互不干扰。

在一种可能的实现方式中, 所述待匹配的数据包括 M 条数据项; 控制器 403 具体用于按照地址遍历方式, 控制所述存储器依次读出所述 M 条数据项并分别发送至所述 K 个目标比较单元, 可以是仅发送给 K 个目标比较单元 (如图 5 中的比较单元 4021-2、4021-4、4021-5), 也可以是广播给 N 个比较单元 (如图 5 中的比较单元 4021-1、4021-2、... 4021-N); 所述 K 个目标比较单元中的每一个目标比较单元, 具体用于将对应的搜索数据依次与所述 M 条数据项进行比较, 确定对应的搜索数据的匹配数据项。本申请实施例, 通过地址遍历的方式, 将存储器中存储的 M 条数据项串行读出, 并逐步发送给对应的目标比较单元进行比较, 以获得对应的匹配结果。可选的, 可以逐条逐条读出, 即一个数据项一个数据项的读出, 也可以是两条两条读出, 即两个数据项两个数据项读出, 还可以是多条数据项多条数据项的读出。

如图 6 所示, 图 6 为本申请实施例提供的又一种内容可寻址装置的结构示意图, 图 6 中的内容可寻址装置 40 还包括结果输出寄存器 405, N 个比较单元 4021 分别耦合于该结果输出寄存器 405; 目标比较单元还将所述匹配结果发送至结果输出寄存器 405, 结果输出寄存器 405 接收并存储所述匹配结果。由于 N 个比较单元 4021 还分别通过物理连线 004 耦合于内容可寻址存储装置 40 中的结果输出寄存器 405, 因此, 当 N 个比较单元 4021 中的任意一个比较单元 4021 完成搜索数据的匹配时, 都可以并行的将匹配结果通过对应的物理连线 004 发送至结果输出寄存器 405。可选的, 存储器 404 在控制器 403 的控制下按照地址轮询方式读出的数据, 即可实现被读出的数据可同时参与多个比较单元的独立查询。在一种可能的实现方式中, 图 6 中的内容可寻址装置 40 的比较器 402 中还包括状态合并模

块 4022, 各个比较单元 4021 将状态信息统一发送至比较器 402 中的状态合并模块 4022 进行汇总, 再由该状态合并模块 4022 将汇总的全部状态信息发送至控制器 403。可选的, 比较单元的数目 N 大于或者等于 $(\text{瞬时突发最大 pps}) * (\text{静态查表周期})$ 其中, 瞬时突发最大 pps 可以以实际查询请求出现的最小周期确定, 静态查表周期则是指遍历一遍查询表地址 (待匹配的数据的地址) 的时间。在实际应用中, 可以结合系统已有的流量整形模块一起配合应用, 降低峰值 pps。

例如, 如图 7 所示, 图 7 为本申请实施例所提供的比较单元比较的时序图, 在图 7 中, 按照时间先后顺序记为 T_0 、 T_1 、 T_2 、 T_3 、 T_4 、 T_5 , 分别对应第一次查询、第二次查询、第三次查询、第四次查询、第五次查询和第六次查询, 其中, 第一次查询和第四次查询 (T_0 和 T_3) 是由比较单元 402-2 执行的, 第二次查询和第五次查询 (T_1 和 T_4) 是由比较单元 402-4 执行的, 第三次查询和第六次查询 (T_2 和 T_5) 是由比较单元 402-5 执行的。即每一个比较单元之间都可以并行的进行搜索数据的查询, 且每一个比较单元在单次查询完之后又恢复到空闲状态, 可以进行下一轮的搜索数据的查询, 例如, 比较单元 402-2 在 T_0 时刻开始搜索数据 a 的查询, 在完成搜索数据 a 的查询之后则可以开始新的搜索数据 d 的查询, 而在比较单元 402-2 在进行搜索数据 a 的查询的过程中, 比较单元 402-4 开始了搜索数据 b 的查找, 且紧接着开始了搜索数据 e 的查找。需要说明的是, 存储器 404 中的所有待匹配的数据按照地址轮询的形式读出, 从时序上来看即是图 7 中的待匹配的数据的地址, 按照地址轮询的方式一直循环读出, 只要当前还有比较单元在进行对应的搜索数据的查询, 则控制器 403 就会控制存储器 404 中的数据保持循环读出, 且每一比较单元开始比较的时候并不是从地址最低或最高的数据项开始比较, 比如 T_1 时刻是从地址 6 开始比较, T_3 时刻是从地址 2 开始比较, 即所有目标比较单元开始比较的数据项取决于从存储器 404 中当前读出来的数据。图 7 中地址 5 (保持) 对应的时间段当前由于没有任意一个比较单元在执行查询任务, 此时若输出待匹配的数据, 则会浪费资源, 并且, 若比较单元是通过高底电平来指示控制器 403, 则此时 N 个比较单元均处于低电平状态, 则控制器 403 会控制暂停数据的读取以及匹配。等到 T_5 时刻又有搜索数据发送至比较单元 402-5 时, 此时控制器 403 继续从暂停数据项处继续读出并发送至比较单元 402-5 中进行比较。

在一种可能的实现方式中, 所述 N 个比较单元中当前有 K 个比较单元在进行搜索数据的比较, 且不同的比较单元各自对应不同的搜索数据, 其中, K 为小于或者等于 M 的正整数; 所述待匹配的数据包括 M 条数据项; 控制器 403, 具体用于通过地址轮询方式, 在每个时钟周期控制存储器 404 读出 L 条数据项, 并将读出的 L 条数据项广播至所述 N 个比较单元, L 为小于或者等于 M 的正整数; 所述 K 个比较单元中的每一个比较单元, 用于将每次接收到的 L 条数据项与对应的搜索数据进行比较。即当有多个搜索数据在进行查找时, 则对应应有多个比较单元在同时执行搜索操作, 其具体可以为, 控制器 403 通过控制存储器 404 在每个时钟周期读出 L 条数据项且广播至 N 个比较单元中, 可选的, 也可以仅并行发送至当前在执行搜索操作的目标比较单元, 而正在执行搜索操作的每一个目标比较单元则是将每次接收到的 L 条数据与自身存储的搜索数据进行比较, 从而得到对应的匹配结果。例如, 假设 $M=64$ 、 $N=8$ 、 $L=2$ 、 $K=4$, 则比较器 402 中包括 8 个比较单元, 当前有 4 个目标比较单元正在进行数据比较, 控制器 403 每个时钟周期从待匹配的 64 条数据项中, 读出

2 条数据项且并行发送至上 4 个目标比较单元中（或者广播至上 8 个比较单元中），每个目标比较单元则将每次接收到的 2 条数据项与自身存储的搜索数据进行比较，其中，对于每个目标比较单元来说，其得到了匹配结果（与待匹配的所有 64 条数据项的全部或者部分进行了比较）后则可以停止该比较单元的搜索操作，此时控制器 403 可以控制存储器读出的数据项不再发送至已完成搜索操作任务的比较单元。

在一种可能的实现方式中，所述 N 个比较单元中的每一个比较单元的位宽为所述 M 条数据项中的每一个数据项的位宽的 L 倍。即比较器 402 中的每一个比较单元的位宽可以为存储器 404 中存储的待匹配的数据中的每一条数据项的位宽的 L 倍，此时，比较单元可以在每个时钟周期进行 L 条数据项的比较。例如，若每一条数据项的位宽为 W，比较单元比较位宽为 $L \times W$ ，则该比较单元可以在一个时钟周期完成 $L \times W$ 位/bit 数据的比较。本申请实施例在选型允许且评估后端影响合理的范围内，可通过扩展字宽进一步均衡性能和成本，在相对低的成本功耗影响范围内，通过一个时钟周期同时进行多个比对来加快查询速度。

在一种可能的实现方式中，当出现多个匹配结果时，则内容可寻址装置 40 中可以增加优先编码器（priority），位于比较单元 4021 和结果输出寄存器 40 之间，该优先编码器将优先级最高的匹配结果（例如处于地址最低位置的数据项）编码输出。

在一种可能的实现方式中，在内容可寻址装置 40 中可增加匹配地址历史寄存器，当第一次发生匹配后记录匹配发生的地址，当后续又发生匹配时，通过比对记录的地址和新匹配地址的相对大小来确定是否更新匹配结果及匹配地址历史寄存器。比如低地址优先策略时，可以总是用新的小的匹配地址和结果刷新旧的大的匹配地址和结果。

在一种可能的实现方式中，所述待匹配的数据包括 M 条数据项，其中，每一条数据项包括待匹配的内容、查询控制信息和输出结果；所述 K 个目标比较单元中的每一个目标比较单元，具体用于分别根据所述 M 条数据项的查询控制信息，将对应的搜索数据与每一条数据项中的待匹配的内容进行比较，并将匹配的数据项中的输出结果作为对应的搜索数据的匹配结果进行输出。即在上述搜索中，可以在待匹配的数据所包含的数据项中携带查询控制信息和对应的输出结果（例如该输出结果为该待匹配的内容对应的地址），其中，查询控制信息可以包括：具体比较时所使用 min max 范围或 bit 掩码或结合其他逻辑运算，可视系统需求确定。例如，存储器中的所存储的数据项可定义为{待匹配的内容，查询控制信息，输出结果}的三元数据集合，比如某一条或多条数据项= $\{\text{min}, \text{max}, \text{mask}, \text{item_en}, \text{result}\}$ 的多元数据组，来表示当要查询的搜索数据满足 $\text{min} \leq (\text{d0} \& \text{mask}) \leq \text{max}$ 且 item_en 等于 1 时，则该数据项即为该搜索数据的匹配数据项，此时可以输出 result，即本申请中的匹配结果。

需要说明的是，上述图 4-图 6 中的内容可寻址存储装置 40 的调度器 401 可以是硬件电路模块，也可以是运行软件的功能器件。同理，控制器 403 也可以是硬件电路模块，或是运行软件的功能器件。可以理解的是，通常情况下，采用硬件电路模块相较于采用软件来实现相应的功能，速度会更快。上述调度器 401 可以部署在控制器 403 的内部，即认为其在物理形态上是控制器 403 的一部分或与控制器 403 集成在一起；可替换地，调度器 401 也可以部署在控制器 403 外部，当然也可以部分部署在控制器 403 内部，另一部分部署在控制器 403 外部，本申请实施例对此不作具体限定。

需要说明的是，本申请中的内容可寻址存储装置可以有三种运行模式：读模式，写模式和匹配模式。读和写模式时，在存储器中数据访问和操作的方式和在普通存储器是一样的。匹配模式则可以实现上述图 4-图 6 中的内容可寻址存储装置所实现的基于内容的查找功能。

本申请中的内容可寻址存储装置的数据搜索功能，可以用于例如虚拟内存、数据压缩、模式识别、图像处理、高速缓存、表查找应用程序等多种应用场景。例如，当进行媒体访问控制（Media Access Control Address, MAC）地址检索时，交换机（该交换机可包括本申请中的任意一种所述的内容可寻址存储装置）首先以 MAC 地址为关键字（搜索数据）通过 MAC-CAM 表（也即是本申请中的待匹配的数据）的检索得到对应的索引值，其中，在以太网上，MAC-CAM 表为交换机维护一张用于二层交换的地址表（通常称为“CAM 表”），该表维护 MAC 地址与出接口的对应关系。这样每当交换机接收到一个以太网数据帧，交换机就会进行判断。提取出该数据帧的目的 MAC 地址，如果该数据帧不是发送给自己的，则根据数据帧的目的 MAC 地址查询 CAM 表；如果能命中（所谓命中，就是在 CAM 表中找到与该 MAC 地址对应的转发项），则根据查询的结果（通常是一个出接口列表）进行转发；如果不能命中，则向所有端口广播该数据帧。交换机的这张 CAM 表可以通过多种方式获得，比如静态配置、动态学习。

本申请中的内容可寻址存储装置在仅需要模拟一般 CAM 操作时，可以仅使用一套表项存储资源（待匹配的数据），通过添加少量控制逻辑，即可线性成倍提升吞吐量（pps）性能，同时不需要显著改变存储器形状（相对原始查表匹配需求），在保证吞吐量和可实现性的同时，不丧失成本功耗优势。如果需要更加灵活的动态查表需求，可以方便的在存储器中同时存储一些关于表项的操作信息，即可较方便的支持实施诸如表项使能，bit 掩码，数值范围掩码，乱序表项优先级等额外特性，极大提高查表匹配处理本身灵活性。同时，结合具体场景，也可以结合字宽扩展，进一步平衡性能和面积功耗，进一步改善能效比。总的来说本申请所提供的内容可寻址存储装置至少包括了以下优点：

1. 成本功耗低，匹配应用场景为，相对低 pps 峰值场景，避免使用高成本高功耗的 CAM 结构，降低成本（面积）和功耗（包括平均及峰值）；同时由于电路更简单，还可降低后端工程工艺风险；

2. 可移植性强，由于可以使用通用的存储器（如 Memory）结构，使得逻辑方案可移植性强，Emu, FPGA 等场景可直接综合实现，且占用 lut 等逻辑资源低，极大程度降低抑制或验证成本；

3. 可扩展性强，通过少量控制及表项内容的修改即可较容易实现 TCAM，及其他复杂方式的模糊 CAM 处理，比如表项使能，比如带 min, max 的模糊方式等，都可以规划到 Memory 表项内容中做动态匹配处理；较容易实现处理延时固定，易于在系统整体处理上形成流水结构；较容易结合扩展字宽维度，进一步提高成本性能均衡度；较容易扩展实现在线动态表项更新操作，满足在线要求属性高的业务场景；在部分应用时，还可以复用其他不共存场景存储器（如 Memory）资源，进一步降低成本。

请参见图 8，图 8 是本申请实施例提供的一种内容可寻址存储方法的流程示意图，该

内容可寻址存储方法，适用于上述图 4-图 7 中的任意一种内容可寻址存储装置以及包含所述内容可寻址存储装置的设备，所述内容可寻址存储装置包括：比较器和存储器，所述比较器包括 N 个比较单元，所述 N 个比较单元分别耦合于所述存储器， N 为大于 1 的整数；该方法可以包括以下步骤 S801-步骤 S804。

S801：在所述存储器中存储待匹配的数据。

S802：获取 K 个搜索数据，并将所述 K 个搜索数据分别调度给所述 N 个比较单元中的 K 个目标比较单元，所述目标比较单元为处于空闲状态的比较单元， K 为大于或者等于 1 且小于或者等于 N 的整数。

S803：从所述存储器中读出所述待匹配的数据，并发送至所述目标比较单元。

S804：通过所述 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果。

在一种可能的实现方式中，所述装置还包括结果输出寄存器，所述 N 个比较单元分别耦合于所述结果输出寄存器；所述待匹配的数据包括多条数据项；所述方法还包括：将所述 K 个目标比较单元中的每一个目标比较单元对应的匹配结果发送至所述结果输出寄存器，所述匹配结果包括匹配指示信息、对应的搜索数据的匹配数据项、所述匹配数据项的地址中的一个或者多个，其中，所述匹配指示信息用于指示是否有匹配数据项；通过所述结果输出寄存器接收并存储所述 K 个目标比较单元分别发送的匹配结果。

在一种可能的实现方式中，所述待匹配的数据包括 M 条数据项， M 为大于 1 的整数；所述控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元，包括：

按照地址遍历方式，控制所述存储器依次读出所述 M 条数据项并分别发送至所述 K 个目标比较单元；所述通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果，包括：所述通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据依次与所述 M 条数据项进行比较，确定对应的搜索数据的匹配数据项。

在一种可能的实现方式中，所述待匹配的数据包括 M 条数据项， M 为大于 1 的整数；所述控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元，包括：

通过地址轮询方式，在每个时钟周期控制所述存储器读出 L 条数据项，并将读出的 L 条数据项广播至所述 N 个比较单元， L 为小于或者等于 M 的正整数；通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，包括：通过所述 K 个比较单元中的每一个比较单元，将每次接收到的 L 条数据项与对应的搜索数据进行比较。

在一种可能的实现方式中，所述 N 个比较单元中的每一个比较单元的位宽为所述 M 条数据项中的每一个数据项的位宽的 L 倍。

在一种可能的实现方式中，所述方法还包括：控制所述存储器以预设方式写入所述待匹配的数据。

在一种可能的实现方式中，所述方法还包括：当在预设时间段内接收到的搜索数据超过预设数量时，或者当前没有空闲的比较单元时，则控制在预设时间间隔之后，再从所述 N 个比较单元中确定目标比较单元。

在一种可能的实现方式中，所述方法还包括：在控制所述存储器读出所述待匹配的数据的过程中，控制所述存储器写入新的待匹配的数据或修改所述待匹配的数据。

在一种可能的实现方式中，所述待匹配的数据包括多条数据项，其中，每一条数据项包括待匹配的内容、查询控制信息和输出结果；所述通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果，包括：通过所述 K 个目标比较单元中的每一个目标比较单元，分别根据所述 M 条数据项的查询控制信息，将对应的搜索数据与每一条数据项中的待匹配的内容进行比较，并将匹配的数据项中的输出结果作为对应的搜索数据的匹配结果进行输出。

需要说明的是，本申请实施例中所描述的内容可寻址存储方法中的具体流程，可参见上述图 4-图 7 中所述的申请实施例中的相关描述，此处不再赘述。

本申请实施例还提供一种计算机存储介质，其中，该计算机存储介质可存储有程序，该程序执行时包括上述方法实施例中记载的任意一种的部分或全部步骤。

本申请实施例还提供一种计算机程序，该计算机程序包括指令，当该计算机程序被计算机执行时，使得计算机可以执行任意一种内容可寻址存储方法的部分或全部步骤。在上述实施例中，对各个实施例的描述都各有侧重，某个实施例中未详述的部分，可以参见其它实施例的相关描述。

需要说明的是，对于前述的各方法实施例，为了简单描述，故将其都表述为一系列的动作组合，但是本领域技术人员应该知悉，本申请并不受所描述的动作顺序的限制，因为依据本申请，某些步骤可能可以采用其它顺序或者同时进行。其次，本领域技术人员也应该知悉，说明书中所描述的实施例均属于优选实施例，所涉及的动作和模块并不一定是本申请所必须的。

在本申请所提供的几个实施例中，应该理解到，所揭露的装置，可通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如上述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性或其它的形式。

上述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本申请各实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用软件功能单元的形式实现。

上述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可

以为个人计算机、服务器或者网络设备等，具体可以是计算机设备中的处理器）执行本申请各个实施例上述方法的全部或部分步骤。其中，而前述的存储介质可包括：U 盘、移动硬盘、磁碟、光盘、只读存储器（Read-Only Memory，缩写：ROM）或者随机存取存储器（Random Access Memory，缩写：RAM）等各种可以存储程序代码的介质。

权利要求

1、一种内容可寻址存储装置，其特征在于，包括：

存储器，用于存储待匹配的数据；

比较器，包括 N 个比较单元，所述 N 个比较单元分别耦合至所述存储器， N 为大于 1 的整数；

调度器，用于获取 K 个搜索数据，并将所述 K 个搜索数据分别调度给所述 N 个比较单元中的 K 个目标比较单元，所述目标比较单元为处于空闲状态的比较单元， K 为大于或者等于 1 且小于或者等于 N 的整数；

控制器，用于控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元；

所述 K 个目标比较单元中的每一个目标比较单元，用于将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果。

2、如权利要求 1 所述的装置，其特征在于，所述装置还包括结果输出寄存器，所述 N 个比较单元分别耦合于所述结果输出寄存器；所述待匹配的数据包括多条数据项；

所述 K 个目标比较单元中的每一个目标比较单元，还用于将对应的匹配结果发送至所述结果输出寄存器，所述匹配结果包括匹配指示信息、对应的搜索数据的匹配数据项、所述匹配数据项的地址中的一个或者多个，其中，所述匹配指示信息用于指示是否有匹配数据项；

所述结果输出寄存器，用于接收并存储所述 K 个目标比较单元分别发送的匹配结果。

3、如权利要求 1 或 2 所述的装置，其特征在于，所述待匹配的数据包括 M 条数据项， M 为大于 1 的整数；

所述控制器，具体用于按照地址遍历方式，控制所述存储器依次读出所述 M 条数据项并分别发送至所述 K 个目标比较单元；

所述 K 个目标比较单元中的每一个目标比较单元，具体用于将对应的搜索数据依次与所述 M 条数据项进行比较，确定对应的搜索数据的匹配数据项。

4、如权利要求 1 或 2 所述的装置，其特征在于，所述待匹配的数据包括 M 条数据项；

所述控制器，具体用于通过地址轮询方式，在每个时钟周期控制所述存储器读出 L 条数据项，并将读出的 L 条数据项广播至所述 N 个比较单元， L 为小于或者等于 M 的正整数；

所述 K 个比较单元中的每一个比较单元，用于将每次接收到的 L 条数据项与对应的搜索数据进行比较。

5、如权利要求 4 所述的装置，其特征在于，所述 N 个比较单元中的每一个比较单元的位宽为所述 M 条数据项中的每一个数据项的位宽的 L 倍。

6、如权利要求 1-5 任意一项所述的装置，其特征在于，所述控制器，还用于控制所述存储器以预设方式写入所述待匹配的数据。

7、如权利要求 1-6 任意一项所述的装置，其特征在于，

所述调度器，还用于当在预设时间段内接收到的搜索数据超过预设数量时，或者当前没有空闲的比较单元时，则控制在预设时间间隔之后，再从所述 N 个比较单元中确定目标比较单元。

8、如权利要求 1-7 任意一项所述的装置，其特征在于，所述控制器，还用于在控制所述存储器读出所述待匹配的数据的过程中，控制所述存储器写入新的待匹配的数据或修改所述待匹配的数据。

9、如权利要求 1 所述的装置，其特征在于，所述待匹配的数据包括 M 条数据项，其中，每一条数据项包括待匹配的内容、查询控制信息和输出结果；

所述 K 个目标比较单元中的每一个目标比较单元，具体用于分别根据所述 M 条数据项的查询控制信息，将对应的搜索数据与每一条数据项中的待匹配的内容进行比较，并将匹配的数据项中的输出结果作为对应的搜索数据的匹配结果进行输出。

10、一种内容可寻址存储方法，其特征在于，应用于内容可寻址存储装置，所述装置包括：比较器和存储器，所述比较器包括 N 个比较单元，所述 N 个比较单元分别耦合于所述存储器，N 为大于 1 的整数；所述方法包括：

在所述存储器中存储待匹配的数据；

获取 K 个搜索数据，并将所述 K 个搜索数据分别调度给所述 N 个比较单元中的 K 个目标比较单元，所述目标比较单元为处于空闲状态的比较单元，K 为大于或者等于 1 且小于或者等于 N 的整数；

控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元；

通过所述 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果。

11、如权利要求 10 所述的方法，其特征在于，所述装置还包括结果输出寄存器，所述 N 个比较单元分别耦合于所述结果输出寄存器；所述待匹配的数据包括多条数据项；所述方法还包括：

将所述 K 个目标比较单元中的每一个目标比较单元对应的匹配结果发送至所述结果输出寄存器，所述匹配结果包括匹配指示信息、对应的搜索数据的匹配数据项、所述匹配数据项的地址中的一个或者多个，其中，所述匹配指示信息用于指示是否有匹配数据项；

通过所述结果输出寄存器接收并存储所述 K 个目标比较单元分别发送的匹配结果。

12、如权利要求 10 或 11 所述的方法，其特征在于，所述待匹配的数据包括 M 条数据

项，M 为大于 1 的整数；所述控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元，包括：

按照地址遍历方式，控制所述存储器依次读出所述 M 条数据项并分别发送至所述 K 个目标比较单元；

所述通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果，包括：

所述通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据依次与所述 M 条数据项进行比较，确定对应的搜索数据的匹配数据项。

13、如权利要求 10 或 11 所述的方法，其特征在于，所述待匹配的数据包括 M 条数据项，M 为大于 1 的整数；所述控制所述存储器读出所述待匹配的数据并分别发送至所述 K 个目标比较单元，包括：

通过地址轮询方式，在每个时钟周期控制所述存储器读出 L 条数据项，并将读出的 L 条数据项广播至所述 N 个比较单元，L 为小于或者等于 M 的正整数；

通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，包括：

通过所述 K 个比较单元中的每一个比较单元，将每次接收到的 L 条数据项与对应的搜索数据进行比较。

14、如权利要求 13 所述的方法，其特征在于，所述 N 个比较单元中的每一个比较单元的位宽为所述 M 条数据项中的每一个数据项的位宽的 L 倍。

15、如权利要求 10-14 任意一项所述的方法，其特征在于，所述方法还包括：
控制所述存储器以预设方式写入所述待匹配的数据。

16、如权利要求 10-15 任意一项所述的方法，其特征在于，所述方法还包括：
当在预设时间段内接收到的搜索数据超过预设数量时，或者当前没有空闲的比较单元时，则控制在预设时间间隔之后，再从所述 N 个比较单元中确定目标比较单元。

17、如权利要求 10-16 任意一项所述的方法，其特征在于，所述方法还包括：
在控制所述存储器读出所述待匹配的数据的过程中，控制所述存储器写入新的待匹配的数据或修改所述待匹配的数据。

18、如权利要求 10 所述的方法，其特征在于，所述待匹配的数据包括多条数据项，其中，每一条数据项包括待匹配的内容、查询控制信息和输出结果；

所述通过 K 个目标比较单元中的每一个目标比较单元，将对应的搜索数据与所述待匹配的数据进行比较，并根据比较结果输出对应的匹配结果，包括：

通过所述 K 个目标比较单元中的每一个目标比较单元，分别根据所述 M 条数据项的查

询控制信息，将对应的搜索数据与每一条数据项中的待匹配的内容进行比较，并将匹配的数据项中的输出结果作为对应的搜索数据的匹配结果进行输出。

19、一种半导体芯片，其特征在于，包括：

如权利要求 1 至 9 中任一所述的内容可寻址存储装置、耦合于所述内容可寻址存储装置的处理器以及所述内容可寻址存储装置外部的存储器。

20、一种电子设备，其特征在于，包括：

如权利要求 1 至 9 任一所述的内容可寻址存储装置，以及耦合于所述内容可寻址存储装置的分立器件。

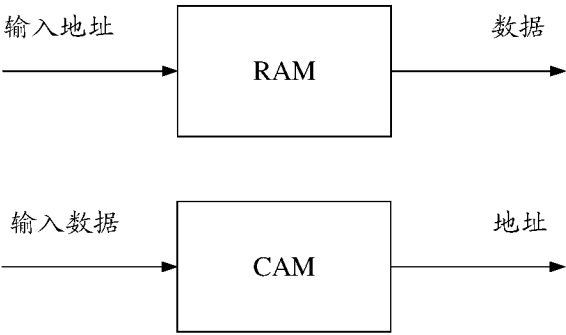


图 1A

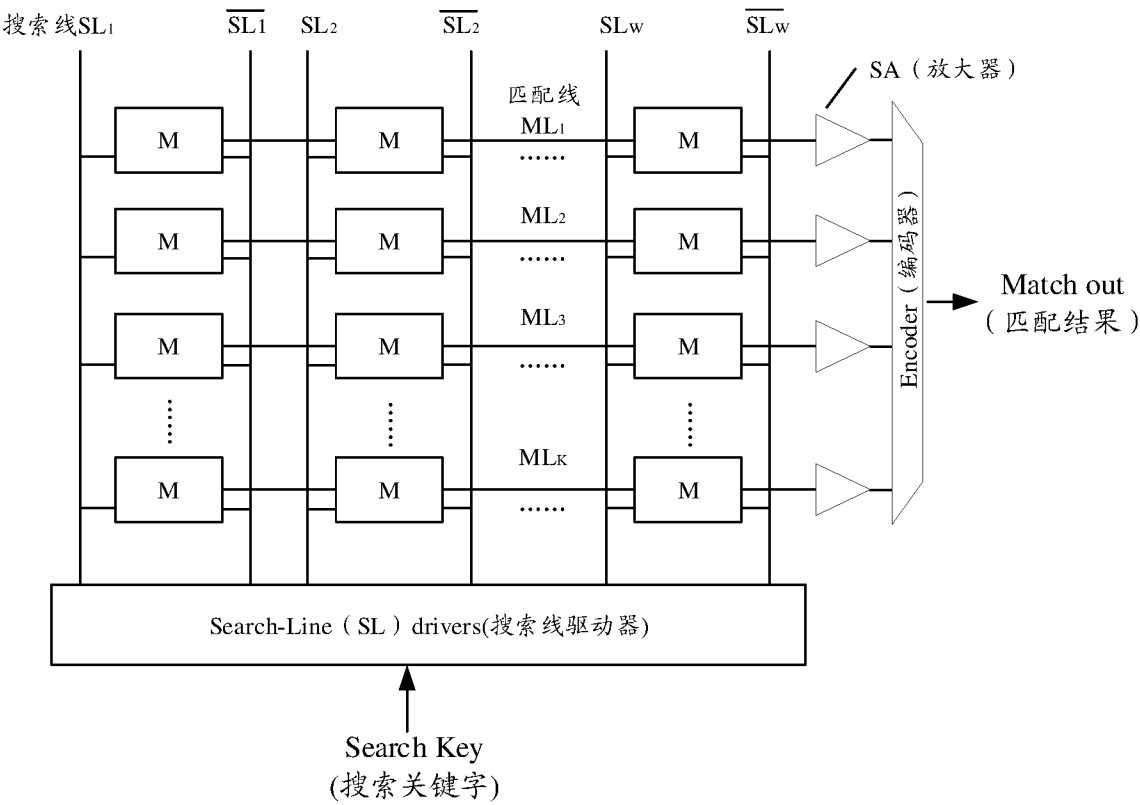


图 1B



图 2

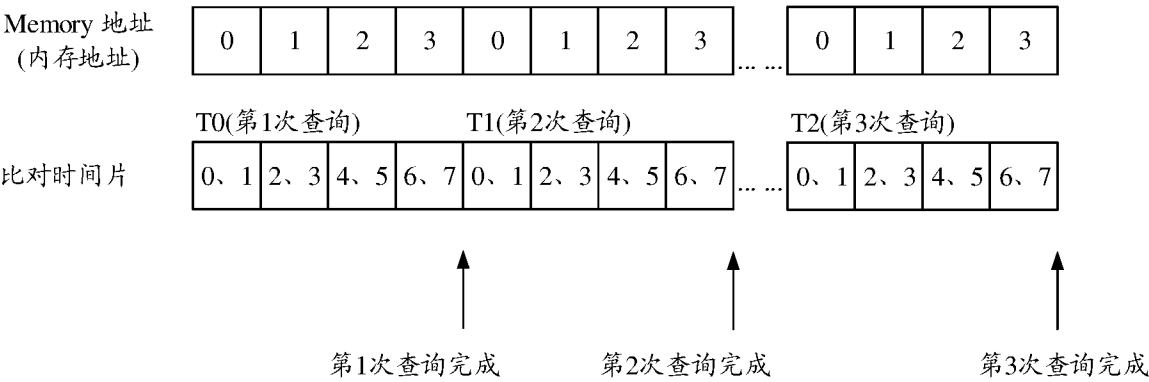


图 3

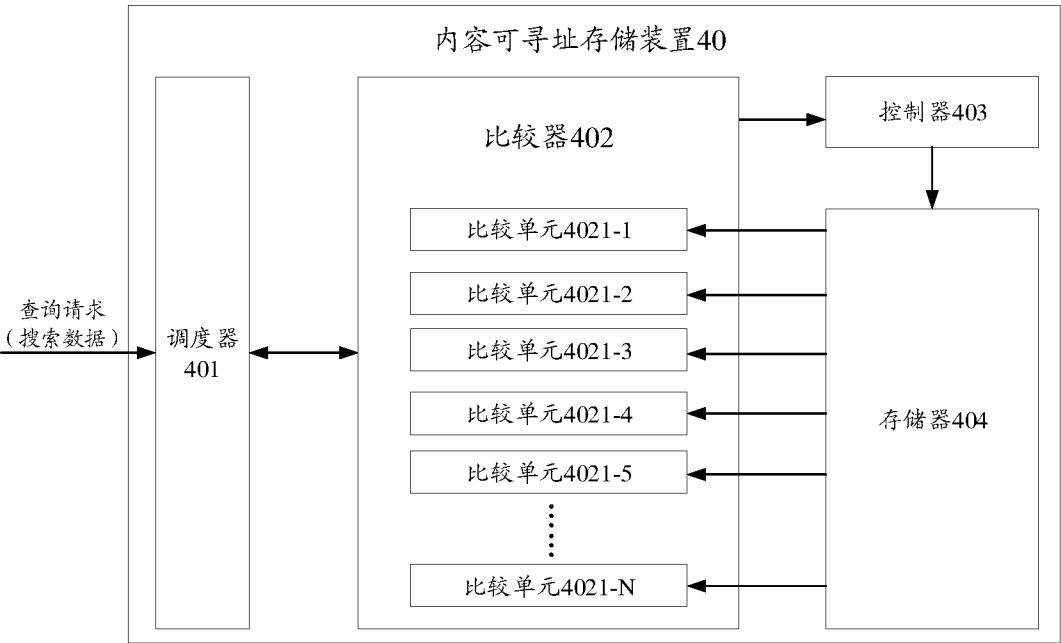


图 4

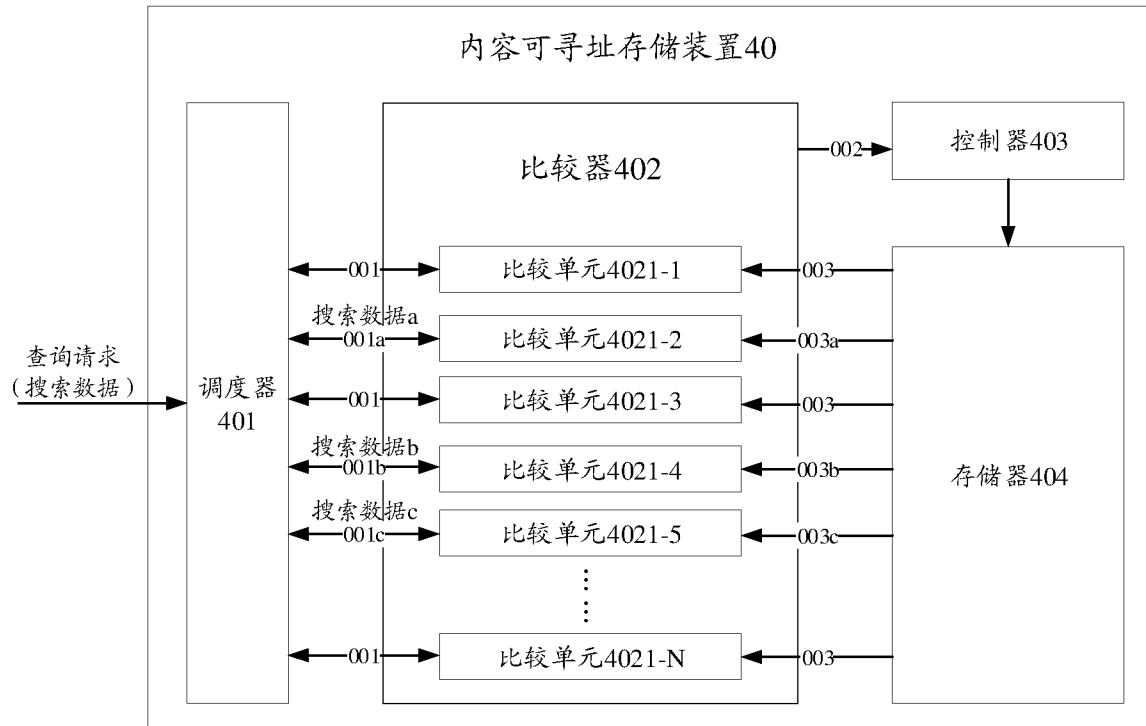


图 5

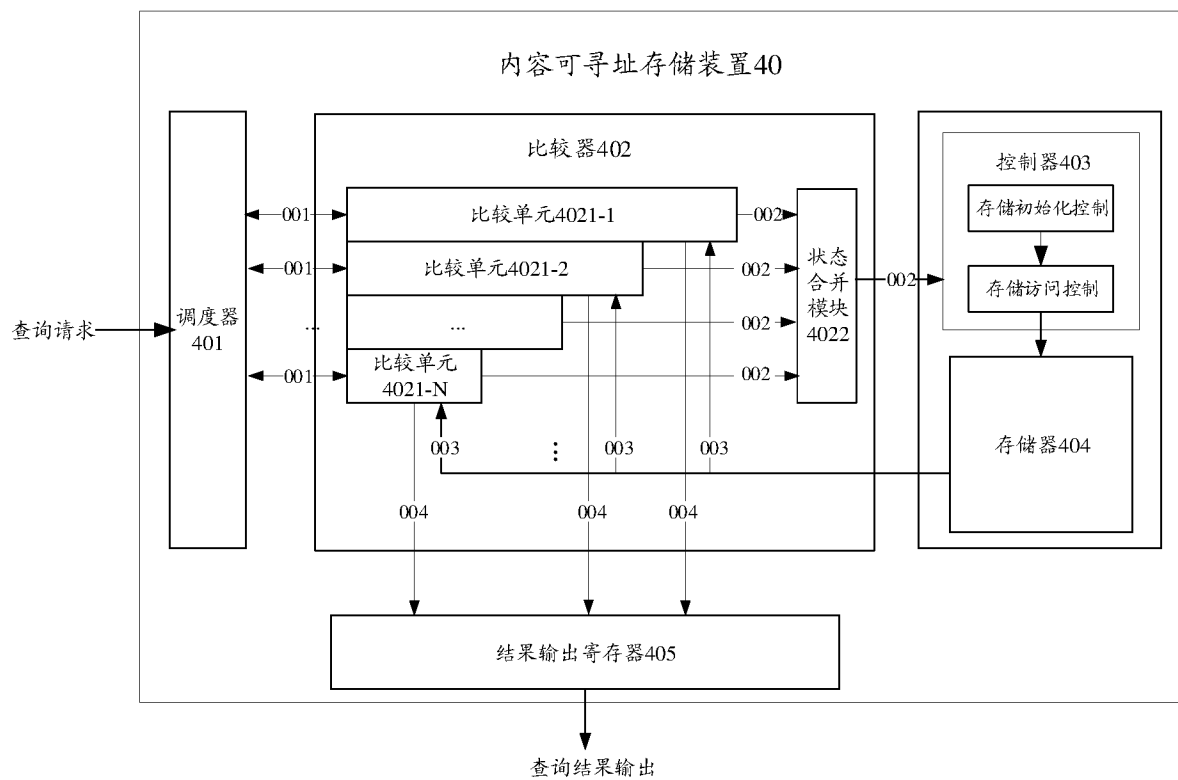


图 6

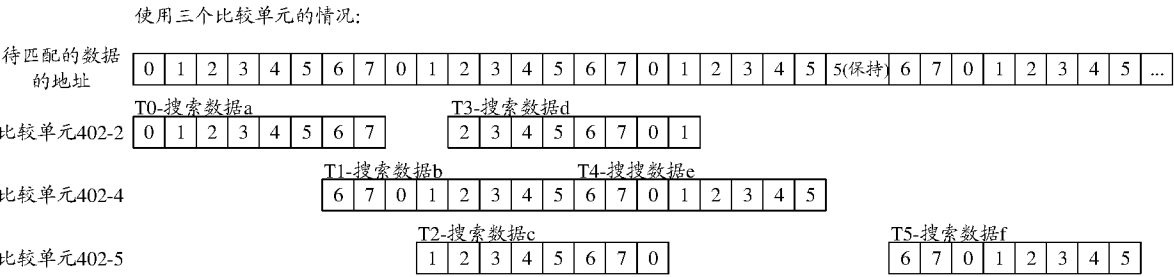


图 7

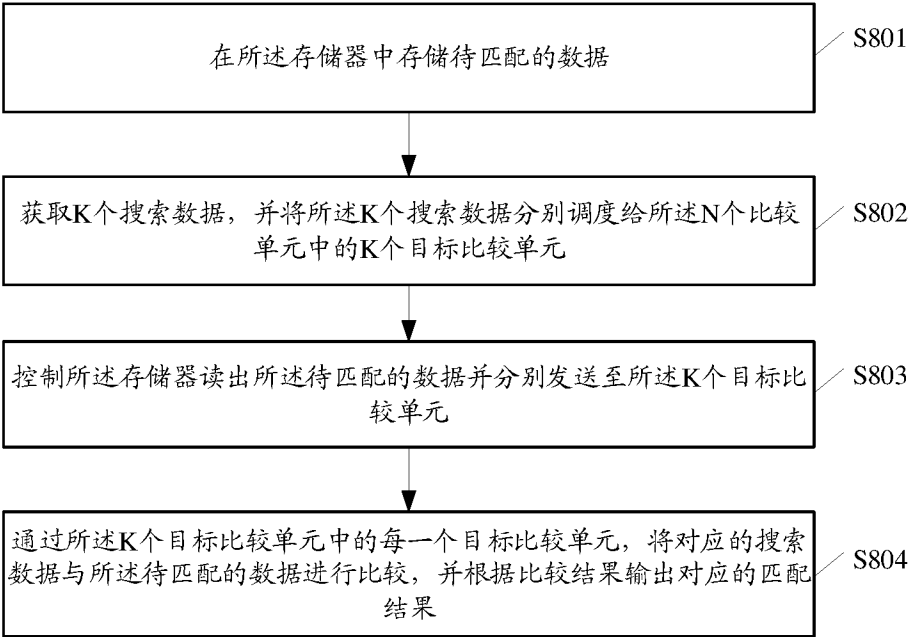


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/089687

A. CLASSIFICATION OF SUBJECT MATTER

G11C 15/00(2006.01)i; G11C 7/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT; IEEE: 内容可寻址存储, 比较器, 共享, 共用, 时分复用, 空闲, 搜索数据, 匹配线, 编码器, CAM, comparator, share, TDM, idle, search key, match line, encoder

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109196588 A (QUALCOMM INC.) 11 January 2019 (2019-01-11) description, paragraphs [0029]-[0061], and figures 1-4	1-20
A	CN 104733040 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 24 June 2015 (2015-06-24) entire document	1-20
A	CN 109408898 A (MXTRONICS CORPORATION et al.) 01 March 2019 (2019-03-01) entire document	1-20
A	US 2006067356 A1 (KIM, H. G. et al.) 30 March 2006 (2006-03-30) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 February 2020

Date of mailing of the international search report

02 March 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/089687

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109196588	A	11 January 2019	US	2017345500	A1	30 November 2017
				US	10068645	B2	04 September 2018
				EP	3465692	A1	10 April 2019
				WO	2017209842	A1	07 December 2017
				IN	201847039363	A	26 October 2018
CN	104733040	A	24 June 2015	US	9082484	B1	14 July 2015
				US	9218880	B2	22 December 2015
				CN	104733040	B	16 June 2017
				US	2015179262	A1	25 June 2015
				US	2015179261	A1	25 June 2015
CN	109408898	A	01 March 2019	None			
US	2006067356	A1	30 March 2006	None			

国际检索报告

国际申请号

PCT/CN2019/089687

A. 主题的分类

G11C 15/00(2006.01)i; G11C 7/10(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;VEN;USTXT;EPTXT;WOTXT;IEEE:内容可寻址存储、比较器、共享、共用、时分复用、空闲、搜索数据、匹配线、编码器、CAM、comparator、share、TDM、idle、search key、match line、encoder

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109196588 A (高通股份有限公司) 2019年 1月 11日 (2019 - 01 - 11) 说明书第[0029]-[0061]段, 附图1-4	1-20
A	CN 104733040 A (国际商业机器公司) 2015年 6月 24日 (2015 - 06 - 24) 全文	1-20
A	CN 109408898 A (北京时代民芯科技有限公司等) 2019年 3月 1日 (2019 - 03 - 01) 全文	1-20
A	US 2006067356 A1 (KIM HAN-GY00等) 2006年 3月 30日 (2006 - 03 - 30) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 2月 12日

国际检索报告邮寄日期

2020年 3月 2日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

阚子雄

电话号码 86-(20)-28950463

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/089687

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109196588	A	2019年 1月 11日	US	2017345500	A1	2017年 11月 30日
				US	10068645	B2	2018年 9月 4日
				EP	3465692	A1	2019年 4月 10日
				WO	2017209842	A1	2017年 12月 7日
				IN	201847039363	A	2018年 10月 26日
CN	104733040	A	2015年 6月 24日	US	9082484	B1	2015年 7月 14日
				US	9218880	B2	2015年 12月 22日
				CN	104733040	B	2017年 6月 16日
				US	2015179262	A1	2015年 6月 25日
				US	2015179261	A1	2015年 6月 25日
CN	109408898	A	2019年 3月 1日	无			
US	2006067356	A1	2006年 3月 30日	无			