(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3636879号
(P3636879)
(45)発行日　平成17年4月6日(2005.4.6)　(24)登録日　平成17年1月14日(2005.1.14)

(51)Int.Cl.[7]	F I		
G11C 11/41	G11C	11/34	301D
G11C 11/407	G11C	29/00	603G
G11C 11/413	G11C	11/34	302A
G11C 29/00	G11C	11/34	354D

請求項の数 1　(全 7 頁)

(21)出願番号　特願平9-336936
(22)出願日　平成9年12月8日(1997.12.8)
(65)公開番号　特開平10-177791
(43)公開日　平成10年6月30日(1998.6.30)
審査請求日　平成14年3月5日(2002.3.5)
(31)優先権主張番号　1996 P 62415
(32)優先日　平成8年12月6日(1996.12.6)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(72)発明者　李　振昊
大韓民国ソウル特別市盧源区上溪５洞碧山アパート１０８棟４０４号

最終頁に続く

(54)【発明の名称】半導体メモリ装置のローデコーダ

(57)【特許請求の範囲】
【請求項１】
ノーマル動作で印加されるローアドレスに応じてメインワードラインを選択し、ロー冗長動作で印加されるブロッキング信号に応じて前記メインワードラインをディスエーブルさせるメインローデコーダと、
ノーマル動作で前記メインローデコーダの出力及びバーストモード時に提供されるバーストアドレスを受信し、前記メインワードラインに複数ずつ対応したセクションワードラインを駆動するセクションローデコーダと、
ロー冗長動作でローアドレスのデコーディング信号及び前記ブロッキング信号の基になるアドレスコントロールクロックを内部で組み合わせて冗長メインワードラインを選択する冗長メインローデコーダと、
ロー冗長動作で前記冗長メインローデコーダの出力及びバーストモード時に提供されるバーストアドレスを受信し、前記冗長メインワードラインに複数ずつ対応した冗長セクションワードラインを駆動する冗長セクションローデコーダと、
を備えたことを特徴とする半導体メモリ装置のデコーディング回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、バーストモード機能を有する半導体メモリ装置に適用可能なローデコーダに関する。

【０００２】
【従来の技術】
一般に、ＳＲＡＭなどの半導体メモリ装置には、データのアクセス効率を高めるためにバーストモードがよく採用されている。このバーストモードでは、１回受信された外部アドレスから内部アドレスが順次発生し、その内部アドレスに従ってメモリセルが選択される。すなわち、外部のマイクロプロセッサなど制御装置は、メモリセルをそれぞれ指定する外部アドレスを逐一印加する必要はなく、バーストモードで定められた特定のアドレスをノーマルアドレスに加えて外部アドレスとし、これを１回だけ印加すれば、メモリ装置の内部カウンタが外部アドレス中の特定アドレス(バーストアドレス)を受信して組み合わせることにより、設定された個数の内部アドレスを連続的に発生する。最近のＳＲＡＭなどでは、２つの特定アドレスをカウンタに入力させて４つの内部アドレスを生成しているものもある。
【０００３】
一方、通常の冗長方式(scheme)を有する揮発性メモリ装置に印加される外部アドレスは、メモリ装置内のバッファを経てノーマル動作のためのノーマルデコーダと冗長動作のための冗長デコーダとに提供される。このアドレスバッファから出力されるアドレスは、外部クロックに同期した内部クロックにより制御される。
【０００４】
図１を参照すると、外部アドレスがアドレスバッファ１０に印加された後、内部クロックであるアドレスコントロールクロックに従ってノーマルデコーダ１４と冗長デコーダ１２へアドレス信号が提供される。そしてノーマルデコーダ１４は、メモリセルアレイ１８内のノーマルメモリセルにつながるノーマルワードライン１６を選択的にイネーブルさせ、冗長デコーダ１２は、メモリセルアレイ１８内の冗長メモリセルにつながる冗長ワードライン２０を選択的にイネーブルさせる。
【０００５】
図２には、冗長デコーダ１２の詳細回路を示す。図示のように、マスタヒューズＭＦ、多数の内部ヒューズＦ、駆動用トランジスタＮ１～Ｎ３，Ｎ５，Ｐ１，Ｐ２、多数のデコーディング用トランジスタＮ６，Ｎ７、出力反転用インバータＩＮＶ、及びデコーディング出力用ＮＡＮＤゲートＮＡＮ１からなる。この冗長デコーダ１２は、欠陥セルにつながるノーマルワードラインを冗長ワードラインに置き換えるために、外部アドレスＡ１～Ａ５及びバーストアドレスＣ１，Ｃ２をデコーダ内の冗長リペア回路を通じて受信し、そして内部ヒューズＦのカッティング有無に従い冗長ワードラインイネーブル信号ＲＷＬを出力する。
【０００６】
図１及び図２に示した構成によるデコーディング方式では、アドレスコントロールクロックを冗長デコーダ１２の内部回路に使用せず、冗長デコーダ１２の前段に位置したアドレスバッファ１０に使用している。その原因は、冗長デコーダ１２に提供されるアドレスの種類が２つであるためである。すなわち、冗長デコーダ１２に通常アドレスの外部アドレスＡ１～Ａ５とバーストアドレスＣ１，Ｃ２の２種類が提供される構造では、通常のアドレスコントロールクロックとバーストアドレスコントロールクロックは相互逆に遷移する信号なので、これらクロックを一緒に使用し得ない。したがって、図３に示すようなバーストアドレス制御回路を冗長デコーダ１２の前段に設けている。
【０００７】
このバーストアドレス制御回路は、クロックＫ１，Ｋ２及びインバータＩＮ１～ＩＮ４に従う反転パスゲートＮＡ１～ＮＡ４、及びその出力をラッチするインバータＩ１０，Ｉ１１，Ｉ２０，Ｉ２１を含んでなり、アドレスコントロールクロックＫ１，Ｋ２、入力バースト信号ＲＮ１，ＲＮ２，ＲＣ１，ＲＣ２を受信して組み合わせてバーストアドレスを生成する。メモリ装置が通常モードの設定である場合は、アドレスコントロールクロックＫ２により制御されたアドレスが出力され、バーストモードの設定である場合は、クロックＫ２をオフさせた状態でクロックＫ１により制御されたバーストアドレスＣ１，Ｃ２が生

成される。
【０００８】
【発明が解決しようとする課題】
上記のような従来の冗長デコーディング方式は、アドレスコントロールクロックを冗長デコーダに使用できず、バーストアドレス制御回路により制御されたバーストアドレスを冗長デコーダ１２へ印加する方式であるので、冗長ワードラインイネーブル速度が遅いという短所がある。本発明は、これを解決せんとするものである。
【０００９】
【課題を解決するための手段】
冗長ワードラインイネーブル速度の高速化を図るためには、冗長セルの選択時に冗長デコーダへバーストモード用アドレスを提供せずにおいて、アドレスコントロールクロックを提供する手法とすればよい。
【００１０】
そこで本発明によれば、バーストモードを有する半導体メモリ装置において、ノーマル動作で印加されるローアドレスに応じてメインワードラインを選択し、ロー冗長動作で印加されるブロッキング信号に応じてローアドレスをブロッキングするメインローデコーダと、該メインローデコーダの出力及びバーストモード時に提供されるバーストアドレスをノーマル動作で受信し、前記メインワードラインに複数ずつ対応したセクションワードラインを駆動するセクションローデコーダと、を有することを特徴とする。つまり本発明のデコーディング回路は、ノーマル動作で印加されるローアドレスに応じてメインワードラインを選択し、ロー冗長動作で印加されるブロッキング信号に応じて前記メインワードラインをディスエーブルさせるメインローデコーダと、ノーマル動作で前記メインローデコーダの出力及びバーストモード時に提供されるバーストアドレスを受信し、前記メインワードラインに複数ずつ対応したセクションワードラインを駆動するセクションローデコーダと、ロー冗長動作でローアドレスのデコーディング信号及び前記ブロッキング信号の基になるアドレスコントロールクロックを内部で組み合わせて冗長メインワードラインを選択する冗長メインローデコーダと、ロー冗長動作で前記冗長メインローデコーダの出力及びバーストモード時に提供されるバーストアドレスを受信し、前記冗長メインワードラインに複数ずつ対応した冗長セクションワードラインを駆動する冗長セクションローデコーダと、を備えることを特徴とする。
【００１１】
【発明の実施の形態】
以下、本発明の実施形態を添付図面に基づき説明する。
【００１２】
図４に、本発明に係る回路構成を示してある。すなわち、アドレスバッファ１１、冗長メインローデコーダ（ＲＭＲＤ）１２０、メインローデコーダ（ＭＲＤ）７０、セクションローデコーダ（ＳＲＤ）８０、冗長セクションローデコーダ（ＲＳＲＤ）９０を備えている。
【００１３】
この図４に示す構造は、ワードラインをイネーブルするデコーダを、メインローデコーダ７０からセクションローデコーダ８０、冗長メインローデコーダ１２０から冗長セクションローデコーダ９０へ細分化し、バーストアドレスをセクションローデコーダＳＲＤ８０及び冗長セクションローデコーダＲＳＲＤ９０へ印加することにより、冗長セル選択時の速度遅延を減らすものである。この場合、セクションワードラインＳＷＬ及び冗長セクションワードラインＲＳＷＬをメモリセルのポリシリコンワードラインとし、メインワードラインＭＷＬ及び冗長メインワードラインＲＭＷＬを、メインローデコーダ７０とセクションローデコーダ８０との間、冗長メインローデコーダ１２０と冗長セクションローデコーダ９０との間のメタルラインとする。
【００１４】
ロー冗長動作で、メインローデコーダ７０にはブロッキング信号／ＣＯＮＣＬＫがメイン

ワードラインＭＷＬをディスエーブルさせるために提供され、一方、冗長メインローデコーダ１２０にはアドレスコントロールクロックが直接印加される。つまり、ブロッキング信号／ＣＯＮＣＬＫは、冗長メインワードラインＲＭＷＬがイネーブルされるときに出される反転信号である。冗長セクションローデコーダ９０は、冗長メインローデコーダ１２０の出力とバーストアドレスをロー冗長動作で受信し、担当する冗長セクションワードラインＲＳＷＬを駆動する。

【００１５】

冗長メインローデコーダ１２０は、図５のような構成とすることができる。すなわち、マスタヒューズＭＦ、内部ヒューズＦ、駆動用トランジスタＮ１～Ｎ３，Ｎ５，Ｐ１，Ｐ２、デコーディング用トランジスタＮ６，Ｎ７、出力反転用インバータＩ３，Ｉ５、デコーディング出力用ＮＡＮＤゲートＮＡＮ３、そして、クロックＫ３（アドレスコントロールクロック）及びインバータＩ４に従う反転パスゲートＮＡＮ２を備えている。したがって、リペアされるセクションワードラインは１本ではなく、冗長メインワードラインＲＭＷＬによるリペアで４本の冗長セクションワードラインＲＳＷＬが使用される。

【００１６】

セクションローデコーダＳＲＤ８０及び冗長セクションローデコーダ９０にデコードされたバースト用アドレスが印加される前に、アドレスバッファ１１を通じて通常モードのためのアドレス信号とバーストモードのためのアドレス信号との分離動作が先行する。図６に、バースト用アドレスによって通常モードとバーストモードを行うことのできるようにするバーストアドレスデコーダを示す。バーストアドレスは、バーストモード以外では通常アドレスの最下位ビットとして処理されるもので、たとえば１Ｍ同期式ＳＲＡＭの場合、アドレスバッファ１１へ提供される９ビットのアドレスのうち、上位７ビットがメインローデコーダ７０や冗長メインローデコーダ１２０へ提供され、下位２ビットがバーストアドレスとして分けられる。

【００１７】

このバーストアドレスデコーダは、４つのデコーディング方式中の１つを示したものであり、クロックＫ４，Ｋ５及びインバータＩ１，Ｉ２に従う反転パスゲート、ラッチ動作のためのインバータＩ３，Ｉ４からなっている。印加される信号ＣＡｉ（ｉ＝０～３）は通常モードのための信号、ＣＣｉ（ｉ＝０～３）はバーストモードで動作するカウンタの出力信号である。また、Ｋ４は通常モードでイネーブルされるクロックであり、Ｋ５はバーストモードでイネーブルされるクロックである。これらクロックＫ３，Ｋ４，Ｋ５は、システムクロック及びバーストモード制御信号に基づき内部クロックバッファで生成され、クロックＫ５はクロックＫ４を反転させた信号である。これにより、通常モードの場合には信号ＣＡｉが反転パスゲートを通して出力され、バーストモードの場合は信号ＣＣｉが反転パスゲートを通して出力される。出力信号Ｃ（ｉ－１）は、図７に具体的に示すように、セクションローデコーダＳＲＤ８０及び冗長セクションローデコーダＲＳＲＤ９０に印加される。

【００１８】

図７は冗長セクションローデコーダＲＳＲＤ９０の詳細を示し、ノーマル用セクションローデコーダＳＲＤ８０の内部構成も同じである。このように冗長セクションローデコーダＲＳＲＤ９０へバーストアドレスが印加されるので、冗長メインローデコーダ１２０にアドレスコントロールクロックを印加することが可能となる。すなわちバーストモードでは、冗長メインローデコーダ１２０の出力（ＲＭＷＬ）とバーストアドレスが冗長セクションローデコーダＲＳＲＤ９０で混ぜられて冗長セクションワードラインＲＳＷＬがイネーブルされる。これにより、冗長メインローデコーダ１２０にはアドレスコントロールクロックＫ３を印加して直接的なコントロールをすることが可能になる。

【００１９】

図５の回路でヒューズを経る間の遅延が発生するように思われるが、クロックＫ３によって出力ＲＭＷＬを直接的に制御する様態なので遅延は無視され、冗長セクションワードラインのイネーブルスピードはより速くなる。このようなデコーダ構造は、高速の同期メモ

リに有利である。

【００２０】

【発明の効果】

本発明によるデコーダ回路は、冗長メインローデコーダにバーストアドレスを提供せずにアドレスコントロールクロックを直接印加することができるので、ワードラインイネーブル速度の高速化を達成することができる。

【図面の簡単な説明】

【図１】従来技術によるデコーディング方式を説明するブロック図。

【図２】従来技術による冗長デコーダの回路図。

【図３】従来技術によるバーストアドレス制御回路の回路図。

【図４】本発明によるデコーディング方式を説明するブロック図。

【図５】本発明による冗長メインデコーダの回路図。

【図６】本発明に係るバーストアドレスデコーダの回路図。

【図７】本発明による冗長セクションデコーダの回路図。

【符号の説明】

１１　アドレスバッファ

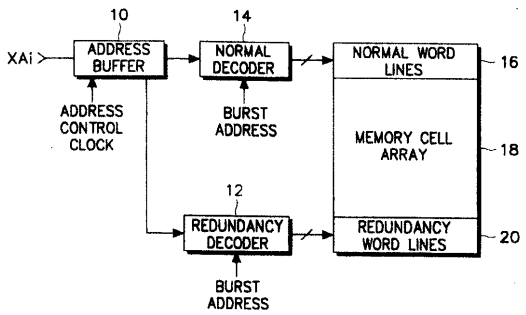
７０　メインローデコーダ

８０　セクションローデコーダ

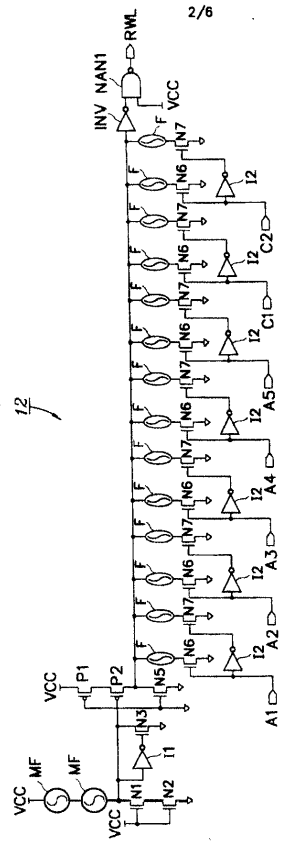
９０　冗長セクションローデコーダ

１２０　冗長メインローデコーダ

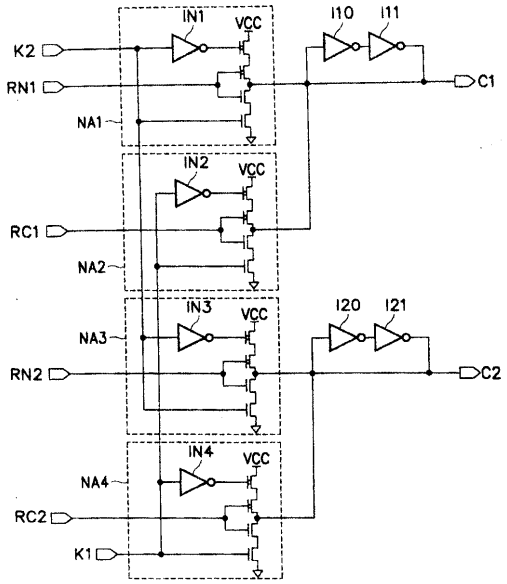
【図１】



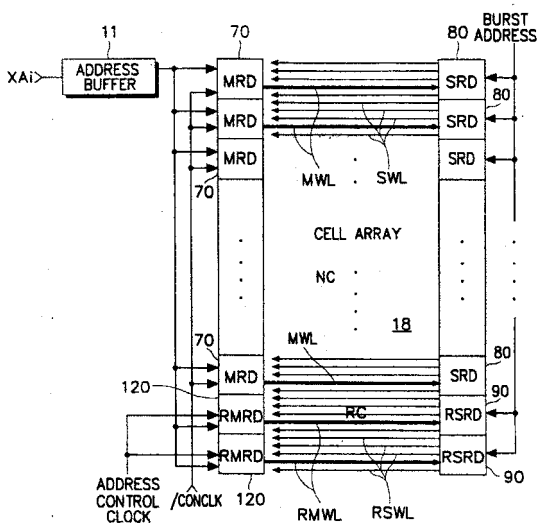
【図２】



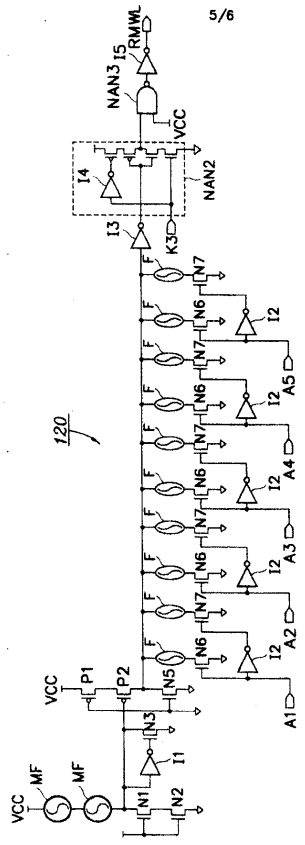
【図３】


IN1
VCC
I10
I11
K2
RN1
C1
NA1
IN2
VCC
RC1
NA2
IN3
VCC
I20
I21
NA3
RN2
C2
IN4
VCC
NA4
RC2
K1

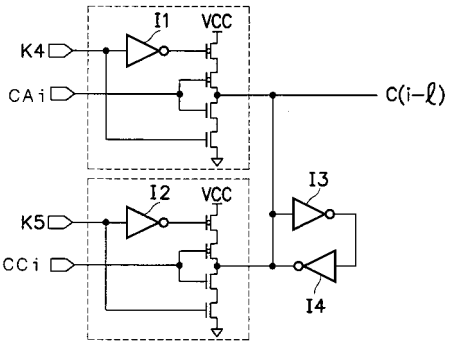
【図４】


11
70
80
BURST ADDRESS
XAi
ADDRESS BUFFER
MRD
SRD
MWL
SWL
CELL ARRAY
NC
18
RC
RMRD
RSRD
120
90
ADDRESS CONTROL CLOCK
/CONCLK
RMWL
RSWL

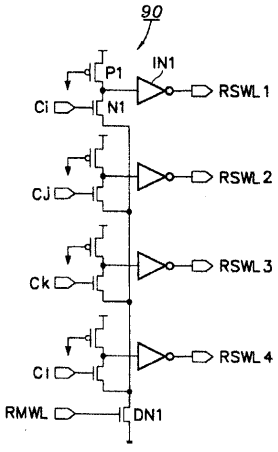
【図５】


5/6
RMWL
I5
NAN3
VCC
I4
NAN2
I3
K3
N7
N6
I2
A5
A4
A3
A2
A1
120
P1
P2
N5
N3
I1
MF
N1
N2

【図６】


I1
VCC
K4
CAi
C(i−ℓ)
I2
K5
CCi
I3
I4

【図７】


90
P1
IN1
Ci
N1
RSWL1
CJ
RSWL2
Ck
RSWL3
Cl
RSWL4
RMWL
DN1

フロントページの続き

(72)発明者　朴　熙哲
大韓民国ソウル特別市永登浦区文來６街４５番地

審査官　加藤　俊哉

(56)参考文献　特開平０７－１８２８９２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/41
G11C 11/407
G11C 11/413
G11C 29/00　603